



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I616878 B

(45)公告日：中華民國 107 (2018) 年 03 月 01 日

(21)申請案號：105107239 (22)申請日：中華民國 105 (2016) 年 03 月 09 日

(51)Int. Cl. : G11C16/02 (2006.01) G06F12/02 (2006.01)

(30)優先權：2015/09/11 日本 2015-179942

(71)申請人：東芝記憶體股份有限公司(日本) TOSHIBA MEMORY CORPORATION (JP)  
日本(72)發明人：白川政信 SHIRAKAWA, MASANOBU (JP)；安福健太 YASUFUKU, KENTA  
(JP)；山家陽 YAMAGA, AKIRA (JP)

(74)代理人：陳長文

(56)參考文獻：

US 7057939B2

US 7342830B1

US 2007/0171719A1

US 2010/0080060A1

US 2013/0080730A1

審查人員：蔡明宏

申請專利範圍項數：9 項 圖式數：28 共 65 頁

(54)名稱

記憶體系統

(57)摘要

本發明之實施形態提供一種可提昇動作可靠性之記憶體系統。

一實施形態之記憶體系統包含控制器、及半導體記憶裝置。於第 1 寫入動作(PPP mode 之選擇 ZN0)中，對第 1 行群 ZN0 寫入資料。於第 2 寫入動作(PPP mode 之選擇 ZN3)中，對第 2 行群 ZN3 寫入資料。半導體記憶裝置對於寫入動作中之動作設定值，於第 1 寫入動作(選擇 ZN0 時)中使用第 1 設定值，於第 2 寫入動作(選擇 ZN3 時)中使用與上述第 1 設定值不同之第 2 設定值。

指定代表圖：

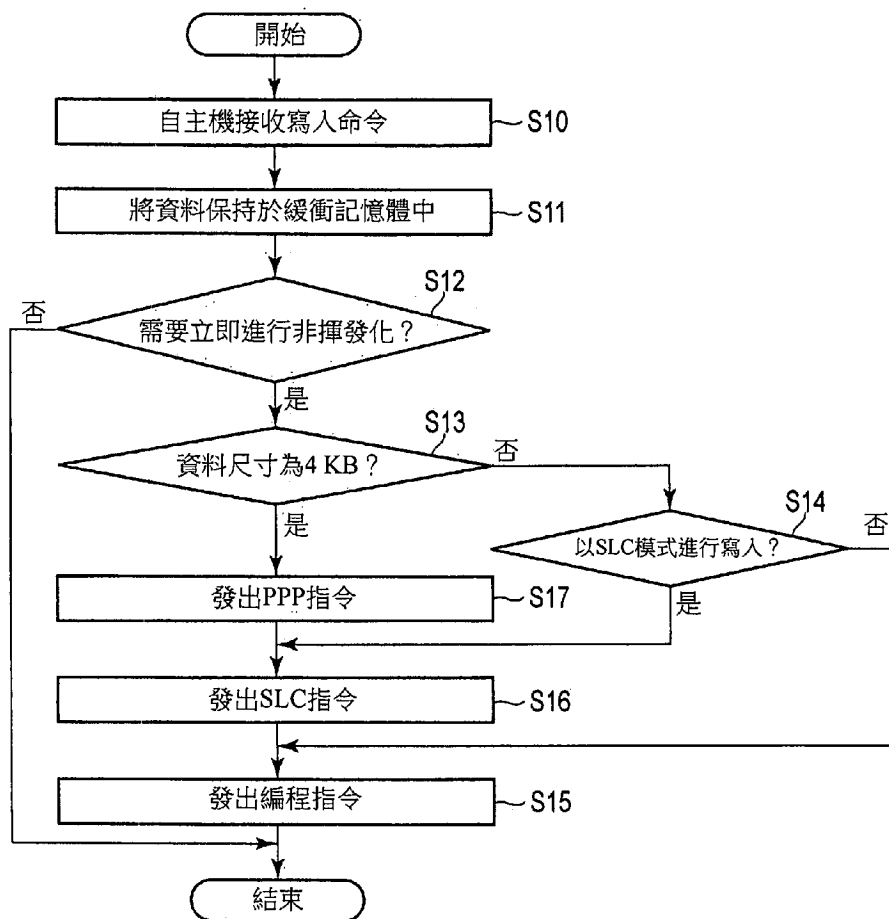


圖6

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

記憶體系統

[相關申請案]

本申請案享受以日本專利申請2015-179942號(申請日：2015年9月11日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

## 【技術領域】

本發明之實施形態係有關於一種記憶體系統。

## 【先前技術】

已知有記憶胞呈三維排列之NAND(Not AND，反及)型快閃記憶體。

## 【發明內容】

本發明之實施形態提供一種可提昇動作可靠性之記憶體系統。

本實施形態之記憶體系統包括：半導體記憶裝置，其包含與列及行建立了關聯之複數個記憶胞；及控制器，其對於半導體記憶裝置，以第1寫入動作及第2寫入動作中之任一者之寫入動作來寫入資料。於第1寫入動作中，對於任一系列位址，將資料寫入至與第1行群對應之記憶胞中，且將與第2行群對應之記憶胞設為寫入禁止，該第1行群包含位址連續之第1行及第2行且為所有行之一部分，該第2行群包含位址連續之第3行及第4行且不同於第1行群。於第2寫入動作中，將資料寫入至與第2行群對應之記憶胞，且將與第1行群對應之記憶胞設為寫入禁止。半導體記憶裝置對於寫入動作中之字元線之動作設定值，於第1寫入動作中使用第1設定值，於第2寫入動作中使用與第1設

定值不同之第2設定值。

### 【圖式簡單說明】

圖1係第1實施形態之記憶體系統之方塊圖。

圖2係第1實施形態之半導體記憶裝置所具備之區塊之電路圖。

圖3係第1實施形態之半導體記憶裝置所具備之區塊之剖視圖。

圖4係第1實施形態之半導體記憶裝置中之頁面之概念圖。

圖5係第1實施形態之半導體記憶裝置所具備之條件表格之概念圖。

圖6係表示第1實施形態之控制器之動作之流程圖。

圖7係表示第1實施形態之記憶體系統之指令順序之時序圖。

圖8係表示第1實施形態之記憶體系統之指令順序之時序圖。

圖9係表示第1實施形態之記憶體系統之指令順序之時序圖。

圖10係表示第1實施形態之半導體記憶裝置之動作之流程圖。

圖11係第1實施形態之半導體記憶裝置所執行之預驗證之概念圖。

圖12係表示第1實施形態之半導體記憶裝置之寫入動作時之各種信號之電壓變化之時序圖。

圖13係表示第1實施形態之半導體記憶裝置之寫入動作時之各種信號之電壓變化之時序圖。

圖14係第1實施形態之半導體記憶裝置之模式圖。

圖15係第1實施形態之半導體記憶裝置之模式圖。

圖16係第1實施形態之半導體記憶裝置之模式圖。

圖17係表示第1實施形態之半導體記憶裝置中之與各區域對應之記憶胞之臨限值分佈之變化之模式圖。

圖18係表示第1實施形態之半導體記憶裝置之字元線電壓之變化之時序圖。

圖19係第2實施形態之半導體記憶裝置中之頁面之概念圖。

圖20係第2實施形態之半導體記憶裝置所具備之條件表格之概念圖。

圖21係表示第2實施形態之控制器之動作之流程圖。

圖22係表示第2實施形態之記憶體系統之指令順序之時序圖。

圖23係表示第2實施形態之半導體記憶裝置之動作之流程圖。

圖24係表示第3實施形態之記憶體系統之指令順序之時序圖。

圖25係表示第3實施形態之半導體記憶裝置之動作之流程圖。

圖26係表示第1至第3實施形態之變化例之半導體記憶裝置中之與各區域對應之記憶胞之臨限值分佈之變化之模式圖。

圖27係表示第1至第3實施形態之變化例之半導體記憶裝置中之與各區域對應之記憶胞之臨限值分佈之變化之模式圖。

圖28係表示第1至第3實施形態之變化例之半導體記憶裝置中之與各區域對應之記憶胞之臨限值分佈之變化之模式圖。

### 【實施方式】

以下，參照附圖對實施形態進行說明。此外，於以下說明中，對於具有相同功能及構成之構成要素，標註共同之參照符號。

#### 1. 第1實施形態

對第1實施形態之記憶體系統進行說明。以下，作為半導體記憶裝置，列舉記憶胞三維積層於半導體基板之上方之三維積層型NAND型快閃記憶體為例進行說明。

##### 1.1 關於構成

###### 1.1.1 關於記憶體系統之整體構成

首先，使用圖1對本實施形態之記憶體系統之大致整體構成進行說明。

如圖所示，記憶體系統1具備NAND型快閃記憶體100與控制器

200。NAND型快閃記憶體100與控制器200例如可藉由該等之組合構成一個半導體裝置，作為其示例可列舉如SD™卡之記憶卡或SSD(solid state drive，固態驅動器)等。

NAND型快閃記憶體100具備複數個記憶胞，非揮發性地記憶資料。控制器200藉由NAND匯流排連接至NAND型快閃記憶體100，並藉由主機匯流排連接至主機設備300。而且控制器200控制NAND型快閃記憶體100，另外，響應自主機設備300接收到之命令，對NAND型快閃記憶體100進行存取。主機設備300例如為數位相機或個人電腦等，主機匯流排例如為適應SD™介面之匯流排。

NAND匯流排進行適應NAND介面之信號之收發。該信號之具體例為位址門賦能信號ALE、指令門賦能信號CLE、寫入賦能信號WEn、讀取賦能信號REn、待命、忙碌信號RBn、及輸入輸出信號I/O。

信號CLE及ALE係通知NAND型快閃記憶體100對NAND型快閃記憶體100之輸入信號I/O分別為指令及位址之信號。信號WEn係以low(低)位準確證，係用以將輸入信號I/O擷取至NAND型快閃記憶體100之信號。信號REn亦係以low位準確證，係用以自NAND型快閃記憶體100讀出輸出信號I/O之信號。待命、忙碌信號RBn係表示NAND型快閃記憶體100為待命狀態(可接收來自控制器200之命令之狀態)或係忙碌狀態(無法接收來自控制器200之命令之狀態)之信號，low位準確表示忙碌狀態。輸入輸出信號I/O例如為8位元之信號。而且輸入輸出信號I/O係於NAND型快閃記憶體100與控制器200之間收發之資料之實體，為指令、位址、寫入資料、讀出資料、及NAND型快閃記憶體100之狀態資訊等。

### 1.1.2 關於控制器200之構成

繼而，使用圖1，對控制器200之構成進行詳細說明。如圖1所

示，控制器200具備主機介面電路210、內置記憶體(RAM(Random Access Memory，隨機存取記憶體))220、處理器(CPU(Central Processing Unit，中央處理單元))230、緩衝記憶體240、及NAND介面電路250。

主機介面電路210藉由主機匯流排與主機設備300連接，將自主機設備300接收到之命令及資料分別傳送至處理器230及緩衝記憶體240。另外，響應處理器230之命令，將緩衝記憶體240內之資料傳送至主機設備300。

處理器230控制控制器200整體之動作。例如處理器230於自主機設備300接收到寫入命令時，響應該指令，對NAND介面電路250發出寫入命令。於讀出及刪除時亦相同。另外，處理器230執行耗損平均等用以管理NAND型快閃記憶體100之各種處理。

NAND介面電路250藉由NAND匯流排與NAND型快閃記憶體100連接，負責與NAND型快閃記憶體100之通信。而且NAND介面電路250基於自處理器230接收到之命令，將信號ALE、CLE、WEn、及REn輸出至NAND型快閃記憶體100。另外，於寫入時，將處理器230所發出之寫入指令、及緩衝記憶體240內之寫入資料作為輸入輸出信號I/O傳送至NAND型快閃記憶體100。進而，於讀出時，將處理器230所發出之讀出指令作為輸入輸出信號I/O傳送至NAND型快閃記憶體100，進而，接收自NAND型快閃記憶體100讀出之資料作為輸入輸出信號I/O，並將其傳送至緩衝記憶體240。

緩衝記憶體240暫時保持寫入資料或讀出資料。

內置記憶體220例如為DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等半導體記憶體，用作處理器230之作業區域。而且內置記憶體220保持用以管理NAND型快閃記憶體100之韌體或各種管理表格等。

### 1.1.3 關於NAND型快閃記憶體100之構成

#### 1.1.3.1 關於NAND型快閃記憶體100之整體構成

其次，對NAND型快閃記憶體100之構成進行說明。如圖1所示，NAND型快閃記憶體100具備記憶胞陣列110、列解碼器120(120-0~120-3)、感測放大器130、行選擇器140、行解碼器150、位址暫存器160、指令暫存器170、及定序器180。

指令暫存器170暫時保持自控制器200接收到之指令CMD。

位址暫存器160暫時保持自控制器200接收到之位址ADD。而且，將列位址RA傳送至列解碼器120，將行位址CA傳送至行解碼器150。

記憶胞陣列110具備例如4個區塊BLK(BLK0~BLK3)，該等區塊為與列及行建立對應之複數個非揮發性之記憶胞之集合體。而且記憶胞陣列110記憶自控制器200賦予之資料。

列解碼器120-0~120-3分別與區塊BLK0~BLK3建立對應地設置，解碼自位址暫存器160接收到之列位址RA。然後，根據列位址RA之解碼結果，對所對應之區塊BLK0~BLK3分別輸出電壓。

行解碼器150對自位址暫存器160接收到之行位址CA進行解碼。然後，基於行解碼器150中之行位址CA之解碼結果，行選擇器140選擇所對應之行。

感測放大器130於資料之讀出時，感測自記憶胞陣列110讀出之資料。然後，將與行選擇器140所選擇之行對應之資料DAT輸出至控制器200。於資料之寫入時，將自控制器200接收到之寫入資料DAT傳送至記憶胞陣列110中與行選擇器140所選擇之行對應之區域。

定序器180基於指令暫存器170所保持之指令CMD，控制NAND型快閃記憶體100整體之動作。

#### 1.1.3.2 關於區塊BLK之構成

其次，使用圖2對上述區塊BLK之構成進行說明。如圖所示，區塊BLK包含例如4個串單元SU(SU0~SU3)。另外，各個串單元SU包含複數個NAND串10。

各個NAND串10例如包含8個記憶胞電晶體MT(MT0~MT7)及選擇電晶體ST1、ST2。記憶胞電晶體MT具備控制閘極及電荷儲存層，非揮發性地保持資料。而且記憶胞電晶體MT串聯連接於選擇電晶體ST1之源極與選擇電晶體ST2之汲極之間。

各個串單元SU0~SU3中之選擇電晶體ST1之閘極分別連接於選擇閘極線SGD0~SGD3。與此相對，各個串單元SU0~SU3中之選擇電晶體ST2之閘極例如共同連接於選擇閘極線SGS。當然亦可於每個串單元連接不同之選擇閘極線SGS0~SGS3。另外，同一區塊BLK內之記憶胞電晶體MT0~MT7之控制閘極分別共同連接於字元線WL0~WL7。

另外，於記憶胞陣列110內，位於同一行之NAND串10之選擇電晶體ST1之汲極共同連接於位元線BL(BL0~BL(L-1)，其中(L-1)係2以上之自然數)。即，位元線BL於複數個區塊BLK間共同連接NAND串10。進而，複數個選擇電晶體ST2之源極共同連接於源極線SL。

即，串單元SU係連接於不同之位元線BL、且連接於同一選擇閘極線SGD之NAND串10之集合體。另外，區塊BLK係共用字元線WL之複數個串單元SU之集合體。而且記憶胞陣列110係共用位元線BL之複數個區塊BLK之集合體。

圖3係區塊BLK之一部分區域之剖視圖。如圖所示，於p型井區域20上，形成有複數個NAND串10。即，於井區域20上，依次積層有作為選擇閘極線SGS發揮功能之例如4層配線層27、作為字元線WL0~WL7發揮功能之8層配線層23、及作為選擇閘極線SGD發揮功能之例如4層配線層25。於所積層之配線層間，形成有未圖示之絕緣膜。

而且，形成有貫通該等配線層25、23、27而到達井區域20之柱狀導電體31。於導電體31之側面，依次形成有閘極絕緣膜30、電荷儲存層(絕緣膜)29、及區塊絕緣膜28，利用該等而形成記憶胞電晶體MT、以及選擇電晶體ST1及ST2。導電體31作為NAND串10之電流路徑發揮功能，成為形成各電晶體之通道之區域。而且導電體31之上端連接於作為位元線BL發揮功能之金屬配線層32。

於井區域20之表面區域內，形成有 $n^+$ 型雜質擴散層33。於擴散層33上形成有接觸插塞35，接觸插塞35連接於作為源極線SL發揮功能之金屬配線層36。進而，於井區域20之表面區域內，形成有 $p^+$ 型雜質擴散層34。於擴散層34上形成有接觸插塞37，接觸插塞37連接於作為井配線CPWELL發揮功能之金屬配線層38。井配線CPWELL係用以經由井區域20對導電體31施加電位之配線。

以上之構成於記載圖3之紙面之深度方向上排列有複數個，利用排列於深度方向之複數個NAND串10之集合而形成串單元SU。

另外，資料之刪除可以區塊BLK為單位，或以比區塊BLK更小之單位進行。關於刪除方法，例如記載於2011年9月18日提出申請之美國專利申請13/235,389號“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE(非揮發性半導體記憶體器件)”中。另外，記載於2010年1月27日提出申請之美國專利申請12/694,690號“NONVOLATILE SEMICONDUCTOR STORAGE DEVICE(非揮發性半導體儲存器件)”中。進而，記載於2012年5月30日提出申請之美國專利申請13/483,610號“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF(非揮發性半導體記憶體設備及資料擦除方法)”中。該等專利申請案之整體藉由參照引用至本案說明書中。

進而，關於記憶胞陣列110之構成，可為其他構成。即，關於記

憶胞陣列110之構成，例如記載於2009年3月19日提出申請之美國專利申請12/407,403號“三維積層非揮發性半導體記憶體”中。另外，記載於2009年3月18日提出申請之美國專利申請12/406,524號“三維積層非揮發性半導體記憶體”、2010年3月25日提出申請之美國專利申請12/679,991號“非揮發性半導體記憶裝置及其製造方法”、及2009年3月23日提出申請之美國專利申請12/532,030號“半導體記憶體及其製造方法”中。該等專利申請案之整體藉由參照引用至本案說明書中。

#### 1.1.3.3 關於區塊BLK之種類與資料之寫入單位

其次，對上述區塊BLK之種類與資料之寫入單位進行說明。

本實施形態之區塊BLK可採用MLC(Multi-level cell，多層記憶胞)用區塊、SLC(Single-level cell，單層記憶胞)用區塊、及4PPP(Partial page program，部分頁面編程)用區塊之3種類中之任一種類。

##### <關於MLC用區塊及SLC用區塊>

於MLC用區塊及SLC用區塊中，資料之寫入係對任一串單元SU中之任一字元線WL所連接之記憶胞電晶體MT一次性進行。將該單位稱為「頁面」。

而且SLC用區塊為1個記憶胞電晶體MT可保持1位元資料之區塊。與此相對，於MLC用區塊中，1個記憶胞電晶體MT可保持2位元以上之資料。例如列舉保持2位元資料之情形為例，資料之寫入係對2位元資料中之每個下位位元(下位頁面)、及每個上位位元(上位頁面)進行。因此，MLC用區塊之頁面數成為SLC用區塊之頁面數之2倍。

##### <關於4PPP用區塊>

4PPP用區塊係以1頁面之1/4尺寸之資料為單位進行寫入之區塊。圖4係表示4PPP用區塊中之1頁面資料與對應於資料位置之行位址之關係之模式圖。

此外，感測放大器130具備可保持1頁面資料之頁面緩衝器，於寫入時，頁面緩衝器中儲存之頁面尺寸之資料之各位元被賦予至位元線BL。因此，圖4亦可以說係該頁面緩衝器之模式圖。另外，以下，列舉頁面尺寸為16 K位元之情形為例進行說明。

如圖4所示，於4PPP用區塊中，1頁面包含4個區域ZN(ZN0～ZN3)。而且各區域ZN具有16 KB之1/4即4 KB之尺寸。

於記憶胞陣列110中，位元線BL係利用“行”之單位指定，1行包含例如8根位元線BL。例如被分配行位址CA0之行與位元線BL0～BL7對應，被分配行位址CA1之行與位元線BL8～BL15對應。

最前區域ZN0之最前位址為CA0，最後位址為CA4095(CA(4K-1))。下一區域ZN1之最前位址為CA4096(CA4K)，最後位址為CA8191(CA(8K-1))。下一區域ZN2之最前位址為CA8192(CA8K)，最後位址為CA12287(CA(12K-1))。然後，最後區域ZN3之最前位址為CA12288(CA12K)，最後位址為CA16383(CA(16K-1))。

而且，於4PPP用區塊中，以該4 KB之區域為單位寫入資料。或者，換言之，資料之寫入本身係以頁面為單位進行，但實際被寫入真正之資料之只有被選擇之任一個區域，對於其他非選擇區域ZN禁止實質性資料之寫入。

於對4PPP用區塊寫入資料時，根據選擇哪個區域ZN而寫入條件不同。圖5係表示各區域ZN與寫入條件之關係之表格(以下，將其稱為條件表格)之概念圖。條件表格例如保持於任一區塊BLK中，例如於對NAND型快閃記憶體100接通電源時讀出，且保持於定序器180內之例如暫存器中。然後，定序器基於該條件表格執行寫入動作。

如圖所示，條件表格針對每個區域，保持編程驗證時使用之驗證電壓VCG\_Z、編程時使用之編程電壓VPGM之升壓幅度 $\Delta$ VPGM、及編程前是否進行預驗證之資訊。

圖5之例中，於選擇最前區域ZN0時，編程驗證時使用之驗證電壓設為VCG\_Z0，升壓幅度設為 $\Delta\text{VPGM\_Z0}$ ，不進行預驗證。於選擇區域ZN1時，驗證電壓設為VCG\_Z1，升壓幅度設為 $\Delta\text{VPGM\_Z1}$ ，可進行亦可不進行預驗證。於選擇區域ZN2時，驗證電壓設為VCG\_Z2，升壓幅度設為 $\Delta\text{VPGM\_Z2}$ ，可進行亦可不進行預驗證。於選擇最後區域ZN3時，驗證電壓設為VCG\_Z3，升壓幅度設為 $\Delta\text{VPGM\_Z3}$ ，進行預驗證。

此外，驗證位準VCG\_Z存於下述關係。即，

$$\text{VCG\_Z0} \leq \text{VCG\_Z1} \leq \text{VCG\_Z2} < \text{VCG\_Z3}$$

另外，升壓幅度 $\Delta\text{VPGM}$ 存於下述關係。即，

$$\Delta\text{VPGM\_Z0} \geq \Delta\text{VPGM\_Z1} \geq \Delta\text{VPGM\_Z2} > \Delta\text{VPGM\_Z3}$$

關於預驗證之詳細情況將於下文敘述。

## 1.2 關於寫入動作

其次，對上述構成之記憶體系統1之寫入動作進行說明。

### 1.2.1 關於控制器200之動作

首先，使用圖6對對控制器200之動作進行說明。圖6之各步驟主要係藉由處理器230之主導執行。

如圖所示，控制器200自主機設備300接收寫入命令與寫入資料(步驟S10)。然後處理器230將接收到之寫入資料保持於緩衝記憶體240中(步驟S11)，並且判斷是否需要立即使接收到之寫入資料非揮發化(步驟S12)。

於無須立即非揮發化之情形時(步驟S12，NO(否))，處理結束。於該情形時，控制器200於自主機設備300接收到進一步之寫入命令時、或未進行其他處理之空閒時間等任意之時序，將寫入資料寫入至NAND型快閃記憶體100。

於需要立即非揮發化之情形時(步驟S12，YES(是))，處理器230

判斷寫入資料之尺寸(步驟S13)。於資料尺寸並非4 KB之情形時(步驟S13, NO(否)), 處理器230判斷是否應以SLC模式寫入資料(步驟S14)。SLC模式係指對SLC用區塊寫入資料之模式, 即對1個記憶胞電晶體寫入1位元資料之模式。

於無須以SLC模式寫入之情形時(步驟S14, NO), 處理器230選擇MLC模式。MLC模式係指對MLC用區塊寫入資料之模式, 即對1個記憶胞電晶體寫入多位元資料之模式。然後, NAND介面電路250響應處理器230之命令對NAND型快閃記憶體100發出通常之編程指令(步驟S15)。然後處理器230將與MLC用區塊對應之頁面位址(列位址)及寫入資料經由NAND介面電路250輸出至NAND型快閃記憶體100。頁面位址為與MLC用區塊中剛進行過寫入之頁面之下一頁面對應之位址。

於需要以SLC模式寫入之情形時(步驟S14, YES), 處理器230選擇SLC模式。然後, NAND介面電路250響應處理器230之命令, 首先對NAND型快閃記憶體100發出SLC指令(步驟S16), 繼而, 發出通常之編程指令(步驟S15)。SLC指令係用以將NAND型快閃記憶體100設為SLC模式之指令。然後處理器230將與SLC用區塊BLK對應之頁面位址及寫入資料經由NAND介面電路250輸出至NAND型快閃記憶體100。頁面位址為與SLC用區塊中剛進行過寫入之頁面之下一頁面對應之位址。

於步驟S13中, 於資料尺寸為4 KB之情形時(步驟S13, YES), 處理器230選擇PPP模式。如使用圖4所說明般, PPP模式係指以小於頁面尺寸之尺寸之區域為單位寫入資料之模式。然後, NAND介面電路250響應處理器230之命令, 首先對NAND型快閃記憶體100發出PPP指令(步驟S17), 然後依次發出SLC指令及通常之編程指令(步驟S16、S15)。進而, 處理器230將與PPP用區塊對應之頁面位址、與所選擇之

區域對應之行位址、及寫入資料經由NAND介面電路250輸出至NAND型快閃記憶體100。頁面位址係與PPP用區塊中剛進行過寫入之頁面之下一頁面對應之位址。另外，行位址係與PPP用區塊中剛進行過寫入之區域 $ZN_i$ 之下一區域 $ZN_{(i+1)}$ 對應之位址( $i$ 為自然數，於圖4之例中為0、1、2、3之任一個)。例如，於圖4中，若已寫入區域 $ZN_0$ 及 $ZN_1$ 之資料，則發出與下一區域 $ZN_2$ 之最前行位址對應之CA8192。

其次，對控制器200與NAND型快閃記憶體100之間之指令順序進行說明。

#### <關於MLC模式>

首先，使用圖7，對MLC模式時之指令順序進行說明。如圖所示，控制器200首先發出通常之寫入指令“80H”(相當於圖6之步驟S15)，並且確證信號CLE(“H”位準)。繼而，控制器200例如於5週期內發出位址(CA：行位址、RA：列位址)，並且確證信號ALE(“H”位準)。該等指令及位址例如分別儲存於暫存器170及160中。然後，定序器180響應於暫存器170中未保持PPP指令及SLC指令而保持了通常之寫入指令“80H”之情況，識別接收到MLC模式之寫入存取。

其次控制器200於複數個週期中輸出寫入資料 $D_{in}$ 。於此期間，信號ALE及CLE設為否定(“L”位準)。NAND型快閃記憶體100所接收到之寫入資料 $D_{in}$ 保持於感測放大器130內之頁面緩衝器中。

其次控制器200發出寫入指令“10H”，並且確證CLE。定序器180響應於指令“10h”被儲存於暫存器170中之情況，開始寫入動作，NAND型快閃記憶體100成為忙碌狀態( $RB_n = “L”$ )。此外，控制器200每當發出指令、位址、及資料等信號時，確證 $WE_n$ (“L”位準)。而且，每當 $WE_n$ 被切換，信號被擷取至NAND型快閃記憶體100。

### <關於通常之SLC模式>

其次，使用圖8，對通常之SLC模式時之指令順序進行說明。如圖所示，與圖7中說明之MLC模式之不同之處在於：控制器200首先發出SLC指令“A2H”（相當於圖6之步驟S16）。其後，控制器200發出通常之寫入指令“80H”。定序器180藉由暫存器170中保持了SLC指令“A2H”及通常之寫入指令“80H”而未保持PPP指令，識別接收到通常之SLC模式之寫入存取。

### <關於PPP模式>

其次，使用圖9，對PPP模式時之指令順序進行說明。如圖所示，與圖8中說明之通常之SLC模式之不同之處在於：控制器200於SLC指令“A2H”之前發出PPP指令“XH”（相當於圖6之步驟S17）。其後，控制器200發出SLC指令“A2H”及通常之寫入指令“80H”。定序器180藉由暫存器170中保持了PPP指令“XH”、SLC指令“A2H”、及通常之寫入指令“80H”，識別接收到PPP模式之寫入存取。

### 1.2.2 關於NAND型快閃記憶體100之動作

其次，使用圖10對NAND型快閃記憶體100之動作進行說明。圖10之處理係響應於指令“10H”被儲存至指令暫存器170中而開始，主要藉由定序器180主導而執行。

自控制器200接收到之指令保持於指令暫存器170中，位址保存於位址暫存器160中。若於指令暫存器170中未保持PPP指令（步驟S20，NO）且未保持SLC指令（步驟S21，NO），則定序器180以MLC模式執行編程（步驟S22）。即，於僅賦予通常之編程指令“80H”之情形時，資料係以頁面為單位寫入MLC用區塊。

於指令暫存器170中未保持PPP指令（步驟S20，NO），但保持SLC指令之情形時（步驟S21，YES），定序器180以通常之SLC模式執行編

程(步驟S23)。即，於賦予SLC指令“A2H”及通常之編程指令“80H”之情形時，資料係以頁面為單位寫入至SLC用區塊。

於指令暫存器170中保持PPP指令“XH”之情形時(步驟S20)下，定序器180以PPP模式執行編程。行解碼器150對自位址暫存器160賦予之行位址CA進行解碼。然後，於行位址CA為CA12K以上之情形時(步驟S24，YES)，行選擇器140選擇區域ZN3(步驟S25)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN3對應之區域中，儲存自控制器200接收到之寫入資料。繼而，定序器180進行預驗證(步驟S26)，基於預驗證之結果，進行PPP模式之寫入(步驟S27)。

對於步驟S26之預驗證及步驟S27之PPP模式之寫入，使用圖11進行說明。圖11表示與區域ZN0～ZN2對應之記憶胞電晶體之臨限值分佈、及與區域ZN3對應之記憶胞電晶體之臨限值分佈。

如圖所示，於區域ZN3被選擇之時點，於該頁面中，已經對與區域ZN0～ZN2對應之記憶胞電晶體寫入了資料。於圖11之例中，寫入了“1”資料(刪除狀態)之記憶胞電晶體之臨限值例如為負值，寫入了“0”資料之記憶胞電晶體之臨限值高於“1”資料之臨限值(例如為正值)。另外，如使用圖5所說明般，區域ZN0～ZN2使用之驗證電壓VCG\_Z0、VCG\_Z1、及VCG\_Z2小於區域ZN3使用之驗證電壓VCG\_Z3。

於此種狀況下，步驟S26之預驗證係指特定與區域ZN0～ZN2對應且保持“0”資料之記憶胞電晶體中臨限值小於VCG\_Z3之記憶胞電晶體之動作。於圖11中，以標註斜線之區域表示以此種方式特定之電晶體之分佈。

另外，於步驟S27之寫入中，當然將區域ZN3之資料寫入至記憶胞電晶體。此時，使用VCG\_Z3作為驗證電壓，因此除了對該等記憶胞電晶體進行寫入以外，亦對預驗證所特定之記憶胞電晶體進行寫

入。其結果為，於所有區域ZN0~ZN3中，保持“0”資料之記憶胞電晶體之臨限值設為VCG\_Z3以上之值。

返回圖10繼續進行說明。於行位址CA為CA(4K-1)以下之情形時(步驟S28, YES)，行選擇器140選擇區域ZN0(步驟S29)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN0對應之區域中，儲存自控制器200接收到之寫入資料。於選擇了區域ZN0之情形時，定序器180不進行預驗證而以SLC模式進行寫入(步驟S30)。此時，使用VCG\_Z0作為驗證電壓，另外，禁止對與區域ZN1~ZN3對應之記憶胞電晶體之寫入(換言之，對“1”資料進行編程)。

於行位址CA為CA8K以上且CA(12K-1)以下之情形時(步驟S31, YES)，行選擇器140選擇區域ZN2(步驟S32)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN2對應之區域中，儲存自控制器200接收到之寫入資料。於選擇了區域ZN2之情形時，定序器180確認預驗證是否可執行(步驟S33)。若可執行(步驟S33, YES)，則進行預驗證(步驟S34)。以步驟S34之預驗證所特定之記憶胞電晶體為於區域ZN0及ZN1中保持“0”資料且臨限值小於VCG\_Z2之記憶胞電晶體。然後，對於與區域ZN2對應之記憶胞電晶體以SLC模式執行寫入(步驟S35)。此外，與區域ZN3對應之記憶胞電晶體應為刪除狀態，因此禁止對該等記憶胞電晶體之寫入。若步驟S33中預驗證可執行(步驟S33, YES)，則於步驟S35中，不僅對與區域ZN2對應之記憶胞電晶體執行寫入，亦對步驟S33所特定之記憶胞電晶體執行寫入。其結果為，與該頁面對應之保持“0”資料之記憶胞電晶體之臨限值被設為VCG\_Z2以上之值。若步驟S33中預驗證為不可執行(步驟S33, NO)，則於步驟S35中，禁止對與區域ZN0、ZN1、及ZN3對應之記憶胞電晶體之寫入。

於行位址CA為CA4K以上且CA(8K-1)以下之情形時(步驟S31，

NO)，行選擇器140選擇區域ZN1(步驟S36)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN1對應之區域中，儲存自控制器200接收到之寫入資料。然後，進行與選擇區域ZN2之情形相同之處理。即，首先，視需要進行預驗證(步驟S38)。步驟S38之預驗證所特定之記憶體電晶體係於區域ZN0中保持“0”資料且臨限值小於VCG\_Z1之記憶體電晶體。然後，對與區域ZN1對應之記憶體電晶體以SLC模式執行寫入(步驟S39)。

其次，使用圖12及圖13，對上述寫入時之NAND型快閃記憶體100之動作之詳細情況進行說明。

#### <關於MLC模式及通常之SLC模式>

首先，使用圖12對MLC模式及通常之SLC模式時之動作進行說明。

於MLC模式及通常之SLC模式下，首先執行資料之編程動作。如圖所示，於時刻 $t_0$ ，列解碼器120根據自暫存器160賦予之列位址RA，選擇MLC用區塊或SLC區塊，進而，於選擇區塊中選擇任一串單元SU。然後，列解碼器120對所選擇之串單元SU之選擇閘極線SGD0施加電壓VSGD\_prog。電壓VSGD\_prog係使選擇電晶體ST1導通之電壓。進而，列解碼器120對選擇閘極線SGS、及非選擇串單元之選擇閘極線SGD施加0 V。

另外，感測放大器140基於頁面緩衝器中儲存之寫入資料，對寫入“0”資料之位元線BL施加例如0 V，對寫入“1”資料之位元線BL施加正電壓VDD( $> 0$  V)(時刻 $t_1$ )。“0”資料寫入係藉由對記憶體電晶體MT之電荷儲存層注入電子而使記憶體電晶體MT之臨限值電壓上升，結果使臨限值位準轉換到更高位準之寫入動作。另一方面，“1”資料寫入係藉由抑制對記憶體電晶體MT之電荷儲存層注入電子而維持臨限值位準之寫入動作(即，臨限值電壓大致不變，又可稱為

禁止寫入)。

繼而，於時刻 $t_2$ ，列解碼器120對選擇串單元SU之選擇閘極線SGD施加電壓VSGD(例如 $VSGD_{prog} > VSGD$ )。電壓 $VSGD_{prog}$ 係可實現對選擇電晶體ST1傳送電壓VDD之電壓。另一方面，電壓VSGD係可對選擇電晶體ST1傳送0 V，但無法傳送電壓VDD之電壓。因此，與寫入“1”資料之位元線BL對應之選擇電晶體ST1成為截止狀態。

其次，於時刻 $t_3$ ，列解碼器120對選擇區塊之字元線WL施加電壓VPASS。繼而，列解碼器120使對選擇字元線WL施加之電壓自VPASS上升至VPGM(時刻 $t_4$ )。由此，對選擇串單元SU中連接於選擇字元線WL之記憶胞電晶體MT以頁面單位寫入資料。此外，電壓VPASS係與保持資料無關地使記憶胞電晶體MT成為導通狀態，且可使與“1”資料寫入對應之NAND串10內之通道之電位藉由電容耦合而充分上升之電壓。另外，電壓VPGM係可藉由FN穿隧對電荷儲存層注入電子之高電壓。

於時刻 $t_4 \sim t_5$ 期間，於資料被編程後，將各配線設為0 V(時刻 $t_7$ )。

藉由以上，當資料編程結束時，定序器180執行編程驗證。編程驗證係判斷是否藉由時刻 $t_4 \sim t_5$ 之資料編程使記憶胞電晶體上升至目標臨限值位準之動作。

即，於時刻 $t_8$ ，列解碼器120對選擇串單元SU中之選擇閘極線SGD及SGS施加電壓VSG。電壓VSG係使選擇電晶體ST1、ST2成為導通狀態之電壓。繼而，感測放大器130對位元線BL施加電壓 $V_{b1} (< VDD)$ ，列解碼器120對選擇區塊之非選擇字元線WL施加電壓VREAD。電壓VREAD係與保持資料無關地使記憶胞電晶體成為導通狀態之電壓(時刻 $t_9$ )。進而，列解碼器120對選擇字元線WL施加編程

驗證電壓  $V_{pvfy}$ (時刻  $t_{10}$ )。  $V_{pvfy}$  係與圖 5 中說明之例如  $VCG\_Z3$  相等，於記憶胞電晶體成為最終目標之臨限值電壓。

其結果為，若連接於選擇字元線  $WL$  之記憶胞電晶體成為斷開狀態，則單元電流未流入位元線  $BL$ ，該位元線  $BL$  藉由編程驗證。另一方面，若成為導通狀態，則單元電流流入至位元線  $BL$ ，該位元線  $BL$  編程驗證失敗。

以下，以編程驗證失敗之位元線  $BL$  為對象，反覆進行上述編程及編程驗證。此時，每次反覆進行編程時，使電壓  $V_{PGM}$  之值升壓  $\Delta V_{PGM}$ 。

此外，於圖 12 之例中，編程驗證電壓  $V_{pvfy}$  設為固定值，但於 MLC 模式之情形時， $V_{pvfy}$  亦根據臨限值升壓。

#### <關於 PPP 模式>

其次，使用圖 13 對 PPP 模式時之動作進行說明。以下，著眼於圖 12 中說明之 MLC 模式及通常之 SLC 模式之不同進行說明。

於 PPP 模式下，定序器 180 首先於資料編程前之時刻  $t_{20} \sim t_0$  之間執行預驗證。

如圖 13 所示，首先，與編程驗證時同樣地，列解碼器 120 對選擇串單元  $SU$  之選擇閘極線  $SGD$  及  $SGS$  施加電壓  $V_{SG}$ ，使選擇電晶體  $ST1$  及  $ST2$  成為導通狀態(時刻  $t_{20}$ )。繼而，於時刻  $t_{21}$ ，感測放大器 140 將位元線  $BL$  充電至電壓  $V_{b1}$ ，列解碼器 120 對非選擇字元線  $WL$  施加電壓  $V_{READ}$ 。於該狀態下，列解碼器 120 於時刻  $t_{22}$  對選擇字元線  $WL$  施加電壓  $V_{CGR}$ 。如圖 11 中說明般，電壓  $V_{CGR}$  係可判別“1”資料與“0”資料之電壓，其值小於  $VCG\_Z0$ ，且大於保持“1”資料之記憶胞電晶體可取之臨限值之最大值。

繼而，列解碼器 120 於時刻  $t_{23}$  對選擇字元線  $WL$  施加驗證電壓  $VCG\_Z$ 。如圖 5 中說明，電壓  $VCG\_Z$  係針對每個區域設定之值。

以上結果為，可特定為於施加電壓VCGR時單元電流不流通、於施加電壓VCG\_Z時單元電流通之位元線與保持“0”資料且其臨限值小於VCG之記憶胞電晶體對應(即，特定圖11中之斜線部分之記憶胞)。

於上述預驗證之後，反覆進行編程與編程驗證。PPP模式下之編程與MLC模式或通常之SLC模式之不同之處在於：預驗證時所特定之位元線BL亦成為“0”資料寫入對象。即，即便係非選擇區域ZN，亦對預驗證所特定之位元線BL施加0 V。

編程驗證與MLC模式及通常之SLC模式相同。但編程驗證時使用之驗證電壓與預驗證時所使用之驗證電壓VCG\_Z為相同值。

如上所述，藉由使用電壓VCGR及VCG\_Z之2次讀出動作，特定與保持“0”資料且臨限值小於VCG\_Z之記憶胞電晶體對應之位元線BL。此種記憶胞電晶體係於“0”資料寫入時使用之驗證電壓小於VCG\_Z或剛寫入後之臨限值為VCG\_Z以上，但其後隨著時間經過臨限值降低之記憶胞電晶體。而且，對此種記憶胞電晶體亦進行“0”資料之追加寫入。

此外，預驗證僅於寫入動作時之開始進行即可。其後與MLC模式及通常之SLC模式同樣地反覆進行編程動作與編程驗證動作。

### 1.2.3 PPP模式之具體例

其次，使用圖14至圖16，對上述PPP模式之資料之寫入動作之具體例進行說明。圖14至圖16係感測放大器130及PPP用區塊之方塊圖。於圖14至圖16中，頁面尺寸為16 K位元，1頁面包含4個區域，而且分別表示選擇區域ZN0、ZN1、及ZN3時之情況。

首先，使用圖14對選擇區域ZN0時之情況進行說明。如圖所示，自控制器200賦予之4 K位元之資料於感測放大器130之頁面緩衝器中，儲存至由行選擇器140選擇之與區域ZN0對應之區域中。於其他

區域(區域 ZN1 ~ ZN3)中，例如利用定序器 180 將所有位元設為“1”。於該狀態下，以頁面為單位寫入資料。其結果為，實際上僅對區域 ZN0 進行寫入，區域 ZN1 ~ ZN3 設為非寫入。

其次，使用圖 15 對選擇區域 ZN1 時之情況進行說明。圖 15 表示選擇區域 ZN1 時之預驗證設為無法執行之情形。如圖所示，自控制器 200 賦予之 4 K 位元之資料於感測放大器 130 之頁面緩衝器中儲存於由行選擇器 140 選擇之與區域 ZN1 對應之區域中。於其他區域(區域 ZN0 及 ZN2 ~ ZN3)中，例如利用定序器 180 將所有位設置為“1”。於該狀態下，以頁面為單位寫入資料。其結果為，實際上僅對區域 ZN1 進行寫入，區域 ZN0 及 ZN2 ~ ZN3 設為非寫入。此外，於預驗證設為可執行之情形時，基於使用驗證電壓 VCG\_Z1 之預驗證之結果，需要追加寫入之記憶體電晶體亦成為“0”資料寫入對象。於選擇區域 ZN2 時，與選擇區域 ZN1 時相同。

其次，使用圖 16 對選擇區域 ZN3 時之情況進行說明。於選擇最後區域 ZN3 時，首先，進行使用驗證電壓 VCG\_Z3 之預驗證。然後，如圖所示，將基於預驗證之結果之資料儲存至感測放大器 130 之頁面緩衝器中。即，需要追加寫入之記憶體電晶體 MT 所對應之區域設置“0”，無需追加寫入之區域設置“1”。進而，將自控制器 200 賦予之 4 K 位元之資料儲存於由行選擇器 140 選擇之與區域 ZN3 對應之區域中。於該狀態下，以頁面為單位寫入資料。其結果為，不僅對區域 ZN3 進行追加寫入，對已經完成寫入之區域 ZN0 ~ ZN2 亦根據預驗證結果進行追加寫入。

### 1.3 本實施形態之效果

根據本實施形態，可提昇記憶體系統及半導體記憶裝置之動作可靠性。以下對本效果進行說明。

記憶裝置之控制器例如使用 FAT(file allocation table，檔案分配

表)檔案系統等各種檔案系統管理記憶裝置。另外，應寫入至記憶裝置之資料有應立即非揮發化(應寫入至非揮發性記憶胞)之資料與並非如此之資料。於後者之資料之情形時，例如於控制器或記憶裝置之空閒時間等合適之時序進行非揮發化即可。

作為應立即非揮發化之資料之示例，例如可列舉檔案系統之管理資訊等，此種資料之尺寸大多小於頁面尺寸。於該情形時，較佳為將1頁面分割為複數個區域以小於頁面尺寸之資料單位寫入。更具體而言，寫入僅一部分區域包含實質性之資料，其他區域包含寫入禁止資料(於本例中為“1”資料)之頁面資料即可。而且，於寫入下一小於頁面尺寸之資料時，選擇相同頁面，對寫入了“1”資料之區域寫入實質性之資料。若使用此種方法，則可有效利用頁面。

然而，本方法中，於同一頁面內，最初寫入之資料與最後寫入之資料之間，編程干擾之影響不同。即，最初寫入之資料於同一頁面內受到其後進行之寫入動作影響而其臨限值分佈擴大。其結果為，有資料之可靠性降低之虞。

關於該方面，本實施形態中，控制器200對NAND型快閃記憶體100發出明示PPP模式之PPP指令。如此，NAND型快閃記憶體100藉由接收PPP指令，而識別應寫入小於頁面尺寸之資料。然後，NAND型快閃記憶體100基於自控制器200接收到之行位址，判斷應寫入之資料對應於頁面內之哪個區域(於上述實施形態之例中為區域ZN0~ZN3之任一個)。然後，於與頁面內應最後應寫入之區域對應之情形時，以於頁面內使臨限值分佈一致之方式，以包含已經完成寫入之區域於內之頁面為單位執行寫入。由此，即便於以小於頁面尺寸之資料為單位進行寫入之情形時，亦可抑制資料可靠性之降低。

一面參照圖17一面對以上方面進行具體說明。圖17表示對於某

一頁面，自區域ZN0起以ZN1、ZN2、及ZN3之順序寫入資料時之與區域ZN0~ZN3對應之記憶胞電晶體之臨限值分佈之變動。另外，圖17表示不對區域ZN1及ZN2進行預驗證之情形。

如圖所示，於初始狀態(刪除狀態)下，所有記憶胞電晶體保持“1”資料，其臨限值小於VCGR(例如小於0 V)。

於該狀態下，首先，以PPP模式對區域ZN0進行寫入。其結果為，根據寫入資料，對與區域ZN0對應之記憶胞電晶體之一部分寫入“0”資料。保持“0”資料之記憶胞電晶體之臨限值為VCG\_Z0以上，當然高於VCGR。另一方面，由於對選擇字元線WL施加電壓VPGM，因此產生對於非寫入(“1”資料寫入)對象之記憶胞電晶體之誤寫入，一部分非寫入對象記憶胞電晶體之臨限值亦產生變動。其結果為，臨限值分佈之上端部分向高電壓側偏移。於圖17標註斜線表示該臨限值偏移之部分。

其次，以PPP模式對區域ZN1進行寫入。其結果為，對與區域ZN1對應之記憶胞電晶體之一部分寫入“0”資料。保持“0”資料之記憶胞電晶體之臨限值為VCG\_Z1以上，高於VCGR。此時亦因為誤寫入而使非寫入對象之記憶胞電晶體之臨限值亦產生變動。進而，與已經完成寫入之區域ZN0對應之記憶胞電晶體中，寫入了“0”資料之記憶胞電晶體之臨限值亦產生變動。

繼而，以PPP模式對區域ZN2進行寫入。此時亦與區域ZN1同樣地因為誤寫入而使非寫入對象之記憶胞電晶體之臨限值電壓產生變動。

最後，以PPP模式對區域ZN3進行寫入。此時，對藉由使用驗證電壓VCG\_Z3之預驗證結果而判斷需要追加寫入之、與區域ZN0~ZN2對應之記憶胞電晶體亦進行寫入。

以上結果為，於區域ZN3之寫入結束之時點，即1頁面整體之寫

入結束之時點，保持“0”資料之記憶胞電晶體之臨限值分佈中之誤寫入之影響被大致消除。即，雖然區域ZN0~ZN3受到之誤寫入之影響於每個區域不同，但藉由基於預驗證結果進行區域ZN3之寫入，而大致消除該影響之差異，保持“0”資料之記憶胞電晶體之臨限值分佈於區域ZN0~ZN3間成為大致均勻。另一方面，於“1”資料之臨限值分佈中，雖然殘留著誤寫入對非寫入對象記憶胞電晶體之影響，但因該影響所產生之臨限值之偏移量於區域ZN0~ZN3間大致相同。其原因在於：非寫入對象記憶胞電晶體受到誤寫入之影響之次數對於區域ZN0~ZN3之任一個均為同樣為4次。因此，“1”資料之臨限值分佈亦於區域ZN0~ZN3間成為大致均勻。

如此，於將1頁面分割為複數個區域而進行寫入之分割寫入中，NAND型快閃記憶體100識別寫入資料與1頁面內之哪一區域對應。然後，至少於最後之區域ZN3寫入時進行預驗證，基於其結果，對已經完成寫入之區域ZN0~ZN2進行再寫入，使該等區域之臨限值分佈與區域ZN3一致。由此，即便於進行分割寫入之情形時，亦可使區域間之臨限值分佈大致均勻地一致。

此外，與最後區域以外之區域對應之記憶胞電晶體之臨限值分佈於最後區域寫入時進行調整。因此，最後區域以外之寫入可相比最後區域之寫入更粗略。使用圖18對該方面進行說明。圖18係簡化表示區域ZN0之寫入、預驗證、及區域ZN3寫入時之字元線之電壓之時序圖。

如圖所示，藉由反覆進行編程與編程驗證而寫入資料。此時，編程電壓VPGM於每次反覆時以升壓幅度 $\Delta VPGM$ 升壓。而且，最前區域ZN0寫入時之升壓幅度 $\Delta VPGM_{Z0}$ 大於最後區域ZN3寫入時之升壓幅度 $\Delta VPGM_{Z3}$ 。因此，區域ZN0之寫入比區域ZN3之寫入早結束。另一方面，由於於區域ZN3寫入時，以詳細之步驟使編程電壓

VPGM升壓，因此可以更高精度設定臨限值。該方面對於區域ZN1及ZN2亦相同。

此外，於圖18中，將編程電壓VPGM之初始值於區域ZN0寫入之情形時與於區域ZN3寫入之情形時設為相同值，但亦可為不同值。

## 2. 第2實施形態

其次，對第2實施形態之記憶體系統進行說明。本實施形態係於上述第1實施形態中進而具備將1頁面分割為二進行寫入之模式。以下，僅對與第1實施形態之不同之處進行說明。另外，以下，將把1頁面分割為四進行寫入之模式(第1實施形態中說明之模式)稱為4PPP模式，將分割為二進行寫入之模式稱為2PPP模式。

### 2.1 關於區塊之種類與資料之寫入單位

本實施形態之記憶體陣列110除包含第1實施形態中說明之MLC用區塊、SLC用區塊、及4PPP用區塊以外，進而包含2PPP用區塊。

2PPP用區塊係以1頁面之1/2尺寸之資料為單位進行寫入之區塊。圖19係表示2PPP用區塊中之1頁面資料與對應於資料位置之行位址之關係之模式圖，與對4PPP用區塊進行說明之圖4對應。

如圖19所示，於2PPP用區塊中，1頁面包含2個區域ZN0及ZN1。而且各區域ZN具有16 KB之1/2即8 KB之尺寸。

最前區域ZN0之最前位址為CA0，最後位址為CA8191(CA(8K-1))。下一區域ZN1之最前位址為CA8192(CA8K)，最後位址為CA16383(CA(16K-1))。而且，於2PPP用區塊中，以該8 KB之區域ZN為單位寫入資料。

2PPP模式下之寫入條件保持於第1實施形態中使用圖5進行說明之條件表格中。圖20係本實施形態之條件表格之概念圖。

如圖所示，選擇最前區域ZN0時之寫入條件與4PPP模式下選擇最前區域ZN0時之條件相同。另外，選擇最後區域ZN1時之寫入條件與

4PPP模式下選擇最後區域ZN3時之條件相同。

## 2.2 關於寫入動作

其次，對本實施形態之記憶體系統1中之寫入動作進行說明。

### 2.2.1 關於控制器200之動作

首先，使用圖21對控制器200之動作進行說明。圖21係表示寫入動作時之控制器200之動作之流程圖。

與於第1實施形態中使用圖6進行說明之動作之不同之處如下所述。即，

(1)於資料尺寸為4 KB之情形時(步驟S13，YES)，控制器200發出4PPP指令(步驟S41)。

(2)於資料尺寸為8 KB之情形時(步驟S40，YES)，控制器200發出2PPP指令(步驟S42)。

4PPP指令及2PPP指令為第1實施形態中說明之PPP指令之一種，分別為命令以4PPP模式及以2PPP模式進行寫入之指令。

圖22表示PPP模式時之指令順序。如圖所示，與第1實施形態中說明之圖9之不同之處在於準備了複數個PPP指令。於圖22之例中，當指定2PPP模式時，發出指令“XAH”，當指定4PPP模式時，發出指令“XBH”。此外，可準備將1頁面分割為八，以2 KB為單位寫入資料之8PPP模式，於該情形時，發出指令“XCH”。

### 2.2.2 關於NAND型快閃記憶體100之動作

其次，使用圖23對NAND型快閃記憶體100之動作進行說明。圖23係表示寫入動作時之NAND型快閃記憶體100之動作之流程圖，與第1實施形態中之圖10對應。

如圖所示，於接收到PPP指令(步驟S20，YES)，且其為4PPP指令之情形時(步驟S50，YES)，定序器180以4PPP模式進行寫入。本動作如第1實施形態中所說明般，進行圖10中之步驟S24～S39之動作。

於接收到之PPP指令為2PPP指令之情形時(步驟S50，NO)，定序器180以2PPP模式進行寫入。於行位址CA為CA8K以上之情形時(步驟S52，YES)，行選擇器140選擇區域ZN1(步驟S53)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN1對應之區域中，儲存自控制器200接收到之8 K位元之寫入資料。繼而，定序器180進行預驗證(步驟S54)，基於預驗證之結果，進行SLC模式之寫入(步驟S55)。即，於4PPP模式時，進行與選擇區域ZN3時同樣之動作。

於行位址CA為CA(8K-1)以下之情形時(步驟S52，NO)，行選擇器140選擇區域ZN0(步驟S56)。其結果為，於感測放大器130中之頁面緩衝器之與區域ZN0對應之區域中，儲存自控制器200接收到之8 KB之寫入資料。於選擇了區域ZN0之情形時，定序器180不進行預驗證而以SLC模式進行寫入(步驟S57)。即，於4PPP模式時，進行與選擇區域ZN0時同樣之動作。

### 2.3 本實施形態之效果

根據本實施形態，藉由具有複數個PPP模式，而可對應各種尺寸之資料。於本實施形態中，以資料為4 KB及8 KB之情形為例進行了說明，但並不限定於此，可適於選擇各種資料尺寸。

## 3. 第3實施形態

其次，對第3實施形態之記憶體系統進行說明。本實施形態係於上述第1或第2實施形態中，控制器200向NAND型快閃記憶體100通知1頁面內之區域數及選擇區域。以下，進行對與第1及第2實施形態之不同之處進行說明。

### 3.1 關於控制器200之動作

首先，使用圖24對控制器200之動作進行說明。圖24表示PPP模式選擇時之指令順序。

如圖所示，本例中，於第1實施形態中說明之圖9中，控制器200

於PPP指令“XH”之後發出區域資訊。區域資訊例如為8位元資料，上位4位元表示區域數，下位4位元表示選擇區域。因此，若上位4位元為“0010”則選擇2PPP模式，若為“0100”則選擇4PPP模式，若為“1000”則選擇8PPP模式。而且，若下位位元為“0000”則選擇區域ZN0，若為“0001”則選擇區域ZN1，若為“0010”則選擇區域ZN2，以下相同。即，為如下資料：該資料表示控制器200其次要執行之PPP模式為哪個PPP模式之資訊，換言之，為針對控制器200其次要執行之動作之設定值，亦稱為模式資訊。當然，該模式資訊之構成並不限定於本例，只要可指定區域數及選擇區域即可。

### 3.2 關於NAND型快閃記憶體100之動作

其次，使用圖25對NAND型快閃記憶體100之動作進行說明。

圖25係表示4PPP模式時之NAND型快閃記憶體100之動作之流程圖，相當於第2實施形態中說明之圖23中之步驟S51。

定序器180基於模式指令之上位4位元掌握為4PPP模式，繼而，確認模式資訊之下位4位元(步驟S60)。然後，定序器180基於模式資訊之下位4位元，識別選擇區域(步驟S61~S63)。其他如第1實施形態中所說明。此外，由於可藉由模式資訊掌握選擇區域，因此不特別需要利用行解碼器150進行行位址之解碼。即，可按照定序器180之命令，選擇行選擇器140所指定之區域。

### 3.3 本實施形態之效果

如本實施形態，可自控制器200向NAND型快閃記憶體100通知1頁面內之區域數及選擇區域。

## 4. 變化例等

如上所述，上述實施形態之記憶體系統具備：半導體記憶裝置，包含與列及行建立關聯之複數個記憶胞；及控制器，對半導體記憶裝置以第1寫入動作(PPP mode之選擇ZN0)及第2寫入動作(PPP mode

之選擇ZN3)之任一寫入動作寫入資料。於第1寫入動作(PPP mode之選擇ZN0)中，對任一系列位址，對與第1行群(ZN0)對應之記憶體胞寫入資料，且將與第2行群(ZN3)對應之記憶體胞設為寫入禁止，上述第1行群(ZN0)為所有行之一部分且包含位址連續之第1行及第2行，上述第2行群(ZN3)為與第1行群不同之行群且包含位址連續之第3行及第4行。於第2寫入動作(PPP mode之選擇ZN3)中，對與第2行群(ZN3)對應之記憶體胞寫入資料，且將與第1行群(ZN0)對應之記憶體胞設為寫入禁止。半導體記憶裝置對於寫入動作中之字元線之動作設定值，於第1寫入動作(選擇ZN0時)時使用第1設定值，於第2寫入動作(選擇ZN3時)時使用與第1設定值不同之第2設定值(圖5)。

或者，記憶體系統於第1寫入動作(PPP mode之選擇ZN0)中，使用第1電壓(VCG\_Z0)作為驗證電壓寫入資料。然後，於第2寫入動作(PPP mode之選擇ZN3)中，使用與第1電壓(VCG\_Z0)不同之第2電壓(VCG\_Z3)作為驗證電壓，對與第2行群(ZN3)對應之記憶體胞、及與第1行群(ZN0)對應之記憶體胞中臨限值為第1電壓與第2電壓之間之記憶體胞寫入資料(圖11、16)。

根據本構成，即便於以小於頁面尺寸之資料為單位進行寫入之情形時，亦可使同一頁面內之臨限值分佈大致均勻。因此，可提昇利用記憶體胞電晶體之資料保持特性，從而可提昇半導體記憶裝置及記憶體系統之動作可靠性。

此外，實施形態並不限定於上述說明之形態，可進行各種變化。例如，於上述實施形態中，列舉2PPP模式及4PPP模式之情形為例進行了說明，但亦可支持8PPP模式、16PPP模式、及32PPP模式等。若將頁面尺寸設為16 KB，則於8PPP模式之情形時，1頁面被分割為分別為2 KB之8個區域。於16PPP模式之情形時，被分割為分別為1 KB之16個區域。於32PPP模式之情形時，被分割為分別為512位

元之32個區域。如此，可適於選擇將1頁面幾分割、及支持何種模式。

進而，可使選擇最後區域時與選擇最後區域以外之區域時之“0”資料寫入時之位元線之條件不同。將該情況表示於圖26及圖27中。圖26及圖27表示寫入時之臨限值分佈之變動，圖26表示選擇最後區域以外之區域之情形，圖27表示選擇最後區域之情形。

如圖26所示，於選擇最後區域以外之區域之情形時，位元線BL之電位於臨限值電壓達到所期望之值VCG\_Z0、VCG\_Z1、或VCG\_Z2(4PPP之情形時)前設為固定值(例如0 V)。因此，1次編程所產生之臨限值之變動於寫入動作期間大致固定。

與此相對，如圖27所示，於選擇最後區域之情形時，首先設定為小於所期望之值VCG\_Z3之驗證位準VCG\_QPW。而且，於臨限值電壓達到VCG\_QPW前，位元線BL之電位例如設為0 V。於臨限值電壓達到VCG\_QPW後，將位元線BL之電位設定為更高電壓，再次開始編程。藉由將位元線BL之電位設為較高之電壓，而使電荷儲存層與通道之間之電位差變小，使臨限值之變動量亦變小。當然，於選擇最後區域選時，對於其他區域中預驗證失敗之記憶胞電晶體亦以同樣之方法進行編程。

根據本方法，於距目標臨限值分佈較遠之階段粗略地進行寫入，當接近目標臨限值分佈時仔細地進行寫入。因此，可同時實現寫入速度之提昇與高精度之寫入。

另外，於上述實施形態中，以僅於選擇最後區域時進行預驗證，且選擇最後區域時之驗證位準高於選擇其他區域時之驗證位準之情形為例進行了說明。然而並不限定於該情形。圖28表示於4PPP模式下選擇區域ZN2時進行預驗證之情形時之臨限值分佈之變動。於該情形時，於選擇區域ZN2時，對需要預驗證之結果追加寫入之記憶胞

亦進行編程。

於其後選擇區域ZN3時，會因誤寫入之影響而使與區域ZN0～ZN2對應之記憶胞電晶體之臨限值變動，但保持“0”資料之記憶胞電晶體受到之誤寫入之影響僅有區域ZN3之寫入時產生之影響。因此，於可允許此種程度之臨限值變動之情形時，預驗證未必於選擇最後區域時進行。另外，於該情形時， $VCG\_Z0 \leq VCG\_Z1 < VCG\_Z2$ ， $VCG\_Z3$ 可大於亦可小於 $VCG\_Z2$ ，較佳為相同。當然， $\Delta VPGM\_Z0 \geq \Delta VPGM\_Z1 > \Delta VPGM\_Z2$ 。而且， $\Delta VPGM\_Z3$ 可大於亦可小於 $\Delta VPGM\_Z2$ ，亦可為相同。

另外，於上述實施形態中，以按行位址順序選擇各區域ZN之情形為例進行了說明。例如於4PPP模式之情形時，以按區域ZN0、ZN1、ZN2、及ZN3之順序選擇之情形為例進行了說明。然而，未必限定於該選擇順序。於同一頁面內，於最後選擇之區域ZN之寫入時基於預驗證及預驗證結果進行寫入即可。例如於4PPP模式下，於最後選擇區域ZN1之情形時，可使用與圖5所示之區域ZN3相關之寫入條件進行預驗證及寫入。即，只要於1頁面內之所有區域之寫入結束之時點各區域之臨限值分佈大致一致，則不論區域ZN之選擇順序如何均可。而且，圖5及圖20中說明之條件表格與其稱之為保持區域ZN與寫入條件之關係之表格，不如亦可稱為保持每個區域之寫入順序與對應於該順序之寫入條件之關係之表格。

另外，以按照圖9或圖22之指令順序，於PPP指令之後發出SLC指令“A2H”之情形為例進行了說明。然而，NAND型快閃記憶體100可響應於接收到PPP指令而選擇SLC模式。於該情形時，控制器200無需發出SLC指令“A2H”。

進而，讀出資料時之讀出位準可使用圖17及圖28中說明之電壓VCGR。然而，於最後區域ZN之寫入後，於頁面內保持“0”資料之

記憶胞電晶體之臨限值會整體向高電壓側偏移(設定為驗證位準 VCG\_Z3以上之值)。因此，作為讀出位準，可使用 VCGR與 VCG\_Z3 之間之值。

進而，於上述實施形態中，列舉記憶胞三維積層之 NAND型快閃記憶體為例進行了說明，但亦可應用於記憶胞二維排列於半導體基板上之平面型 NAND型快閃記憶體。進而，不限定於電荷儲存層以絕緣膜形成之 MONOS(Metal-Oxide-Nitride-Oxide-Silicon，金屬氧化物氮氧化矽)型，亦可應用於電荷儲存層以導電膜形成之 FG(Floating Gate，浮動閘極)型。

另外，上述實施形態中說明之流程圖中之各步驟之順序僅為一例，只要可能便可替換其順序。

於1個記憶胞電晶體 MT保持2位元資料之情形時，其臨限值電壓根據保持資料取4種位準之任一種。於以自低到高之順序將4種位準設為刪除位準、A位準、B位準、及C位準之情形時，於A位準之讀出動作時對選擇字元線施加之電壓例如為0 V~0.55 V之間。不限定於此，亦可為0.1 V~0.24 V、0.21 V~0.31 V、0.31 V~0.4 V、0.4 V~0.5 V、0.5 V~0.55 V等任一種之間。B位準之讀出時對選擇字元線施加之電壓例如為1.5 V~2.3 V之間。不限定於此，亦可為1.65 V~1.8 V、1.8 V~1.95 V、1.95 V~2.1 V、2.1 V~2.3 V等任一種之間。C位準之讀出動作時對選擇字元線施加之電壓例如為3.0 V~4.0 V之間。不限定於此，亦可為3.0 V~3.2 V、3.2 V~3.4 V、3.4 V~3.5 V、3.5 V~3.6 V、3.6 V~4.0 V等任一種之間。作為讀出動作之時間(tR)，例如可為25  $\mu$ s~38  $\mu$ s、38  $\mu$ s~70  $\mu$ s、70  $\mu$ s~80  $\mu$ s等任一種之間。

寫入動作包含編程與編程驗證。於寫入動作中，對編程時選擇之字元線最初施加之電壓例如為13.7 V~14.3 V之間。不限定於此，亦可為例如13.7 V~14.0 V、14.0 V~14.6 V等任一種之間。可使於對

第奇數根字元線進行寫入時對所選擇之字元線最初施加之電壓與對第偶數根字元線進行寫入時對所選擇之字元線最初施加之電壓不同。當將編程動作設為ISPP方式(Incremental Step Pulse Program, 增量步進脈衝編程)時, 作為升壓之電壓, 例如可列舉0.5 V左右。作為對非選擇之字元線施加之電壓, 例如可為6.0 V~7.3 V之間。不限定於此, 例如可為7.3 V~8.4 V之間, 亦可為6.0 V以下。可根據非選擇之字元線為第奇數根字元線或第偶數根字元線使施加之藉由電壓不同。作為寫入動作之時間(tProg), 例如可為1700  $\mu$ s~1800  $\mu$ s、1800  $\mu$ s~1900  $\mu$ s、1900  $\mu$ s~2000  $\mu$ s之間。

於刪除動作中, 對配置於半導體基板上部且上方配置有記憶胞之井最初施加之電壓例如為12 V~13.6 V之間。不限定於此, 亦可為例如13.6 V~14.8 V、14.8 V~19.0 V、19.0 V~19.8 V、19.8 V~21 V等任一種之間。作為刪除動作之時間(tErase), 例如3000  $\mu$ s~4000  $\mu$ s、4000  $\mu$ s~5000  $\mu$ s、4000  $\mu$ s~9000  $\mu$ s之間。

另外, 記憶胞例如可具有如下構造。記憶胞具有介隔膜厚為4 nm~10 nm之隧道絕緣膜而配置於矽基板等半導體基板上之電荷儲存膜。該電荷儲存膜可為膜厚為2 nm~3 nm之氮化矽(SiN)膜或氮氧化矽(SiON)膜等絕緣、與膜厚為3 nm~8 nm之多晶矽(Poly-Si)膜之積層構造。於多晶矽膜中, 可添加鈦(Ru)等金屬。記憶胞於電荷儲存膜之上具有絕緣膜。該絕緣膜具有膜厚為4 nm~10 nm之氧化矽(SiO)膜, 該氧化矽(SiO)膜例如夾於膜厚為3 nm~10 nm之下層High-k(高介電常數)膜與膜厚為3 nm~10 nm之上層High-k膜。作為High-k膜之材料, 可列舉氧化鈦(HfO)等。另外, 氧化矽膜之膜厚可厚於High-k膜之膜厚。於絕緣膜上, 介隔膜厚為3 nm~10 nm之功函數調整用膜而設置有膜厚為30 nm~70 nm之控制電極。此處, 功函數調整用膜例如為氧化鈦(TaO)等金屬氧化膜、氮化鈦(TaN)等金屬氮化膜等。作為控制電

極可使用鎢(W)等。於記憶胞間可配置氣隙。

對本發明之若干個實施形態進行了說明，但該等實施形態係作為示例而提出，並不意於限定發明之範圍。該等實施形態可以其他各種形態實施，於不脫離發明之主旨之範圍內，可進行各種省略、置換、變更。該等實施形態及其變化包含於發明之範圍或主旨內，同樣包含於申請範圍所記載之發明及其均等之範圍內。

### 【符號說明】

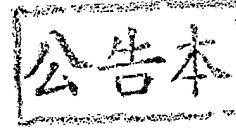
1	記憶體系統
10	NAND串
20	p型井區域
23	8層配線層
25	4層配線層
27	配線層
28	區塊絕緣膜
29	電荷儲存層(絕緣膜)
31	導電體
32	金屬配線層
33	n <sup>+</sup> 型雜質擴散層
34	p <sup>+</sup> 型雜質擴散層
35	接觸插塞
36	金屬配線層
37	接觸插塞
38	金屬配線層
80H	寫入指令
100	NAND型快閃記憶體
110	記憶胞陣列

120	列解碼器
120-0~120-3	列解碼器
130	感測放大器
140	行選擇器
150	行解碼器
160	暫存器
170	暫存器
180	定序器
200	控制器
210	介面電路
220	記憶體
230	處理器
240	記憶體
250	介面電路
300	主機設備
A2H	SLC指令
ALE	位址閃賦能信號
ADD	位址
BL	位元線
BL0~BL(L-1)	位元線
BLK	區塊
BLK0~BLK3	區塊
CA	行位址
CA0	最前區域ZN0之最前位址
CA4095(CA(4K-1))	最前區域ZN0之最後位址
CA4096(CA4K)	區域ZN1之最前位址

CA8191(CA(8K-1))	區域ZN1之最後位址為
CA8192(CA8K)	區域ZN2之最前位址
CA12287(CA(12K-1))	區域ZN2之最後位址
CA12288(CA12K)	最後區域ZN3之最前位址
CA16383(CA(16K-1))	最後區域ZN3之最後位址
CLE	指令閃賦能信號
CMD	指令
CPWELL	井配線
Din	寫入資料
I/O	輸入輸出信號
MT	記憶胞電晶體
MT0~MT7	記憶胞電晶體
PPP、2PPP、4PPP、8PPP	模式
RA	列位址
RBn	忙碌信號
REn	讀取賦能信號
SGD0~SGD3	選擇閘極線
SGS	選擇閘極線
SL	源極線
SLC	單層記憶胞
ST1	選擇電晶體
ST2	選擇電晶體
SU	串單元
SU0~SU3	串單元
t0~t24	時刻
Vbl	電壓

VDD	正電壓
VCG_QPW	驗證位準
VCG_Z	驗證電壓
VCG_Z0~VCG_Z3	驗證電壓
VCGR	電壓
VPASS	電壓
VPGM	編程電壓
Vpvfy	編程驗證電壓
VREAD	電壓
VSG	電壓
VSGC_prog	電壓
VSGD	電壓
WEn	寫入賦能信號
WL	字元線
WL0~WL7	字元線
XAH	指令
XBH	指令
XCH	指令
XH	PPP指令
ZN0~ZN3	區域
$\Delta$ VPGM	升壓幅度
$\Delta$ VPGM_Z0~ $\Delta$ VPGM_Z3	升壓幅度

## 發明摘要



※ 申請案號：105107239

※ 申請日：105.3.9

※IPC 分類：G11C 10/02

(2006.01)

G106F 12/02 (2006.01)

**【發明名稱】**

記憶體系統

**【中文】**

本發明之實施形態提供一種可提昇動作可靠性之記憶體系統。

一實施形態之記憶體系統包含控制器、及半導體記憶裝置。於第1寫入動作(PPP mode之選擇ZN0)中，對第1行群ZN0寫入資料。於第2寫入動作(PPP mode之選擇ZN3)中，對第2行群ZN3寫入資料。半導體記憶裝置對於寫入動作中之動作設定值，於第1寫入動作(選擇ZN0時)中使用第1設定值，於第2寫入動作(選擇ZN3時)中使用與上述第1設定值不同之第2設定值。

**【英文】**

無

圖式

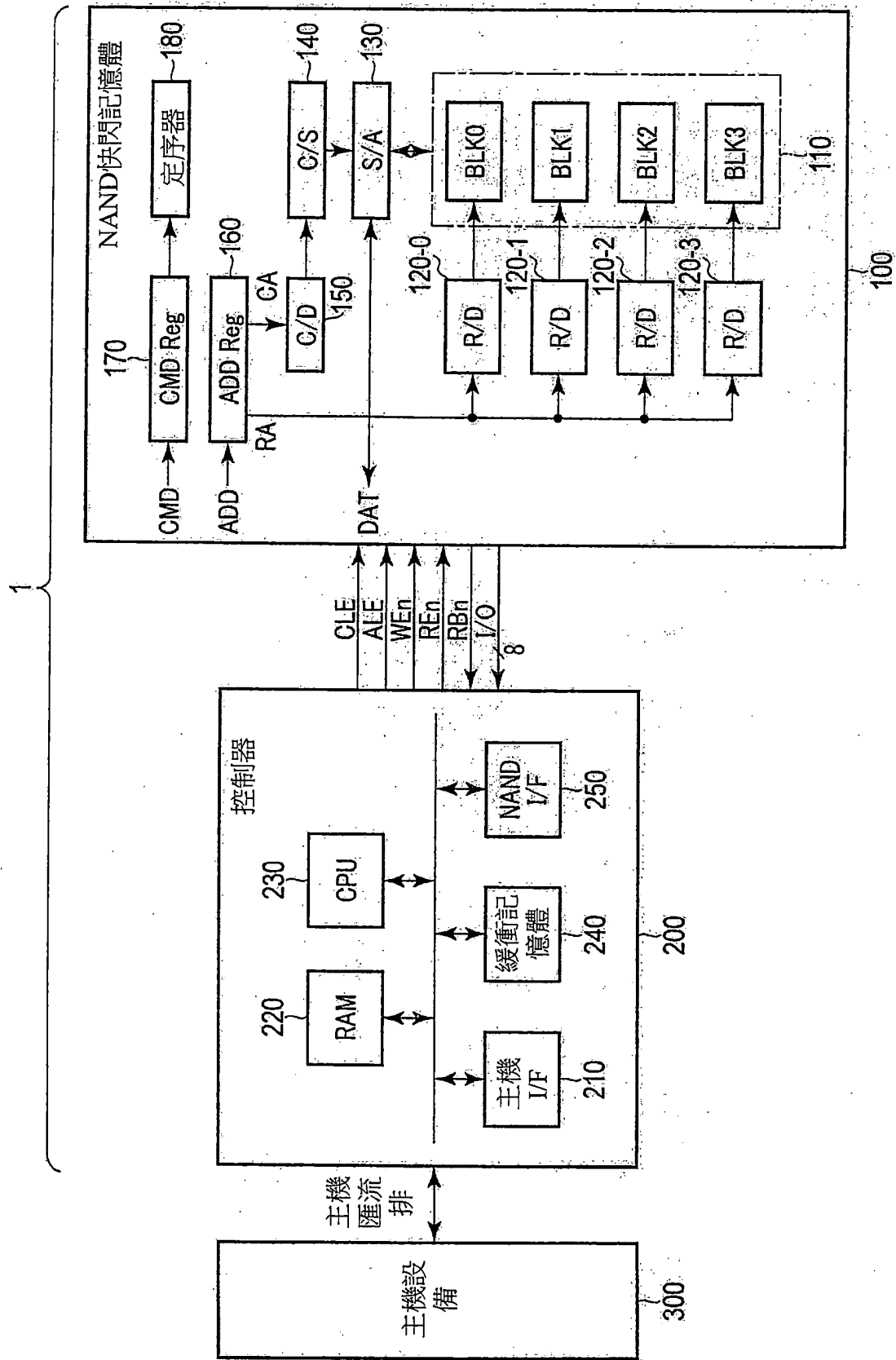


圖1

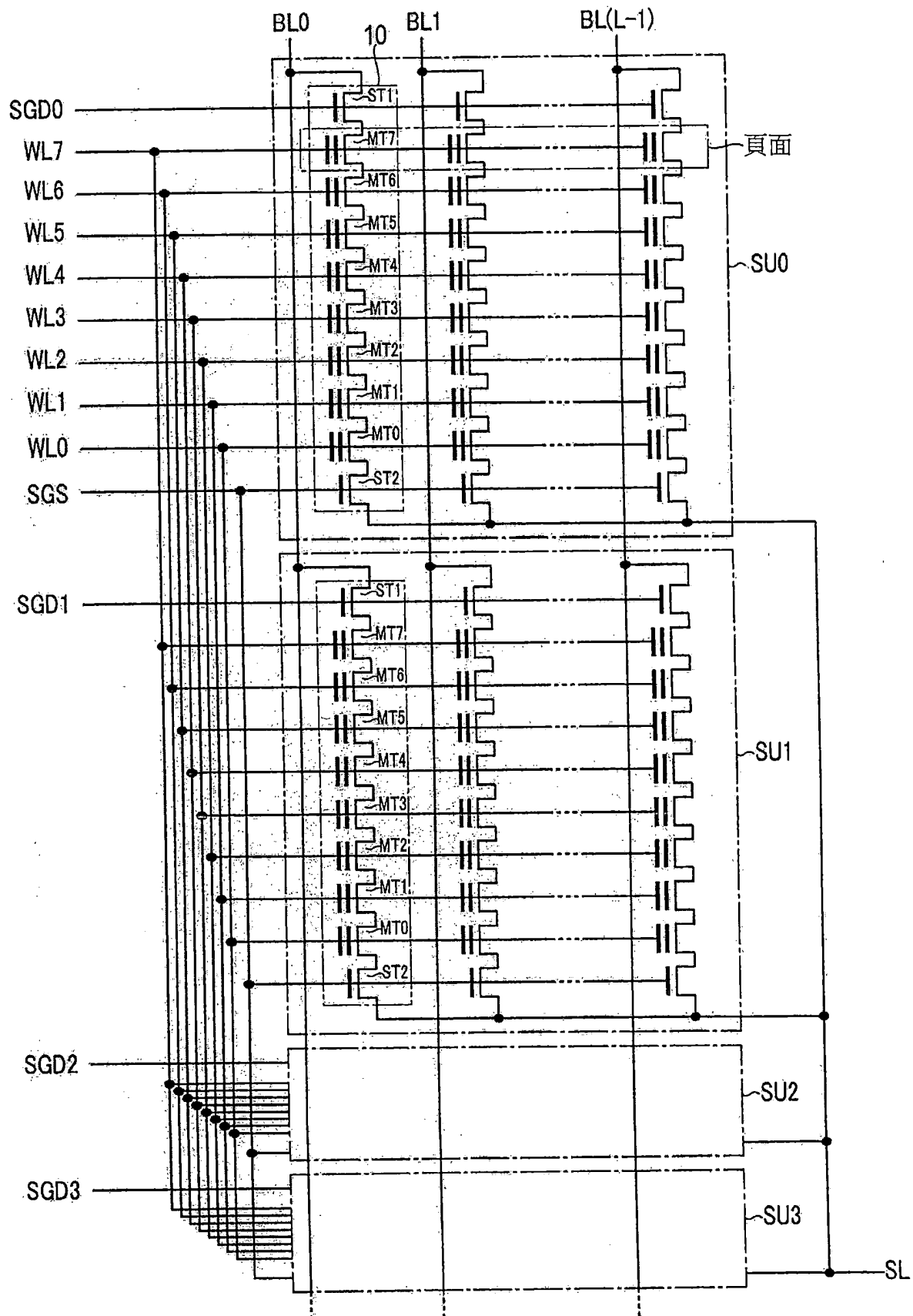


圖2



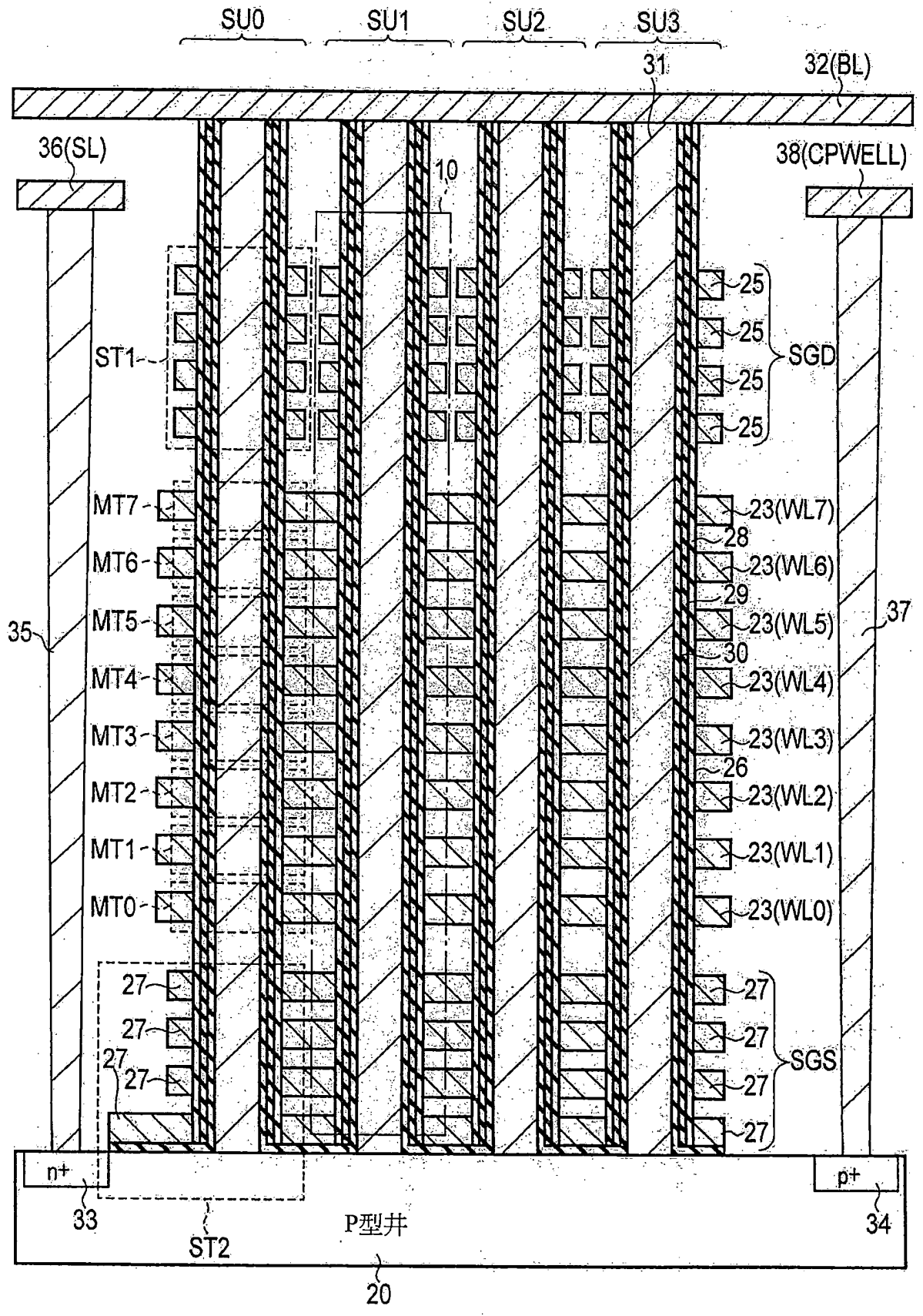


圖3

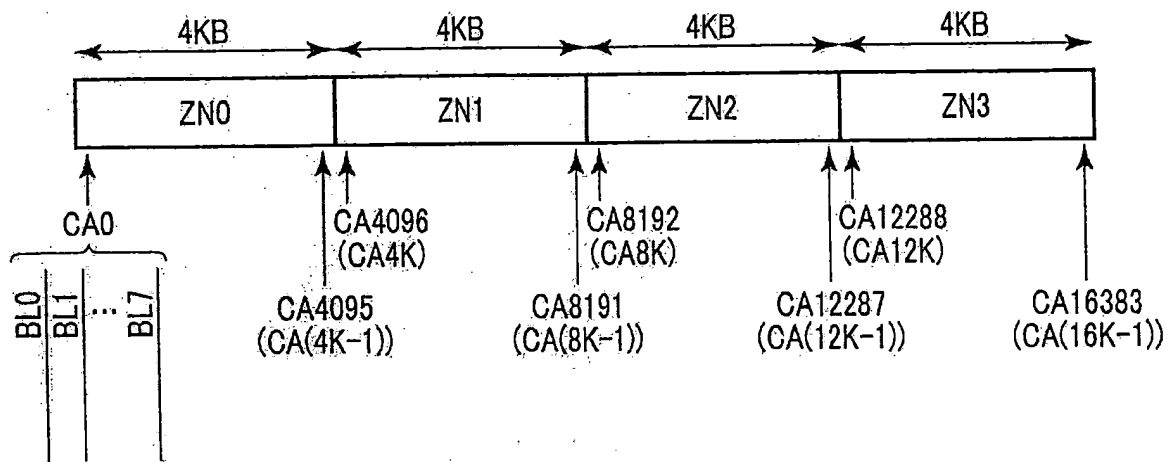


圖4

區域	驗證位準	ΔVPGM	預驗證
ZN0	VCG_Z0	ΔVPGM_Z0	x
ZN1	VCG_Z1	ΔVPGM_Z1	○/x
ZN2	VCG_Z2	ΔVPGM_Z2	○/x
ZN3	VCG_Z3	ΔVPGM_Z3	○

圖5

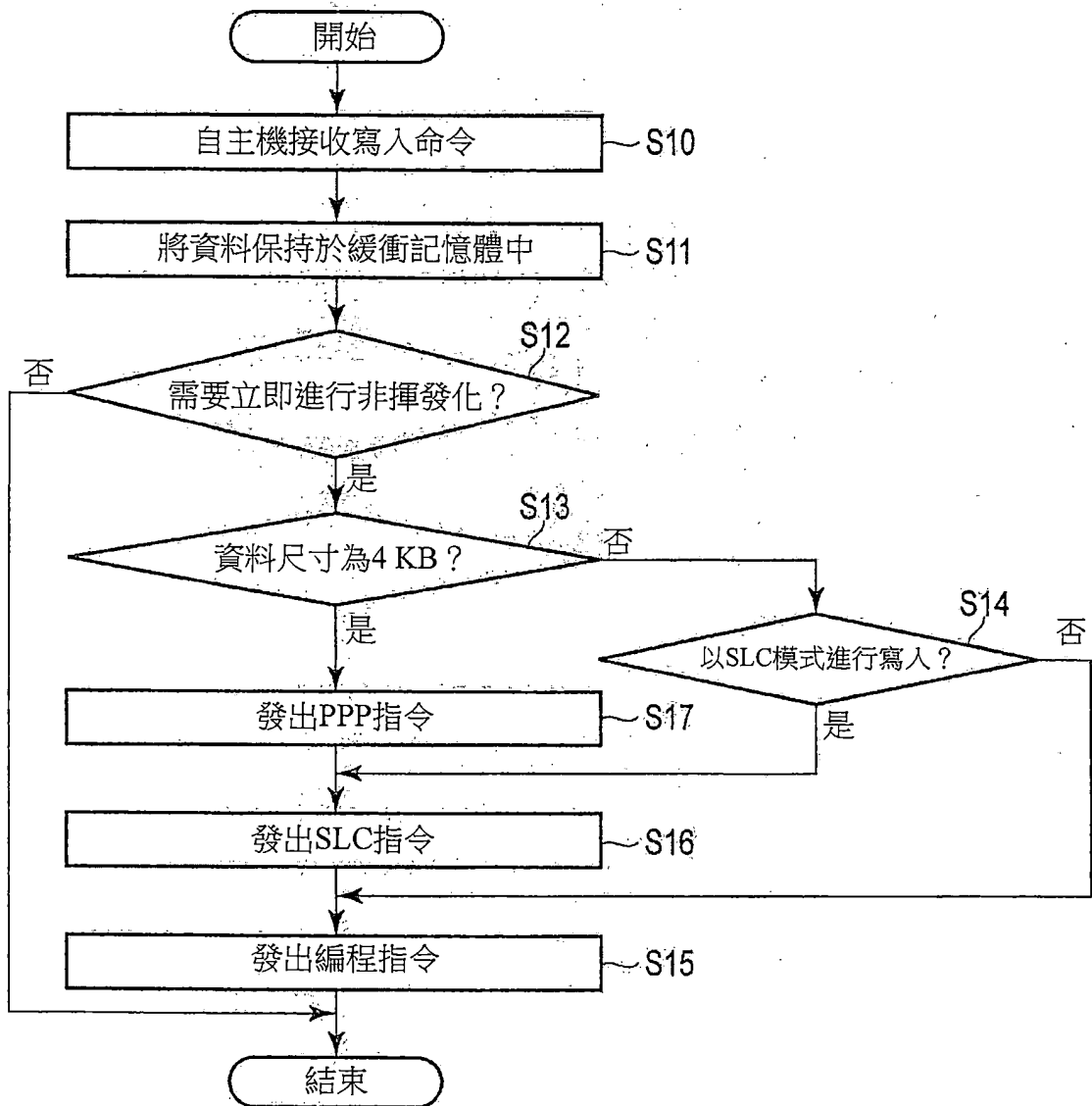


圖6

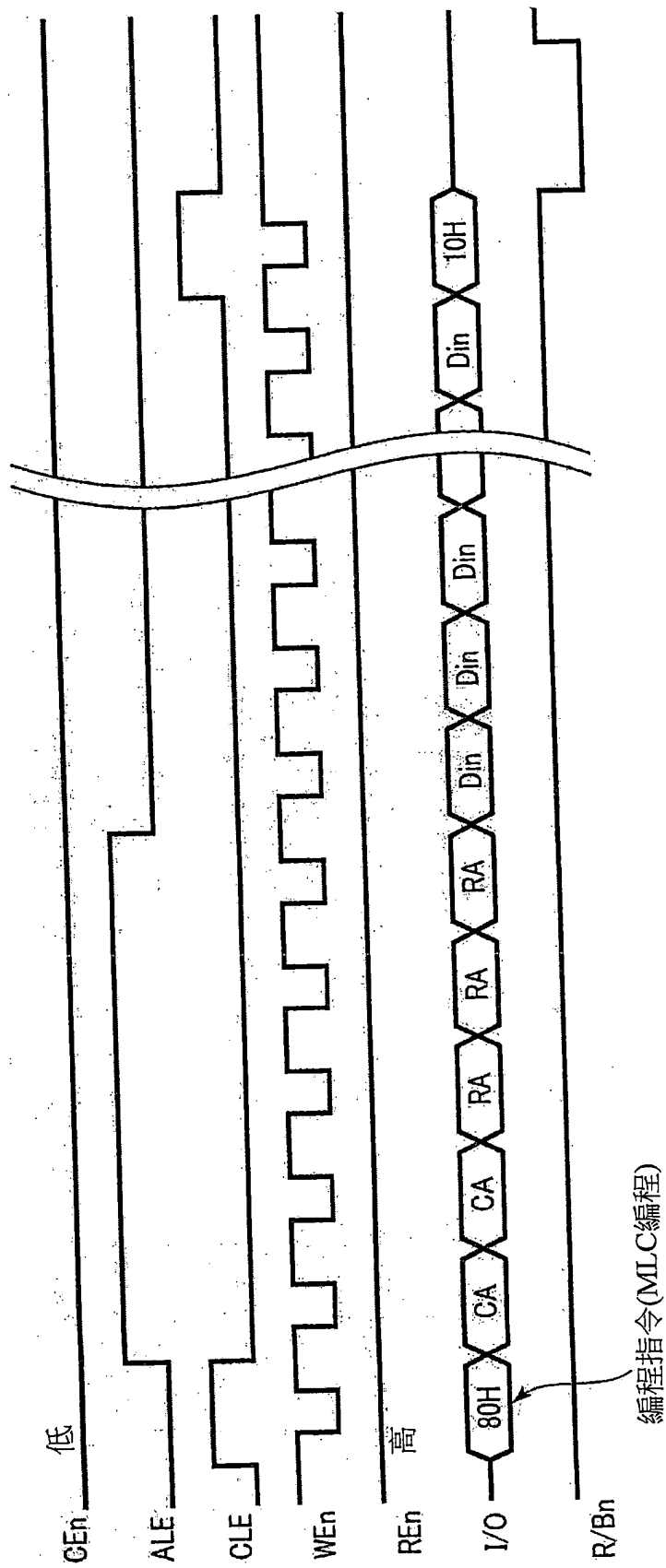


圖7

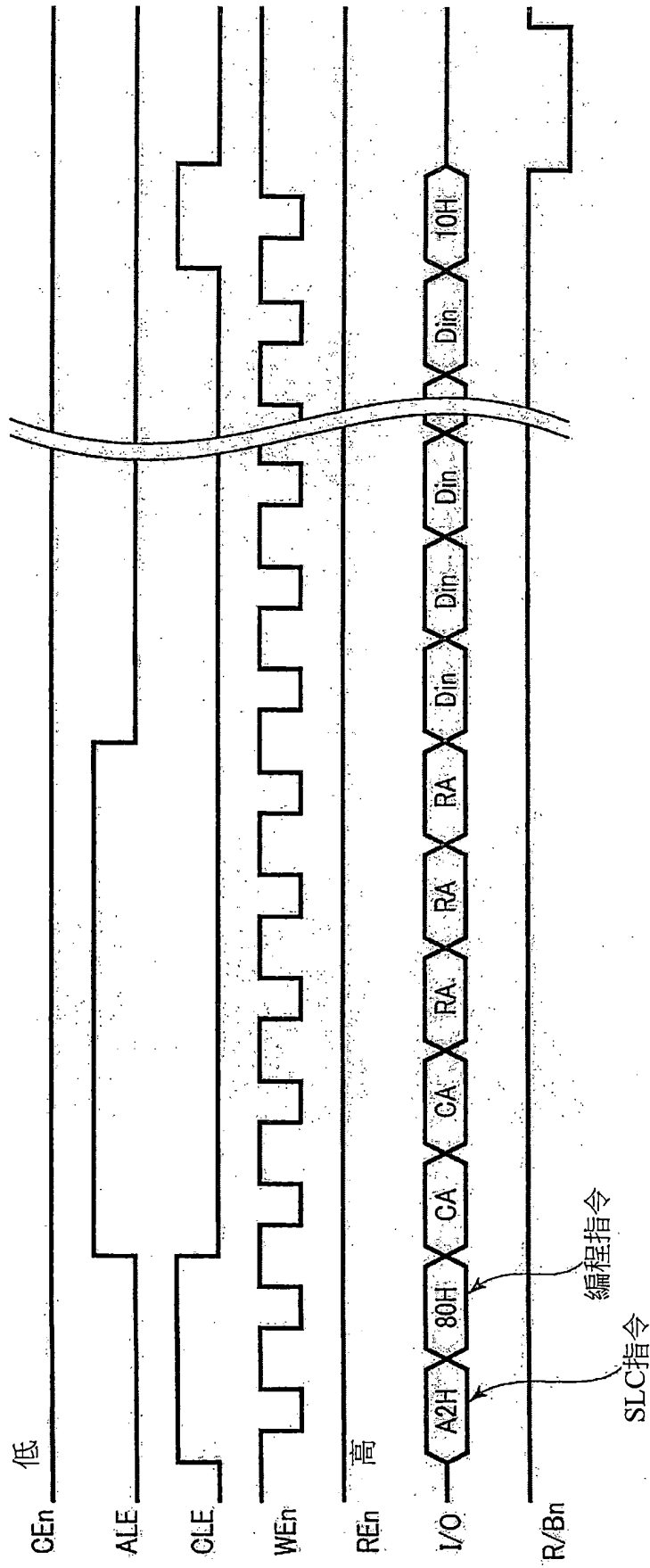


圖8

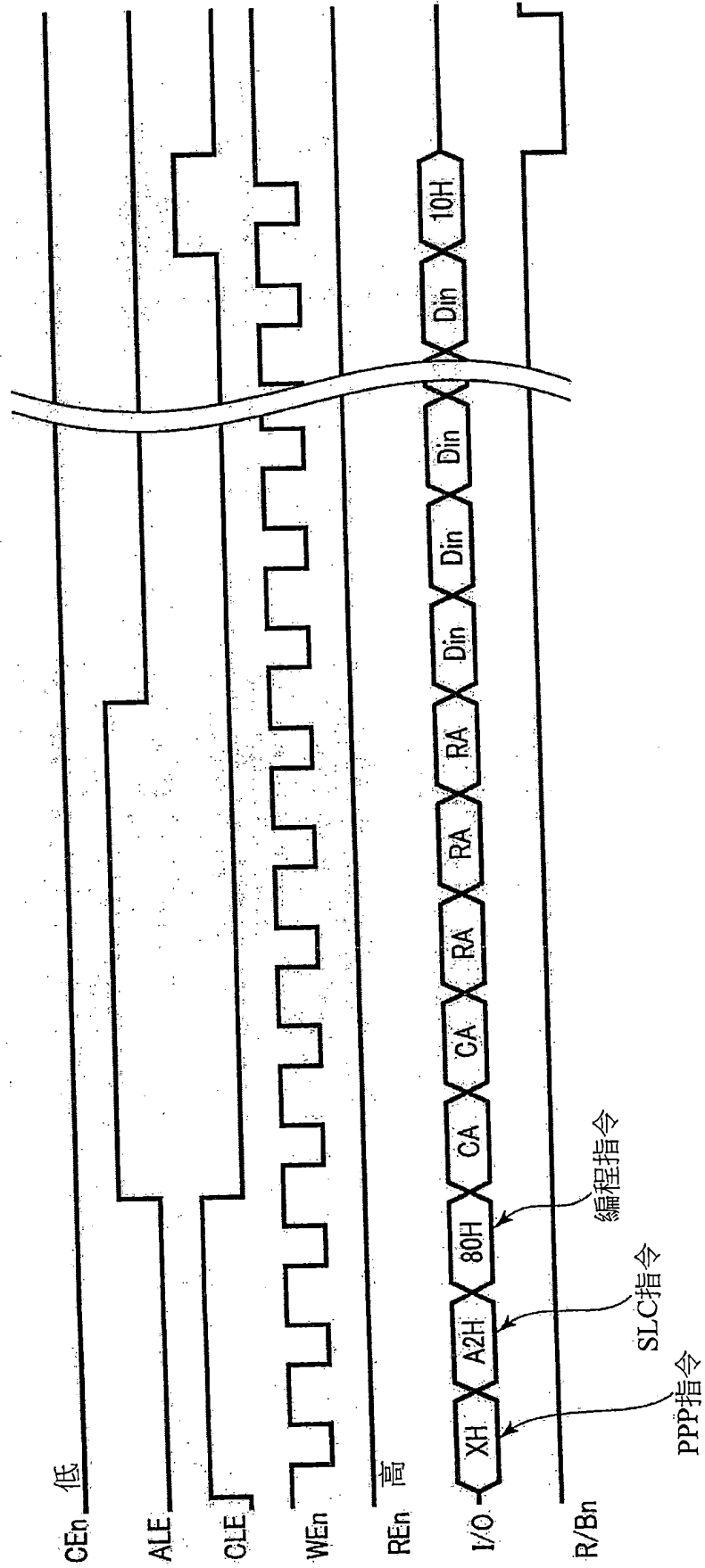


圖9



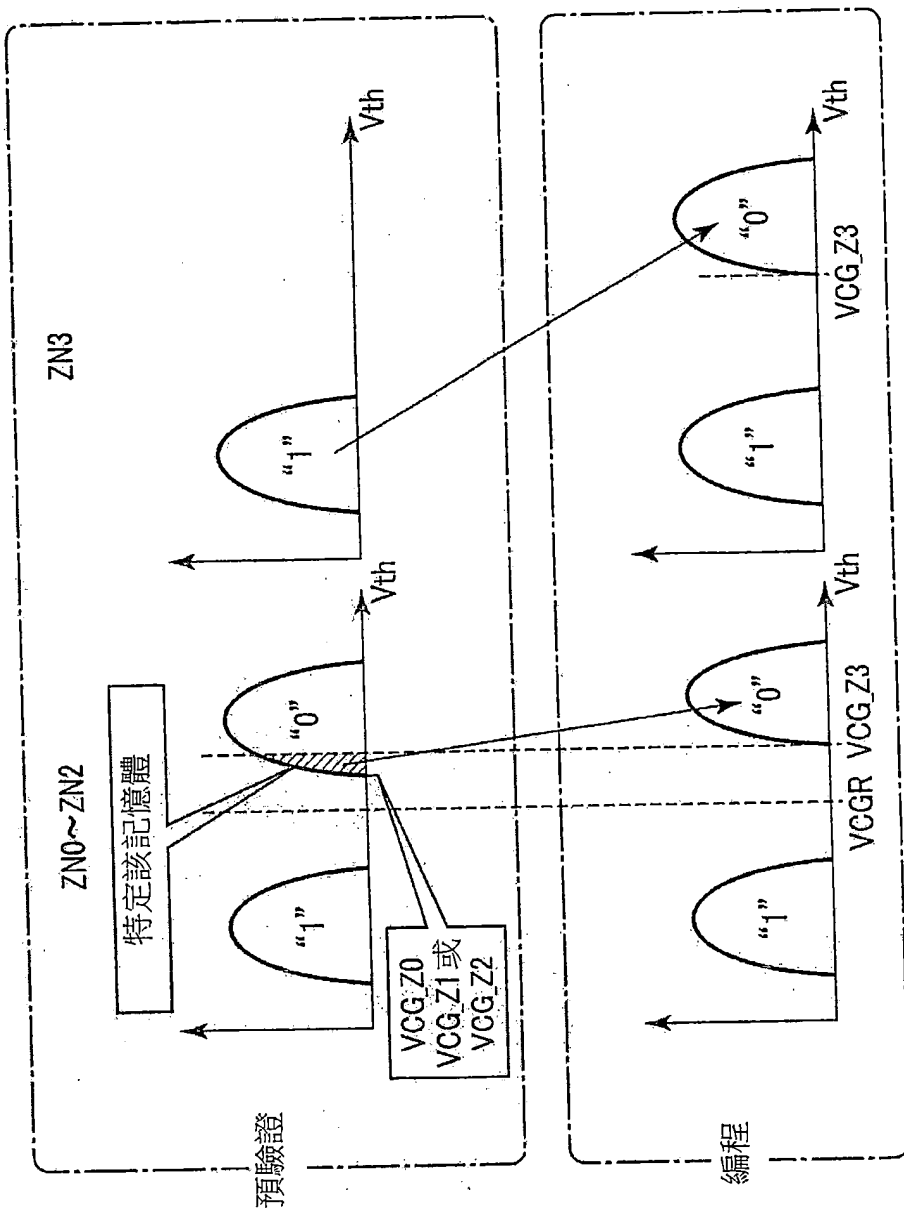


圖11



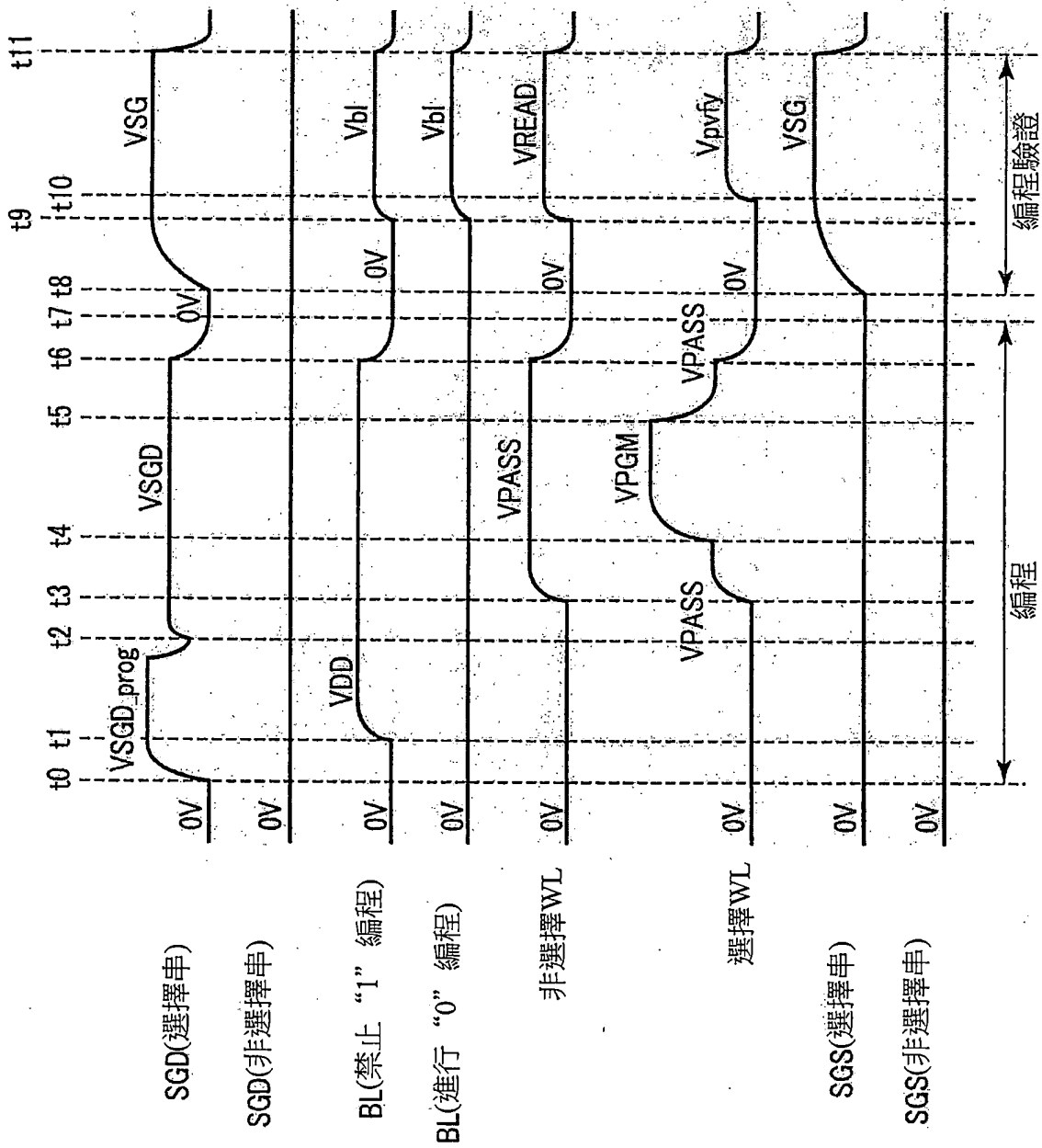


圖12

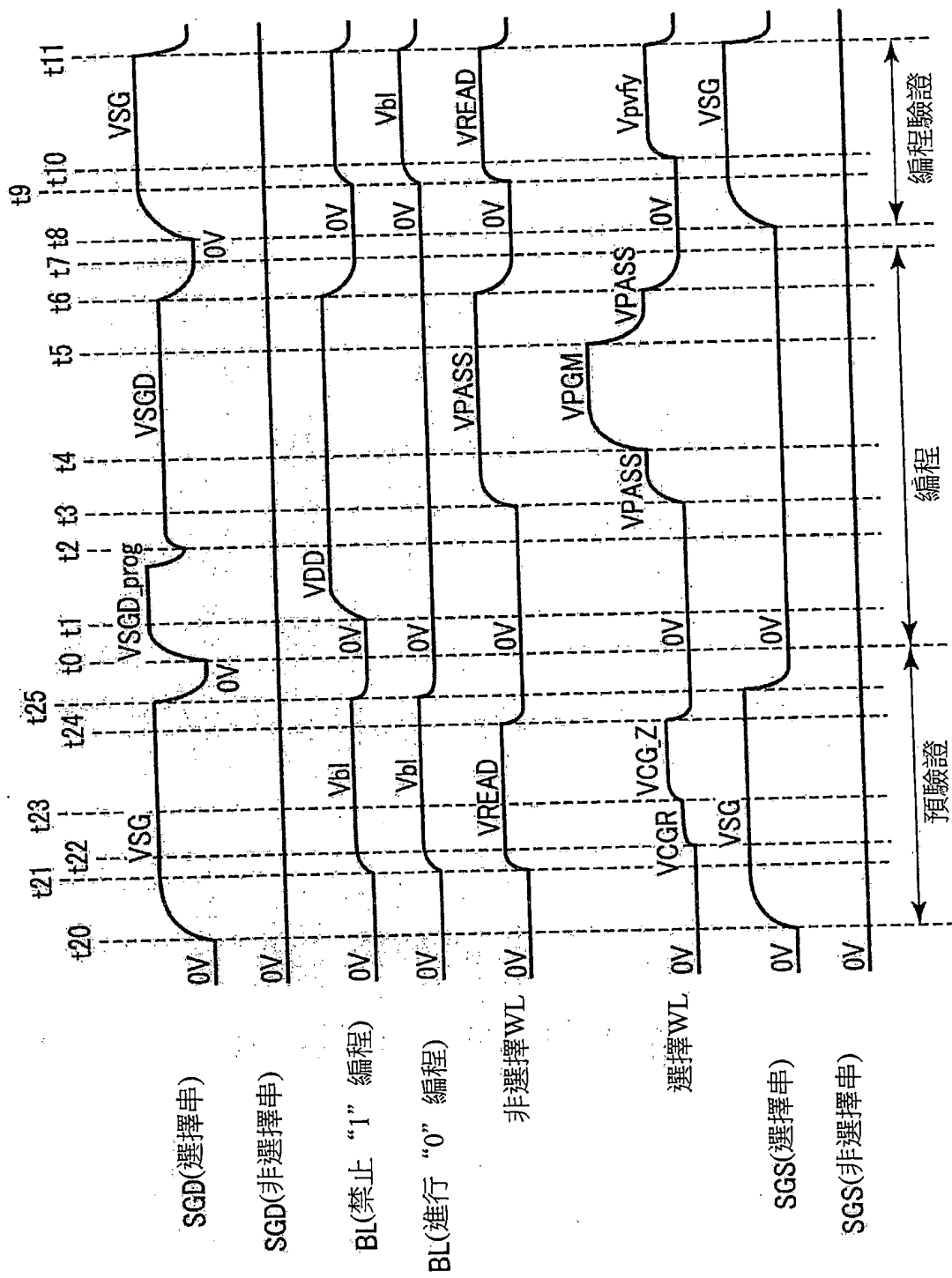


圖13



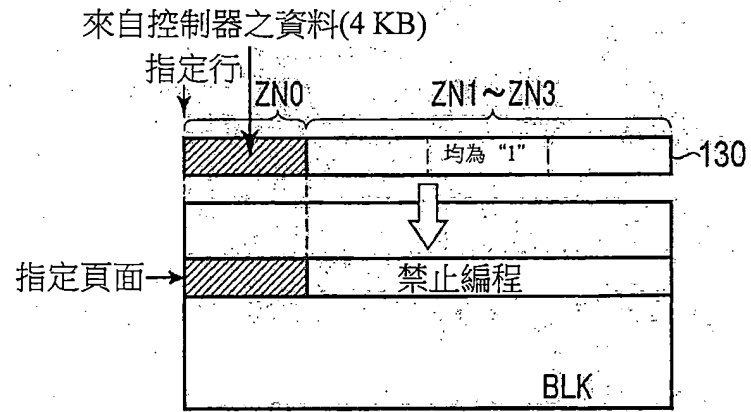


圖 14

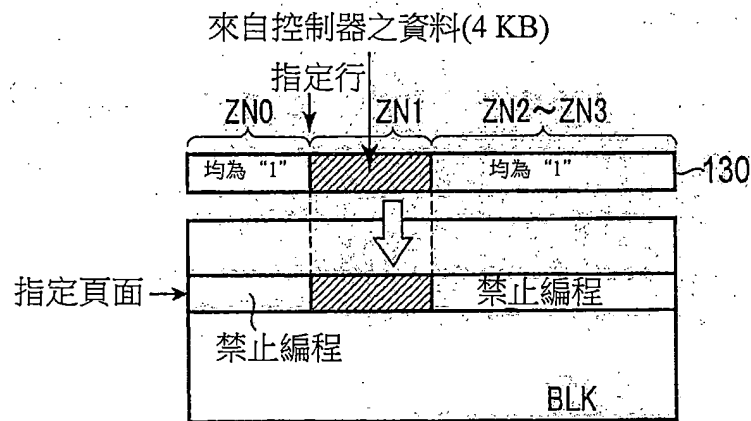


圖 15

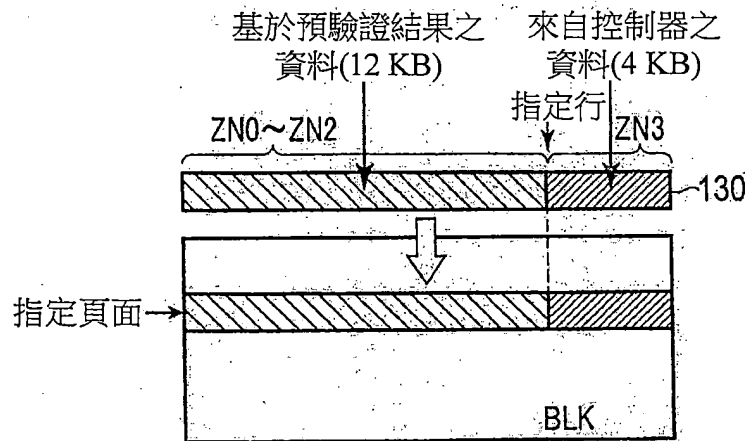


圖 16

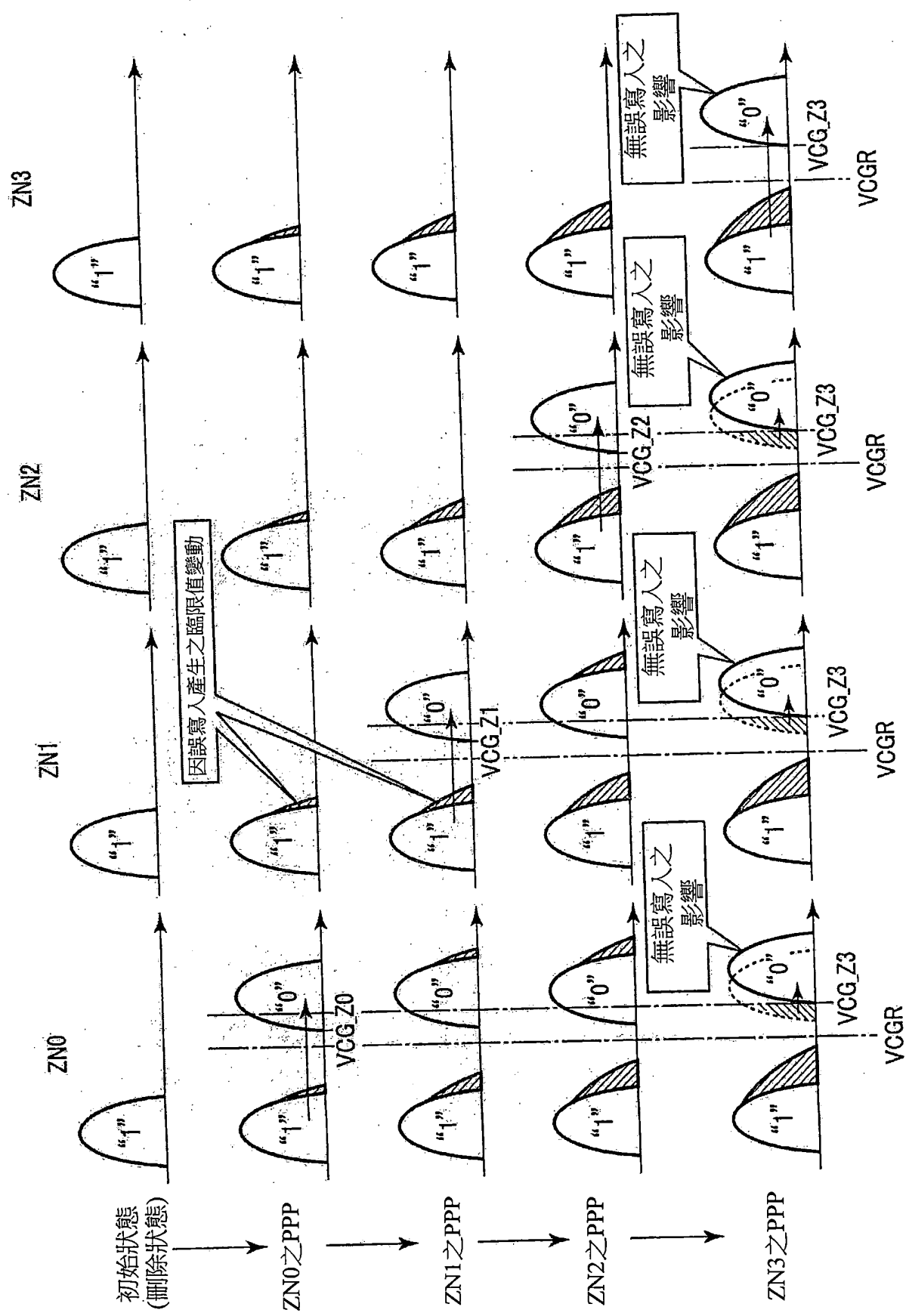


圖17



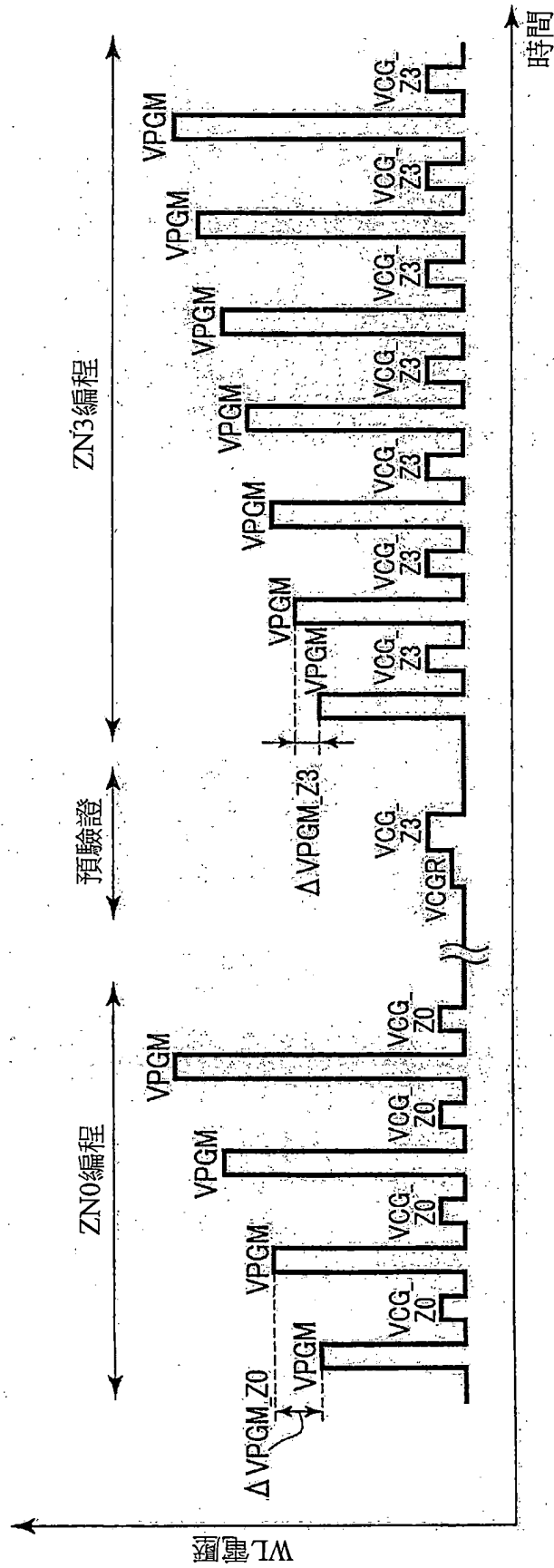


圖18

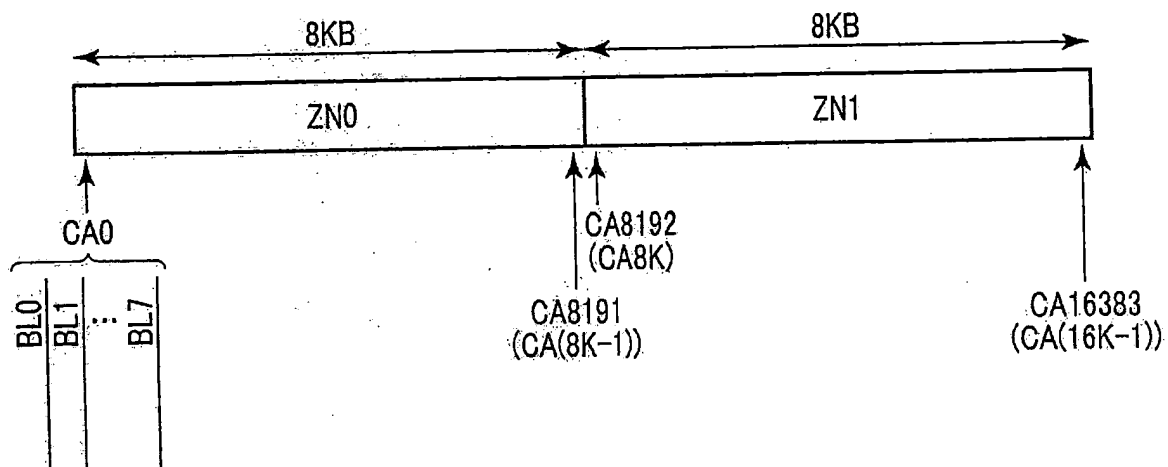


圖19

模式	區域	驗證位準	Δ VPGM	編程前預驗證
4PPP 模式	ZN0	VCG_Z0	Δ VPGM_Z0	x
	ZN1	VCG_Z1	Δ VPGM_Z1	○/x
	ZN2	VCG_Z2	Δ VPGM_Z2	○/x
	ZN3	VCG_Z3	Δ VPGM_Z3	○
2PPP 模式	ZN0	VCG_Z0	Δ VPGM_Z0	x
	ZN1	VCG_Z3	Δ VPGM_Z3	○

圖20

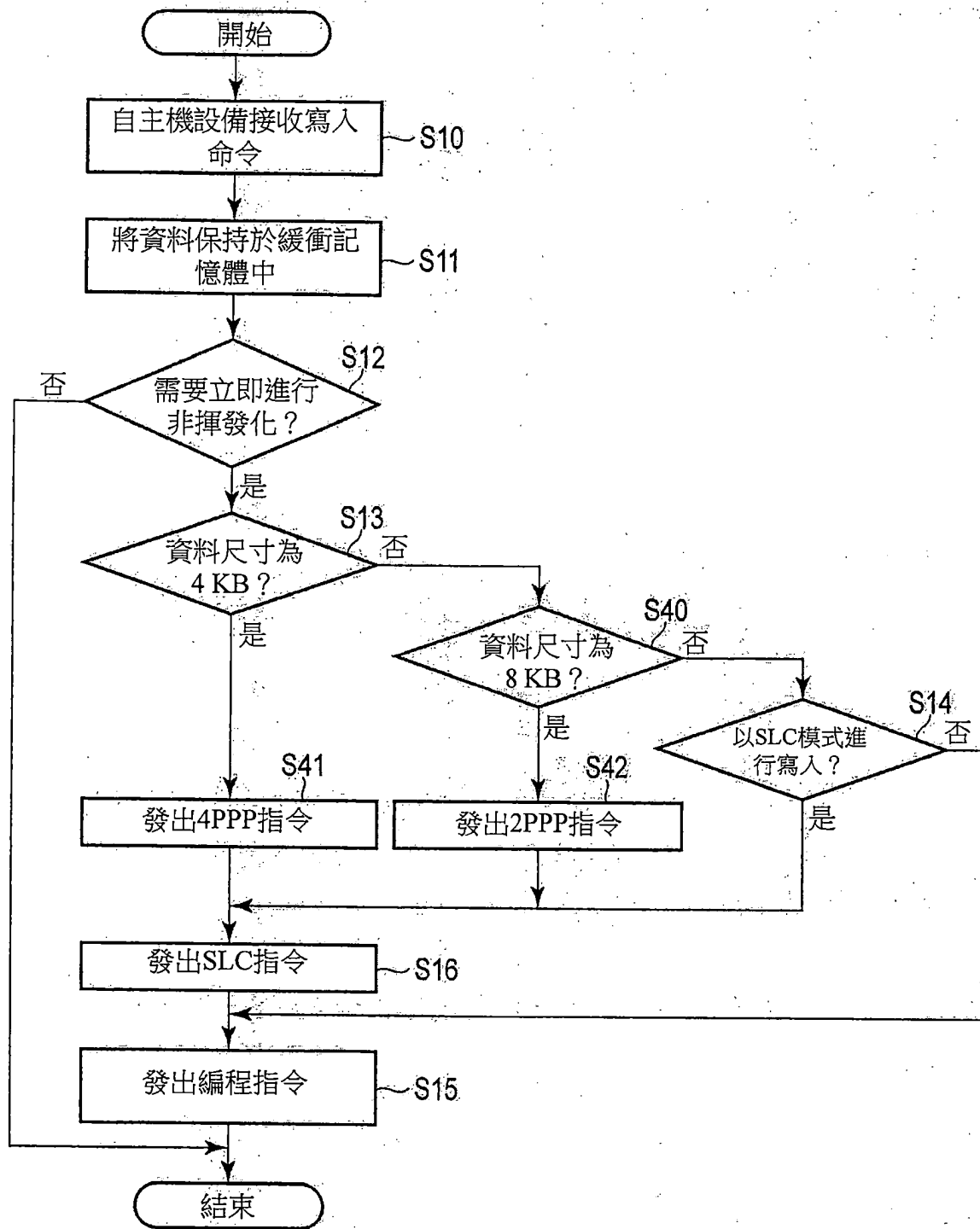


圖21

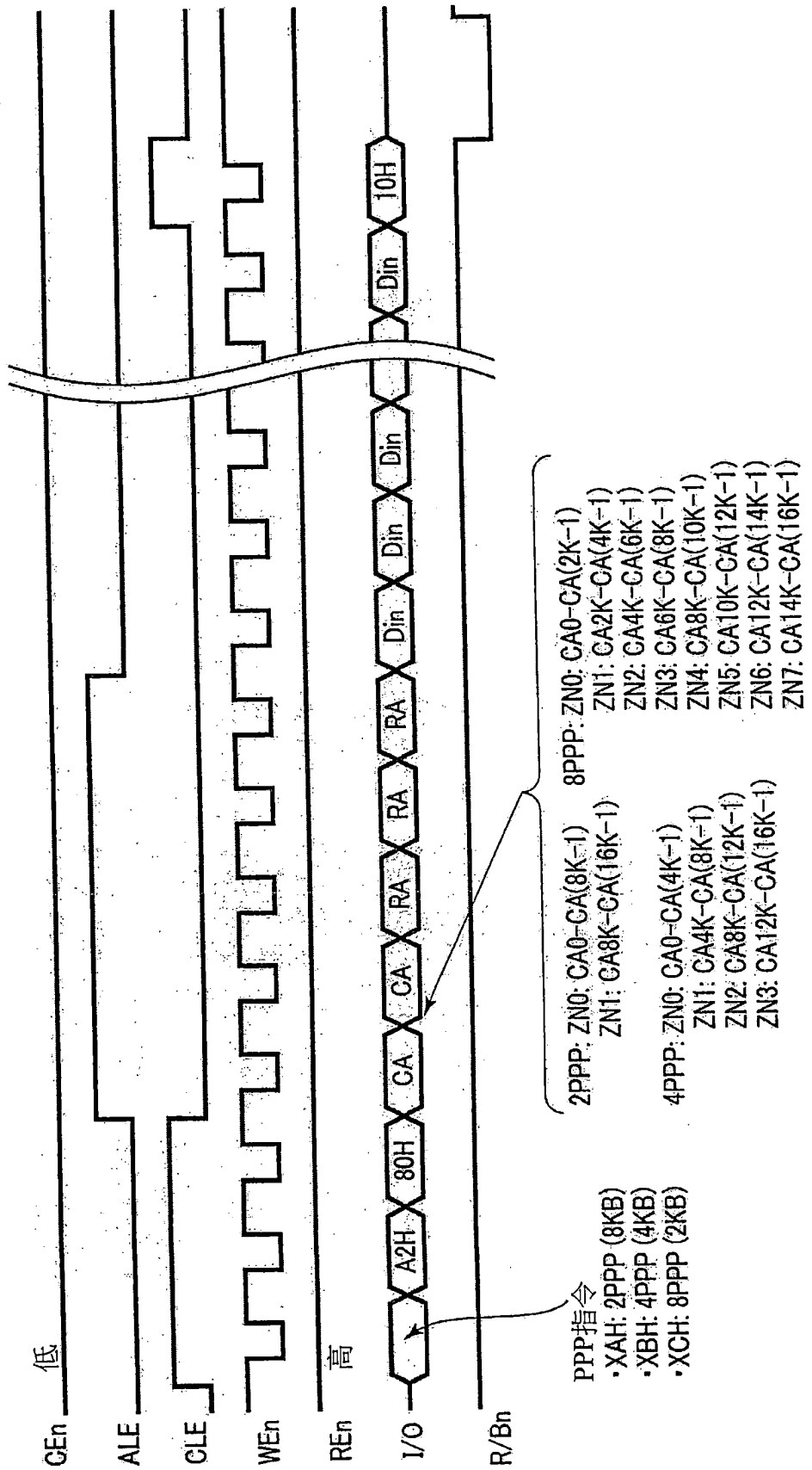


圖22



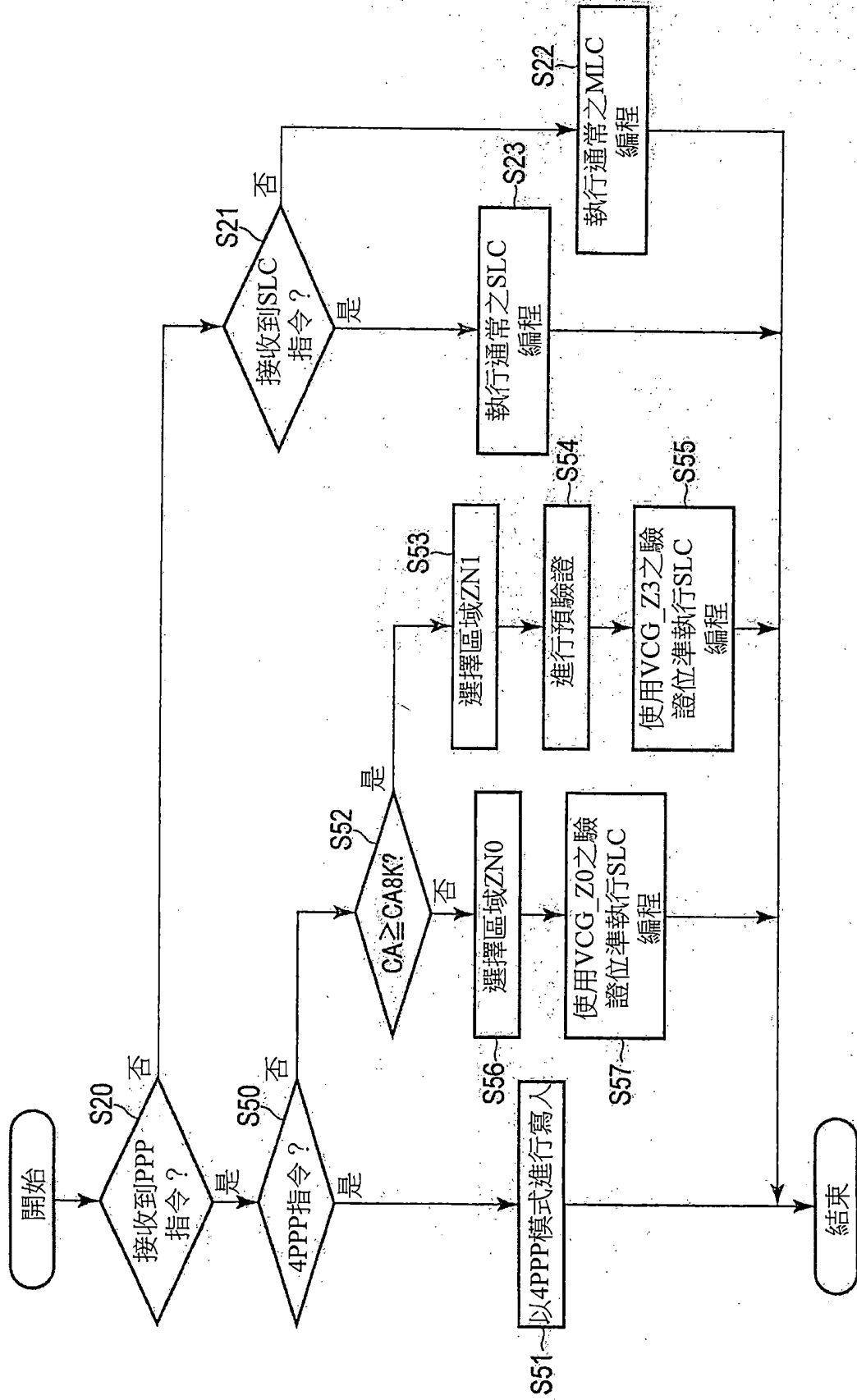


圖23

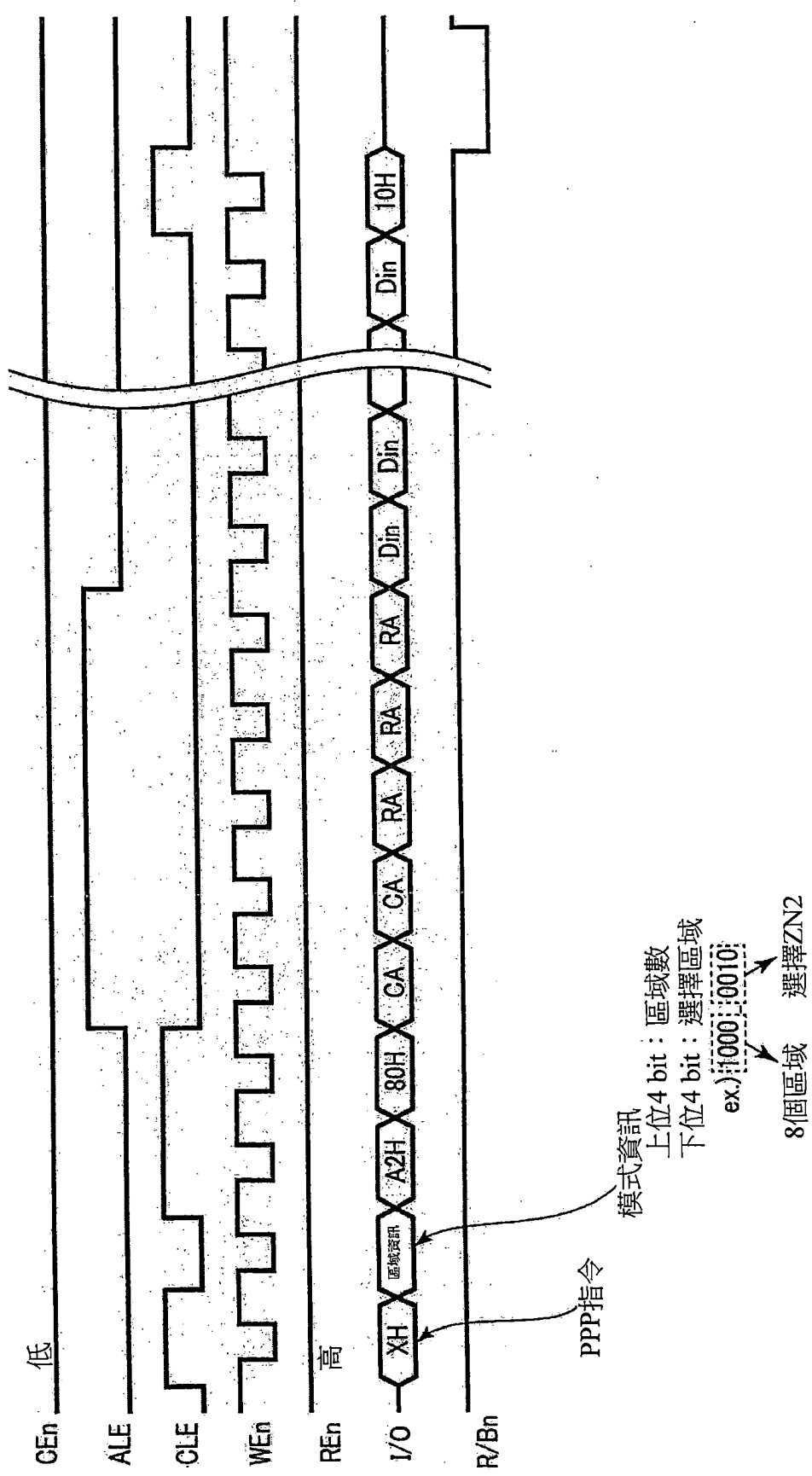


圖24



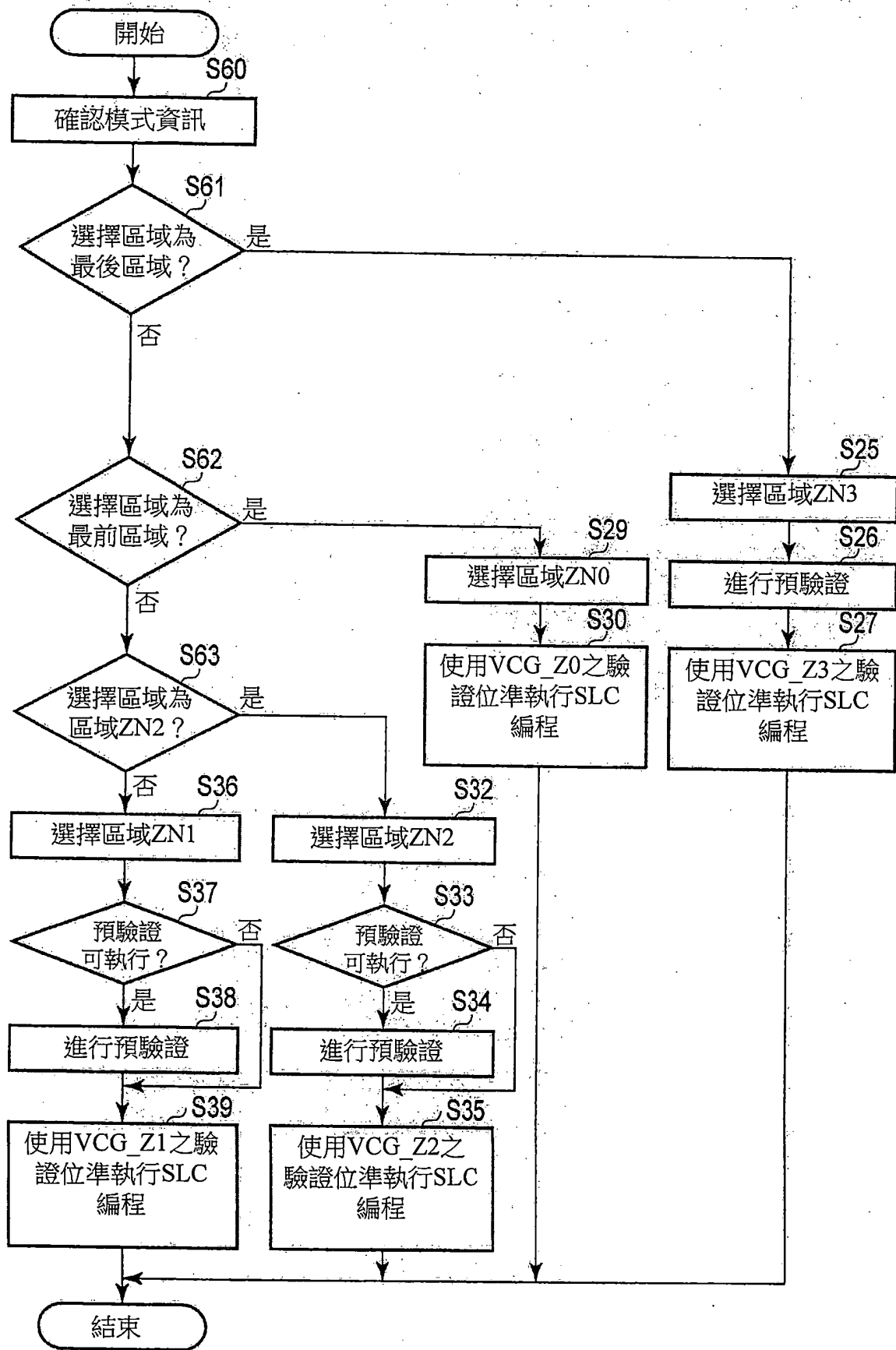


圖25

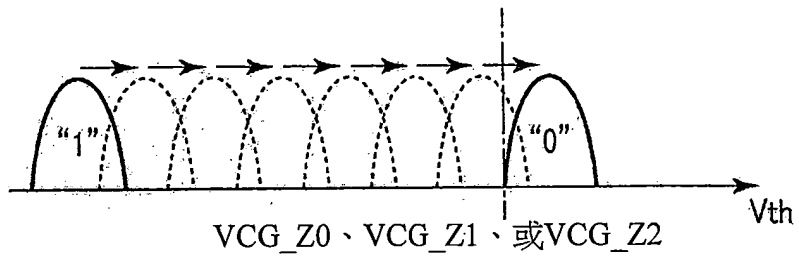


圖26

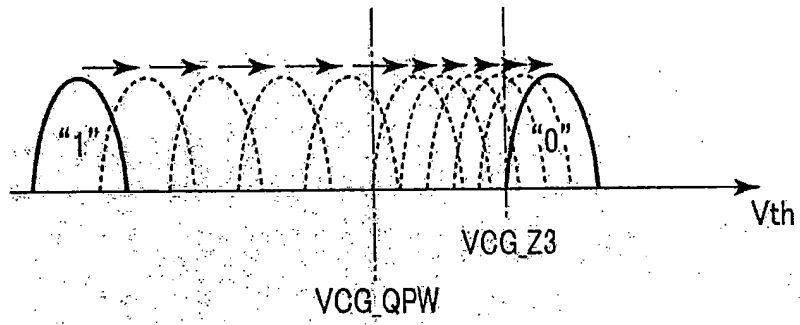


圖27

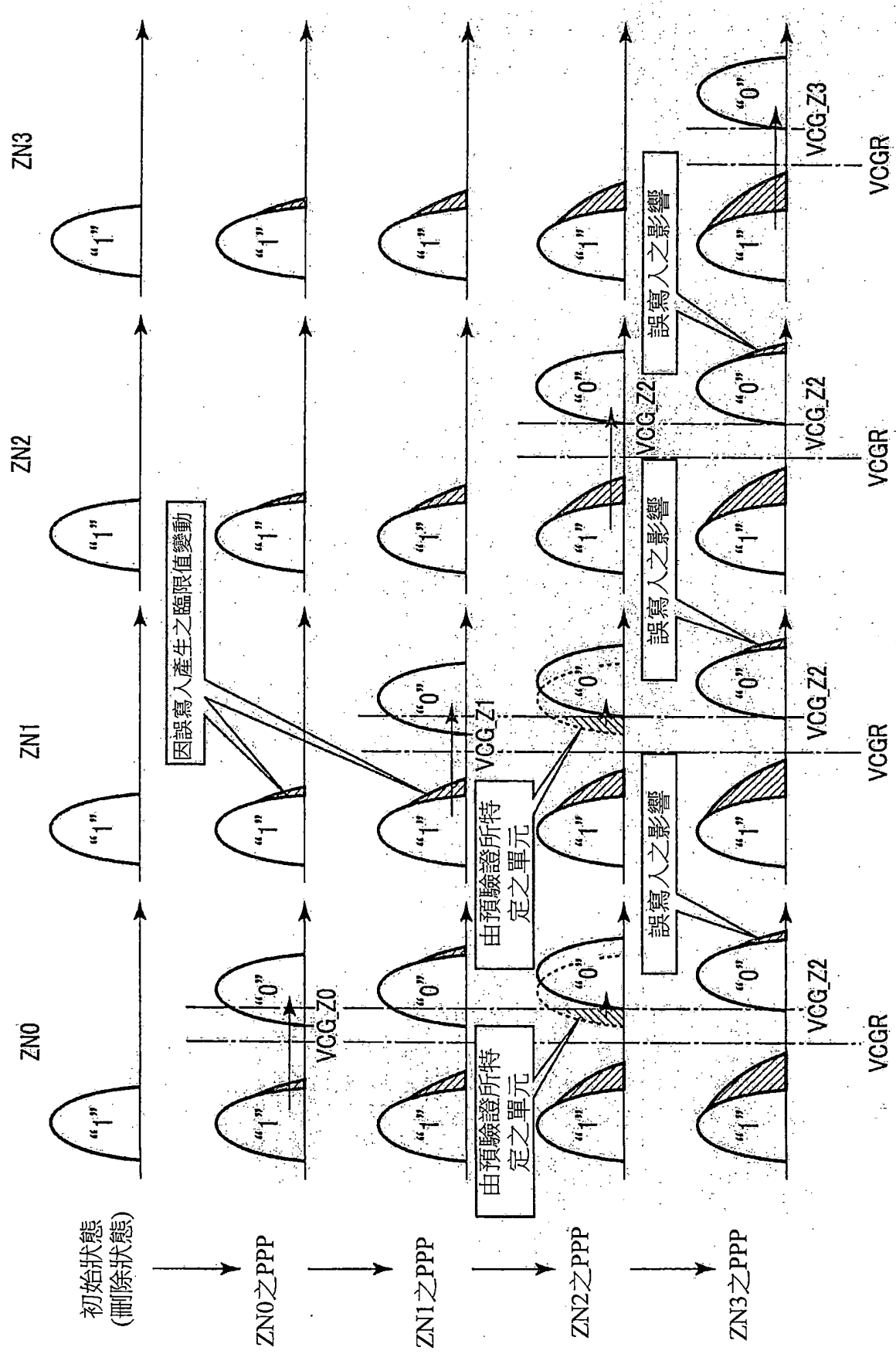


圖28

**【代表圖】**

**【本案指定代表圖】**：第（6）圖。

**【本代表圖之符號簡單說明】**：

無

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

## 申請專利範圍

1. 一種記憶體系統，其特徵在於包含：

半導體記憶裝置，其包含與列及行建立了關聯之複數個記憶胞；及

控制器，其對於上述半導體記憶裝置，以第1寫入動作及第2寫入動作中之任一者之寫入動作來寫入資料；且

於上述第1寫入動作中，對於任一系列位址，將資料寫入至與第1行群對應之記憶胞中，且將與第2行群對應之記憶胞設為寫入禁止，該第1行群包含位址連續之第1行及第2行且為所有行之一部分，該第2行群包含位址連續之第3行及第4行且不同於上述第1行群，

於上述第2寫入動作中，將資料寫入至與上述第2行群對應之記憶胞，且將與上述第1行群對應之記憶胞設為寫入禁止，且

上述半導體記憶裝置對於上述寫入動作中之字元線之動作設定值，於上述第1寫入動作中使用第1設定值，於上述第2寫入動作中使用與上述第1設定值不同之第2設定值。

2. 如請求項1之記憶體系統，其中上述動作設定值為驗證電壓。
3. 如請求項1之記憶體系統，其中上述動作設定值為編程電壓之上升幅度。
4. 一種記憶體系統，其特徵在於包含：

半導體記憶裝置，其包含與列及行建立了關聯之複數個記憶胞；及

控制器，其對於上述半導體記憶裝置，以第1寫入動作及第2寫入動作中之任一者之寫入動作來寫入資料；且

於上述第1寫入動作中，對於任一系列位址，將資料寫入至與第

1行群對應之記憶胞中，且將與第2行群對應之記憶胞設為寫入禁止，該第1行群包含位址連續之第1行及第2行且為所有行之一部分，該第2行群包含位址連續之第3行及第4行且不同於上述第1行群，

上述半導體記憶裝置對於上述寫入動作中之字元線之動作設定值，於上述第1寫入動作中使用第1設定值，於上述第2寫入動作中使用與上述第1設定值不同之第2設定值；

於上述第1寫入動作中，使用第1電壓作為驗證電壓而寫入資料，且

於上述第2寫入動作中，使用與上述第1電壓不同之第2電壓作為驗證電壓，將資料寫入至與上述第2行群對應之記憶胞及與上述第1行群對應之記憶胞中，臨限值為上述第1電壓與第2電壓之間之記憶胞。

5. 一種記憶體系統，其特徵在於包含：

半導體記憶裝置，包含與列及行建立了關聯之複數個記憶胞；及

控制器，其對於上述半導體記憶裝置，以第1寫入動作及第2寫入動作中之任一者之寫入動作來寫入資料；

於上述第1寫入動作中，對於任一系列位址，使用第1電壓作為驗證電壓，將資料寫入至與第1行群對應之記憶胞中，且將與第2行群對應之記憶胞設為寫入禁止，該第1行群包含位址連續之第1行及第2行且為所有行之一部分，該第2行群包含位址連續之第3行及第4行且不同於上述第1行群，且

於上述第2寫入動作中，使用與上述第1電壓不同之第2電壓作為驗證電壓，將資料寫入至與上述第2行群對應之記憶胞及與上述第1行群對應之記憶胞中，臨限值為上述第1電壓與第2電壓之

間之記憶胞，且將其餘之記憶胞設為寫入禁止。

6. 如請求項5之記憶體系統，其中上述第2電壓大於上述第1電壓。
7. 如請求項1或5之記憶體系統，其中上述控制器進而能夠以第3寫入動作來寫入資料，於該第3寫入動作中，對於任一系列位址，將資料寫入至與所有行對應之記憶胞中。
8. 如請求項7之記憶體系統，其中上述控制器於選擇了上述第1寫入動作或第2寫入動作時，向上述半導體記憶裝置發出第1指令，於選擇了上述第3寫入動作時，向上述半導體記憶裝置發出與上述第1指令不同之第2指令。
9. 如請求項8之記憶體系統，其中上述控制器於上述第1指令之後，向上述半導體記憶裝置發出表示選擇了哪一行群之資訊。