



(12)发明专利

(10)授权公告号 CN 104157565 B

(45)授权公告日 2017.04.12

(21)申请号 201310682235.9

(22)申请日 2013.12.13

(65)同一申请的已公布的文献号
申请公布号 CN 104157565 A

(43)申请公布日 2014.11.19

(30)优先权数据
61/823,312 2013.05.14 US
13/906,795 2013.05.31 US
14/030,755 2013.09.18 US
14/030,875 2013.09.18 US

(73)专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72)发明人 卢彦丞 石志聪 游信胜 陈政宏
严涛南

(74)专利代理机构 北京德恒律治知识产权代理有限公司 11409

代理人 章社杲 孙征

(51)Int.Cl.
H01L 21/3105(2006.01)
G03F 7/20(2006.01)

(56)对比文件
CN 101593689 A,2009.12.02,
US 2009219496 A1,2009.09.03,
US 2010297851 A1,2010.11.25,
CN 101424878 A,2009.05.06,
CN 1392592 A,2003.01.22,

审查员 曹丽冉

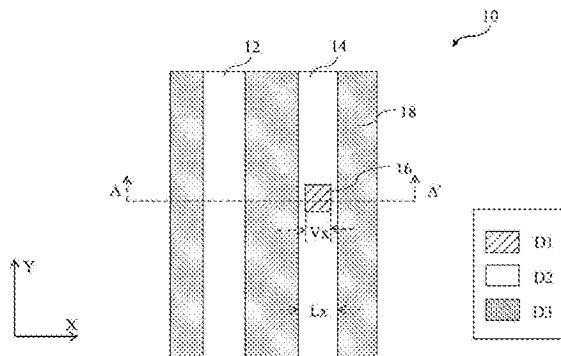
权利要求书3页 说明书17页 附图20页

(54)发明名称

通过电子束光刻利用单次曝光限定多层图案的方法

(57)摘要

本发明提供了一种方法,该方法包括:在衬底上形成第一光刻胶层;在第一光刻胶层上方形成第二光刻胶层;以及对第一光刻胶层和第二光刻胶层执行电子束(e-beam)光刻曝光工艺,从而在第一光刻胶层中形成第一潜在部件和在第二光刻胶层中形成第二潜在部件。



1. 一种利用单次曝光限定多层图案的方法,包括:
在衬底上形成第一光刻胶层;
在所述第一光刻胶层上方形成第二光刻胶层;以及
对所述第一光刻胶层和所述第二光刻胶层执行电子束光刻曝光工艺,从而在所述第一光刻胶层中形成第一潜在部件并且在所述第二光刻胶层中形成第二潜在部件;
所述方法还包括:在所述第一光刻胶层与所述第二光刻胶层之间形成材料层,所述材料层对在所述电子束光刻曝光工艺中使用的电子束辐射不敏感,并且使所述电子束辐射衰减。
2. 根据权利要求1所述的方法,其中,执行所述电子束光刻曝光工艺包括:使用具有三个剂量级的剂量图来执行所述电子束光刻曝光工艺。
3. 根据权利要求2所述的方法,其中,所述剂量图包括限定第一主要部件的第一剂量级和限定第二主要部件的第二剂量级,所述第一主要部件被设计为由所述第一光刻胶层中的所述第一潜在部件形成,所述第二主要部件被设计为由所述第二光刻胶层中的所述第二潜在部件形成。
4. 根据权利要求3所述的方法,其中,执行所述电子束光刻曝光工艺包括:使用所述第一剂量级写入所述第一主要部件并且使用小于所述第一剂量级的所述第二剂量级写入所述第二主要部件。
5. 根据权利要求3所述的方法,其中,所述剂量图包括限定背景区的第三剂量级,并且所述第三剂量级为零。
6. 根据权利要求1所述的方法,还包括:
使所述第一光刻胶层显影以由所述第一潜在部件形成第一主要部件;以及
使所述第二光刻胶层显影以由所述第二潜在部件形成第二主要部件。
7. 根据权利要求6所述的方法,在形成所述第一光刻胶层之前还包括:
在所述衬底上形成第一材料层;以及
在所述第一材料层上形成第二材料层。
8. 根据权利要求7所述的方法,在使所述第一光刻胶层显影和使所述第二光刻胶层显影之后还包括:
将所述第一主要部件转印至所述第一材料层;以及
将所述第二主要部件转印至所述第二材料层。
9. 根据权利要求7所述的方法,其中:
所述衬底是掩模衬底;
所述第一材料层是钼硅 (MoSi) 层;以及
所述第二材料层是铬 (Cr) 层。
10. 根据权利要求7所述的方法,其中:
所述衬底是半导体衬底;
所述第一材料层是第一介电材料层;
所述第二材料层是第二介电材料层;
将所述第一主要部件转印至所述第一材料层包括在所述第一材料层中形成通孔沟槽;
以及

将所述第二主要部件转印至所述第二材料层包括在所述第二材料层中形成金属线沟槽。

11. 根据权利要求1所述的方法, 其中:

所述第一光刻胶层具有第一曝光阈值; 以及

所述第二光刻胶层具有小于所述第一曝光阈值的第二曝光阈值。

12. 根据权利要求1所述的方法, 其中, 所述材料层包括通过低温沉积并且选自氧化硅、氮化硅和氮化钛组成的组中的介电材料。

13. 根据权利要求1所述的方法, 其中, 在从所述衬底向上看时, 所述第二潜在部件与所述第一潜在部件重叠。

14. 一种利用单次曝光限定多层图案的方法, 包括:

在衬底上形成第一材料层;

在所述第一材料层上形成第二材料层;

在所述第二材料层上形成第一光刻胶层;

在所述第一光刻胶层上形成中间材料层;

在所述中间材料层上形成第二光刻胶层, 其中, 所述中间材料层吸收曝光束, 使得投射到所述第二光刻胶层的曝光束被部分吸收并且只有一部分曝光束到达所述第一光刻胶层;

根据具有3个剂量级的剂量图对所述第一光刻胶层和所述第二光刻胶层执行电子束光刻曝光工艺, 从而同时在所述第一光刻胶层中形成第一潜在部件并且在所述第二光刻胶层中形成第二潜在部件;

使所述第二光刻胶层显影以由所述第二潜在部件形成第二主要部件; 以及

使所述第一光刻胶层显影以由所述第一潜在部件形成第一主要部件。

15. 根据权利要求14所述的方法, 其中:

所述衬底是掩模衬底;

所述第一材料层包括钼硅 (MoSi) 层; 以及

所述第二材料层包括铬 (Cr) 层。

16. 根据权利要求14所述的方法, 其中:

所述衬底是半导体衬底;

所述第一材料层包括第一介电材料层; 以及

所述第二材料层包括第二介电材料层。

17. 根据权利要求14所述的方法, 还包括: 在所述第一材料层与所述第二材料层之间形成中间材料层。

18. 根据权利要求14所述的方法, 其中:

所述第一光刻胶层具有第一曝光阈值; 以及

所述第二光刻胶层具有小于所述第一曝光阈值的第二曝光阈值。

19. 根据权利要求14所述的方法, 还包括:

通过第一蚀刻工艺将所述第一主要部件转印至所述第一材料层; 以及

通过第二蚀刻工艺将所述第二主要部件转印至所述第二材料层。

20. 一种利用单次曝光限定多层图案的方法, 包括:

接收具有第一层图案和第二层图案的集成电路 (IC) 设计结构, 所述第一层图案限定将

形成在衬底上的第一材料层中的至少一个第一部件,而所述第二层图案限定将形成在第二材料层中的至少一个第二部件,所述第二材料层设置在所述第一材料层上;以及

生成限定所述第一层图案和所述第二层图案的组合图案的电子束写入剂量图,所述电子束写入剂量图包括具有第一剂量的第一部件和具有小于所述第一剂量的第二剂量的第二部件;

所述方法还包括:

在所述衬底上形成第一光刻胶层;

在所述第一光刻胶层上形成中间材料层;

在所述中间材料层上形成第二光刻胶层,其中,所述中间材料层吸收曝光束,使得投射到所述第二光刻胶层的曝光束被部分吸收并且只有一部分曝光束到达所述第一光刻胶层。

21. 根据权利要求20所述的方法,还包括:

基于所述电子束写入剂量图对所述第一光刻胶层和所述第二光刻胶层执行电子束曝光工艺,从而同时在所述第一光刻胶层中形成所述第一部件的第一潜在部件并且在所述第二光刻胶层中形成所述第二部件的第二潜在部件。

通过电子束光刻利用单次曝光限定多层图案的方法

[0001] 相关申请交叉引用

[0002] 本专利申请是于2013年5月31日提交的标题为“Method To Define Multiple Layer Patterns Using A Single Exposure”的美国申请第13/906,795号的部分继续申请,并且要求于2013年5月14日提交的标题为“Method to Define Multiple Layer Patterns Using a Single Exposure”的美国临时申请第61/823,312号的优先权。本申请也与2013年9月18日提交的标题为“Photomask with Three States for Forming Multiple Layer Patterns with a Single Exposure”的美国专利申请第14/030,755号相关。其全部内容结合于此作为参考。

技术领域

[0003] 本发明总体涉及半导体,更具体地,涉及半导体的光刻方法。

背景技术

[0004] 半导体集成电路(IC)产业经历了快速发展。IC材料和技术进步已经产生了很多代IC,其中,每一代IC都具有比前一代IC更小和更复杂的电路。然而,这些进步已经增大了处理和制造IC的复杂性,为了实现这些进步,需要IC处理和制造中有类似的发展。在集成电路的发展过程中,功能密度(即,每一芯片面积上互连器件的个数)已普遍增加,同时几何尺寸(即,使用制造工艺可制造的最小部件(或线))已减小。

[0005] IC通常由一序列的材料层形成,通过光刻工艺图案化其中的一些材料层。重要的是图案化的层要适当地与邻近的层对准或套准。鉴于现代IC的几何尺寸逐渐减小,适当的对准和覆盖变得更加困难。此外,下层衬底(诸如,半导体晶圆)的表面形貌影响光刻成像质量,并且还降低邻近材料层之间的套准容差。此外,光刻工艺对于总制造成本(包括处理时间和工艺中使用的掩模(也称为光掩模)的成本)具有显著影响。因此,需要一种光刻方法以解决上述问题。

发明内容

[0006] 本发明提供了一种方法,包括:在衬底上形成第一光刻胶层;在第一光刻胶层上方形成第二光刻胶层;以及对第一光刻胶层和第二光刻胶层执行电子束光刻曝光工艺,从而在第一光刻胶层中形成第一潜在部件并且在第二光刻胶层中形成第二潜在部件。

[0007] 优选地,执行电子束光刻曝光工艺包括:使用具有三个剂量级的剂量图来执行电子束光刻曝光工艺。

[0008] 优选地,剂量图包括限定第一主要部件的第一剂量级和限定第二主要部件的第二剂量级,第一主要部件被设计为由第一光刻胶层中的第一潜在部件形成,第二主要部件被设计为由第二光刻胶层中的第二潜在部件形成。

[0009] 优选地,执行电子束光刻曝光工艺包括:使用第一剂量级写入第一主要部件并且使用小于第一剂量级的第二剂量级写入第二主要部件。

- [0010] 优选地,剂量图包括限定背景区的第三剂量级,并且第三剂量级为零。
- [0011] 优选地,该方法还包括:使第一光刻胶层显影以由第一潜在部件形成第一主要部件;以及使第二光刻胶层显影以由第二潜在部件形成第二主要部件。
- [0012] 优选地,在形成第一光刻胶层之前还包括:在衬底上形成第一材料层;以及在第一材料层上形成第二材料层。
- [0013] 优选地,在使第一光刻胶层显影和使第二光刻胶层显影之后还包括:将第一主要部件转印至第一材料层;以及将第二主要部件转印至第二材料层。
- [0014] 优选地,衬底是掩模衬底;第一材料层是钼硅(MoSi)层;以及第二材料层是铬(Cr)层。
- [0015] 优选地,衬底是半导体衬底;第一材料层是第一介电材料层;第二材料层是第二介电材料层;将第一主要部件转印至第一材料层包括在第一材料层中形成通孔沟槽;以及将第二主要部件转印至第二材料层包括在第二材料层中形成金属线沟槽。
- [0016] 优选地,第一光刻胶层具有第一曝光阈值;以及第二光刻胶层具有小于第一曝光阈值的第二曝光阈值。
- [0017] 优选地,该方法还包括:在第一光刻胶层与第二光刻胶层之间形成材料层,材料层对在电子束光刻曝光工艺中使用的电子束辐射不敏感,并且使电子束辐射衰减。
- [0018] 优选地,材料层包括通过低温沉积并且选自自由氧化硅、氮化硅和氮化钛组成的组中的介电材料。
- [0019] 优选地,在从衬底向上看时,第二潜在部件与第一潜在部件重叠。
- [0020] 根据本发明的另一方面,提供了一种方法,包括:在衬底上形成第一材料层;在第一材料层上形成第二材料层;在第二材料层上形成第一光刻胶层;在第一光刻胶层上形成中间材料层;在中间材料层上形成第二光刻胶层;根据具有3个剂量级的剂量图对第一光刻胶层和第二光刻胶层执行电子束光刻曝光工艺,从而同时在第一光刻胶层中形成第一潜在部件并且在第二光刻胶层中形成第二潜在部件;使第二光刻胶层显影以由第二潜在部件形成第二主要部件;以及使第一光刻胶层显影以由第一潜在部件形成第一主要部件。
- [0021] 优选地,衬底是掩模衬底;第一材料层包括钼硅(MoSi)层;以及第二材料层包括铬(Cr)层。
- [0022] 优选地,衬底是半导体衬底;第一材料层包括第一介电材料层;以及第二材料层包括第二介电材料层。
- [0023] 优选地,该方法还包括:在第一材料层与第二材料层之间形成中间材料层。
- [0024] 优选地,第一光刻胶层具有第一曝光阈值;以及第二光刻胶层具有小于第一曝光阈值的第二曝光阈值。
- [0025] 优选地,该方法还包括:通过第一蚀刻工艺将第一主要部件转印至第一材料层;以及通过第二蚀刻工艺将第二主要部件转印至第二材料层。
- [0026] 根据本发明的又一方面,提供了一种方法,包括:接收具有第一层图案和第二层图案的集成电路(IC)设计结构,第一层图案限定将形成在衬底上的第一材料层中的至少一个第一部件,而第二层图案限定将形成在第二材料层中的至少一个第二部件,第二材料层设置在第一材料层上;以及生成限定第一层图案和第二层图案的组合图案的电子束写入剂量图,电子束写入剂量图包括具有第一剂量的第一部件和具有小于第一剂量的第二剂量的第

二部件。

[0027] 优选地,该方法还包括:在衬底上涂覆第一光刻胶层;在第一光刻胶层上涂覆第二光刻胶层;基于电子束写入剂量图对第一光刻胶层和第二光刻胶层执行电子束曝光工艺,从而同时在第一光刻胶层中形成第一部件的第一潜在部件并且在第二光刻胶层中形成第二部件的第二潜在部件。

附图说明

[0028] 当结合附图进行阅读时,根据下面的详细描述,能更好地理解本发明的各个方面。应该强调,根据工业中的标准实践,未按比例绘制各个部件。实际上,为了清楚论述起见,可任意增大或缩小各个部件的尺寸。此外,在各个实例中,本发明可重复参考标号和/或字符。这种重复是为了简化和清楚的目的,且其本身不代表所论述的各个实施例和/或结构之间的关系。此外,在下面的说明书中,第一部件形成在第二部件上方或之上可包括第一部件和第二部件以直接接触的方式形成的实施例,并且也可包括可以在第一部件和第二部件之间形成额外的部件,从而使得第一部件和第二部件可不直接接触的实施例。

[0029] 图1是根据本发明的方面构建的剂量图。

[0030] 图2示意性地示出了图1中的剂量图沿着虚线A-A'的剂量分布图。

[0031] 图3是根据本发明的方面构建的光刻曝光工艺期间的示例性衬底的截面图。

[0032] 图4和图5是根据本发明的一个或多个实施例的使用图1的剂量图的光刻曝光工艺期间的各个曝光强度分布图的示意图。

[0033] 图6和图7是使用图1的剂量图的相应光刻胶层中的隐含光刻胶图案的顶视图。

[0034] 图8是图1的剂量图的部分顶视图。

[0035] 图9至图21是根据本发明的一个或多个实施例的使用图8的剂量图构建的半导体结构在各个制造阶段的截面图。

[0036] 图22是根据本发明的一个或多个实施例构建的制造半导体结构的方法的流程图。

[0037] 图23是根据本发明的一个或多个实施例的用于生成剂量图的方法的流程图。

[0038] 图24和图25分别是在一个实施例中根据本发明的方面构建的光掩模的顶视图和截面图。

[0039] 图26至图36是根据本发明的一个或多个实施例构建的光掩模在各个制造阶段的截面图。

具体实施方式

[0040] 应该理解,为了实施各个实施例的不同特征,以下公开内容提供了很多不同的实施例或实例。下面描述了部件和布置的特定实例以简化本发明。当然,这些仅仅是实例而不旨在限制。此外,在各个实例中,本发明可重复参考标号和/或字符。这种重复是为了简化和清楚的目的,且其本身不代表所论述的各个实施例和/或结构之间的关系。此外,在下面的说明书中,第一部件形成在第二部件上方或之上可包括第一部件和第二部件以直接接触的方式形成的实施例,并且也可包括可在第一部件和第二部件之间形成额外的部件,从而使得第一部件和第二部件可不直接接触的实施例。

[0041] 图1是用于电子束光刻图案化工艺的电子束(e-beam)写入(writing)剂量图

(dosage map) 10。根据集成电路 (IC) 图案构建剂量图 10。应该理解, 剂量图 10 (以及 IC 图案) 实际上可以是未示出的更大和更复杂的剂量图 (以及 IC 图案) 的一部分。剂量图 10 用于电子束光刻工艺以同时曝光涂布在衬底 (诸如, 半导体晶圆) 上的两个光刻胶层, 从而分别在两个光刻胶层上形成两个不同的图案。两个光刻胶层包括第一光刻胶层和设置在第一光刻胶层上方的第二光刻胶层。剂量图 10 为电子束光刻图案化工艺提供了不同的剂量级。特别地, 剂量图 10 中的 IC 图案限定了包括第一层图案和第二层图案的组合图案。例如, 第一层图案是限定多个通孔部件的通孔图案, 而第二层图案是限定多根金属线的金属线图案, 第一层图案和第二层图案被配置为形成集成电路的互连结构的一部分。剂量图 10 限定了具有多个根据第一和第二层图案而形成的部件的 IC 图案, 并且还分别限定了与多个部件相关的各种曝光剂量。在电子束光刻图案化工艺期间, 利用一个或多个电子束来实施具有剂量图 10 中所限定的不同剂量级的电子束光刻曝光工艺。此外, 由不同层的图案而形成的部件被赋予不同的剂量级。

[0042] 在本实施例中, 如图 1 的图例所示, 剂量图 10 包括三种剂量级 (剂量) D1、D2 和 D3。三种剂量级 D1、D2 和 D3 彼此不同。在本实例中, 第一剂量 D1 大于第二剂量 D2, 而第二剂量 D2 大于第三剂量 D3。此外, 第一层图案中的部件被赋予第一剂量 D1, 第二层图案中的部件被赋予第二剂量 D2, 并且背景区 (也称为场) 被赋予第三剂量 D3。

[0043] 图 2 还示意性地示出了沿着剂量图 10 中的虚线 A-A' 的剂量图 10 的剂量分布。纵轴代表剂量 “D”, 而横轴代表沿 X 方向的尺寸。

[0044] 如上所述, IC 图案包括了剂量图 10 中由第一层图案和第二层图案组合和共同限定的多个部件。在用于说明的本实例中, IC 图案包括第一部件 12、第二部件 14 和第三部件 16。为了实现本实例, 第一部件 12 和第二部件 14 是定向在第一方向 (诸如, 图 1 中的 Y 方向) 上的金属线形部件。第三部件 16 是与第二金属线对准的通孔部件。第三部件 16 是第一层图案 (诸如, 通孔层) 中的部件。第一部件 12 和第二部件 14 是第二层图案 (诸如, 金属线层) 中的部件。在将要形成在半导体衬底中的集成电路中, 通孔部件 16 与第二金属线 14 对准。因此, 在剂量图 10 中, 第三部件 (通孔部件) 16 与第二部件 (金属线) 14 重叠。在本实例中, 第三部件 16 在 X 方向上的尺寸小于第二部件 14 的相应尺寸。剂量图 10 还包括没有任何图案的背景 (场) 区 18。

[0045] 在本实施例中, 由第一层图案形成的部件 (诸如, 第三部件 16) 被赋予第一剂量 D1。由第二层图案形成的部件 (诸如, 第一部件 12 和第二部件 14) 被赋予第二剂量 D2。场被赋予第三剂量 D3。

[0046] 剂量图 10 可以以适合的格式限定在光刻图案化数据文件中并且在电子束光刻曝光工艺期间由电子束光刻系统以合适的模式 (诸如, 以光栅模式或矢量模式直写或使用数字图案发生器) 使用。剂量图 10 中的各个部件通过电子束辐射分别转印至两个或多个光刻胶层。在电子束光刻中, 光刻胶层对电子束辐射敏感并且通常称为电子束敏感光刻胶层。可选地, 剂量图 10 可通过诸如离子束的其他带电粒子束转印至光刻胶层。

[0047] 图 3 是根据剂量图 10 的通过电子束光刻图案化工艺将被图案化的结构 20 的截面图。参考图 1 至图 7 来详细地共同描述剂量图 10、结构 20 和用于电子束图案化结构 20 的方法。

[0048] 结构 20 包括衬底 22。在一个实施例中, 衬底 22 是诸如硅晶圆的半导体衬底。在另一实施例中, 衬底 22 是掩模衬底, 诸如, 熔融石英衬底或低热膨胀材料 (LTEM) 衬底。

[0049] 结构20包括形成在衬底22上的材料层24。根据不同的实施例,材料层24可包括具有相同或不同材料的多层膜。在衬底22是半导体衬底的一个实例中,材料层24包括第一介电材料层和设置在第一介电材料层上的第二介电材料层。可在第一介电材料层和第二介电材料层之间设置诸如蚀刻停止层的中间材料层。在衬底22是掩模衬底的另一实例中,材料层24包括钼硅(MoSi)层和设置在MoSi层上的铬(Cr)层。

[0050] 在材料层24上涂布第一光刻胶层26,并且在第一光刻胶层26上设置第二光刻胶层28。第一光刻胶层26和第二光刻胶层28在组成上可以不同。例如,具有不同的光刻胶组成,两个光刻胶层具有不同的敏感性(曝光阈值)。在一个实施例中,可在光刻胶层之间和/或光刻胶层下方形成诸如30和32的其他材料层以用于一个或多个目的,诸如,用于衰减和/或隔离。

[0051] 参考图4至图7,对两个光刻胶层26和28的曝光的一种描述方法是考虑两个层的曝光强度。

[0052] 图4示出了第二光刻胶层28的曝光强度分布图36,在本实施例中,第二光刻胶层28是两个光刻胶层中较上部的的光刻胶层。具体地,图4图形化地示出了与图2中示出的沿着剂量图10中的虚线A-A'的剂量分布图相对应的将被曝光的第二光刻胶层28在其宽度范围内(横坐标)的曝光强度分布(纵坐标)。由于在电子束曝光工艺期间的各种因素(诸如,散射),曝光强度分布图36可以与图2中的剂量分布图不同。

[0053] 图5示出了第一光刻胶层26的曝光强度分布图38,在本实施例中,第一光刻胶层26是两个光刻胶层中较下部的的光刻胶层。具体地,图5图形化地示出了与沿着剂量图10中的虚线A-A'的剂量分布图相对应的将被曝光的第一光刻胶层26在其宽度范围内(横坐标)的曝光强度分布(纵坐标)。由于各种因素(包括电子束辐射由于第二光刻胶层28和额外地由于材料层32(如果存在)而形成衰减以及被第二光刻胶层28进一步散射),曝光强度分布图38可以与曝光强度分布图36不同。

[0054] 如图7和图6所示,利用在剂量图10中限定的IC图案并且通过光刻曝光工艺,在第一光刻胶层26和第二光刻胶层28上分别形成隐含图案40和42。光刻胶层的隐含图案指的是光刻胶层上曝光后的图案,诸如通过显影工艺,隐含图案最终成为物理光刻胶图案。在目前情况下,图6和图7中示出的隐含图案是曝光强度等于或大于相应的曝光阈值的曝光后部分的相应的图像。

[0055] 在本实施例中,如图6所示,第二光刻胶层28上的隐含图案42包括第一部件44和第二部件46。如图7所示,第一光刻胶层26上的隐含图案40包括第三部件48。第二光刻胶层28上的隐含图案42与第一光刻胶层26上的隐含图案40彼此不同。因此,通过一次曝光工艺,利用两个光刻胶层各自的图案来曝光两个光刻胶层。这将在下面进一步说明。

[0056] 每一种光刻胶材料对辐射(例如,电子束系统的电子束)具有其相应的曝光阈值。当曝光强度(也称为曝光剂量)等于或大于曝光阈值时,光刻胶的相应部分发生化学变化,从而在显影工艺中其被显影(例如,当光刻胶为正性时,通过显影剂将它去除)。当曝光强度小于曝光阈值时,光刻胶的相应部分不发生化学变化从而不被显影(例如,当光刻胶为正性时,在显影工艺期间它仍然保留)。应该理解,术语“变化”意思是光刻胶充分变化从而反应不同,例如,如曝光后的正性光刻胶在显影工艺中的反应。在光刻胶是正性的一个实例中,光刻胶中只有受到曝光强度等于或大于曝光阈值的曝光的部分在显影工艺期间通过合适

的显影剂被去除。光刻胶中的未曝光或受到曝光强度小于曝光阈值的曝光的其他部分在显影工艺之后仍然保留。

[0057] 在光刻胶是负性的另一实例中,光刻胶中未曝光部分或受到曝光强度小于曝光阈值的曝光的部分在显影工艺期间通过合适的显影剂被去除。光刻胶中受到曝光强度等于或大于曝光阈值的曝光的其他部分在显影工艺之后仍然保留。

[0058] 在本实施例中,第一和第二光刻胶层都是正性的。在使用剂量图10的光刻曝光工艺期间,由于一种或多种因素,第一和第二光刻胶层被曝光以分别形成如图7和图6所示的各自的隐含图案40和42。

[0059] 在一个实施例中,第一光刻胶层和第二光刻胶层被设计为具有不同的曝光阈值。第一光刻胶层26具有相对较高的曝光阈值 T_1 ,而第二光刻胶层28具有相对较低的曝光阈值 T_2 ,即,小于第一光刻胶层的曝光阈值。

[0060] 在图4中,第二光刻胶层28的曝光强度分布图36包括与剂量图10中的第一部件12相对应的左部和与第二部件14和第三部件16相对应的右部。因此,曝光强度分布图36包括左部中的第一峰值50和右部中的肩峰(step shoulder)52,两者都具有与第二剂量 D_2 相关的强度 I_2 。曝光强度分布图36还包括右部中第二峰值54,其具有与第一剂量 D_1 相关的强度 I_1 。在电子束到达第二光刻胶层28之前和在穿过第二光刻胶层28的期间没有电子束辐射损失的理想情况下,强度 I_1 和 I_2 基本上等于剂量级 D_1 和 D_2 。设计第二光刻胶层28的光刻胶材料和剂量图10,使得第二阈值 T_2 小于强度 I_2 。因此,如图6所示,使剂量图10中的第一部件12和第二部件14成像以形成在电子束曝光工艺中隐含图案42相应的第一部件44和第二部件46。第三部件16也被成像为隐含图案42,但第三部件16与第二部件46重叠。

[0061] 在图5中,第一光刻胶层26的曝光强度分布图38包括与剂量图10中的第一部件12相对应的左部和与第二部件14和第三部件16相对应的右部。因此,曝光强度分布图36包括左部中的第一峰值56和右部中的肩峰(step shoulder)58,两者都具有与第二剂量 D_2 相关的强度 I_4 。曝光强度分布图38还包括右部中的第二峰值60,其具有与第一剂量 D_1 相关的强度 I_3 。由于一个或多个衰减机制,强度 I_3 和 I_4 可能分别小于强度 I_1 和 I_2 。设计第一光刻胶层26的光刻胶材料和剂量图10,使得第一阈值 T_1 小于强度 I_3 但大于强度 I_4 。因此,如图7所示,在电子束曝光工艺期间,没有使剂量图10中的第一部件12和第二部件14成像在隐含图案中,但是使剂量图10中的第三部件16成像以形成隐含图案40中的第三潜在部件48。

[0062] 由于第一光刻胶层26具有更高的曝光阈值 T_1 ,因此通过电子束光刻曝光工艺在第一光刻胶层26上形成的第一隐含图案40与在第二光刻胶层28上形成的隐含图案不同。通过使用剂量图10的一次电子束曝光工艺,在两个光刻胶层26和28中分别形成两个不同的隐含图案40和42。

[0063] 通过适当地选择在剂量图10上限定的IC图案的各个尺寸,在相应光刻胶层上形成在最佳焦距(BF)中具有合适尺寸(晶圆上或DOW上的尺寸)的第一和第二隐含图案。在一个实例中,根据第一尺寸偏差来调节第二层图案的部件(诸如,12和14)以在第二光刻胶层28中形成具有合适尺寸的隐含图案42。根据与第一尺寸偏差不同的第二尺寸偏差来调节第一层图案的部件(诸如,16)以在第一光刻胶层26中形成具有合适尺寸的相应的隐含图案40。

[0064] 在图1示出的一个实例中,第三部件16相对于第二部件14的相应尺寸 L_x 被设计为在X方向上具有第一尺寸 V_x ,其中, V_x 小于 L_x 。第三部件16由于如图3所示的电子束62的特

性,通过电子束光刻曝光工艺被成像至第一光刻胶层26以形成具有更大尺寸的潜在部件48。电子束62穿过第一光刻胶层和第二光刻胶层时经历了强散射和库仑力。因此,第一光刻胶层26中的电子束半径扩展到更大的尺寸。

[0065] 对于电子束光刻曝光工艺,剂量图10被设计为对第一层图案和第二层图案中的部件具有不同的偏差。偏差包括诸如剂量和尺寸的两个或多个自由变量以调节各个部件的CD。

[0066] 在另一实施例中,提供了衰减机制,使得第一光刻胶层的曝光强度小于第二光刻胶层的曝光强度,从而在相应的光刻胶层上形成不同的隐含图案。在这个实施例中,第一光刻胶层的曝光阈值可被选择为与第二光刻胶层的曝光阈值相同或可选地与第二光刻胶层的曝光阈值不同。在一个实例中,第二光刻胶层使曝光电子束辐射衰减从而只有一部分曝光束到达第一光刻胶层。在图3中示出的另一实例中,衰减材料层32嵌入在第一和第二光刻胶层之间。衰减材料层32吸收曝光的电子束辐射从而使得到达第一光刻胶层26的曝光的电子束只是投射到第二光刻胶层28上的曝光电子束辐射的一部分。因此,第一光刻胶层26的曝光强度小于第二光刻胶层28的曝光强度。因此,基于曝光强度和曝光阈值,第一光刻胶层26上的隐含图案与形成在第二光刻胶层28上的隐含图案不同。特别地,当与第一光刻胶层26相关的第一曝光阈值 T_1 大于 I_4 且小于 I_3 时(如图5所示),在剂量图10中限定的第一部件12和第二部件14没有被成像至第一光刻胶层26。通过电子束光刻曝光工艺,第三部件16被成像至第一光刻胶层26,从而形成如图7所示的潜在部件40。作为对比,与第二光刻胶层28相关的第二曝光阈值 T_2 小于 I_1 和 I_2 (如图4所示),在剂量图10中限定的第一部件12和第二部件14都被成像至第二光刻胶层28,从而形成如图6所示的潜在部件42。第三部件16也被成像至第二光刻胶层28,但对应的潜在部件与潜在部件46重叠。

[0067] 在各个实施例中,通过适当地选择剂量级(如剂量图10所限定)、通过调节光刻胶材料来选择曝光阈值、通过各种衰减机制(光刻胶或嵌入衰减材料层)来选择曝光强度、调节IC设计图案的各种尺寸或以上方式的组合,在相应光刻胶层上形成具有合适尺寸的各种图案。

[0068] 此后,对两个光刻胶层进行显影以在第一光刻胶层中形成第一光刻胶图案和在第二光刻胶层中形成第二光刻胶图案。接着进行其他的制造操作以将两个光刻胶图案转印至衬底。在一个实例中,执行一个或多个蚀刻操作以将两个光刻胶图案转印至衬底上的相应的下层材料层。

[0069] 根据公开的方法,通过一次电子束光刻曝光工艺,同时曝光两个光刻胶层以形成相应的图案。因此,既降低了制造成本也减少了制造周期。在不同实施例中可表现出其他优点。因此,在一个实施例中,两个光刻胶图案、转印至下层材料层的两个相应的图案是固有对准的,因为它们由相同的IC图案压印。

[0070] 同时图案化两个光刻胶层的方法和通过此方法制造的半导体结构在下文中会根据各个实施例做进一步的描述。

[0071] 图8是在一个实施例中根据本发明的方面构建的限定IC图案的剂量图10(图1,其本身可以是更大的剂量图的一部分)的剂量图部分80的顶视图。剂量图80包括被构建为限定线形部件14和通孔部件16的三个剂量级 D_1 、 D_2 和 D_3 。特别地,通孔部件16由第一剂量 D_1 限定,线形部件14由小于 D_1 的第二剂量 D_2 限定,而场区18由小于 D_2 的第三剂量 D_3 限定。在目前

情况下,D3为零。线形部件14和通孔部件16与线形部件相交。线形部件14被设计为在电路衬底(诸如,半导体晶圆)上的第一材料层(金属线层)中形成第一集成电路部件(也称为第一主要部件)。通孔部件16被设计为在电路衬底上的第二材料层(通孔部件层)中形成第二集成电路部件(也称为第二主要部件)。第二材料层在第一材料层下面。线形部件14被定向在Y方向上。在本实施例中,IC图案被设计为形成部分互连结构。为了实现本实施例,线形部件14被设计为在电路衬底中形成金属线。通孔部件16被设计为将金属线连接并且电耦合至通孔部件下方的金属层中的另一根金属线。可选地,通孔部件16被设计为形成接触部件以将金属线连接并且电耦合至电路衬底中的栅电极或掺杂的半导体部件(诸如,源极或漏极)。

[0072] 为了举例,以下论述将描述在半导体结构100中使用图8的剂量图80,图9至图21中示出了处于各个制造阶段的半导体结构100。

[0073] 参考图9,提供半导体衬底102。在本实施例中,半导体衬底102包括硅。可选地,衬底102包括锗、硅锗或诸如金刚石、碳化硅或砷化镓的其他合适的半导体材料。衬底102还可包括附加的部件和/或材料层,诸如,在衬底中形成的各个隔离部件。衬底102可包括各种p型掺杂区和/或n型掺杂区,将它们配置并且连接以形成各种器件和功能部件。在各个步骤和技术中可使用诸如离子注入的合适的工艺来获得所有的掺杂部件。衬底102可包括诸如浅沟槽隔离(STI)部件的其他部件。衬底102也可包括互连结构的一部分,其中,互连结构包括各个金属层中的金属线、在邻近的金属层中的金属线之间提供垂直连接的通孔部件以及在第一金属层中的金属线与衬底上的各种器件部件(诸如栅极、源极和漏极)之间提供垂直连接的接触部件。

[0074] 仍参考图9,在衬底102上形成各种材料层。在本实施例中,在衬底102上形成介电材料层104。介电材料层104可包括多个介电膜。在本实施例中,介电材料层104包括在衬底102上形成的第一层间介电(ILD)材料层104A。第一ILD材料层104A包括介电材料,诸如氧化硅、低k介电材料、其他合适的介电材料或它们的组合。

[0075] 介电材料层104包括在第一ILD材料层104A上方形成的第二ILD材料层104B。第二ILD材料层104B在组成和形成方面类似于第一ILD材料层104A。例如,第二ILD材料层104B包括介电材料,诸如,氧化硅、低k介电材料、其他合适的介电材料或它们的组合。

[0076] 介电材料层104包括在第一和第二ILD材料层之间形成的蚀刻停止层104C。蚀刻停止层104C对ILD材料具有蚀刻选择性并且在随后的图案化ILD材料层的操作过程中发挥停止蚀刻的功能。蚀刻停止层104C在组成上与ILD材料不同,并且包括另一种介电材料,诸如,氮化硅、氮氧化硅或碳化硅。可通过合适的技术(诸如化学汽相沉积(CVD)、旋涂或其他合适的方法)来沉积各个介电材料层。

[0077] 随后在介电材料层104上形成两个光刻胶层。具体地,在介电材料层104上方形成第一光刻胶层108。通过旋涂或其他合适的技术形成第一光刻胶层108。在第一光刻胶层108上方形成第二光刻胶层112。通过旋涂或其他合适的技术形成第二光刻胶层112。可在涂布每一个光刻胶层之后实施诸如烘烤的其他步骤。根据各个实施例,第一和第二光刻胶层可具有彼此类似或彼此不同的组成。两个光刻胶层包括对电子束辐射的敏感度相同或不同的光刻胶材料。在一个实例中,光刻胶材料包括聚甲基丙烯酸甲酯(PMMA)。

[0078] 在一个实施例中,第二光刻胶层112与第一光刻胶层108不同并且直接形成在第一光刻胶层108上。第一和第二光刻胶层被配置为仅仅溶解在不同的、相应的显影剂中。具体

地,第一显影剂用于使第一光刻胶层108显影而第二显影剂用于使第二光刻胶层112显影。第一显影剂与第二显影剂不同。第一光刻胶层可溶解在第一显影剂中,但是不可溶解在第二显影剂中。第二光刻胶层可溶解在第二显影剂中,但是不可溶解在第一显影剂中。在另一实施例中,虽然第一光刻胶和第二光刻胶互不相溶,但是第一显影剂和第二显影剂是相同的。通过这种方法,只需要一次显影工艺。在一个实例中,选择第一和第二光刻胶层以具有不同的曝光阈值。在另一实例中,第二光刻胶层112在光刻曝光工艺期间衰减曝光束使得投射到第二光刻胶层112的曝光束被部分吸收并且只有一部分曝光束到达第一光刻胶层108。因此,第一和第二光刻胶层的曝光强度是不同的。具体地,第一光刻胶层108的曝光强度小于第二光刻胶层112的曝光强度。在这种情况下,第一和第二光刻胶层的曝光阈值可被选择为相同或不同。在另一实例中,第一光刻胶层108的厚度介于约20nm至约60nm的范围之间。在另一实例中,第二光刻胶层112的厚度介于约20nm至约40nm的范围之间。

[0079] 在另一实施例中,在第一和第二光刻胶层之间形成材料层110。在这个实施例中,两个光刻胶层在组成上可以相同或不同。材料层110嵌入它们之间以发挥一种或多种功能。在一个实例中,如果两个光刻胶层相互可溶,则材料层110将第一光刻胶层和第二光刻胶层彼此间隔开。在另一实例中,材料层110的功能是吸收曝光束,使得投射到第二光刻胶层112的曝光束被部分吸收并且只有一部分曝光束到达第一光刻胶层108。因此,第一光刻胶层108的曝光强度小于第二光刻胶层112的曝光强度。在另一实例中,材料层110在随后的操作期间用作硬掩模以图案化介电材料层104。在涂布第二光刻胶层112之前,在第一光刻胶层108上形成材料层110。

[0080] 材料层110包括介电材料,诸如,氧化铝(Al_2O_3)、二氧化硅(SiO_2)、氮化硅(SiN)、氧化钛(TiO)或其他合适的材料。通过旋涂或低温沉积形成材料层110而不损害下面的光刻胶层108。例如,通过旋涂来沉积氧化铝的材料层110。在另一实例中,通过低温沉积(诸如,低温下的CVD)形成氧化硅、氮化硅或氧化钛的材料层110。在一个实例中,材料层110的厚度介于约10nm至约20nm的范围之间。

[0081] 在另一实施例中,在介电材料层104和第一光刻胶层108之间形成第二材料层106。在本实施例中,第二材料层106在随后的操作期间用作硬掩模层以图案化介电材料层104。第二材料层106可以与材料层110不同或可选地与材料层110相同。例如,第二材料层106可包括氧化铝。在涂布第一光刻胶层108之前,在介电材料层104上形成第二材料层106。第二材料层106可包括一层或多层膜以提高图案化介电材料层104的操作。

[0082] 参考图10,使用剂量图80执行电子束光刻曝光工艺以同时曝光第一和第二光刻胶层,从而在相应的光刻胶层上形成隐含图案。在电子束光刻曝光工艺期间,在剂量图80中限定的IC图案被成像至第二光刻胶层112和第一光刻胶层108。在第一光刻胶层108中形成第一隐含图案,而在第二光刻胶层112中形成第二隐含图案。隐含图案是指光刻胶层中已曝光但还未显影的部分。如参考图1至图7的以上描述,由于曝光强度不同、曝光阈值不同或两者皆不同,第一和第二隐含图案彼此不同。然而,由于第一和第二隐含图案都是在剂量图80上限定的相同IC图案的图像,因此第一隐含图案与第二隐含图案是相关的。在本实例中,第一隐含图案40包括与在剂量图80中限定的通孔部件16相关的第一潜在部件48,以及第二隐含图案42包括与在剂量图80中限定的线形部件14相关的第二潜在部件46。如结合剂量图10的以上描述,参考图6和图7描述了潜在部件48和46的顶视图。

[0083] 可以以包括矢量模式和光栅模式的各种模式执行电子束光刻曝光工艺。在一个实例中,以光栅模式执行电子束光刻曝光工艺,其中,曝光剂量根据剂量图80动态地变化。在另一实例中,以矢量模式执行电子束光刻曝光工艺,其中,以相应的剂量依次地写入(written)线形部件14和通孔部件16。具体地,使用第一剂量D1写入通孔部件16,之后使用第二剂量D2写入线形部件14,反之亦然。更一般地,使用第一剂量D1写入第一层图案中的部件,之后使用第二剂量写入第二层图案中的部件,反之亦然。由于相应的剂量D3为零,因此未写入场区18。因此,剂量(相应地,电子束强度)没有频繁地变化。可在光刻曝光工艺之后进行诸如曝光后烘烤(PEB)的其他操作。

[0084] 参考图11,通过相应的显影剂使第二光刻胶层112显影。在本实施例中,第一和第二光刻胶层都是正性的。在显影剂中去除第二光刻胶层112的曝光部分(潜在部件46),从而形成具有与第二潜在部件46相关的开口118的图案化的第二光刻胶层。可在显影工艺之后进行诸如硬烘的其他操作。

[0085] 参考图12,应用蚀刻工艺以选择性蚀刻材料层110并且去除材料层110中对准开口118的部分。适当地选择蚀刻工艺和蚀刻剂以进行选择性蚀刻而不损坏光刻胶。

[0086] 参考图13,通过相应的显影剂使第一光刻胶层108显影。在本实施例中,第一光刻胶层是正性的。在显影剂中去除曝光部分(第一潜在部件48),从而形成具有与第一潜在部件48相关的开口120的图案化的第一光刻胶层。可在显影工艺之后进行诸如硬烘的其他操作。

[0087] 参考图14,应用另一蚀刻工艺以选择性蚀刻第二材料层106并且去除第二材料层106中未被图案化的第一光刻胶层108覆盖的、与开口120对准的部分。适当地选择蚀刻工艺和蚀刻剂以进行选择性蚀刻而不损害光刻胶。

[0088] 参考图15,可通过诸如湿法剥离或等离子体灰化的合适的工艺去除第二光刻胶层112。

[0089] 应用其他操作以将开口118和120转印至相应的材料层。下面将进一步描述一个实施例。

[0090] 参考图16,应用蚀刻工艺以在开口120内选择性蚀刻第二ILD材料层104B,从而在第二ILD材料层104B中形成沟槽122。蚀刻工艺终止于蚀刻停止层104C上。适当地选择蚀刻工艺以形成沟槽122。例如,可应用干蚀刻、湿蚀刻或它们的组合以将开口120转印至第二ILD材料层104B,从而形成沟槽122。

[0091] 参考图17,使用合适的蚀刻技术和蚀刻剂,应用另一蚀刻工艺以在沟槽122内选择性蚀刻蚀刻停止层104C。在一个实施例中,可应用湿蚀刻以打开蚀刻停止层104C。例如,当蚀刻停止层104C包括氧化硅时,则可将氢氟酸(HF)用作蚀刻剂以蚀刻蚀刻停止层104C。

[0092] 参考图18,应用修剪工艺以修剪第一光刻胶层108,从而将开口118从材料层110转印至第一光刻胶层108。通过修剪工艺去除第一光刻胶层108中未被覆盖部分。在一个实施例中,修剪工艺类似于光刻胶剥离工艺。例如,修剪工艺执行湿法剥离。

[0093] 参考图19,应用蚀刻工艺以在开口118内蚀刻材料层106,从而将开口118转印至材料层106。在一个实施例中,材料层106与材料层110包括相同的材料(诸如,氧化铝),蚀刻工艺打开材料层106并且也去除材料层110。

[0094] 参考图20,将材料层106用作蚀刻掩模,应用另一蚀刻工艺以选择性蚀刻第一ILD

材料层104A和第二ILD材料层104B,从而在第一ILD材料层104A中形成第一沟槽124以用于通孔部件,并且在第二ILD材料层104B中形成第二沟槽126以用于金属线。在本实施例中,第一和第二ILD材料层包括相同的介电材料。通过蚀刻工艺使第一和第二ILD材料层形成凹槽。适当地选择蚀刻工艺以进行选择性的蚀刻。例如,可应用于干蚀刻以在相应的ILD材料层中形成通孔沟槽124和金属线沟槽126。

[0095] 在一些实施例中,另一蚀刻停止层设置在衬底102和第一ILD材料层104A之间,使得蚀刻工艺适当地停止在蚀刻停止层上。在这种情况下,随后可通过另一蚀刻打开蚀刻停止层以用于合适的电连接。在另一实施例中,在第一ILD材料层下方形成下层金属层并且通孔沟槽124与下层金属线适当地对准以用于电连接。随后可执行其他操作。例如,可通过湿法剥离或等离子体灰化去除第一光刻胶层108。

[0096] 虽然在上文中根据一个或多个实施例,提供了形成通孔沟槽124和金属线沟槽126的步骤,但是使用图案化的第一和第二光刻胶层,可选择应用其他步骤以形成通孔沟槽124和金属线沟槽126。

[0097] 在不存在材料层110的另一实施例中,省去了应用于材料层110的各个蚀刻操作。

[0098] 参考图21,通过合适的步骤形成通孔部件128和金属线130。在一个实施例中,通过诸如物理汽相沉积(PVD)的沉积将诸如金属或金属合金的导电材料填充在通孔沟槽124和金属线沟槽126中(图20)。应用化学机械抛光(CMP)工艺以去除过量的导电材料并且平坦化顶面。

[0099] 在另一实施例中,材料层106可用作抛光停止层并且可在CMP工艺之后通过蚀刻工艺去除。在一个特定实例中,将铜用作导电材料。为了实现该实例,通过PVD形成铜种晶层。此后,通过电镀将块状铜填充在沟槽124和126中。随后应用CMP工艺以去除过量的铜并且平坦化顶面。在又一实施例中,在用导电材料填充沟槽之前,在通孔沟槽124和金属线沟槽126的侧壁上形成诸如氮化钛的衬垫材料。通过诸如PVD或CVD的合适的技术沉积衬垫层。衬垫层可用作扩散阻挡层和粘合层以使互连结构成为一体。

[0100] 虽然未示出,但是可存在其他工艺操作以形成诸如源极区和漏极区的各个掺杂区和/或诸如栅电极的器件部件。在一个实例中,衬底可选择包括通过公开的方法而被图案化的其他材料层(诸如,另一图案化的金属层)。在另一实例中,附加的图案化步骤可应用于衬底以形成栅叠件。在另一实例中,通过诸如离子注入的传统掺杂工艺形成具有n型掺杂剂或p型掺杂剂的源极和漏极部件。

[0101] 图22是根据一个或多个实施例的各个方面构建的通过单次光刻曝光工艺将两个光刻胶层曝光为具有相应隐含图案的方法200的流程图。方法200开始于操作202,提供诸如半导体晶圆的衬底。衬底还可包括一个或多个材料层,诸如,一个或多个图案化的层或将被图案化的一个或多个层。

[0102] 在操作204中,在衬底上形成第一光刻胶层。形成第一光刻胶层包括通过诸如旋涂的合适的技术在衬底上涂布第一光刻胶层。诸如烘烤的其他制造步骤还可应用于第一光刻胶层。

[0103] 在操作206中,在第一光刻胶层上形成第二光刻胶层。形成第二光刻胶层包括通过诸如旋涂的合适的技术在衬底上涂布第二光刻胶层。诸如烘烤的其他制造步骤还可应用于第二光刻胶层。

[0104] 第一和第二光刻胶层在组成上可以相同或不同。在一个实施例中,第二光刻胶层在曝光阈值上与第一光刻胶层不同。在另一实施例中,由于第一光刻胶层和第二光刻胶层通过不同的显影剂来显影并且在对方的显影剂中完全不溶,所以第二光刻胶层与第一光刻胶层不同。在另一实施例中,在第一光刻胶层和第二光刻胶层之间嵌入材料层以用于隔离、衰减和/或用作蚀刻掩模。

[0105] 方法200继续进行操作208,执行电子束光刻曝光工艺以同时曝光第一和第二光刻胶层,从而在第一光刻胶层中形成第一隐含图案并且在第二光刻胶层中形成第二隐含图案。第一和第二图案彼此不同并且限定将被转印至不同的材料层中的相应的图案。

[0106] 根据诸如剂量图10或80的具有三个剂量级的剂量图,电子束光刻曝光工艺曝光两个光刻胶层。构建三个剂量级D1、D2和D3以限定两层图案的各个部件。特别地,在剂量图中限定的IC图案包括第一层图案的多个第一部件和第二层图案的多个第二部件。在剂量图中,用第一剂量D1限定多个第一部件,而用第二剂量D2限定多个第二部件。

[0107] 通过曝光阈值、曝光强度的衰减,并且根据不同的尺寸偏差调节相应的IC设计图案,调节第一层图案和第二层图案的剂量级和尺寸。在一个实施例中,IC图案限定在数据文件中并且通过直写或其他合适的技术(诸如,数字图案发生器)转印至光刻胶层。可执行其他步骤。在一个实施例中,在光刻曝光工艺之后,可将曝光后烘烤工艺应用于第一和第二光刻胶层。

[0108] 方法200继续进行操作210,使第二光刻胶层显影以形成图案化的第二光刻胶层。由此,将具有第二隐含图案的第二光刻胶层转化为具有多个开口的图案化的第二光刻胶层。在一个实施例中,第二光刻胶层是正性的,并且通过相应的显影剂去除第二光刻胶层中与第二隐含图案相关的部分,从而在第二光刻胶层(具有从第二隐含图案转化来的第二图案的第二光刻胶层)中产生开口。

[0109] 方法200继续进行操作212,使第一光刻胶层显影以形成图案化的第一光刻胶层。具有第一隐含图案的第一光刻胶层被转化为具有多个开口的图案化的第一光刻胶层。在一个实施例中,第一光刻胶层是正性的,并且通过相应的显影剂去除第一光刻胶层中与第一隐含图案相关的部分,从而在第一光刻胶层中产生开口。此后,可执行其他步骤。在一个实施例中,一个或多个烘烤工艺可共同地或分别地应用于第一和第二光刻胶层。

[0110] 方法200继续进行操作214,将第一图案和第二图案转印至衬底或衬底上的下层材料层。操作214可包括一个或多个蚀刻工艺,诸如与图9至图21相关的那些多个实施例。在一个实施例中,在相应的ILD材料层中形成通孔沟槽和金属线沟槽。在方法200之前、期间或之后,可执行其他制造操作。在一个实施例中,之后执行包括金属沉积和CMP的步骤以形成重叠并且对准的通孔部件(或接触部件)和金属线。

[0111] 本发明还提供了用于产生剂量图(诸如,可用在图22的方法200中的剂量图80)的方法。图23是产生剂量图的方法250的流程图,剂量图限定其上的IC图案。

[0112] 方法250开始于操作252,接收包括第一层图案和第二层图案的IC设计布局。第一层图案被设计为通过电子束光刻曝光工艺曝光第一光刻胶层,并且将形成在衬底(诸如,半导体晶圆)上的第一材料层中,而第二层图案被设计为通过光刻曝光工艺曝光第二光刻胶层,并且将形成在覆盖第一材料层的第二材料层中。在用于说明的一个实施例中,第一层图案包括具有一个通孔部件(或多个通孔部件)的通孔图案,而第二层图案是具有一根金属线

(或多根金属线)的金属线图案。

[0113] 方法250继续进行操作254,根据第一偏差调节第一层图案的剂量级(和尺寸)。选择第一偏差使得第一光刻胶层被曝光从而形成具有合适尺寸的第一隐含图案,诸如,具有合适尺寸的通孔部件。

[0114] 方法250继续进行操作256,根据第二偏差调节第二层图案的剂量级(和尺寸)。选择第二偏差使得第二光刻胶层被曝光从而形成具有合适尺寸的第二隐含图案,诸如,具有合适尺寸的金屬线。第一和第二偏差彼此不同以区别开曝光强度和在两个光刻胶层上形成不同的隐含图案。

[0115] 通过用于第一层图案和第二层图案的不同的偏差,实现了第一层图案和第二层图案之间的曝光辐射强度差异。如图5所示的一个实例,由于偏差不同,与第一层图案相关的强度 I_3 不同于(具体地,大于)与第二层图案相关的强度 I_4 。由于这一强度差异,第一层图案可选择性地被成像至第一光刻胶层,而第二层图案未被成像至第一光刻胶层(诸如,通过选择不同的曝光阈值和/或衰减)。

[0116] 方法250继续进行操作258,对经过调节的(用不同的剂量并且还可能用尺寸调节)第一和第二层图案进行组合以形成组合的IC图案。组合的IC图案是与相应的剂量相关的经过调节的第一和第二层图案的总和。如图8示出的实例,经过调节的第一层图案包括具有第一剂量 D_1 并且可能具有第一尺寸偏差(诸如,在本实例中, V_x 小于 L_x)的通孔部件16。经过调节的第二层图案包括具有第二剂量 D_2 的金属线14。根据形成在衬底上时的空间位置关系(通孔图案和金属线图案之间的空间关系),组合经过调节的第一和第二层图案。在图8示出的实施例中,在顶视图中,当形成在衬底中时,通孔部件16与金属线14对准并且重叠。此外,由于第一偏差与第二偏差不同,在组合的IC图案中,通孔部件16具有尺寸 V_x ,而金属线14具有大于 V_x 的尺寸 L_x 。

[0117] 方法250继续进行操作260,根据组合的IC图案产生剂量图(诸如,图1中的剂量图10或图8中的剂量图80)以用于电子束曝光工艺(或可选地用于使用诸如离子束的其他带电粒子的光刻曝光工艺)。剂量图用相应的剂量限定组合的IC图案。

[0118] 方法250可继续进行操作262,如图6和图7中示出的一个实施例所述,根据具有限定在其上的组合的IC图案的剂量图,对涂布在衬底(诸如,半导体晶圆)上的两个光刻胶层执行电子束曝光工艺,从而在两个光刻胶层上形成不同的隐含图案。根据一个实施例,如图9至图21所述,操作262可包括在衬底的相应的材料层上形成来自两个隐含图案的两个相应图案的其他工艺。在另一实施例中,如下面进一步所述,操作262可将两个光刻胶层涂布在掩模衬底上以制造具有三种状态的掩模。

[0119] 图24是根据一个实施例构建的光掩模(中间掩模或掩模)270的顶视图,而图25是光掩模270沿虚线B-B'得到的截面图。掩模270包括掩模衬底272。掩模衬底272可以是诸如熔融石英衬底的透明衬底。掩模270包括对光刻曝光工艺(诸如,紫外线(UV)或深UV(DUV))期间的曝光辐射具有第一透射率并且设置在掩模衬底272上的第一掩模材料层274。掩模270包括具有第二透射率并且设置在第一掩模材料层274上的第二掩模材料层276。第一和第二透射率彼此不同。在本实施例中,第一透射率大于第二透射率。为了实现本实施例,第二透射率大约为零。在一个可选实施例中,可在第二掩模材料层276上形成覆盖层(诸如,另一MoSi层)以防止或减少反射。

[0120] 在本实施例中,第一掩模材料层274包括钼硅(MoSi)。第一掩模材料层274可选择包括具有适合的透射率的其他材料,诸如,硅酸锆(ZrSiO)、氮化硅(SiN)和/或氮化钛(TiN)。第一掩模材料层274被设计为具有合适的厚度以用于适合的透射率。在一个实例中,第一掩模材料层274的厚度介于约5nm和约40nm之间。

[0121] 在本实施例中,第二掩模材料层276包括铬(Cr)。在一个实例中,第二掩模材料层276的厚度介于约5nm和约80nm之间。

[0122] 图案化第一和第二掩模材料层以形成各个开口。具体地,图案化第一掩模材料层274以形成一个或多个开口278。图案化第二掩模材料层276以形成一个或多个开口280。特别地,掩模270包括三种状态,在使用掩模270的光刻曝光工艺期间三种状态对辐射光束反应不同。第一状态限定在诸如开口278的区域中,其中,该区域不存在第一掩模材料层和第二掩模材料层,只存在掩模衬底272。第二状态限定在诸如开口280的区域中,该区域不存在第二掩模材料层276,只有第一掩模材料层274和掩模衬底272。第三状态限定在没有任何图案的场区282中,场区282中存在第一掩模材料层274和第二掩模材料层276。

[0123] 掩模270中的各个开口限定由多层图案形成的IC图案。多层图案组合在一起并且限定在相同的掩模270中。在本实施例中,开口278限定集成电路的第一层图案中的部件(也用标号278表示),而开口280限定集成电路的第二层图案中的部件(也用标号280表示)。第一层图案和第二层图案是集成电路的部分。例如,第一层图案是具有一个或多个通孔部件的通孔图案,而第二层图案是具有一个或多个金属线的金属线图案。通孔图案和金属线图案共同为集成电路中的互连结构的一部分。

[0124] 特别地,源自第一层图案的部件278具有第三透射率。源自第二层图案的部件280具有小于第三透射率的第一透射率。场282具有小于第一透射率的第二透射率。在本实例中,第三透射率最高,第二透射率约为零,而第一透射率介于第二和第三透射率之间。应该指出,掩模270可以是大掩模的一部分并且只示出了示例性部件而不旨在限制。例如,第一层图案可包括一个以上部件278。类似地,第二层图案可包括一个以上部件280。在本实例中,如图24所示,源自第一层图案的部件278与源自第二层图案的部件280重叠。

[0125] 在本实施例中,通过使用上面所述的剂量图80的方法200形成掩模270。为了举例,下面的论述还将根据一个或多个实施例来描述掩模270(图26至图36中示出了各个制造阶段)及其制造方法。

[0126] 参考图26,提供掩模衬底272。在本实施例中,掩模衬底272包括熔融石英或其他合适的材料。

[0127] 仍参考图26,在衬底272上形成各种材料层。在本实施例中,在衬底272上形成第一掩模材料层274,并且在第一掩模材料层274上形成第二掩模材料层276。可通过诸如物理汽相沉积(PVD)的合适的技术实现第一和第二掩模材料层的形成。

[0128] 随后在第二掩模材料层276上形成两个光刻胶层。具体地,在第二掩模材料层276上方形成第一光刻胶层108。通过旋涂或其他合适的技术形成第一光刻胶层108。在第一光刻胶层108上方形成第二光刻胶层112。通过旋涂或其他合适的技术形成第二光刻胶层112。可在涂布每一个光刻胶层之后进行诸如烘烤的其他步骤。根据各个实施例,第一和第二光刻胶层可具有彼此类似或彼此不同的组成。两个光刻胶层包括对电子束辐射敏感度相同或不同的光刻胶材料。在一个实例中,光刻胶材料包括PMMA。

[0129] 第一光刻胶层108和第二光刻胶层112分别与图9中的光刻胶层108和112相同。为简化起见,本文不再重复详细描述。在一个实施例中,第二光刻胶层112不同于第一光刻胶层108且直接形成在第一光刻胶层108上。

[0130] 在另一实施例中,在第一和第二光刻胶层之间形成材料层110。在这个实施例中,两个光刻胶层在组成上可以相同或不同。如以上图9所述,材料层110嵌入在它们之间以发挥一种或多种功能。材料层110包括介电材料,诸如,氧化铝(Al_2O_3)、氧化硅(SiO_2)、氮化硅(SiN)、氧化钛(TiO)或其他合适的材料。通过旋涂或低温沉积形成材料层110而不损害下层光刻胶层108。

[0131] 在另一实施例中,在第二掩模材料层276和第一光刻胶层108之间形成第二材料层106。在本实施例中,第二材料层106在随后图案化掩模材料层的操作期间用作硬掩模。第二材料层106可与材料层110不同或可选地与材料层110相同。例如,第二材料层106可包括MoSi或其他合适的材料。

[0132] 参考图27,使用剂量图80执行电子束光刻曝光工艺以同时曝光第一和第二光刻胶层,从而在相应的光刻胶层上形成隐含图案。在电子束光刻曝光工艺期间,在剂量图80中限定的IC图案被成像至第二光刻胶层112和第一光刻胶层108。在第一光刻胶层108中形成第一隐含图案,而在第二光刻胶层112中形成第二隐含图案。隐含图案是指光刻胶层中已曝光但未显影部分。参考以上图1至图7所述,由于曝光强度不同、曝光阈值不同或两者皆不同,第一和第二隐含图案彼此不同。然而,由于第一和第二隐含图案都是限定于剂量图80上的相同IC图案的图像,因此第一和第二隐含图案是相关的。在本实例中,第一隐含图案40包括与限定在剂量图80中的通孔部件16相关的第一潜在部件48,而第二隐含图案42包括与限定在剂量图80中的线形部件14相关的第二潜在部件46。

[0133] 可以以包括矢量模式和光栅模式的各个模式执行电子束光刻曝光工艺。在一个实例中,以光栅模式执行电子束光刻曝光工艺,其中,曝光剂量根据剂量图80动态地变化。在另一实例中,以矢量模式执行电子束光刻曝光工艺,其中,用相应的剂量依次地曝光线形部件14和通孔部件16。具体地,使用第一剂量D1曝光通孔部件16,之后使用第二剂量D2曝光线形部件14,反之亦然。更一般地,使用第一剂量D1曝光第一层图案中的部件,之后使用第二剂量曝光第二层图案中的部件,反之亦然。由于相应的剂量D3为零,因此未曝光场区18。因此,剂量(相应地,电子束强度)不频繁地变化。可在光刻曝光工艺之后进行诸如曝光后烘烤(PEB)的其他操作。

[0134] 参考图28,通过相应的显影剂使第二光刻胶层112显影。在本实施例中,第一和第二光刻胶层都是正性的。在显影剂中去除第二光刻胶层112的曝光部分(潜在部件46),从而形成具有与第二潜在部件46相关的开口118的图案化的第二光刻胶层。可在显影工艺之后进行诸如硬烘的其他操作。

[0135] 参考图29,应用蚀刻工艺以选择性蚀刻材料层110并且去除材料层110中与开口118对准的部分。适当地选择蚀刻工艺和蚀刻剂以进行选择性蚀刻而不损害光刻胶。

[0136] 参考图30,通过相应的显影剂使第一光刻胶层108显影。在本实施例中,第一光刻胶层是正性的。在显影剂中去除曝光部分(第一潜在部件48),从而形成具有与第一潜在部件48相关的开口120的图案化的第一光刻胶层。可在显影工艺之后进行诸如硬烘的其他操作。

[0137] 参考图31,应用另一蚀刻工艺以选择性蚀刻第二材料层106并且去除第二材料层106中未被图案化的第一光刻胶层108覆盖的、与开口120对准的部分。适当地选择蚀刻工艺和蚀刻剂以进行选择性的蚀刻而不损害光刻胶。

[0138] 参考图32,应用蚀刻工艺以在开口120内选择性蚀刻第二掩模材料层276,从而在第二掩模材料层276中形成沟槽122。适当地选择蚀刻工艺以形成沟槽122。例如,可应用于干蚀刻、湿蚀刻或它们的组合以将开口120转印至第二掩模材料层276,从而形成沟槽122。

[0139] 参考图33,使用合适的蚀刻技术和蚀刻剂,应用另一蚀刻工艺以在沟槽122内选择性蚀刻第一掩模材料层274,从而在第一掩模材料层274中形成沟槽(开口)278。

[0140] 参考图34,应用修剪工艺以修剪第一光刻胶层108,从而将开口118从材料层110转印至第一光刻胶层108。通过修剪工艺去除第一光刻胶层108中未被覆盖部分。通过修剪工艺也去除第二光刻胶层112。在一个实施例中,修剪工艺类似于光刻胶剥离工艺。例如,修剪工艺执行湿法剥离。

[0141] 参考图35,应用蚀刻工艺以在开口118内蚀刻材料层106,从而将开口118转印至材料层106。在一个实施例中,材料层106和材料层110包括相同的材料(诸如,氧化铝),蚀刻工艺打开材料层106并且也去除材料层110。

[0142] 参考图36,将材料层106用作蚀刻掩模,应用另一蚀刻工艺以选择性蚀刻第二掩模材料层276,从而在第二掩模材料层276中形成沟槽(开口)280。通过湿法剥离或等离子体灰化去除第一光刻胶层108。

[0143] 在一个实施例中,之后通过蚀刻工艺去除材料层106。在另一实施例中,保留材料层106以用作保护层。

[0144] 虽然已经详细描述了本发明的实施例,但是本领域普通技术人员应该理解,在不背离本发明的精神和范围的情况下,他们可对本发明作出各种变化、替代和修改。例如,通过使用具有三个以上剂量级的剂量图的单次电子束光刻曝光工艺同时曝光两个以上的光刻胶层(诸如,三个光刻胶层),诸如,用相应的剂量限定每一层中的图案的部件。在另一实例中,可将掩模270设计为反射掩模以用于极紫外(EUV)光刻。在该实例中,掩模衬底272包括低热膨胀材料(LTEM)衬底并且第一掩模材料层274包括反射多层,这种Mo和Si层对被设计为反射EUV辐射。

[0145] 因此,本发明提供了一种用于制造半导体器件的方法,该方法包括:在衬底上形成第一光刻胶层;在第一光刻胶层上方形成第二光刻胶层;以及对第一光刻胶层和第二光刻胶层执行电子束(e-beam)光刻曝光工艺,从而在第一光刻胶层中形成第一潜在部件和在第二光刻胶层中形成第二潜在部件。

[0146] 本发明也提供了一种方法,该方法包括:在衬底上形成第一材料层;在第一材料层上形成第二材料层;在第二材料层上形成第一光刻胶层;在第一光刻胶层上形成中间材料层;在中间材料层上形成第二光刻胶层;根据具有3个剂量级的剂量图对第一光刻胶层和第二光刻胶层执行电子束(e-beam)光刻曝光工艺,从而同时在第一光刻胶层中形成第一潜在部件和在第二光刻胶层中形成第二潜在部件;使第二光刻胶层显影以形成源自第二潜在部件的第二主要部件;以及使第一光刻胶层显影以形成源自第一潜在部件的第一主要部件。

[0147] 本发明也提供了一种方法,该方法包括:接收具有第一层图案和第二层图案的集成电路(IC)设计结构,其中,第一层图案限定将形成在衬底上的第一材料层中的至少一个

第一部件,而第二层图案限定将形成在第二材料层中的至少一个第二部件,其中第二材料层设置在第一材料层上;以及产生限定第一层图案和第二层图案组合的图案的电子束(e-beam)写入(writing)剂量图,电子束写入剂量图包括具有第一剂量的第一部件和具有小于第一剂量的第二剂量的第二部件。

[0148] 上面概述了若干实施例的特征。本领域普通技术人员应该理解,他们可容易地使用本发明作为基础,来设计或修改用于实现与本文介绍的实施例相同的目的和/或获得相同的优势的其他工艺和结构。本领域普通技术人员也应该意识到,这种等效构造不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,他们可以对本发明可作出各种变化、替代和改变。

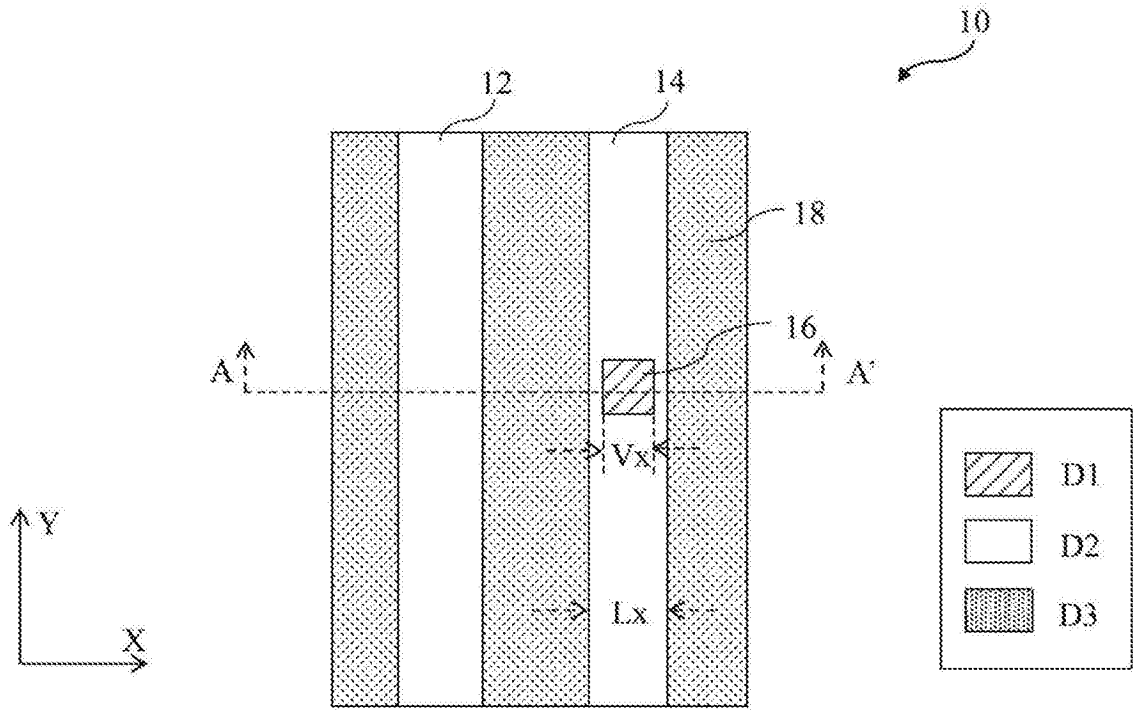


图1

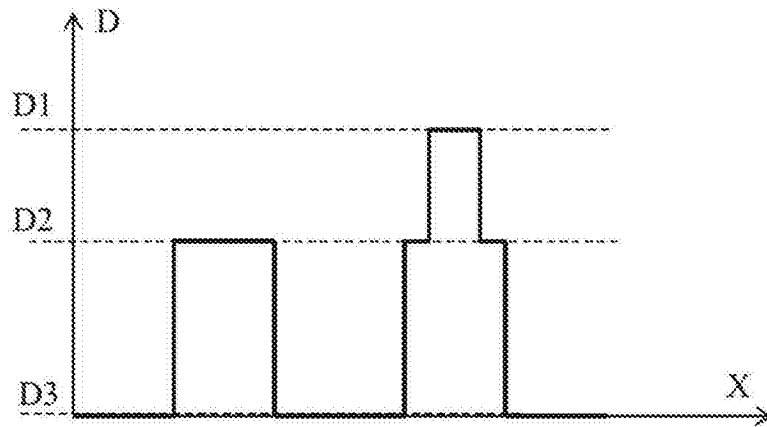


图2

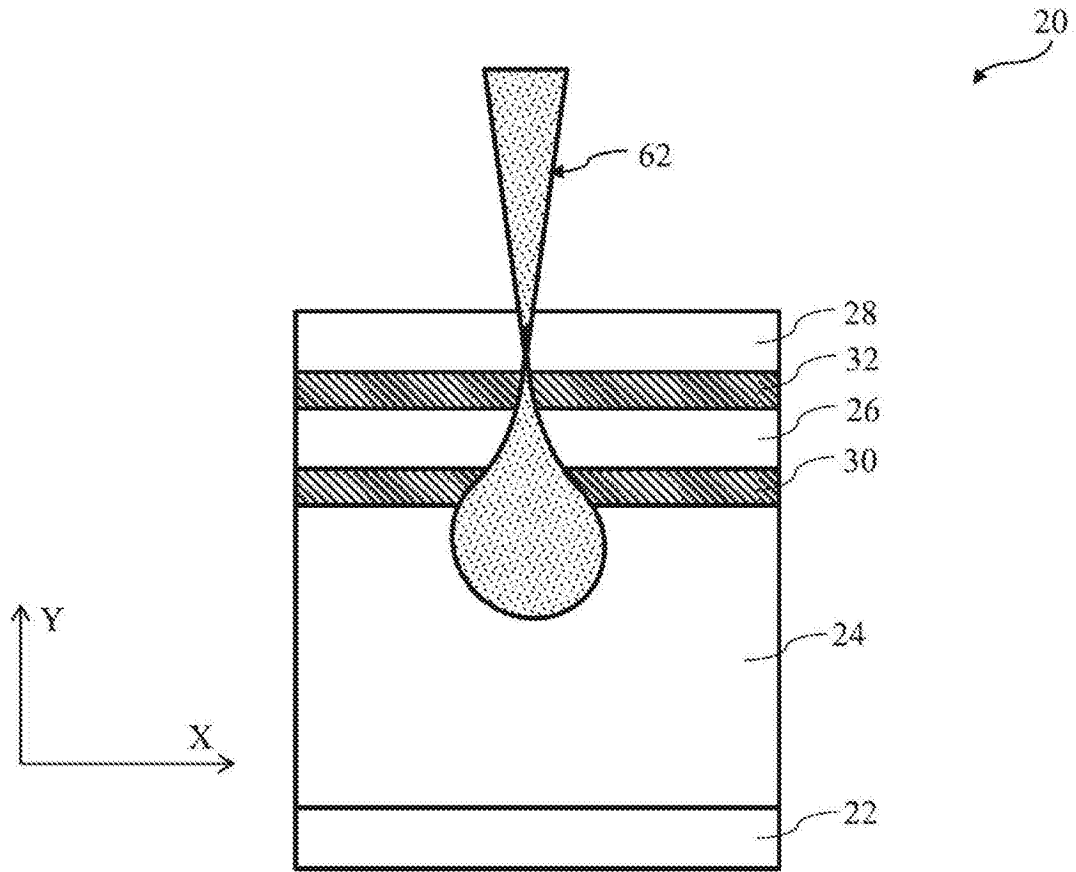


图3

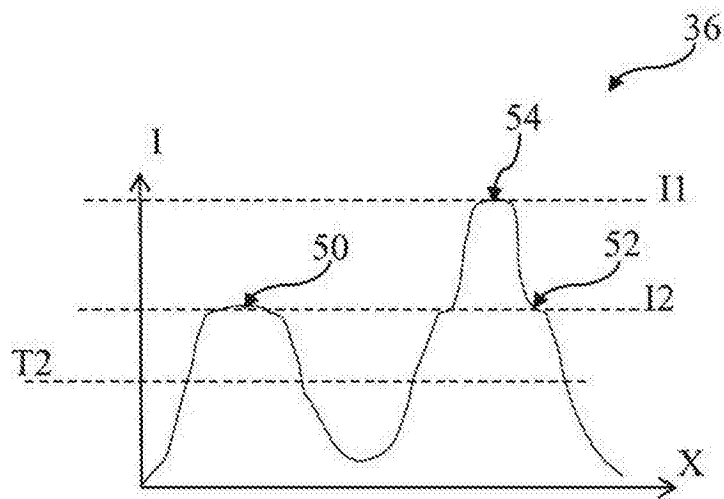


图4

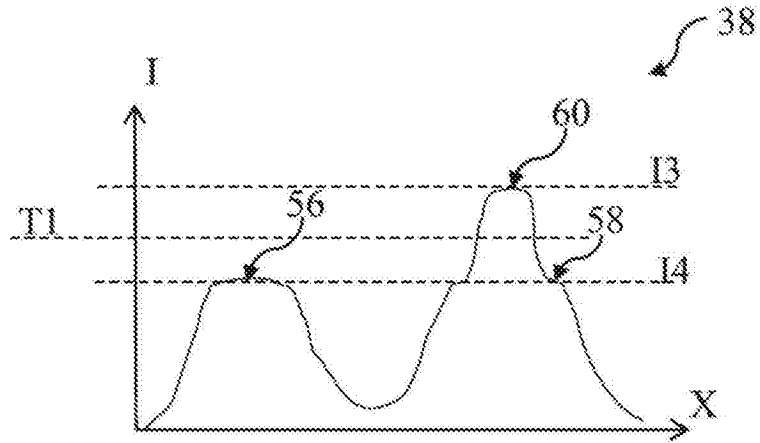


图5

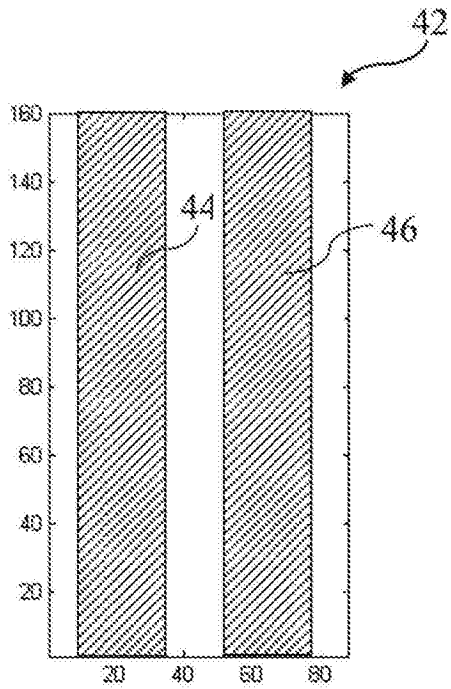


图6

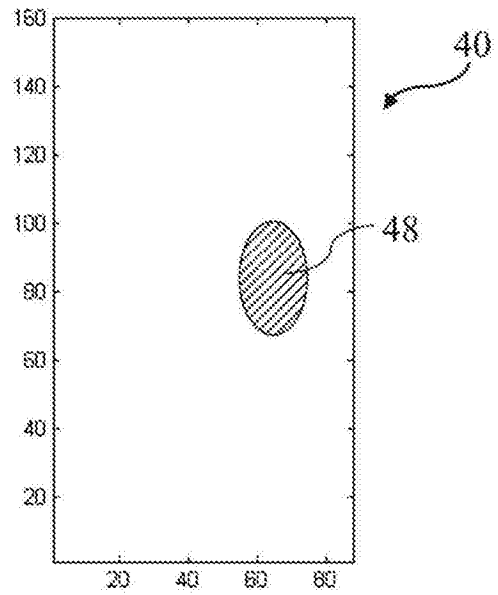


图7

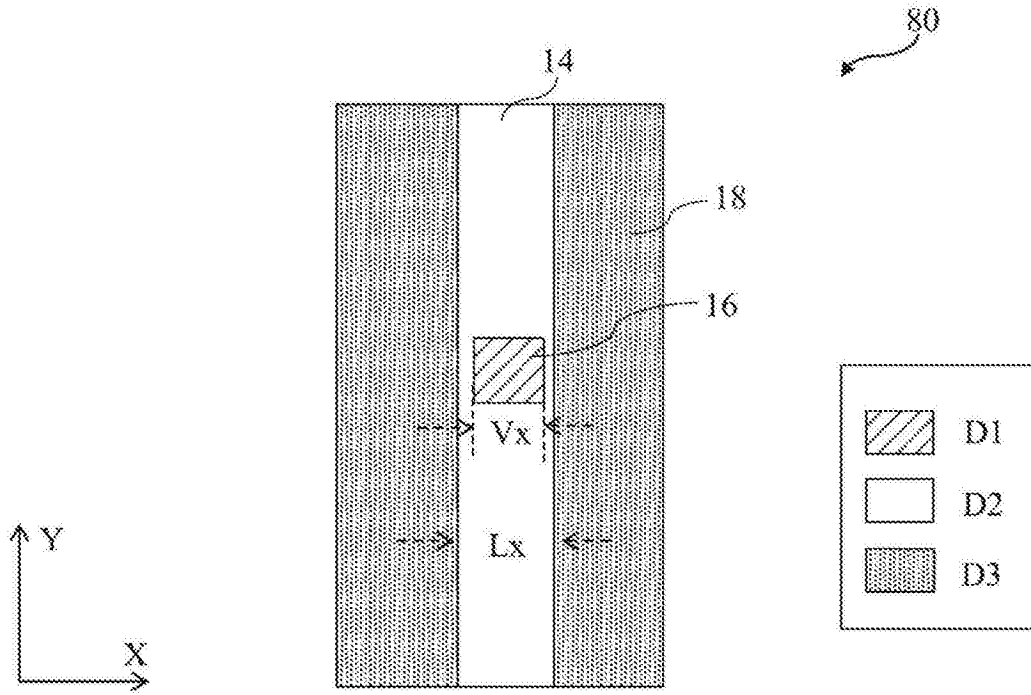


图8

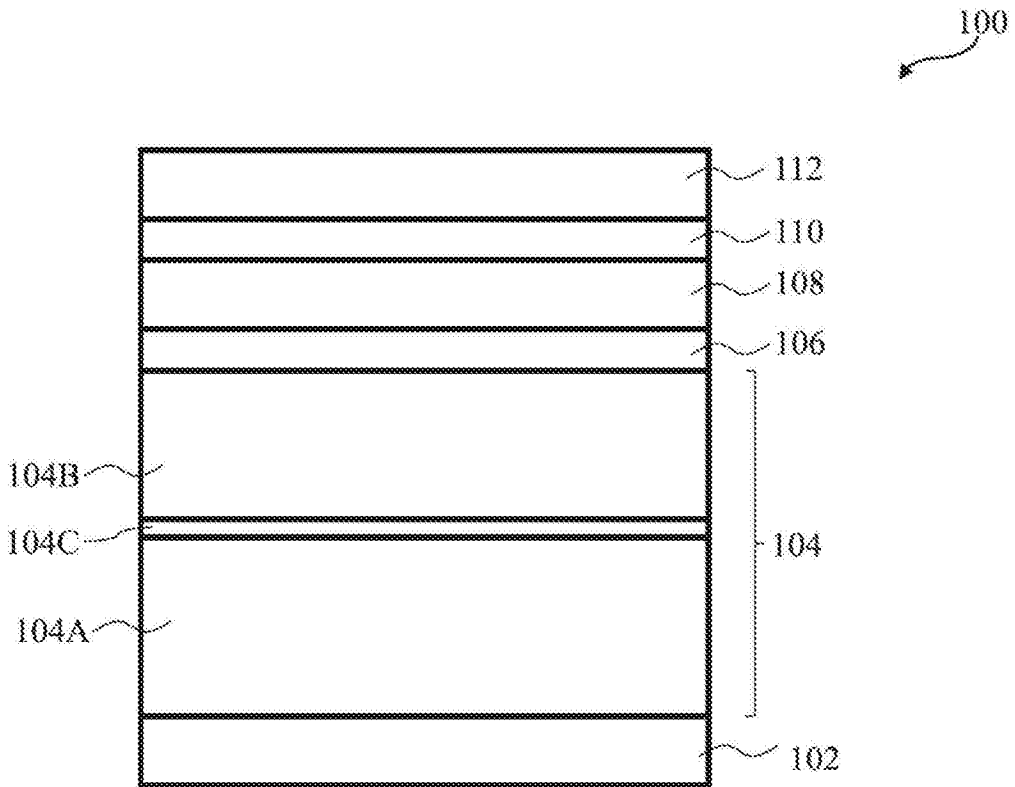


图9

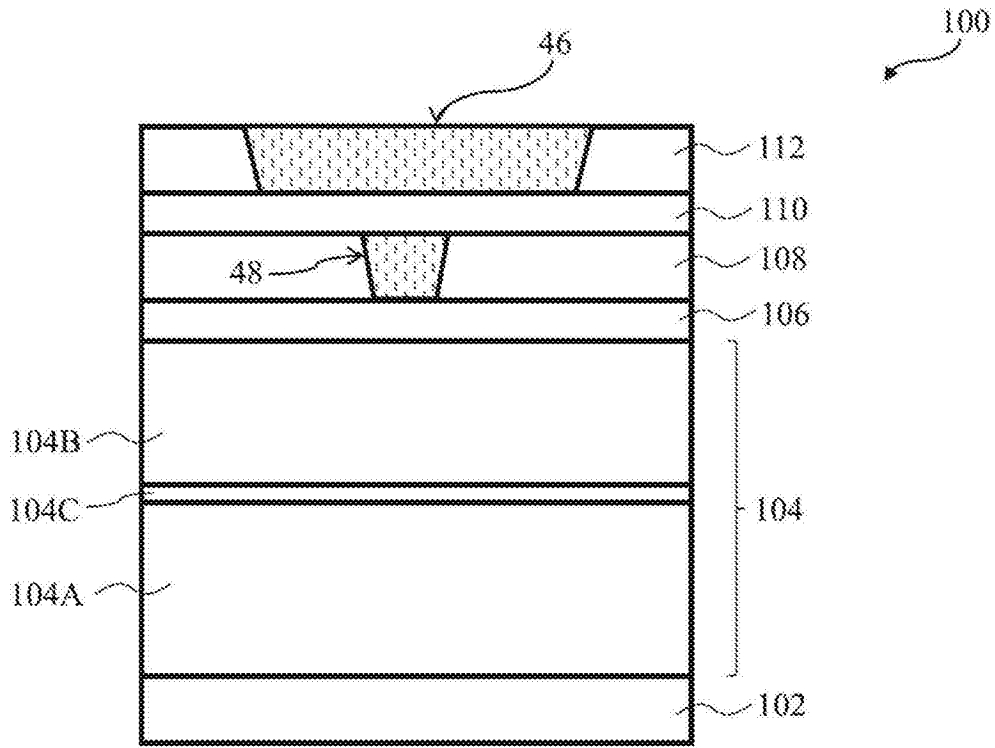


图10

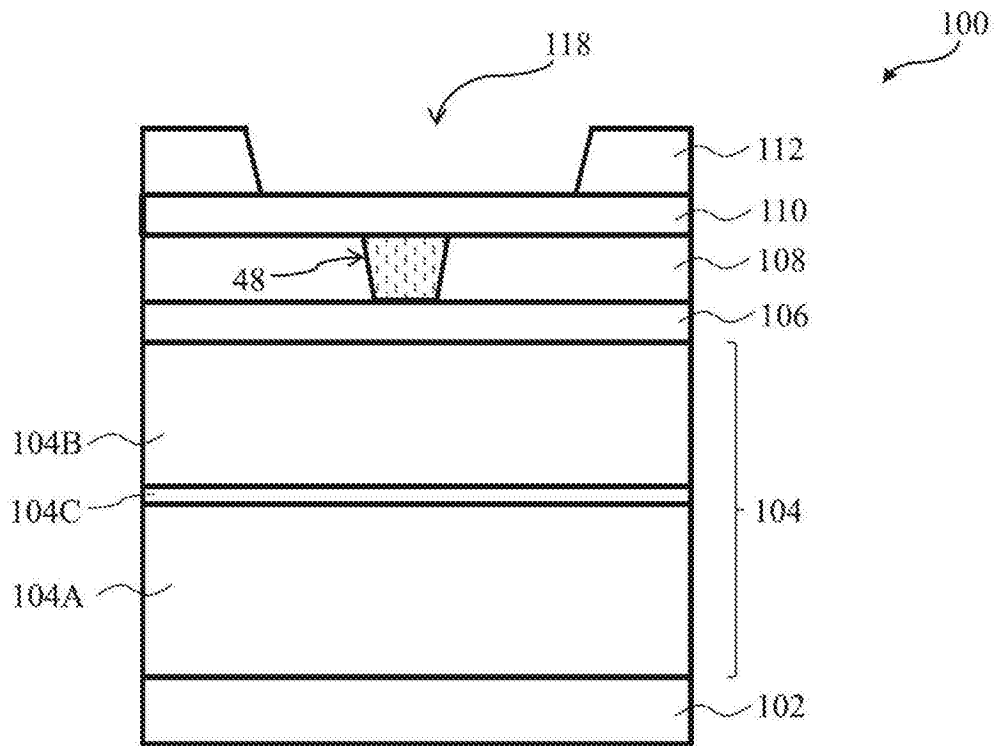


图11

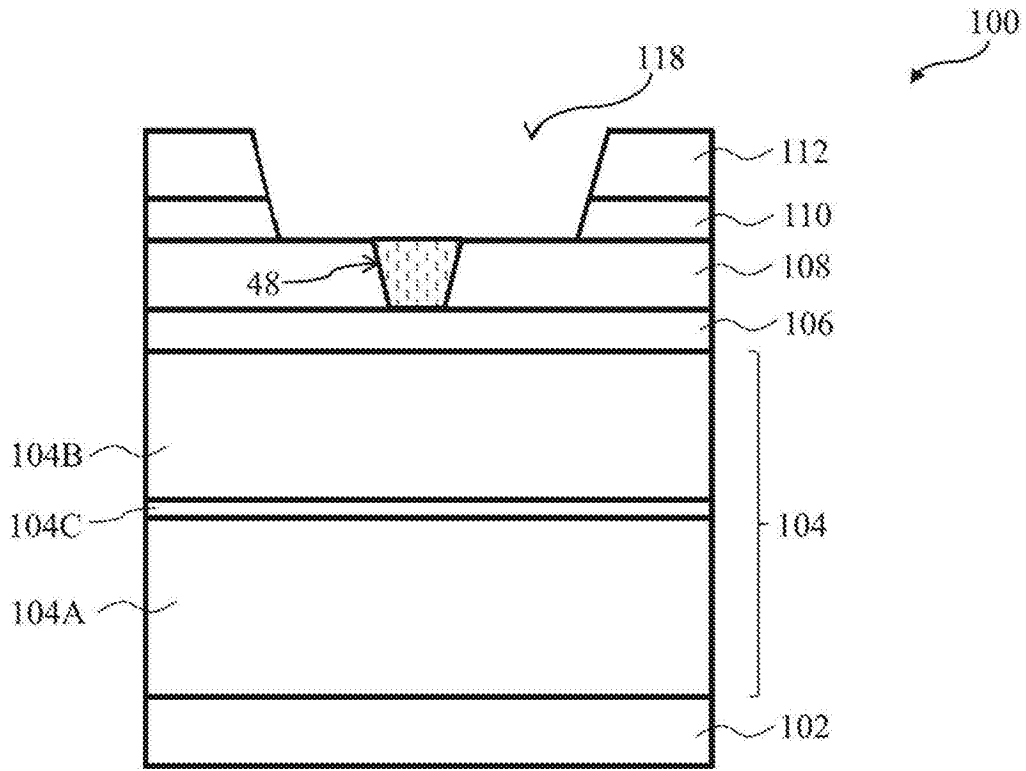


图12

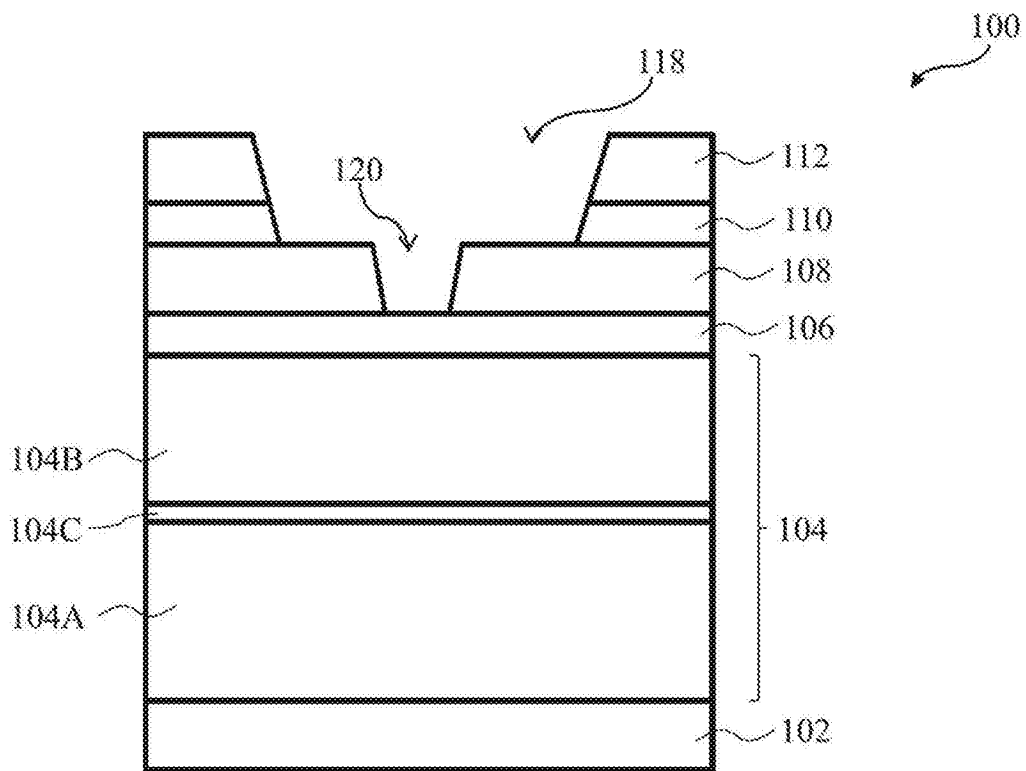


图13

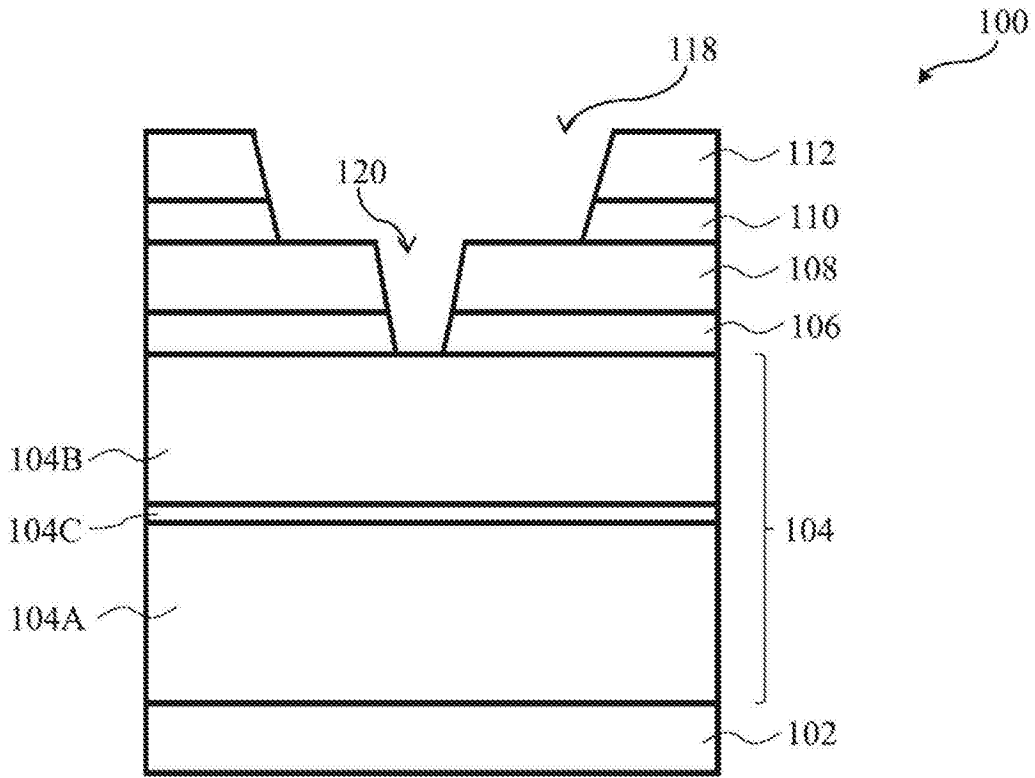


图14

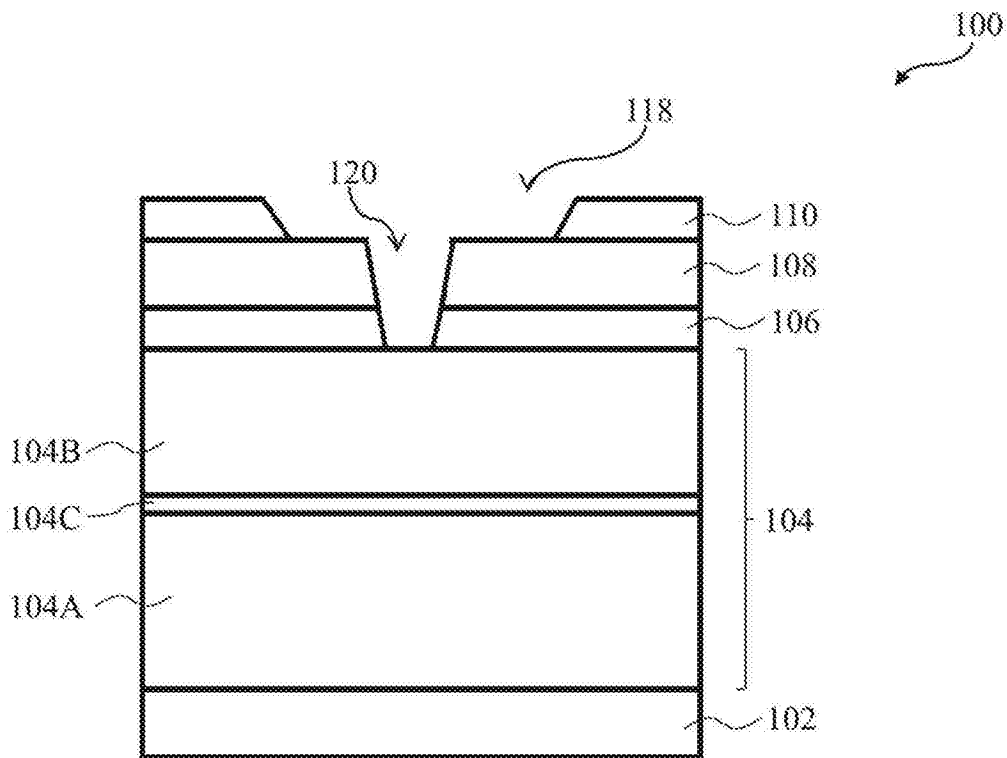


图15

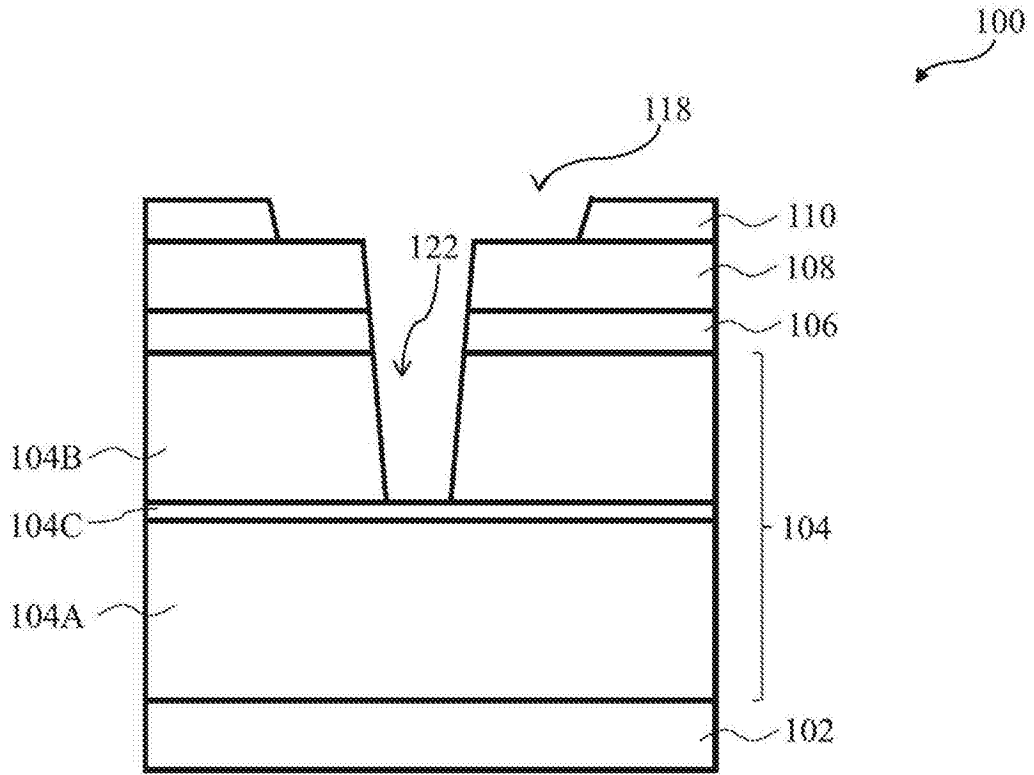


图16

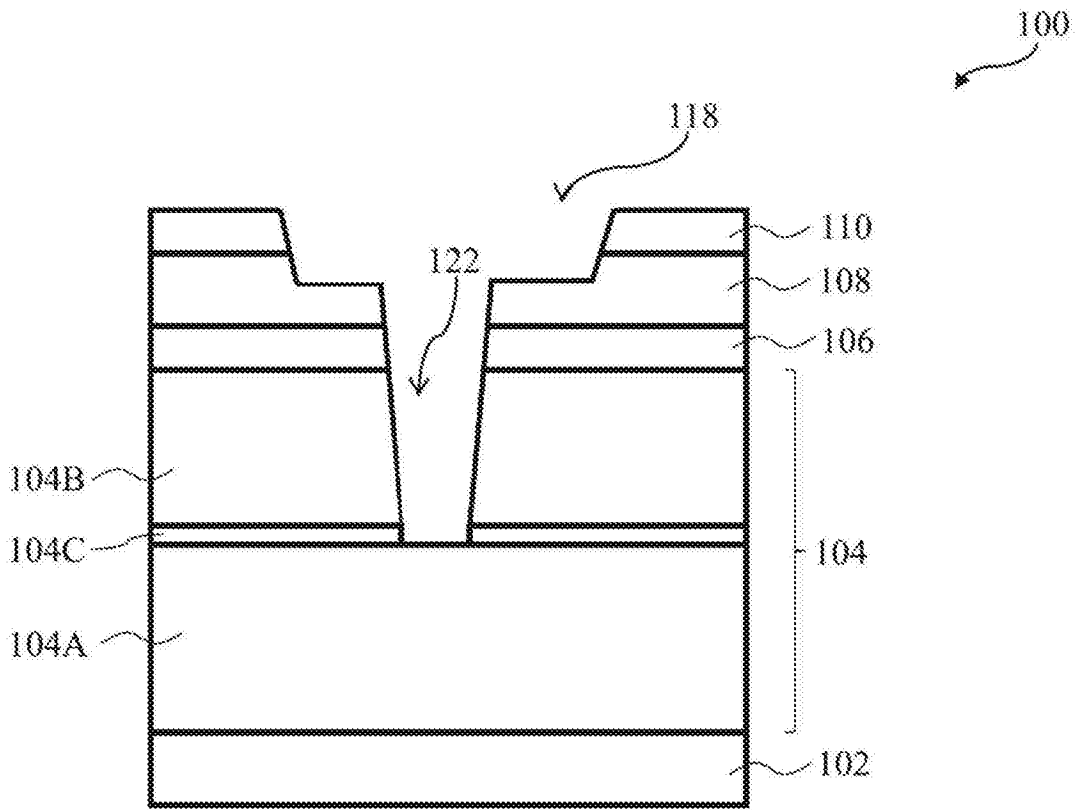


图17

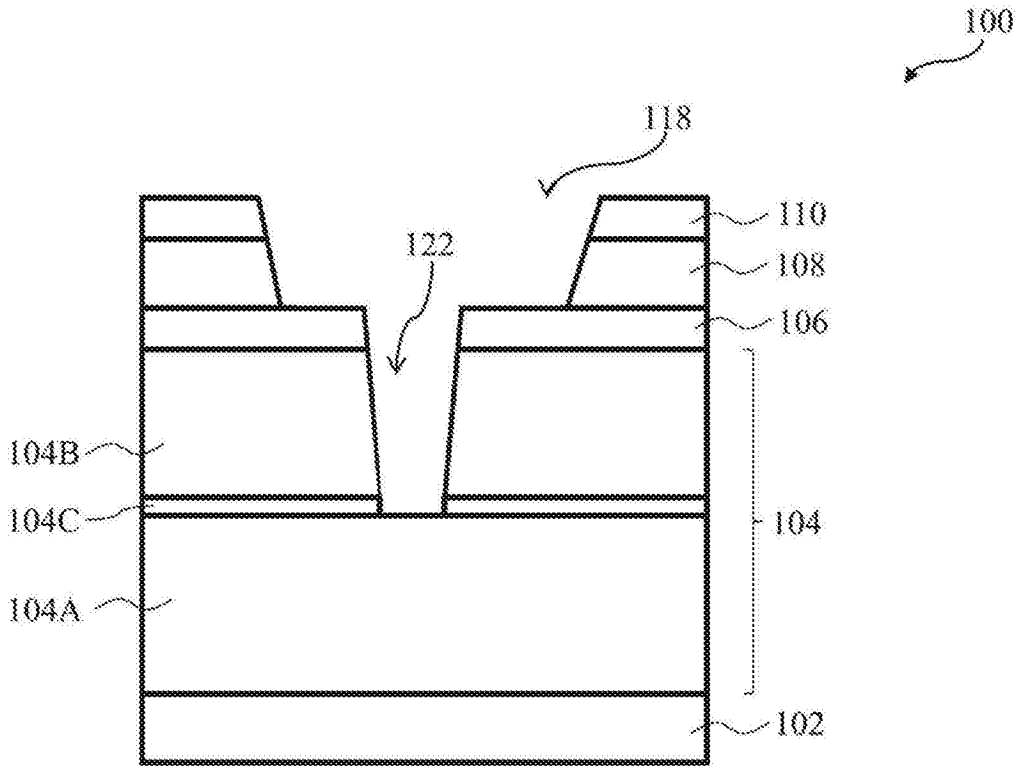


图18

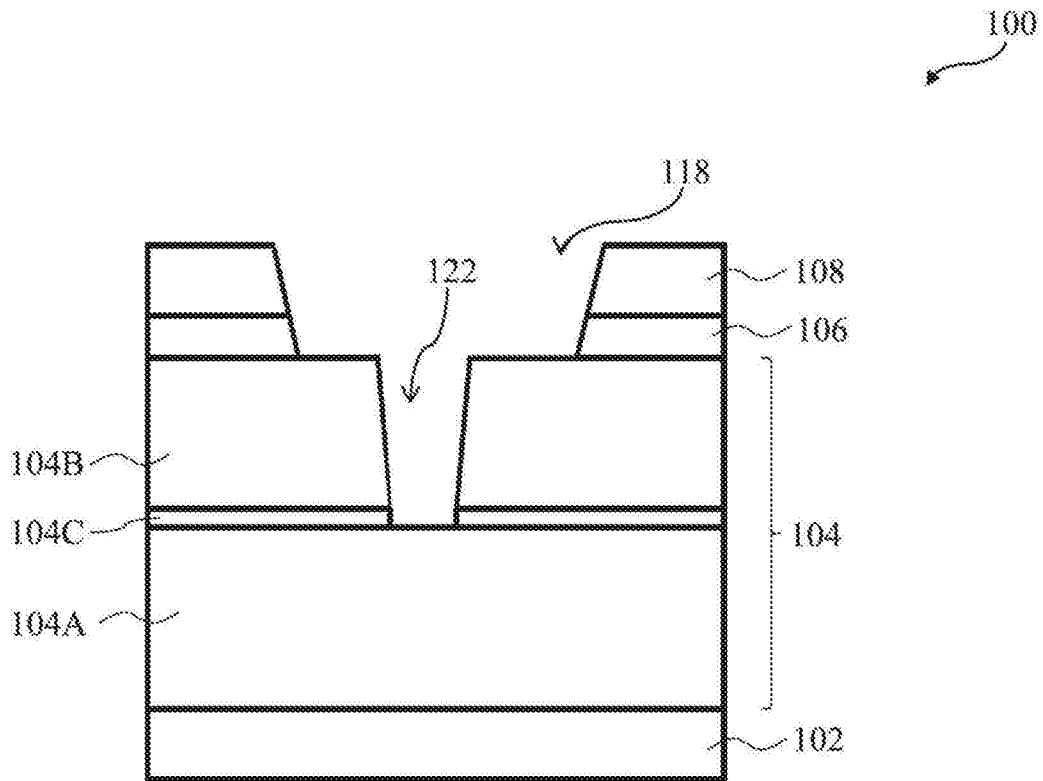


图19

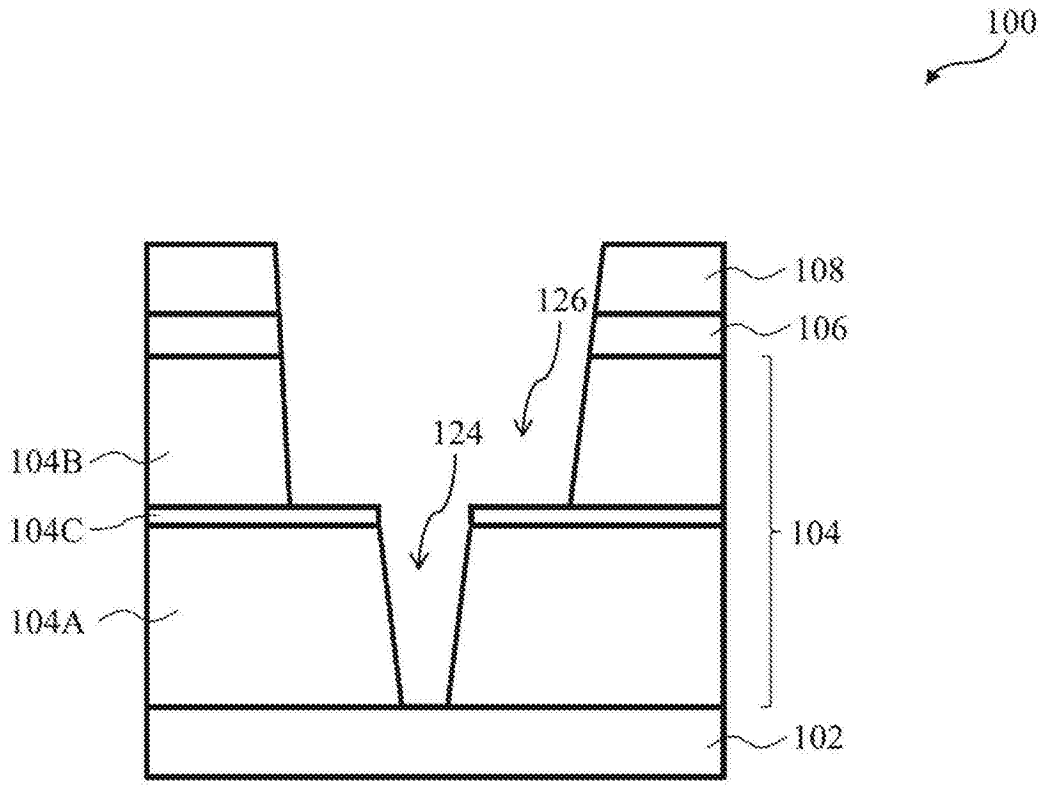


图20

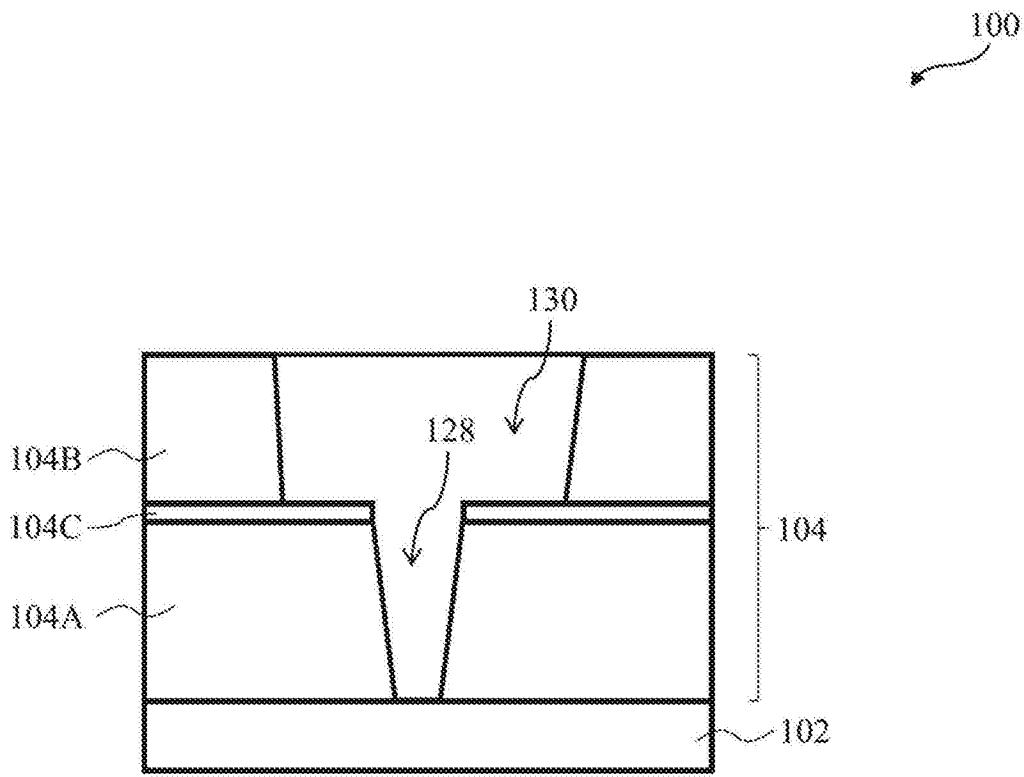


图21



图22

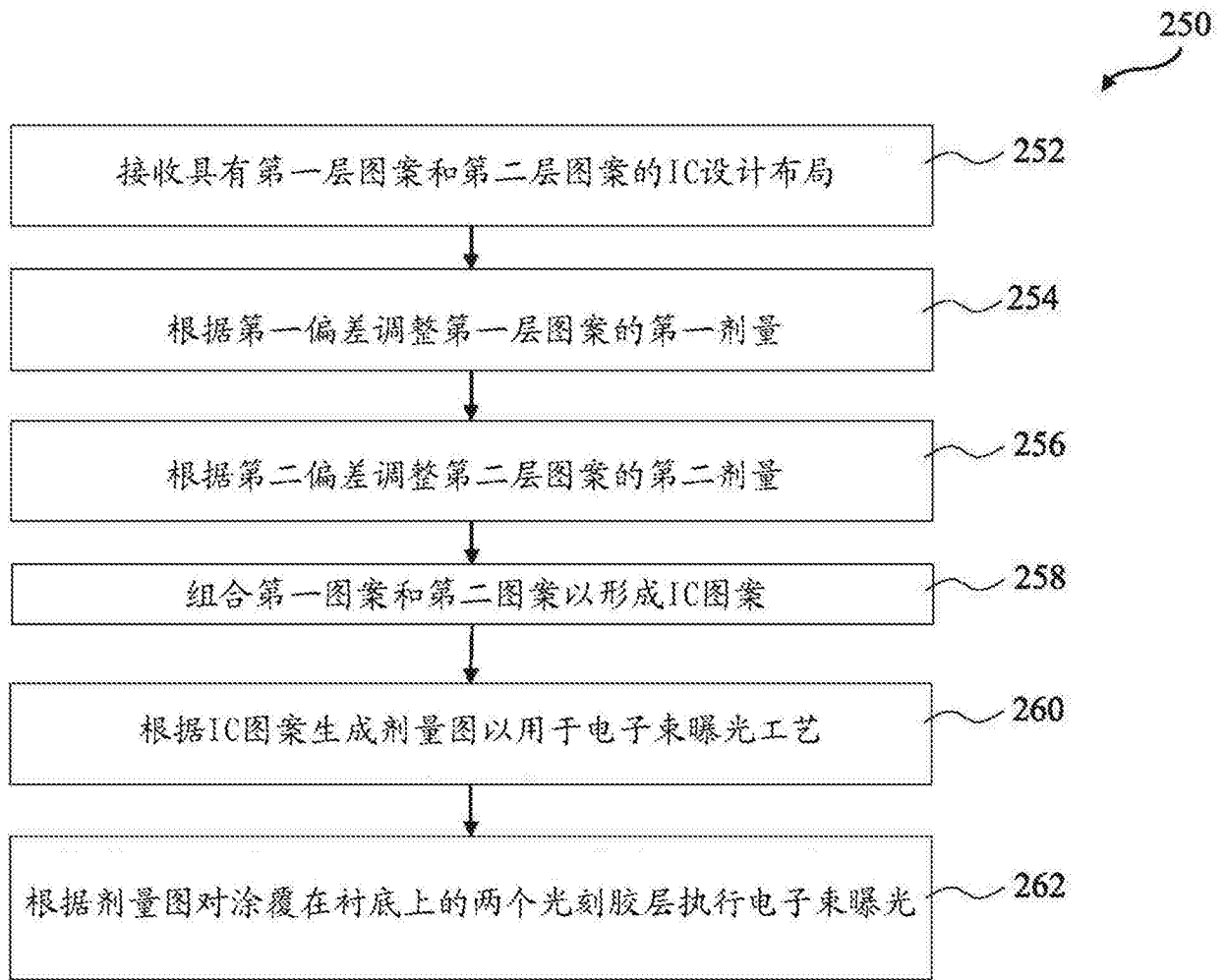


图23

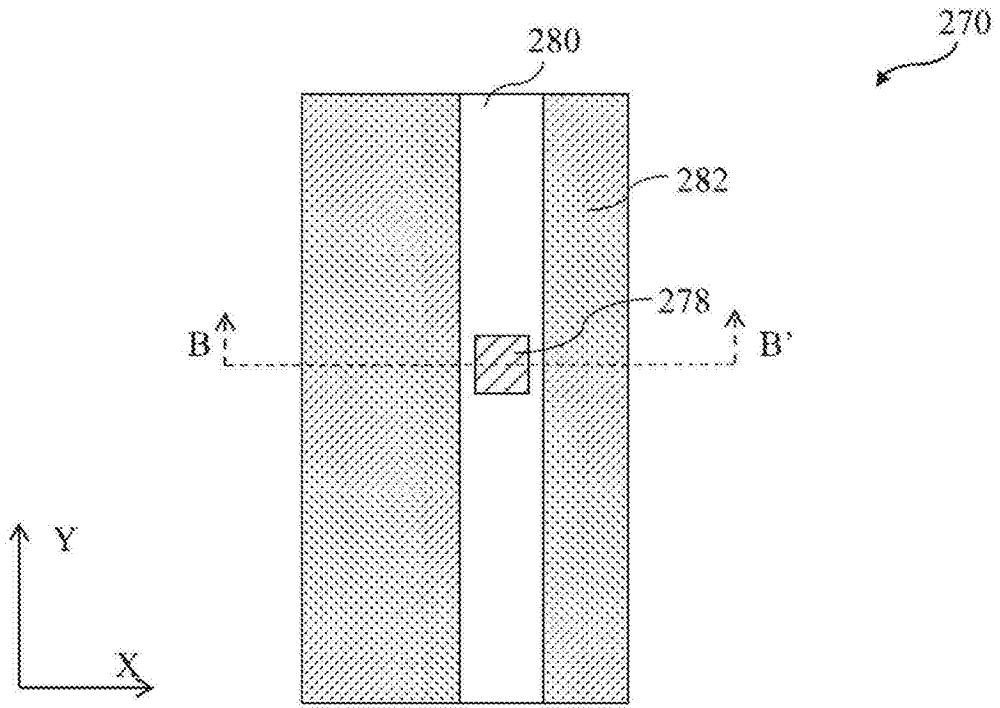


图24

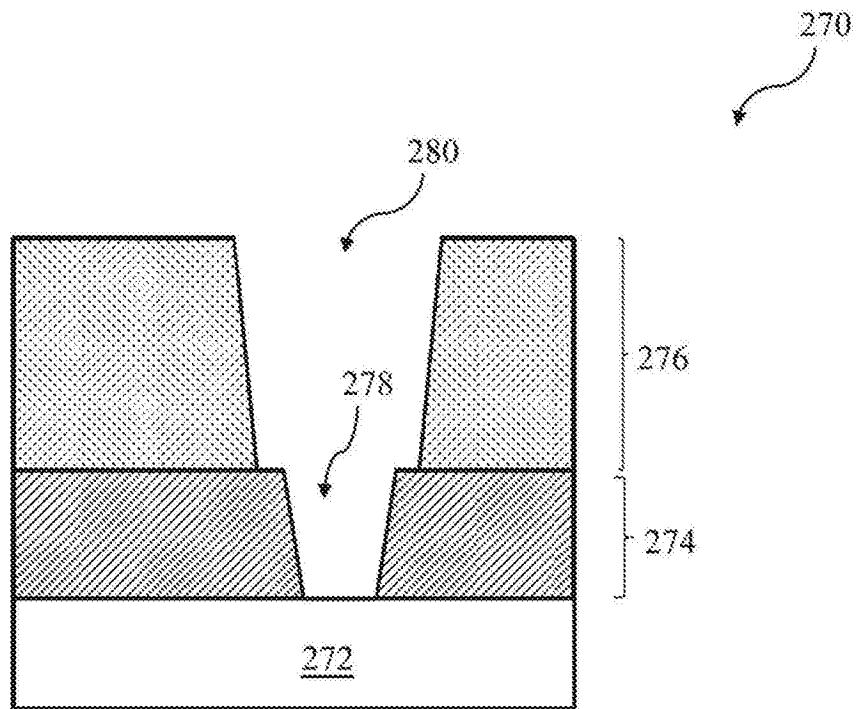


图25

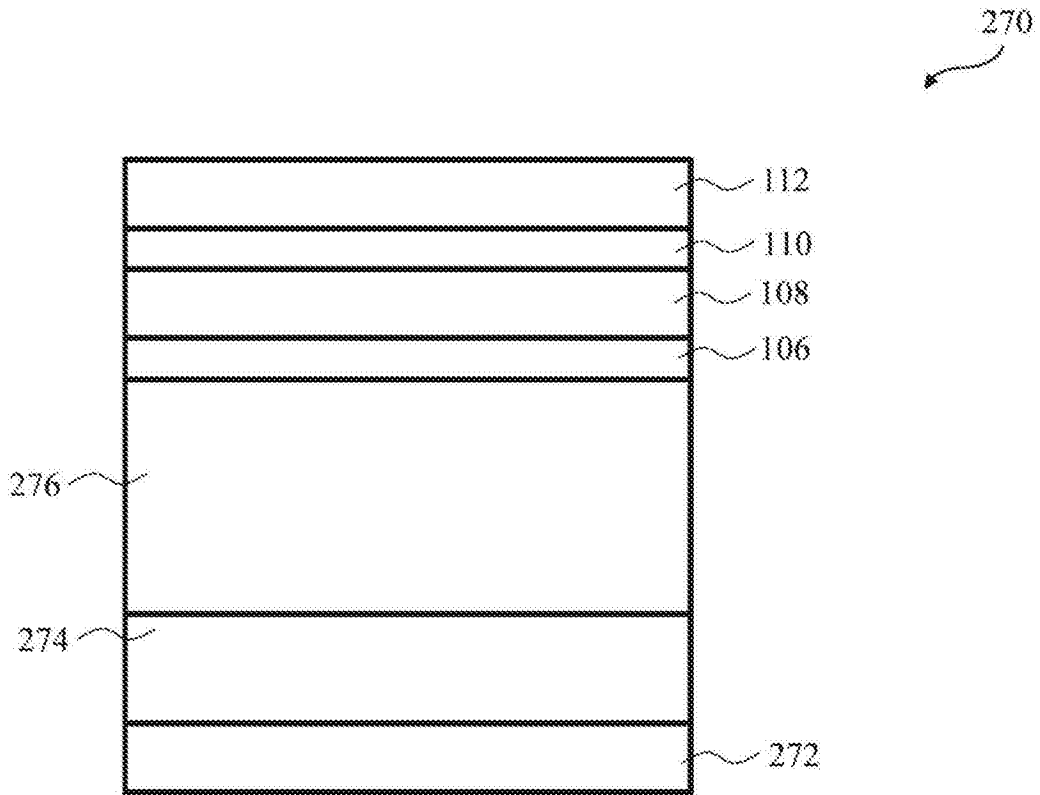


图26

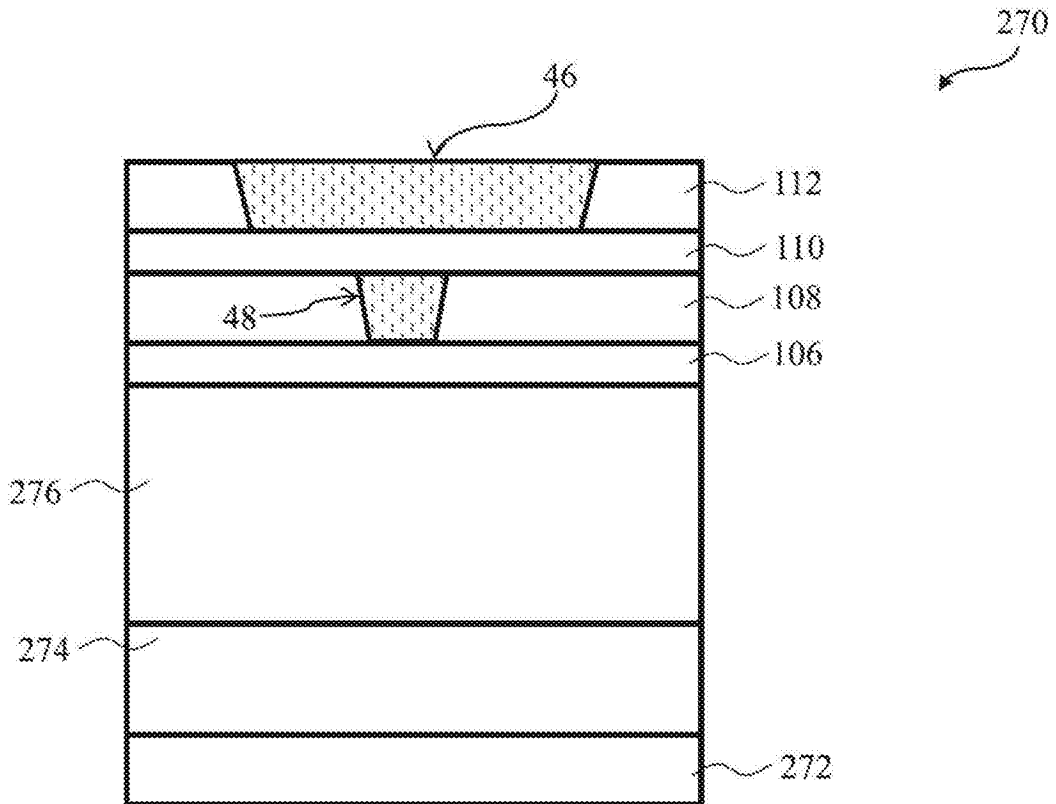


图27

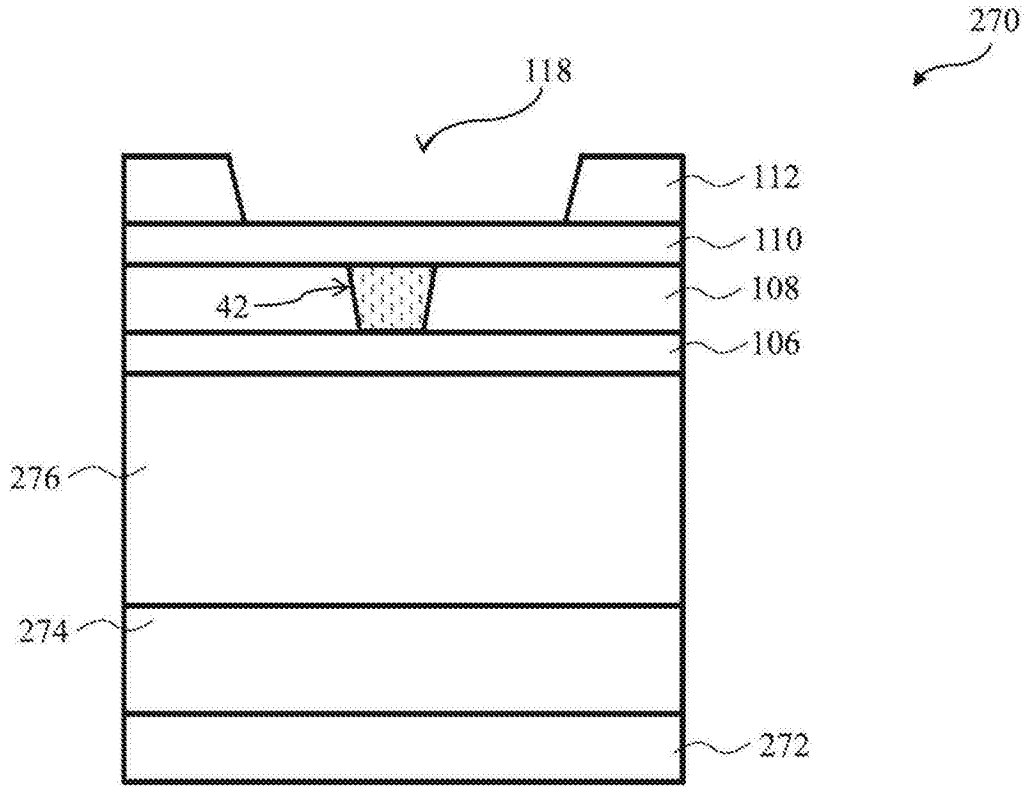


图28

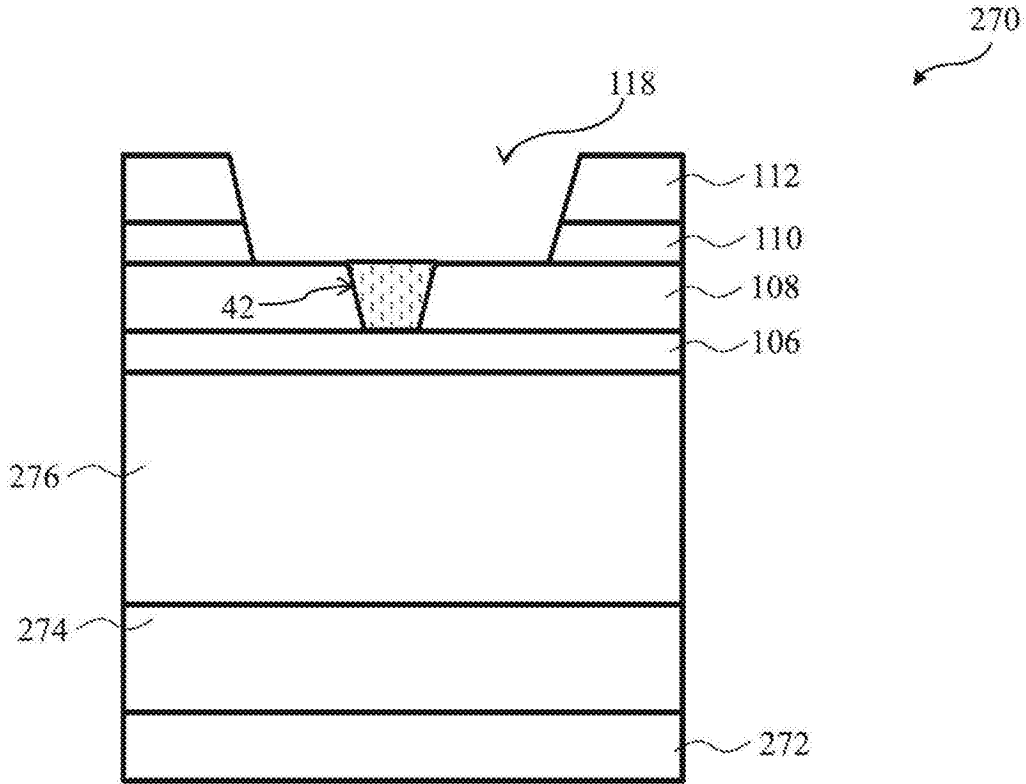


图29

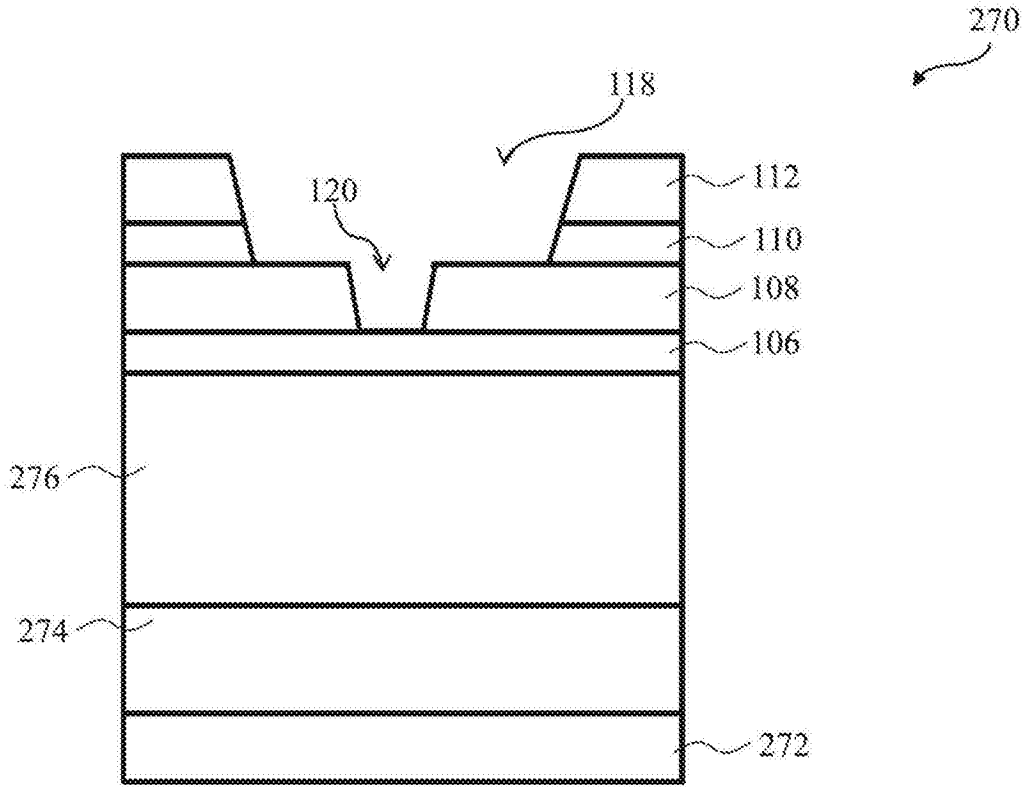


图30

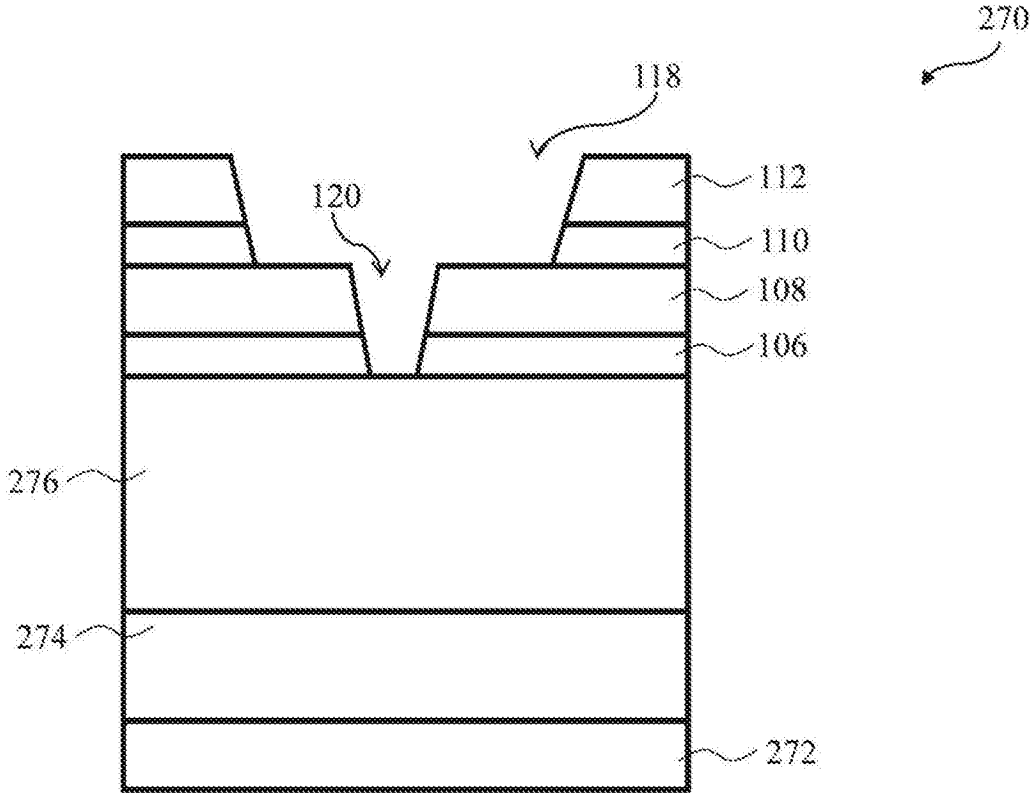


图31

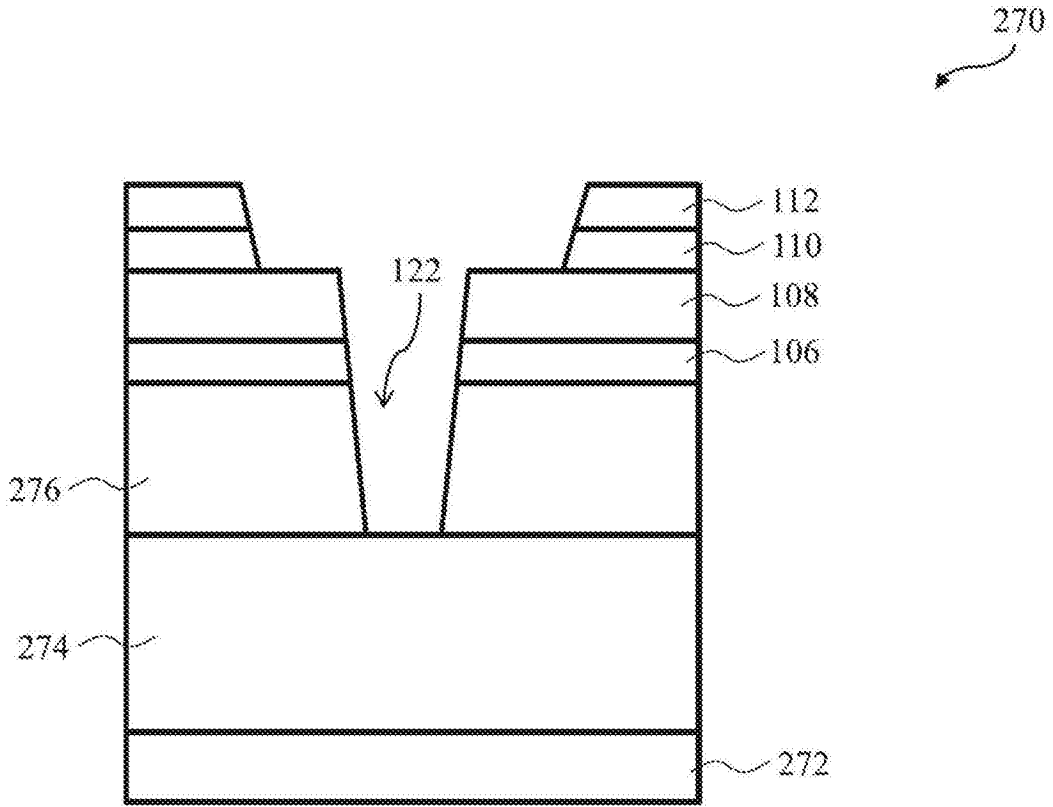


图32

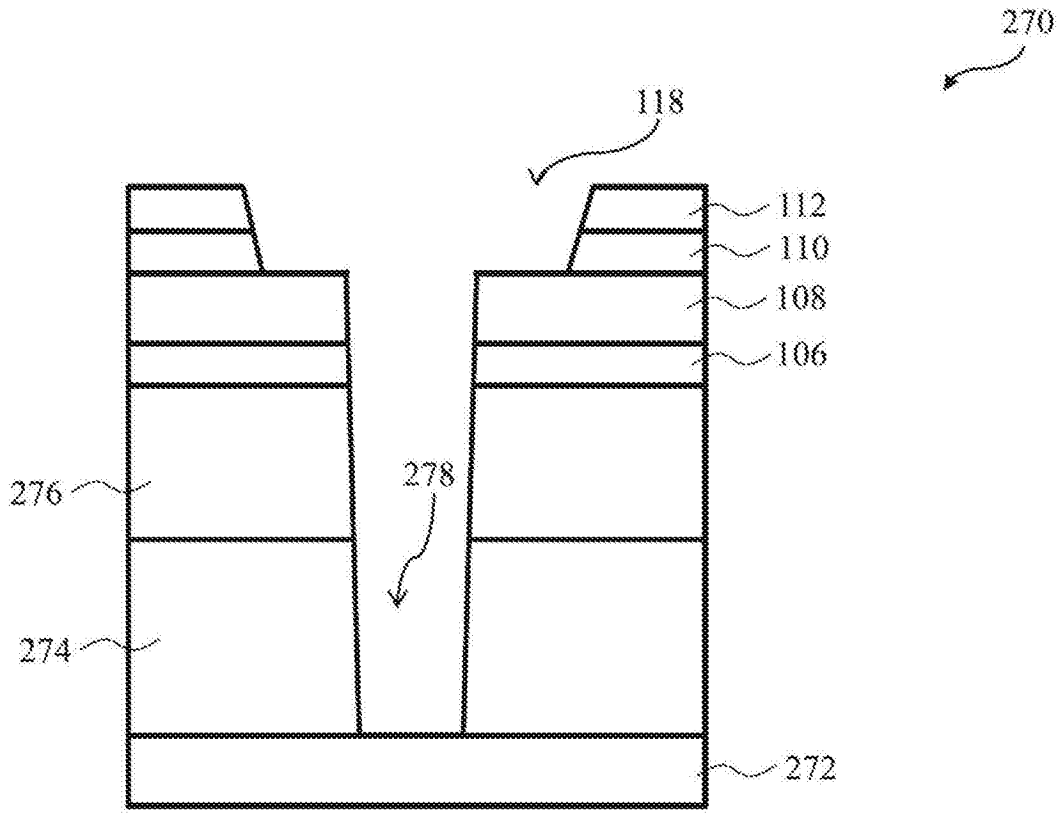


图33

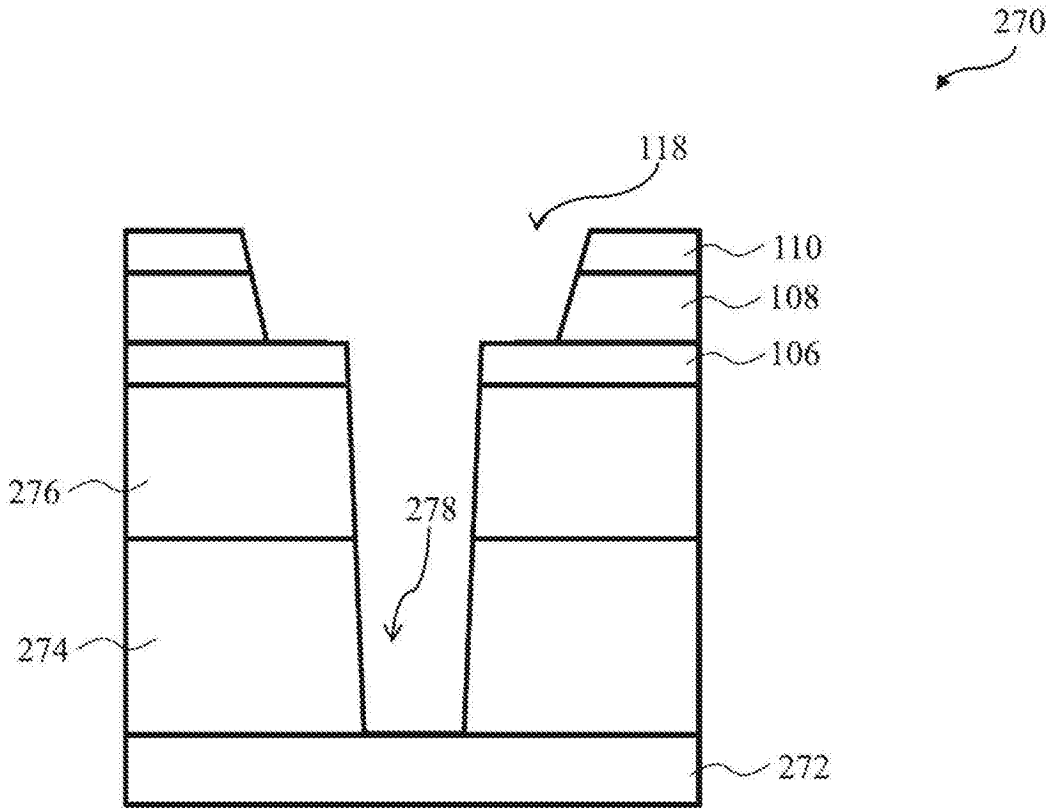


图34

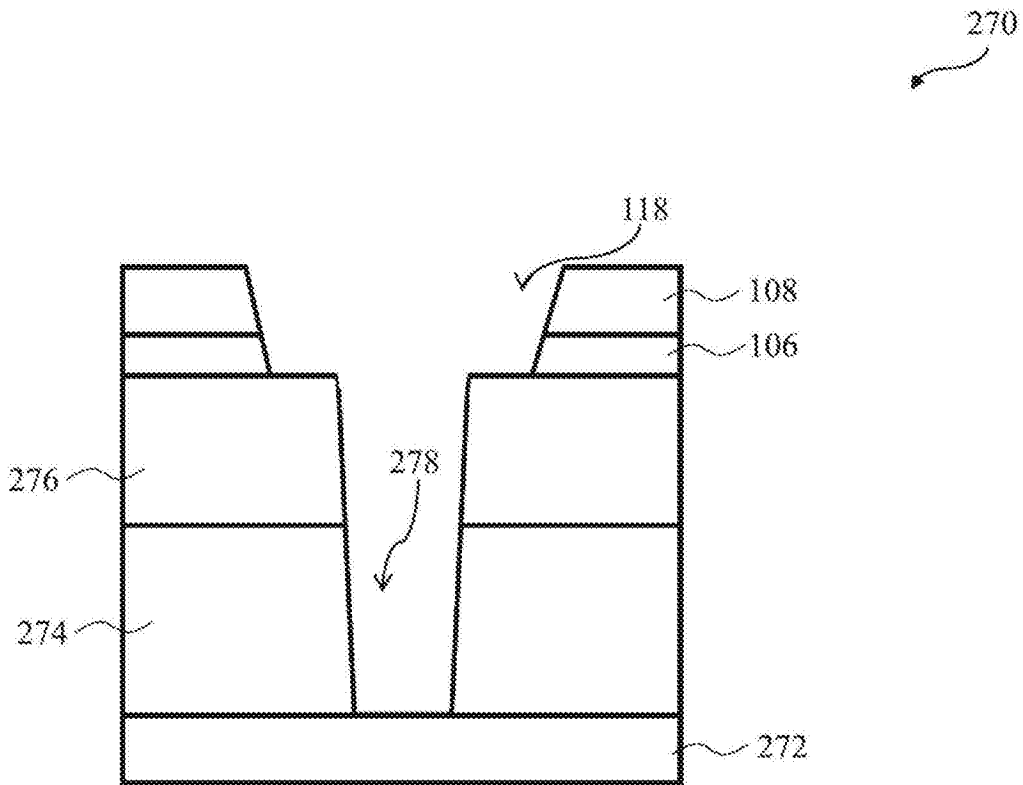


图35

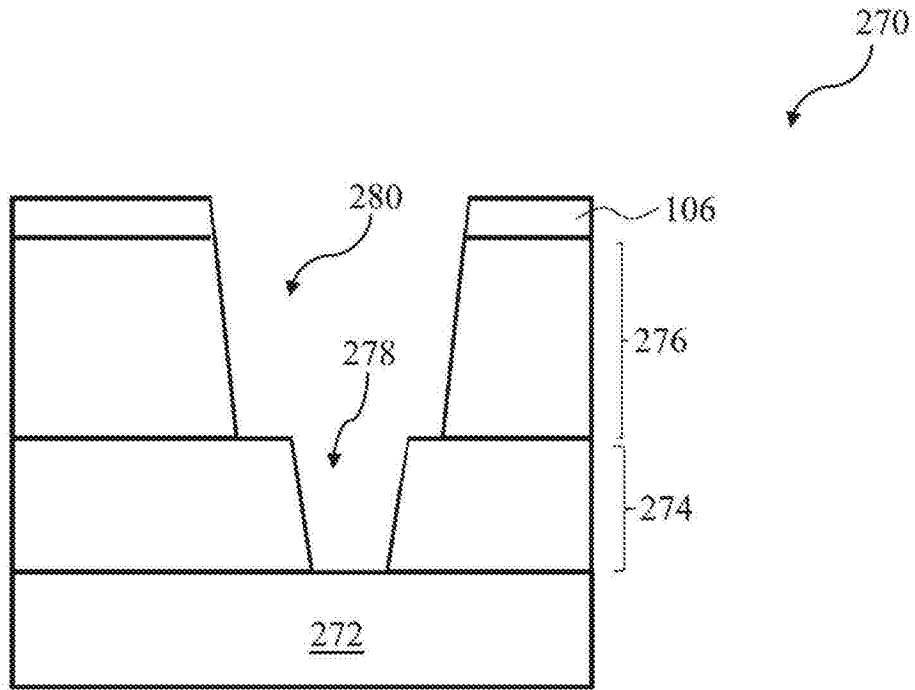


图36