



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2009 016 649 A1** 2009.12.03

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2009 016 649.1**

(22) Anmeldetag: **07.04.2009**

(43) Offenlegungstag: **03.12.2009**

(51) Int Cl.⁸: **H01L 23/492** (2006.01)

H01L 21/98 (2006.01)

H01L 21/56 (2006.01)

H05K 1/18 (2006.01)

H01L 25/07 (2006.01)

(30) Unionspriorität:
12/102,175 14.04.2008 US

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

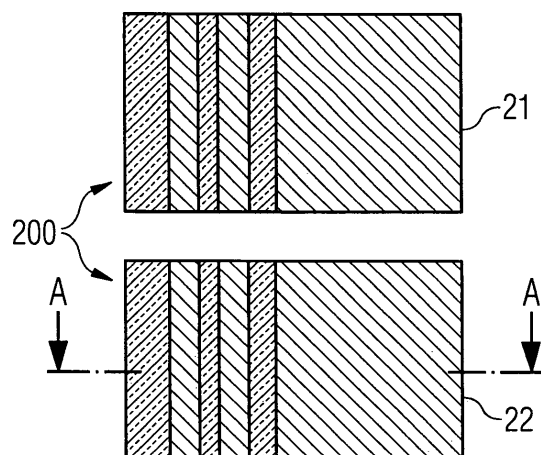
(74) Vertreter:
Patentanwälte Lambsdorff & Lange, 81673 München

(72) Erfinder:
Landau, Stefan, 61273 Wehrheim, DE; Mahler, Joachim, 93051 Regensburg, DE; Wowra, Thomas, 81675 München, DE

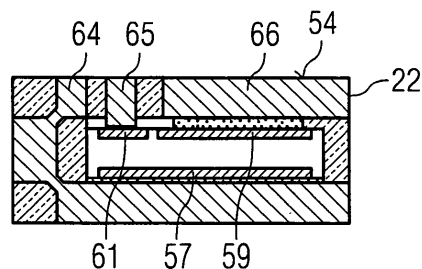
Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren mit einem ersten und zweiten Träger**



A-A'



(57) Zusammenfassung: Eine Ausführungsform der Erfindung stellt ein integrales Array erster Träger (11, 12) und ein mit dem integralen Array erster Träger (11, 12) verbundenes integrales Array zweiter Träger (21, 22) bereit. Auf dem integralen Array erster Träger (11, 12) werden erste Halbleiterchips (31, 32) angeordnet. Das integrale Array zweiter Träger (21, 22) wird über die ersten Halbleiterchips (31, 32) angeordnet.

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine elektronische Vorrichtung und ein Verfahren zu ihrer Herstellung.

[0002] Leistungs-Halbleiterchips können zum Beispiel in elektronische Vorrichtungen integriert werden. Leistungs-Halbleiterchips eignen sich insbesondere zum Schalten oder Steuern von Strömen und/oder Spannungen. Leistungshalbleiterchips können zum Beispiel als Leistungs-MOSFETs, IGBTs, JFETs, Leistungsbipolartransistoren oder Leistungsdioden implementiert werden.

[0003] Der Erfindung liegt die Aufgabe zugrunde, eine kostengünstige Vorrichtung mit einem Halbleiterchip und ein entsprechendes Herstellungsverfahren anzugeben.

[0004] Die der Erfindung zugrunde liegende Aufgabenstellung wird durch die Merkmale der unabhängigen Ansprüche gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0005] Die beigefügten Zeichnungen sind vorgesehen, um ein weiteres Verständnis von Ausführungsformen zu geben und sind in die vorliegende Beschreibung integriert und bilden einen Teil dieser. Die Zeichnungen zeigen Ausführungsformen und dienen zusammen mit der Beschreibung zur Erläuterung von Prinzipien von Ausführungsformen. Andere Ausführungsformen und viele der beabsichtigten Vorteile von Ausführungsformen werden ohne weiteres ersichtlich, wenn sie durch Bezugnahme auf die folgende ausführliche Beschreibung besser verständlich werden. Die Elemente der Zeichnungen sind nicht unbedingt maßstabsgetreu zueinander. Gleiche Bezugszahlen kennzeichnen entsprechende ähnliche Teile.

[0006] [Fig. 1A](#) bis [Fig. 1C](#) zeigen schematisch eine Ausführungsform eines Verfahrens zum Herstellen einer Vorrichtung **100**.

[0007] [Fig. 2A](#) bis [Fig. 2E](#) zeigen schematisch eine Ausführungsform eines Verfahrens zum Herstellen einer Vorrichtung **200**.

[0008] [Fig. 3A](#) bis [Fig. 3D](#) zeigen schematisch Varianten des in [Fig. 2A](#) bis [Fig. 2E](#) dargestellten Verfahrens.

[0009] [Fig. 4](#) zeigt schematisch eine Vorrichtung **400** als weitere Ausführungsform.

[0010] [Fig. 5A](#) bis [Fig. 5G](#) zeigen schematisch eine Ausführungsform eines Verfahrens zum Herstellen einer Vorrichtung **500**.

[0011] [Fig. 6](#) zeigt eine Prinzipschaltung einer Halbrücke **600**.

[0012] In der folgenden ausführlichen Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die Teil dieser bilden und in denen zur Veranschaulichung spezifische Ausführungsformen gezeigt sind, in denen die Erfindung ausgeübt werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „oben“, „unten“, „vorne“, „hinten“, „vorderes“, „hinteres“ usw. mit Bezug auf die Orientierung der beschriebenen Figur(en) verwendet. Da Komponenten von Ausführungsformen in einer Anzahl verschiedener Orientierungen positioniert werden können, dient die Richtungsterminologie zur Veranschaulichung und ist auf keinerlei Weise einschränkend. Es versteht sich, dass andere Ausführungsformen benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzzumfang der vorliegenden Erfindung abzuweichen. Die folgende ausführliche Beschreibung ist deshalb nicht in einschränkendem Sinne aufzufassen, und der Schutzzumfang der vorliegenden Erfindung wird durch die angefügten Ansprüche definiert.

[0013] Es versteht sich, dass die Merkmale der verschiedenen hier beschriebenen beispielhaften Ausführungsformen miteinander kombiniert werden können, sofern es nicht spezifisch anders erwähnt wird.

[0014] Im Folgenden werden Vorrichtungen mit Halbleiterchips beschrieben. Die Halbleiterchips können von verschiedener Art sein und können zum Beispiel integrierte elektrische oder elektrooptische Schaltungen umfassen. Die Halbleiterchips können zum Beispiel als Leistungs-Halbleiterchips ausgelegt werden, wie etwa Leistungs-MOSFETs (Metal Oxide Semiconductor Field Effect Transistors; Metalloxid-Halbleiterfeldeffekttransistoren), IGBTs (Insulated Gate Bipolar Transistors; Bipolartransistoren mit isoliertem Gate), JFETs (Junction Gate Field Effect Transistors; Sperrschicht-Feldeffekttransistoren), Leistungsbipolartransistoren oder Leistungsdioden. Ferner können die Halbleiterchips Steuerschaltungen, Mikroprozessoren oder mikroelektromechanische Komponenten umfassen. Bei einer Ausführungsform können Halbleiterchips mit einer Vertikalstruktur vorkommen, das heißt, dass die Halbleiterchips so hergestellt werden können, dass elektrische Ströme in einer zu den Hauptoberflächen der Halbleiterchips senkrechten Richtung fließen können. Ein Halbleiterchip mit Vertikalstruktur kann bei einer Ausführungsform Kontaktelemente auf seinen zwei Hauptoberflächen aufweisen, das heißt auf seiner Oberseite und seiner Unterseite. Bei einer Ausführungsform können Leistungs-Halbleiterchips eine Vertikalstruktur aufweisen. Beispielsweise können sich die Source-Elektrode und Gate-Elektrode eines Leistungs-MOSFETs auf einer Hauptoberfläche befinden, während die Drain-Elektrode des Leis-

tungs-MOSFETs auf der anderen Hauptoberfläche angeordnet ist. Ferner können die nachfolgend beschriebenen Vorrichtungen integrierte Schaltungen zum Steuern der integrierten Schaltungen anderer Halbleiterchips, wie zum Beispiel der integrierten Schaltungen von Leistungs-Halbleiterchips, umfassen. Die Halbleiterchips müssen nicht aus spezifischem Halbleitermaterial wie etwa Si, SiC, SiGe, GaAs, hergestellt werden und können ferner anorganische und/oder organische Materialien enthalten, die Nicht Halbleiter sind, wie zum Beispiel Isolatoren, Kunststoffe oder Metalle. Darüber hinaus können die Halbleiterchips gekapselt oder ungekapselt sein.

[0015] Die Halbleiterchips weisen Elektroden (oder Kontaktstellen oder Kontaktpads oder Kontaktflächen) auf, die das Herstellen eines elektrischen Kontakts mit den in den Halbleiterchips enthaltenen integrierten Schaltungen erlauben. Auf die Elektroden der Halbleiterchips können eine oder mehrere Metallschichten aufgebracht werden. Die Metallschichten können mit einer beliebigen gewünschten geometrischen Form und einer beliebigen gewünschten Materialzusammensetzung hergestellt werden. Die Metallschichten können zum Beispiel in Form einer Schicht vorliegen, die einen Bereich überdeckt. Als das Material kann jedes beliebige gewünschte Metall oder jede beliebige gewünschte Metalllegierung verwendet werden, wie zum Beispiel Aluminium, Titan, Gold, Silber, Kupfer, Palladium, Platin, Nickel, Chrom oder Nickelvanadium. Die Metallschichten müssen nicht homogen sein oder aus nur einem Material hergestellt werden, das heißt, es sind verschiedene Zusammensetzungen und Konzentrationen der in den Metallschichten enthaltenen Materialien möglich.

[0016] Die Halbleiterchips können auf Träger oder Platten platziert werden. Ferner können Träger oder Platten auf den Halbleiterchips platziert werden. Die Träger und Platten können eine beliebige Form, Größe oder ein beliebiges Material aufweisen. Während der Herstellung der Vorrichtungen können die Träger und Platten miteinander verbunden sein. Die Träger und Platten können auch aus einem Stück bestehen. Die Träger und Platten können durch Verbindungsmittel untereinander verbunden sein, mit dem Zweck, bestimmte der Träger und Platten im Verlauf der Herstellung zu trennen. Die Trennung der Träger und Platten kann durch mechanisches Sägen, einen Laserstrahl, Schneiden, Stanzen, Schleifen, Ätzen oder ein beliebiges anderes geeignetes Verfahren ausgeführt werden. Die Träger und Platten können elektrisch leitfähig sein. Sie können aus Metallen oder Metalllegierungen hergestellt werden, bei einer Ausführungsform Kupfer, Kupferlegierungen, Eisennickel, Aluminium, Aluminiumlegierungen oder andere geeignete Materialien. Die Träger und Platten können zum Beispiel ein Systemträger (Leadframe) oder Teil eines Systemträgers sein. Ferner können die Träger und Platten mit einem elektrisch leitfähigen

Material, zum Beispiel Kupfer, Silber, Eisennickel oder Nickelphosphor elektrochemisch beschichtet sein.

[0017] Die nachfolgend beschriebenen Vorrichtungen umfassen externe Kontaktelemente oder externe Kontaktstellen, die eine beliebige Form und Größe aufweisen können. Die externen Kontaktelemente können von außerhalb der Vorrichtung zugänglich sein und somit das Herstellen eines elektrischen Kontakts mit den Halbleiterchips von außerhalb der Vorrichtung aus erlauben. Ferner können die externen Kontaktelemente thermisch leitfähig sein und können als Kühlkörper zum Ableiten der durch die Halbleiterchips erzeugten Wärme dienen. Die externen Kontaktelemente können auch aus einem beliebigen gewünschten elektrisch leitfähigen Material zusammengesetzt sein, zum Beispiel aus einem Metall wie etwa Kupfer, Aluminium oder Gold, einer Metalllegierung oder einem elektrisch leitfähigen organischen Material. Die externen Kontaktelemente können Anschlussleitungen (Leads, Anschlussgins) eines Systemträgers sein.

[0018] Oberflächen der Vorrichtungen, zum Beispiel Oberflächen, die als externe Kontaktstellen verwendet werden, können eine Montageebene bilden. Die Montageebene kann dazu dienen, die Vorrichtung auf einer anderen Komponente, wie zum Beispiel einer Leiterplatte, zu montieren.

[0019] Die Vorrichtungen können ein Vergussmaterial (Moldmaterial) zum Bedecken zumindest von Teilen der Komponenten der Vorrichtungen umfassen. Das Vergussmaterial kann ein beliebiges geeignetes thermoplastisches oder thermisch härtendes Material sein. Es können verschiedene Techniken zum Überdecken der Komponenten mit dem Vergussmaterial verwendet werden, zum Beispiel Formpressen, Spritzguss, Pulverschmelzverfahren oder Flüssig-guss.

[0020] [Fig. 1A](#) bis [Fig. 1C](#) zeigen schematisch ein Verfahren zur Herstellung einer Vorrichtung **100**, die in [Fig. 1C](#) dargestellt ist. [Fig. 1A](#) bis [Fig. 1C](#) zeigen jeweils die Komponenten der Vorrichtung **100** als Draufsicht und im Querschnitt entlang der in der Draufsichtsperspektive abgebildeten Linie A-A'.

[0021] Zuerst wird ein integrales Array (= zusammenhängende Anordnung, insbesondere einstückige Anordnung) erster Träger **11** und **12** sowie ein integrales Array zweiter Träger **21** und **22** bereitgestellt (siehe [Fig. 1A](#)). Ferner sind die ersten Träger **11**, **12** mit den zweiten Trägern **21**, **22** verbunden. Die ersten Träger **11**, **12** und/oder die zweiten Träger **21**, **22** können in einem Stück hergestellt worden sein. Mindestens ein Verbindungselement **50** kann vorgesehen werden, welches das integrale Array erster Träger **11**, **12** mit dem integralen Array zweiter Träger

21, 22 verbindet. Auf den ersten Trägern **11, 12** werden erste Halbleiterchips **31** und **32** angeordnet (siehe [Fig. 1B](#)). Das integrale Array zweiter Träger **21, 22** wird über den ersten Halbleiterchips **31, 32** angeordnet (siehe [Fig. 1C](#)).

[0022] Die in [Fig. 1C](#) dargestellte Vorrichtung **100** enthält einen ersten Träger **11**, einen auf dem ersten Träger **11** angeordneten ersten Halbleiterchip **31** und einen über dem ersten Halbleiterchip **31** angeordneten zweiten Träger **21**. Der erste Träger **11** und der zweite Träger **21** sind integral (zusammenhängend, insbesondere einstückig) ausgebildet.

[0023] [Fig. 2A](#) bis [Fig. 2E](#) zeigen schematisch ein Verfahren zur Herstellung einer Vorrichtung **200**, die in [Fig. 2E](#) dargestellt ist. [Fig. 2A](#) bis [Fig. 2E](#) zeigen jeweils die Komponenten der Vorrichtung **200** in Draufsicht und im Querschnitt entlang der in der Draufsichtsperspektive abgebildeten Linie A-A'. Das in [Fig. 2A](#) bis [Fig. 2E](#) dargestellte Verfahren ist eine Implementierung des in [Fig. 1A](#) bis [Fig. 1C](#) dargestellten Verfahrens. Die Merkmale des im Folgenden beschriebenen Verfahrens können deshalb ähnlich auf das Verfahren von [Fig. 1A](#) bis [Fig. 1C](#) angewandt werden. Darüber hinaus können die Merkmale der Vorrichtung **200** ähnlich auf die Vorrichtung **100** angewandt werden.

[0024] Wie in [Fig. 2A](#) dargestellt, wird ein integrales Array erster Träger **11, 12** und ein integrales Array zweiter Träger **21, 22** bereitgestellt. Bei der in [Fig. 2A](#) dargestellten Ausführungsform sind nur zwei erste Träger **11, 12** und zwei zweite Träger **21, 22** dargestellt. Es kann jedoch vorgesehen werden, dass jedes der integralen Arrays erster und zweiter Träger mehr als zwei Träger enthält. Die ersten Träger **11, 12** können durch das Verbindungselement **50** mit den zweiten Trägern **21, 22** verbunden sein. Die ersten Träger **11, 12** sowie die zweiten Träger **21, 22** können durch Dämme (Verbindungsschienen) **51** miteinander verbunden werden. Das integrale Array erster Träger **11, 12**, das Verbindungselement **50** und das integrale Array zweiter Träger **21, 22** können in einem Stück hergestellt worden sein. Sie können elektrisch leitfähig sein und können zum Beispiel aus einem Metall, wie etwa Kupfer, oder einer Metalllegierung, wie etwa Eisennickel, bestehen.

[0025] Die ersten Träger **11, 12** und/oder die zweiten Träger **21, 22** können eine Dicke im Bereich zwischen 50 µm und 2 mm aufweisen. Wenn die Träger **11** bis **22** aus einem Metall oder einer Metalllegierung hergestellt worden sein, können sie mit einer Schicht aus einer Ni-NiP-Legierung, einer Ni-NiP-Au-Legierung, einer NiPd-Legierung, Au, Ag, Sn oder einem beliebigen anderen geeigneten Metall beschichtet worden sein. Diese Schicht kann galvanisch auf den Trägern **11** bis **22** abgeschieden werden und kann eine Dicke von bis zu 100 µm aufweisen. Ferner kön-

nen die oben erwähnten Materialien selektiv auf verschiedenen Bereichen der Träger **11** bis **22** abgeschieden werden. Die auf die Träger **11** bis **22** aufgebraute Schicht kann später als Lotverbindung dienen und kann eine Korrosion der Träger **11** bis **22** verhindern.

[0026] Um die äußere Form der integralen Arrays erster und zweiter Träger **11** bis **22** wie zum Beispiel in [Fig. 2A](#) dargestellt zu bilden, kann eine Platte **10** gestanzt, gepresst, ausgestochen, geschnitten, geätzt oder durch ein beliebiges anderes geeignetes Verfahren behandelt werden, um dadurch Ausschnitte (oder Durchgangslöcher) **52** wie in [Fig. 2A](#) dargestellt zu produzieren. Die Platte **10** kann ein Systemträger (Leadframe) oder Teil eines Systemträgers sein und zum Beispiel aus Kupfer oder einer Eisennickellegierung bestehen. Die ersten Träger **11, 12** können einen ersten Teil der Platte **10** bilden, und die zweiten Träger **21, 22** können einen zweiten Teil der Platte **10** bilden.

[0027] Das Verbindungselement **50**, welches das integrale Array erster Träger **11, 12** mit dem integralen Array zweiter Träger **21, 22** verbindet, kann wie im Querschnitt des Systemträgers **10** dargestellt eine oder zwei oder mehr Vertiefungen **53** aufweisen. In der Draufsichtsperspektive sind die Vertiefungen **53** durch gestrichelte Linien angegeben. Die Vertiefungen **53** können auf einer ersten Oberfläche **54** des Systemträgers **10** angeordnet werden. Die Vertiefungen **53** können durch Stanzen, Prägen, Ausschneiden, Pressen, Schneiden, Fräsen, Ätzen, Laserablation oder ein beliebiges anderes geeignetes Verfahren hergestellt werden. Die Vertiefungen **53** können wie in [Fig. 2A](#) dargestellt als Linien angeordnet werden. Bei anderen Ausführungsformen können sie eine beliebige andere Geometrie aufweisen.

[0028] Die Breiten der Vertiefungen **53** können im Bereich zwischen 10 und 1000 µm liegen, bei einer Ausführungsform im Bereich zwischen 100 und 200 µm. Im Folgenden werden spezielle Ausführungsformen der Vertiefungen **53** besprochen. Die Tiefen der Vertiefungen **53** können in einem Bereich zwischen 10% und 90% der Dicke des Systemträgers **10** liegen.

[0029] Die erste Oberfläche **54** des Systemträgers **10** und eine zweite Oberfläche **55** des Systemträgers **10** gegenüber der ersten Oberfläche **54** können im Wesentlichen planar sein. Der Systemträger **10** kann Elemente **56** umfassen, die von der zweiten Oberfläche **55** des Systemträgers **10** vorstehen.

[0030] Wie in [Fig. 2B](#) dargestellt, werden die ersten Halbleiterchips **31, 32** über den ersten Trägern **11** bzw. **12** platziert. Weitere Halbleiterchips können über weiteren ersten Trägern (in [Fig. 2B](#) nicht dargestellt) platziert werden. Die ersten Halbleiterchips **31,**

32 sowie alle anderen hier beschriebenen Halbleiterchips können auf einem aus Halbleitermaterial bestehenden Wafer hergestellt worden sein. Nach dem Zerteilen des Wafers und dem damit verbundenen Trennen der einzelnen ersten Halbleiterchips **31**, **32** werden die ersten Halbleiterchips **31**, **32** in größeren Abständen als in dem Waferverbund auf den ersten Trägern **11**, **12** angeordnet. Die ersten Halbleiterchips **31**, **32** können auf demselben Wafer hergestellt worden sein, können bei einer Ausführungsform jedoch auf verschiedenen Wafern hergestellt worden sein. Ferner können die ersten Halbleiterchips **31**, **32** physisch identisch sein, können aber auch verschiedene integrierte Schaltungen enthalten.

[0031] Jeder der ersten Halbleiterchips **31**, **32** kann eine erste Elektrode **57** auf einer ersten Hauptoberfläche **58** und eine zweite Elektrode **59** auf einer zweiten Hauptoberfläche **60**, die der ersten Hauptoberfläche **58** gegenüberliegt, aufweisen. Die ersten Halbleiterchips **31**, **32** können zum Beispiel Vertikal-Leistungsdioden oder Vertikal-Leistungstransistoren sein, zum Beispiel IGBTs, JFETs, Leistungsbipolartransistoren oder Leistungs-MOSFETs. Im letzteren Fall, der in [Fig. 2B](#) beispielhaft dargestellt ist, können die erste und zweite Elektrode **57** und **59** die Drain- bzw. Source-Elektrode sein. Ferner können die ersten Halbleiterchips **31**, **32** jeweils eine dritte Elektrode **61** auf einer zweiten Hauptoberfläche **60** aufweisen, die als Gate-Elektrode wirkt, falls die ersten Halbleiterchips **31**, **32** Leistungs-MOSFETs sind. Während des Betriebs der Vorrichtung **200** können Spannungen von bis zu 1000 V zwischen der Drain-Elektrode **57** und der Source-Elektrode **59** angelegt werden. Die an die Gate-Elektrode **61** angelegte Schaltfrequenz kann in dem Bereich von 100 kHz bis 1 MHz liegen, kann aber auch außerhalb dieses Bereichs liegen.

[0032] Die ersten Halbleiterchips **31**, **32** werden so auf die ersten Träger **11**, **12** montiert, dass ihre ersten Hauptoberflächen **58** den ersten Trägern **11** bzw. **12** zugewandt sind.

[0033] Die elektrischen Verbindungen zwischen den Drain-Elektroden **57** der ersten Halbleiterchips **31**, **32** und den ersten Trägern **11**, **12** können zum Beispiel durch Diffusionslötten produziert werden. Hierfür kann ein Lotmaterial auf den ersten Trägern **11**, **12** oder den Drain-Elektroden **57** (nicht dargestellt) zum Beispiel durch Sputtern oder andere geeignete physikalische oder chemische Abscheidungsverfahren abgeschieden werden. Das Lotmaterial kann eine Dicke im Bereich von 100 nm bis 10 µm aufweisen, bei einer Ausführungsform im Bereich von 1 bis 3 µm. Während des Lötvorgangs diffundiert das Lotmaterial in die angrenzenden Materialien, was zu einer intermetallischen Phase an der Grenzfläche zwischen den ersten Halbleiterchips **31**, **32** und den ersten Trägern **11**, **12** führt. Das Lotmaterial kann zum Beispiel

aus AuSn, AgSn, CuSn, Sn, Auln, AgIn, AuSi oder Culn bestehen.

[0034] Zum Herstellen der gelöteten Verbindung können die ersten Träger **11**, **12** durch eine heiße Platte auf eine Temperatur über dem Schmelzpunkt des Lotmaterials, zum Beispiel im Bereich von 200 bis 400°C, bei einer Ausführungsform im Bereich von 330 bis 350°C, erhitzt werden. Bei einer Ausführungsform können sowohl die ersten Träger **11**, **12** als auch die ersten Halbleiterchips **31**, **32** in einen Ofen gebracht und bis auf eine geeignete Temperatur erhitzt werden. Ein Pick-And-Place-Werkzeug kann verwendet werden, das die ersten Halbleiterchips **31**, **32** aufnehmen und sie auf den erhitzten ersten Trägern **11**, **12** platzieren kann. Während des Lötvorgangs können die ersten Halbleiterchips **31**, **32** für eine geeignete Zeit im Bereich von 10 bis 200 ms bei einer Ausführungsform um 50 ms, auf die ersten Träger **11**, **12** gepresst werden.

[0035] Statt eines Diffusionslötprozesses können andere Verbindungstechniken zum Anbringen der ersten Halbleiterchips **31**, **32** an den ersten Trägern **11**, **12** verwendet werden, zum Beispiel Weichlöten oder Haftbonden unter Verwendung eines elektrisch leitfähigen Haftmittels. Bei Verwendung eines Weichlötprozesses zum Verbinden der ersten Halbleiterchips **31**, **32** und der ersten Träger **11**, **12** miteinander verbleibt Lotmaterial an den Grenzflächen zwischen den ersten Halbleiterchips **31**, **32** und den ersten Trägern **11**, **12**, nachdem der Lötvorgang beendet ist. Im Fall des Haftbondens kann ein elektrisch leitfähiges Haftmittel (Klebstoff) verwendet werden, das auf gefüllten oder ungefüllten Polyimiden, Epoxidharzen, Acrylatharzen, Silikonharzen oder Mischungen davon basieren kann und mit Gold, Silber, Nickel oder Kupfer angereichert werden kann, um elektrische Leitfähigkeit zu produzieren.

[0036] Wie in [Fig. 2C](#) dargestellt, kann der Systemträger **10** entlang den Vertiefungen **53** gebogen werden, so dass die zweiten Träger **21**, **22** gedreht und über den zweiten Oberflächen **60** der ersten Halbleiterchips **31**, **32** platziert werden. Die Vertiefungen **53** können als Filmschwenkverbindungen wirken, die eine Faltung des Systemträgers **10** erlauben. Nach dem Falten des Systemträgers **10** können darüber hinaus die ersten Oberflächen **54** der ersten Träger **11**, **12** und die ersten Oberflächen **54** der zweiten Träger **21**, **22** im Wesentlichen planparallel angeordnet werden. Bei der in [Fig. 2C](#) dargestellten Ausführungsform wurden die zweiten Träger **21**, **22** um 180° gedreht, und der mittlere Teil des Verbindungselements **50** wurde um etwa 90° gedreht. Die Vertiefungen **53** in dem Systemträger **10** erleichtern diese Biegung durch Vergrößerung der mechanischen Flexibilität des Systemträgers **10** in diesen Bereichen.

[0037] Die Source-Elektroden **59** und die

Gate-Elektroden **61** der ersten Halbleiterchips **31**, **32** können elektrisch mit den zweiten Trägern **21** bzw. **22** verbunden werden. Diese elektrischen Verbindungen können durch Diffusionsföten, Weichlötung, Haftbonden unter Verwendung eines elektrisch leitfähigen Haftmittels oder einer beliebigen anderen geeigneten Verbindungstechnik wie oben in Verbindung mit [Fig. 2B](#) beschrieben produziert werden. Wenn Lötung oder Haftbonden durchgeführt wird, kann das Lotmaterial bzw. das Haftmittel entweder auf den zweiten Hauptoberflächen **60** der ersten Halbleiterchips **31**, **32** oder auf den zweiten Oberflächen **55** der zweiten Träger **21**, **22** abgeschieden werden.

[0038] Wie aus [Fig. 2C](#) ersichtlich ist, werden die Gate-Elektroden **61** mit Schienen (Streben) **62** des Systemträgers **10** gekoppelt. Die Schienen **62** enthalten die vorstehenden Elemente **56**. Die vorstehenden Elemente **56** sind mit den Gate-Elektroden **61** verbunden. Durch die vorstehenden Elemente **56** können die Schienen **62** Teile der Source-Elektroden **59** überlappen, ohne die Source-Elektroden **59** und die Gate-Elektroden **61** kurz zu schließen.

[0039] Ein Vergussmaterial **63** kann verwendet werden, um mindestens Teile der ersten Halbleiterchips **31**, **32** und Teile anderer Komponenten der Vorrichtungen **200** wie in [Fig. 2D](#) dargestellt zu überdecken. Die ersten Oberflächen **54** der ersten Träger **11**, **12** und der zweiten Träger **21**, **22** können teilweise oder vollständig von dem Vergussmaterial **63** unüberdeckt gelassen werden. Ferner kann die erste Oberfläche **54** des Verbindungselements **50** von dem Vergussmaterial **63** freigelegt werden, so dass die erste Oberfläche **54** des Verbindungselements **50** eine Seitenoberfläche der Vorrichtung **200** wie in [Fig. 2D](#) dargestellt bildet. Das Vergussmaterial **63** kann so aufgebracht werden, dass die ersten Oberflächen **54** der ersten Träger **11**, **12** sowie die ersten Oberflächen **54** der zweiten Träger **21**, **22** gemeinsame Ebenen mit dem Vergussmaterial **63** wie in [Fig. 2D](#) dargestellt bilden. Darüber hinaus können die erste Oberfläche **54** des Verbindungselements **50** und das Vergussmaterial **63** auch eine gemeinsame Ebene bilden.

[0040] Die ersten Oberflächen **54** oder Teile dieser können als externe Kontaktelemente zum elektrischen Koppeln der ersten Halbleiterchips **31**, **32** mit externen Komponenten verwendet werden.

[0041] Ferner können entweder die ersten Oberflächen **54** oder Teile dieser als eine Montageebene zum Montieren der Vorrichtung **200** an anderen Komponenten wie etwa Leiterplatten verwendet werden. Außerdem können weitere Komponenten an einer der ersten Oberflächen **54** angebracht werden, wie zum Beispiel Kühlkörper oder Kühlelemente.

[0042] Die ebenen und planparallelen ersten Ober-

flächen **54** der ersten Träger **11**, **12** und der zweiten Träger **21**, **22** sind hilfreich, wenn der Systemträger **10** in einen Vergusshohlraum geklemmt wird. Erstens können Vorsprünge von den ersten Oberflächen **54** die ersten Halbleiterchips **31**, **32** beim Klemmen in den Vergusshohlraum beschädigen. Zweitens können Abweichungen von der Planparallelität der ersten Oberflächen **54** bewirken, dass das Vergussmaterial **63** unbeabsichtigt Teile der ersten Oberflächen **54** beschichtet.

[0043] Das Vergussmaterial **63** kann aus einem beliebigen geeigneten thermoplastischen oder thermisch härtenden Material zusammengesetzt sein, bei einer Ausführungsform kann es aus einem Material zusammengesetzt sein, das üblicherweise bei der modernen Halbleiter-Kapselungstechnologie verwendet wird. Es können verschiedene Techniken verwendet werden, um die Komponenten der Vorrichtungen **200** mit dem Vergussmaterial **63** zu bedecken, zum Beispiel Formpressen, Spritzguss, Pulverschmelzverfahren oder Flüssigguss.

[0044] Das Vergussmaterial **63** kann ein Füllmaterial enthalten, das aus kleinen Partikeln aus Glass (SiO_2) oder anderen elektrisch isolierenden Mineralfüllmaterialien wie Al_2O_3 oder organischen Füllmaterialien besteht. Das Vergussmaterial **63** kann durch die Ausschnitte **52** des Systemträgers **10** eingespritzt werden. Die Korngröße des Füllmaterials kann im Bereich zwischen 5 und 200 μm und bei einer Ausführungsform im Bereich zwischen 40 und 80 μm liegen.

[0045] Wie in [Fig. 2E](#) dargestellt, können die integralen Arrays erster Träger **11**, **12** und zweiter Träger **21**, **22** sowie das Vergussmaterial **63** getrennt werden, zum Beispiel indem man mechanisches Sägen, einen Laserstrahl, Ätzung, Schneiden, Stanzen oder Fräsen benutzt, um die Vorrichtungen **200** zu erhalten. Bei einer Ausführungsform kann die Trennung der integralen Arrays erster Träger **11**, **12** und zweiter Träger **21**, **22** ausgeführt werden, bevor das Vergussmaterial **63** auf die Vorrichtungen **200** aufgebracht wird.

[0046] Die freiliegenden ersten Oberflächen **54** der zweiten Träger **21**, **22** können als externe Kontaktstellen **64**, **65** und **66** verwendet werden, um die Vorrichtung **200** elektrisch mit anderen Komponenten zu koppeln. Die Formen und Größen der externen Kontaktstellen **64** bis **66** können von den in [Fig. 2E](#) dargestellten Formen und Größen verschieden sein. Bei der vorliegenden Ausführungsform werden die externen Kontaktstellen **64**, **65** und **66** elektrisch mit der Drain-Elektrode **57**, der Gate-Elektrode **61** bzw. der Source-Elektrode **59** der ersten Halbleiterchips **31**, **32** gekoppelt.

[0047] Für Fachleute ist offensichtlich, dass die Vor-

richtungen **100** und **200** nur beispielhafte Ausführungsformen sein sollen und viele Varianten möglich sind. Zum Beispiel kann vorgesehen werden, dass die Vorrichtungen **100** und/oder **200** mehr als die ersten Halbleiterchips **31**, **32** enthalten. Es kann ein zweiter Halbleiterchip in jeder der Vorrichtungen **100** und/oder **200** enthalten sein und kann zum Beispiel auf den ersten Halbleiterchip **31**, **32** gestapelt oder neben dem ersten Halbleiterchip **31**, **32** angeordnet werden. Im letzteren Fall kann der erste Träger **11**, **12** und/oder der zweite Träger **21**, **22** so strukturiert werden, dass die gewünschte elektrische Verbindung zwischen den ersten und zweiten Halbleiterchips hergestellt wird. Ferner kann nach dem Falten des Systemträgers **10** ein dritter Halbleiterchip über den zweiten Träger **21**, **22** montiert werden. Die zweiten und/oder dritten Halbleiterchips können zum Beispiel weitere Leistungs-Halbleiterchips sein oder können Steuerschaltungen zum Steuern der ersten Halbleiterchips **31**, **32** enthalten.

[0048] Es sind auch Varianten der Vertiefungen **53** in dem Systemträger **10** und des Faltmechanismus möglich. Einige dieser Varianten sind in [Fig. 3A](#) bis [Fig. 3D](#) dargestellt. Bei der in [Fig. 3A](#) dargestellten Ausführungsform werden die Vertiefungen **53** in der zweiten Oberfläche **55** des Systemträgers **54** gebildet. Bei der in [Fig. 3B](#) dargestellten Ausführungsform werden die Vertiefungen **53** in den ersten und zweiten Oberflächen **54** und **55** des Systemträgers **10** gebildet. Bei der in [Fig. 3C](#) dargestellten Ausführungsform wird nur eine Vertiefung **53** in der ersten Oberfläche **54** des Systemträgers **10** gebildet, diese Vertiefung **53** weist jedoch eine größere Breite als die in [Fig. 3A](#) und [Fig. 3B](#) dargestellten Vertiefungen **53** auf. Natürlich kann die Vertiefung **53** von [Fig. 3C](#) bei einer Ausführungsform in der zweiten Oberfläche **55** des Systemträgers **10** gebildet werden.

[0049] Statt Vertiefungen **53** in dem Systemträger **10** zu bilden, kann die mechanische Flexibilität des Materials des Verbindungselements **50** durch andere Verfahren vergrößert werden, wie zum Beispiel durch eine Wärmebehandlung, um das Falten des Systemträgers **10** in dem Bereich des Verbindungselements **50** zu erleichtern. Beispielsweise wird in [Fig. 3D](#) ein Laserstrahl **67** verwendet, um den Systemträger **10** in dem Bereich des Verbindungselements **50** zu erwärmen. Wie in der unteren Zeichnung von [Fig. 3D](#) dargestellt, kann der Systemträger **10** um einen Stab **68** herum gebogen werden. Danach kann der Stab **68** entfernt werden. Als weitere Alternative kann vorgesehen werden, dass der Systemträger **10** um die Kanten der ersten Halbleiterchips **31**, **32** herum gebogen wird.

[0050] Die externen Kontaktstellen **64**, **65** und **66** der Vorrichtung **200** können verwendet werden, um die Vorrichtung **200** elektrisch mit anderen Komponenten zu koppeln. Dies ist in [Fig. 4](#) beispielhaft dar-

gestellt. Dort ist ein Ausschnitt einer Vorrichtung **400** schematisch dargestellt, der die Vorrichtung **200** enthält, die auf eine Leiterplatte **69**, zum Beispiel ein PCB (Printed Circuit Board; gedruckte Leiterplatte) montiert wird, wobei die externen Kontaktstellen **64** bis **66** der Leiterplatte **69** zugewandt sind. Es können Lotabscheidungen **70** verwendet worden sein, um die externen Kontaktstellen **64** bis **66** an die Kontaktbereiche **71** der Leiterplatte **69** anzulöten.

[0051] Über der Vorrichtung **200** kann ein Kühlkörper oder Kühlelement **72** angebracht werden. Zwischen dem Kühlkörper **72** und der Vorrichtung **200** kann eine elektrisch isolierende Schicht **73** angeordnet werden, um die Vorrichtung **200** elektrisch von dem Kühlkörper **72** zu entkoppeln. Während des Betriebs der Vorrichtung **200** leitet der Kühlkörper **72** die von dem ersten Halbleiterchip **31** erzeugte Wärme ab.

[0052] In [Fig. 5A](#) bis [Fig. 5G](#) ist die Herstellung einer Vorrichtung **500**, die in [Fig. 5G](#) dargestellt ist, schematisch als weitere beispielhafte Ausführungsform in einer dreidimensionalen Darstellung dargestellt. Die Vorrichtung **500** und das Herstellungsverfahren dafür veranschaulichen bestimmte Ähnlichkeiten mit der Vorrichtung **200** und deren Herstellungsverfahren. Ähnliche oder identische Komponenten, die bei beiden Verfahren verwendet werden, erhalten deshalb die gleichen Bezugszahlen. Ferner wird im Folgenden manchmal auf das Verfahren von [Fig. 2A](#) bis [Fig. 2E](#) verwiesen, wenn dieselben Verfahrensschritte wie oben beschrieben ausgeführt werden können.

[0053] In [Fig. 5A](#), [Fig. 5B](#) und [Fig. 5C](#) ist ein Systemträger **10** in einer Draufsicht, einer dreidimensionalen Perspektive bzw. im Querschnitt dargestellt. Der Systemträger **10** wird in einem Stück aus einem Metall oder einer Metalllegierung hergestellt und enthält erste Träger **11** bis **18**, zweite Träger **21** bis **28** und Verbindungselemente **50**. Die ersten Halbleiterchips **31** bis **38** werden auf den ersten Trägern **11** bis **18** montiert. Die zweiten Halbleiterchips **41** bis **48** werden auf den ersten Halbleiterchips **31** bis **38** montiert. Sowohl die ersten Halbleiterchips **31** bis **38** als auch die zweiten Halbleiterchips **41** bis **48** können Leistungs-Halbleiterchips sein, zum Beispiel Leistungs-MOSFETs. Im letzteren Fall können die Drain-Elektroden der ersten Halbleiterchips **31** bis **38** elektrisch mit den jeweiligen oberen Oberflächen der ersten Träger **11** bis **18** und die Drain-Elektroden der zweiten Halbleiterchips **41** bis **48** elektrisch mit den jeweiligen Source-Elektroden der ersten Halbleiterchips **31** bis **38** verbunden werden. Diese elektrischen Verbindungen können zum Beispiel durch Löten oder Haftbonden unter Verwendung eines elektrisch leitfähigen Haftmittels wie oben in Verbindung mit [Fig. 2B](#) beschrieben hergestellt werden.

[0054] Wie in [Fig. 5B](#) und [Fig. 5C](#) dargestellt, ist der Systemträger **10**, wenn er bereitgestellt wird, möglicherweise nicht vollständig eben. Die ersten Träger **11 bis 18** und die jeweiligen zweiten Träger **21 bis 28** können einen Winkel im Bereich zwischen 60° und 150° bilden. Die zwischen den ersten und zweiten Trägern **11 bis 28** angeordneten Verbindungselemente **50** können als Filmschwenkverbindungen wie oben in Verbindung mit [Fig. 2A](#) und [Fig. 3A](#) bis [Fig. 3D](#) beschrieben implementiert werden.

[0055] Jeder der zweiten Träger **21** kann zwei Schienen **62** enthalten, und jede der Schienen **62** kann Elemente **56** enthalten, die von der jeweiligen Schiene **62** vorstehen. Die Elemente **56** können später zum Kontaktieren der Gate-Elektroden der ersten und zweiten Halbleiterchips **31 bis 48** verwendet werden. Da die ersten Halbleiterchips **31 bis 38** unter den zweiten Halbleiterchips **41 bis 48** angeordnet sind, sind die für die elektrische Verbindung der ersten Halbleiterchips **31 bis 38** vorgesehenen Elemente **56** größer als die für die elektrische Verbindung der zweiten Halbleiterchips **41 bis 48** verwendeten Elemente **56**.

[0056] [Fig. 5D](#) und [Fig. 5E](#) zeigen einen gefalteten Systemträger **10** in einer dreidimensionalen Perspektive. Nachdem der Systemträger **10** entlang der Filmschwenkverbindungen **53** gebogen wurde und die zweiten Träger **21 bis 28** gedreht wurden, werden die zweiten Träger **21 bis 28** über den jeweiligen Halbleiterchips **41 bis 48** angeordnet. Teile der zweiten Träger **21 bis 28** können elektrisch mit der Gate-Elektrode des jeweiligen ersten Halbleiterchips und den Gate- und Source-Elektroden der jeweiligen zweiten Halbleiterchips verbunden werden. Diese elektrischen Verbindungen können wieder durch Löten oder Haftbonden unter Verwendung eines elektrisch leitfähigen Haftmittels wie oben in Verbindung mit [Fig. 2B](#) beschrieben hergestellt werden.

[0057] Wie in [Fig. 5F](#) dargestellt, kann ein Vergussmaterial **63** verwendet werden, um die ersten und zweiten Halbleiterchips **31 bis 48** und Teile von anderen Komponenten der Vorrichtungen **500** wie in Verbindung mit [Fig. 2D](#) beschrieben zu bedecken. Die äußeren Oberflächen der ersten Träger **11 bis 18**, der zweiten Träger **21 bis 28** und die Verbindungselemente **50** können unbedeckt gelassen werden. Während des Betriebs der Vorrichtungen **500** kann durch die in den Vorrichtungen **500** enthaltenen Halbleiterchips erzeugte Wärme durch die freigelegten Oberflächen abgeführt werden.

[0058] Schließlich kann der Systemträger **10** getrennt werden, indem man zum Beispiel mechanisches Sägen, einen Laserstrahl, Ätzen, Schneiden, Stanzen oder Schleifen verwendet, um die Vorrichtungen **500** zu erhalten. Jede der Vorrichtungen **500** kann einen ersten und einen zweiten Halbleiterchip

enthalten. Wie in [Fig. 5E](#) dargestellt, kann jede der Vorrichtungen **500** externe Kontaktstellen **74 bis 77** aufweisen. Die externen Kontaktstellen **74** und **75** können elektrisch mit der Drain-Elektrode bzw. der Gate-Elektrode des ersten Halbleiterchips gekoppelt werden. Die externen Kontaktstellen **76** und **77** können elektrisch mit der Gate-Elektrode bzw. der Source-Elektrode des zweiten Halbleiterchips gekoppelt werden.

[0059] In der in [Fig. 5G](#) dargestellten Vorrichtung **500** wird die Source-Elektrode des ersten Halbleiterchips elektrisch mit der Drain-Elektrode des zweiten Halbleiterchips verbunden. Aufgrund dieser Verbindung kann die Vorrichtung **500** als Halbbrücke verwendet werden. [Fig. 6](#) zeigt eine Prinzipschaltung einer zwischen zwei Knoten N1 und N2 angeordneten Halbbrücke **600**. Die Halbbrücke **600** besteht aus zwei in Reihe geschalteten Schaltern S1 und S2. Der erste und zweite Halbleiterchip der Vorrichtung **500** können als die beiden Schalter S1 bzw. S2 implementiert werden. Im Vergleich zu der in [Fig. 5G](#) dargestellten Vorrichtung **500** ist der Knoten N1 die Drain-Elektrode des ersten Halbleiterchips, der zwischen den beiden Schaltern S1 und S2 angeordnete Knoten N3 ist die Drain-Elektrode des zweiten Halbleiterchips, und der Knoten N2 ist die Source-Elektrode des zweiten Halbleiterchips.

[0060] Die Halbbrücke **600** kann zum Beispiel in elektronischen Schaltungen zum Umwandeln von Gleichspannung, in sogenannten Gleichstrom-Gleichstrom-Wandlern, implementiert werden. Gleichstrom-Gleichstrom-Wandler können verwendet werden, um eine von einer Batterie oder einer wiederaufladbaren Batterie gelieferte Eingangsgleichspannung in eine Ausgangsgleichspannung umzusetzen, die an die Bedürfnisse von signalabwärts verbundenen elektronischen Schaltungen angepasst ist. Gleichstrom-Gleichstrom-Wandler können als Abwärtswandler, bei denen die Ausgangsspannung kleiner als die Eingangsspannung ist, oder als Aufwärtswandler, bei denen die Ausgangsspannung größer als die Eingangsspannung ist, realisiert werden. Es können Frequenzen von mehreren MHz oder mehr an Gleichstrom-Gleichstrom-Wandler angelegt werden. Ferner können Ströme von bis zu 50 A oder sogar noch mehr durch die Gleichstrom-Gleichstrom-Wandler fließen.

[0061] Obwohl ein bestimmtes Merkmal oder ein bestimmter Aspekt einer Ausführungsform der Erfindung möglicherweise mit Bezug auf nur eine von mehreren Implementierungen offenbart wurde, kann ein solches Merkmal oder ein solcher Aspekt mit einem oder mehreren Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, so wie es für eine beliebige gegebene oder konkrete Anwendung erwünscht und vorteilhaft sein kann. So wie die Ausdrücke „enthalten“, „aufweisen“, „mit“ oder

andere Varianten davon entweder in der ausführlichen Beschreibung oder in den Ansprüchen verwendet wurden, sollen ferner solche Ausdrücke auf ähnliche Weise wie der Ausdruck „umfassen“ einschließend sein. Es wurden möglicherweise die Ausdrücke „gekoppelt“ und „verbunden“ zusammen mit ihren Ableitungen verwendet. Es versteht sich, dass diese Ausdrücke möglicherweise verwendet wurden, um anzugeben, dass zwei Elemente miteinander zusammenarbeiten oder Wechselwirken, gleichgültig, ob sie sich in direktem physischem oder elektrischem Kontakt befinden oder sie sich nicht in direktem Kontakt miteinander befinden. Ferner versteht sich, dass Ausführungsformen der Erfindung in diskreten Schaltungen, teilweise integrierten Schaltungen oder vollintegrierten Schaltungen oder in Programmiermitteln implementiert werden können. Außerdem ist der Ausdruck „beispielhaft“ lediglich als ein Beispiel gemeint, statt als Bestes oder Optimales. Außerdem versteht sich, dass hier abgebildete Merkmale und/oder Elemente der Klarheit und des leichteren Verständnisses halber hier mit konkreten Abmessungen relativ zueinander dargestellt werden und dass die tatsächlichen Abmessungen wesentlich von dem hier Dargestellten abweichen können.

[0062] Obwohl hier spezifische Ausführungsformen dargestellt und beschrieben wurden, ist für Durchschnittsfachleute erkennbar, dass vielfältige alternative und/oder äquivalente Implementierungen die gezeigten und beschriebenen spezifischen Ausführungsformen ersetzen können, ohne von dem Schutzzumfang der vorliegenden Erfindung abzuweichen. Die vorliegende Anmeldung soll jegliche Anpassungen oder Varianten der hier besprochenen spezifischen Ausführungsformen abdecken. Deshalb ist beabsichtigt, dass die vorliegende Erfindung nur durch die Ansprüche und ihre Äquivalente beschränkt wird.

Patentansprüche

1. Verfahren, umfassend:

Bereitstellen eines integralen Arrays erster Träger (**11, 12**) und eines mit dem integralen Array erster Träger (**11, 12**) verbundenen integralen Arrays zweiter Träger (**21, 22**);
Anordnen von ersten Halbleiterchips (**31, 32**) auf dem integralen Array erster Träger (**11, 12**); und
Anordnen des integralen Arrays zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**).

2. Verfahren nach Anspruch 1, wobei das integrale Array zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) durch Drehen des integralen Arrays zweiter Träger (**21, 22**) mit Bezug auf das integrale Array erster Träger (**11, 12**) angeordnet wird.

3. Verfahren nach Anspruch 1 oder 2, wobei das integrale Array zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) durch Biegen mindestens

eines das integrale Array erster Träger (**11, 12**) mit dem integralen Array zweiter Träger (**21, 22**) verbindenden Verbindungselements (**50**) angeordnet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei nach dem Anordnen des integralen Arrays zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) das integrale Array erster Träger (**11, 12**) eine von den ersten Halbleiterchips (**31, 32**) abgewandte erste Oberfläche (**54**) aufweist und das integrale Array zweiter Träger (**21, 22**) eine von den ersten Halbleiterchips (**31, 32**) abgewandte zweite Oberfläche (**54**) aufweist, wobei die erste Oberfläche (**54**) und die zweite Oberfläche (**54**) planparallel zueinander ausgerichtet sind.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die ersten Halbleiterchips (**31, 32**) mit einem Vergussmaterial (**63**) bedeckt werden.

6. Verfahren nach Anspruch 5, wobei die erste Oberfläche (**54**) des integralen Arrays erster Träger (**11, 12**) und/oder die zweite Oberfläche (**54**) des integralen Arrays zweiter Träger (**21, 22**) vom Vergussmaterial (**63**) unbedeckt sind.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die ersten Halbleiterchips (**31, 32**) nach dem Anordnen des integralen Arrays zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) voneinander getrennt werden.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die ersten Halbleiterchips (**31, 32**) eine erste Elektrode (**57**) auf einer ersten Hauptoberfläche (**58**) und eine zweite Elektrode (**59**) auf einer zweiten Hauptoberfläche (**60**) aufweisen.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei zweite Halbleiterchips auf den ersten Halbleiterchips (**31, 32**) vor dem Anordnen des integralen Arrays zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) angeordnet werden.

10. Verfahren nach einem der vorhergehenden Ansprüche, wobei dritte Halbleiterchips auf dem integralen Array zweiter Träger (**21, 22**) nach dem Anordnen des integralen Arrays zweiter Träger (**21, 22**) über den ersten Halbleiterchips (**31, 32**) angeordnet werden.

11. Verfahren nach einem der vorhergehenden Ansprüche, wobei das integrale Array erster Träger (**11, 12**) und das integrale Array zweiter Träger (**21, 22**) elektrisch leitfähig sind.

12. Verfahren nach einem der vorhergehenden Ansprüche, wobei das integrale Array erster Träger (**11, 12**) und das integrale Array zweiter Träger (**21, 22**) Teile eines Systemträgers (**10**) sind.

13. Verfahren, umfassend:
Bereitstellen einer Platte (10), die Ausschnitte (52) umfasst;
Anordnen erster Halbleiterchips (31, 32) auf einem ersten Teil (11, 12) der Platte (10); und
Anordnen eines zweiten Teils (21, 22) der Platte (10) über den ersten Halbleiterchips (31, 32) durch Biegen der Platte (10).

14. Verfahren nach Anspruch 13, wobei die ersten Halbleiterchips (31, 32) mit einem Vergussmaterial (63) bedeckt werden.

15. Verfahren nach Anspruch 14, wobei eine erste Oberfläche (54) des ersten Teils (11, 12) und/oder eine zweite Oberfläche (54) des zweiten Teils (21, 22) vom Vergussmaterial (63) unbedeckt gelassen werden.

16. Verfahren nach einem der Ansprüche 13 bis 15, wobei zweite Halbleiterchips auf den ersten Halbleiterchips (31, 32) vor dem Biegen der Platte (10) angeordnet werden.

17. Verfahren nach einem der Ansprüche 13 bis 16, wobei mindestens ein Verbindungselement (50) den ersten Teil (11, 12) der Platte (10) mit dem zweiten Teil (21, 22) der Platte (10) verbindet.

18. Verfahren nach Anspruch 17, wobei eine Dicke des mindestens einen Verbindungselements (50) mindestens teilweise kleiner als eine Dicke des ersten Teils (11, 12) der Platte (10) ist.

19. Verfahren nach Anspruch 17 oder 18, wobei eine Flexibilität des mindestens einen Verbindungselements (50) größer als eine Flexibilität des ersten Teils (11, 12) der Platte (10) ist.

20. Verfahren nach einem der Ansprüche 13 bis 19, wobei die ersten Halbleiterchips (31, 32) nach dem Anordnen des zweiten Teils (21, 22) der Platte (10) über den ersten Halbleiterchips (31, 32) voneinander getrennt werden.

21. Vorrichtung (100; 200; 500), umfassend:
einen ersten Träger (11);
einen auf dem ersten Träger (11) angeordneten ersten Halbleiterchip (31); und
einen über dem ersten Halbleiterchip (31) angeordneten zweiten Träger (21), wobei der erste Träger (11) und der zweite Träger (21) integral ausgebildet sind.

22. Vorrichtung (100; 200; 500) nach Anspruch 21, wobei der erste Halbleiterchip (31) mit einem Vergussmaterial (63) bedeckt ist und mindestens eine Oberfläche (54) des ersten Trägers (11) und mindestens eine Oberfläche (54) des zweiten Trägers (21) vom Vergussmaterial (63) unbedeckt sind.

23. Vorrichtung (100; 200; 500) nach Anspruch 22, wobei der erste Träger (11) und der zweite Träger (21) elektrisch leitfähig sind und wobei ein zweiter Halbleiterchip zwischen dem ersten Halbleiterchip (31) und dem zweiten Träger (21) angeordnet ist.

24. Vorrichtung (100; 200; 500), umfassend:
einen ersten Träger (11);
einen auf dem ersten Träger (11) angeordneten ersten Halbleiterchip (31); und
einen über dem ersten Halbleiterchip (31) angeordneten zweiten Träger (21), wobei der erste Träger (11) und der zweite Träger (21) integral ausgebildet sind,
wobei der erste Halbleiterchip (31) mit einem Vergussmaterial (63) bedeckt ist und mindestens eine Oberfläche (54) des ersten Trägers (11) und mindestens eine Oberfläche (54) des zweiten Trägers (21) nicht vom Vergussmaterial (63) bedeckt sind, und
wobei ein Verbindungselement (50) den ersten Träger (11) mit dem zweiten Träger (21) verbindet und mindestens eine Oberfläche (54) des Verbindungselements (50) nicht vom Vergussmaterial (63) bedeckt ist.

25. Vorrichtung (100; 200; 500), umfassend:
Mittel zum Bereitstellen eines ersten Trägers (11);
einen auf dem ersten Träger (11) angeordneten ersten Halbleiterchip (31); und
Mittel zum Bereitstellen eines über dem ersten Halbleiterchip (31) angeordneten zweiten Trägers (21), wobei die Mittel zum Bereitstellen des ersten Trägers (11) und die Mittel zum Bereitstellen des zweiten Trägers (21) integral gebildet sind.

Es folgen 14 Blatt Zeichnungen

FIG 1A

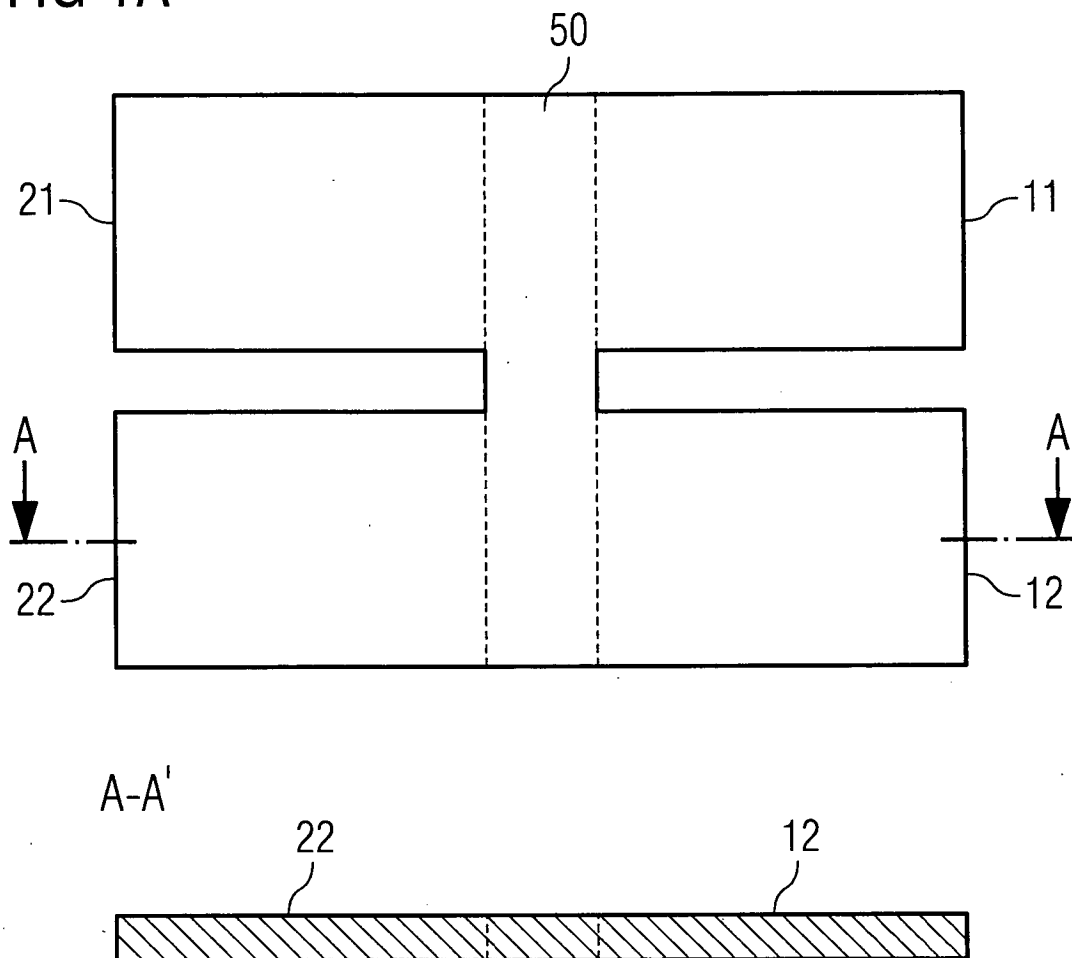


FIG 1B

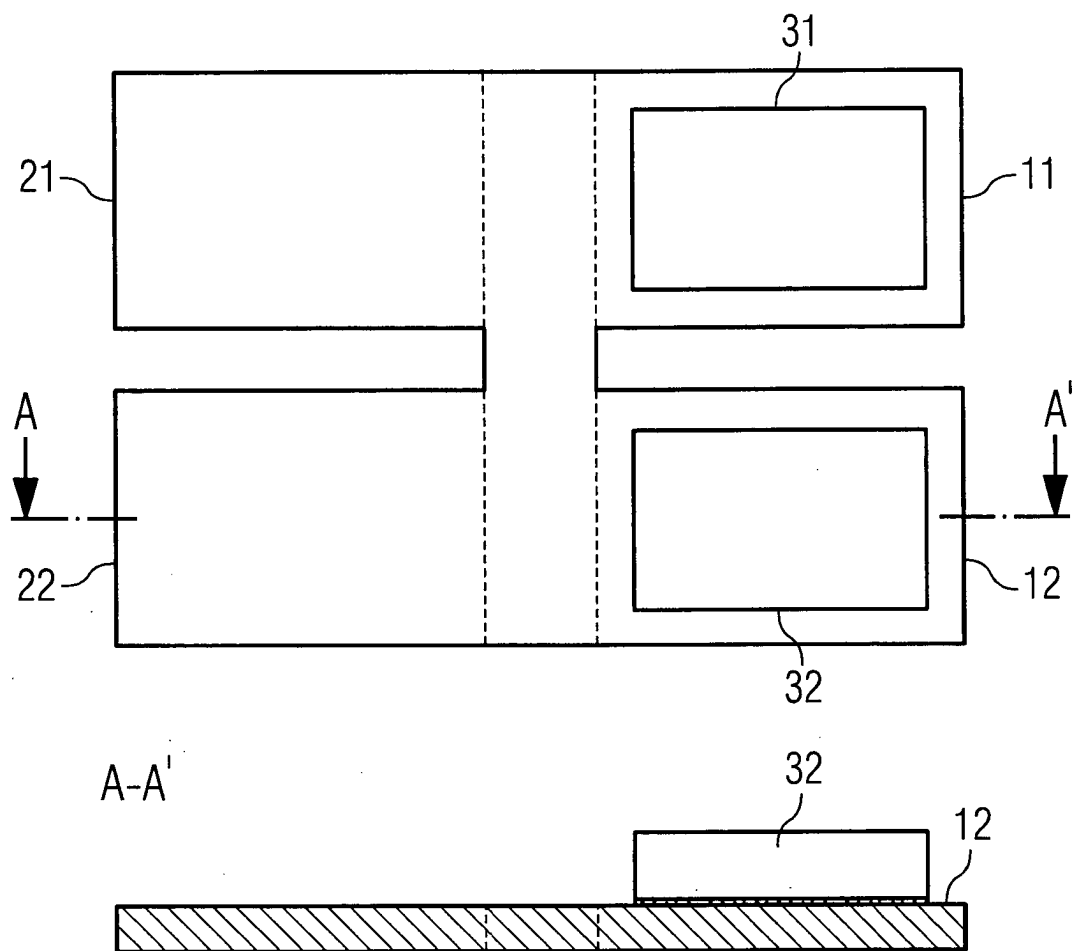


FIG 1C

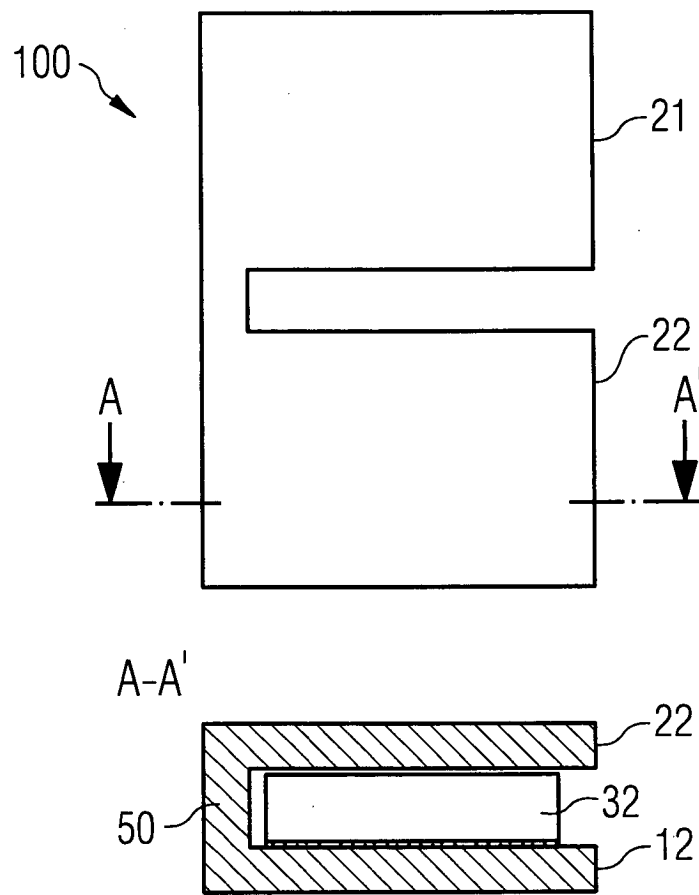


FIG 2A

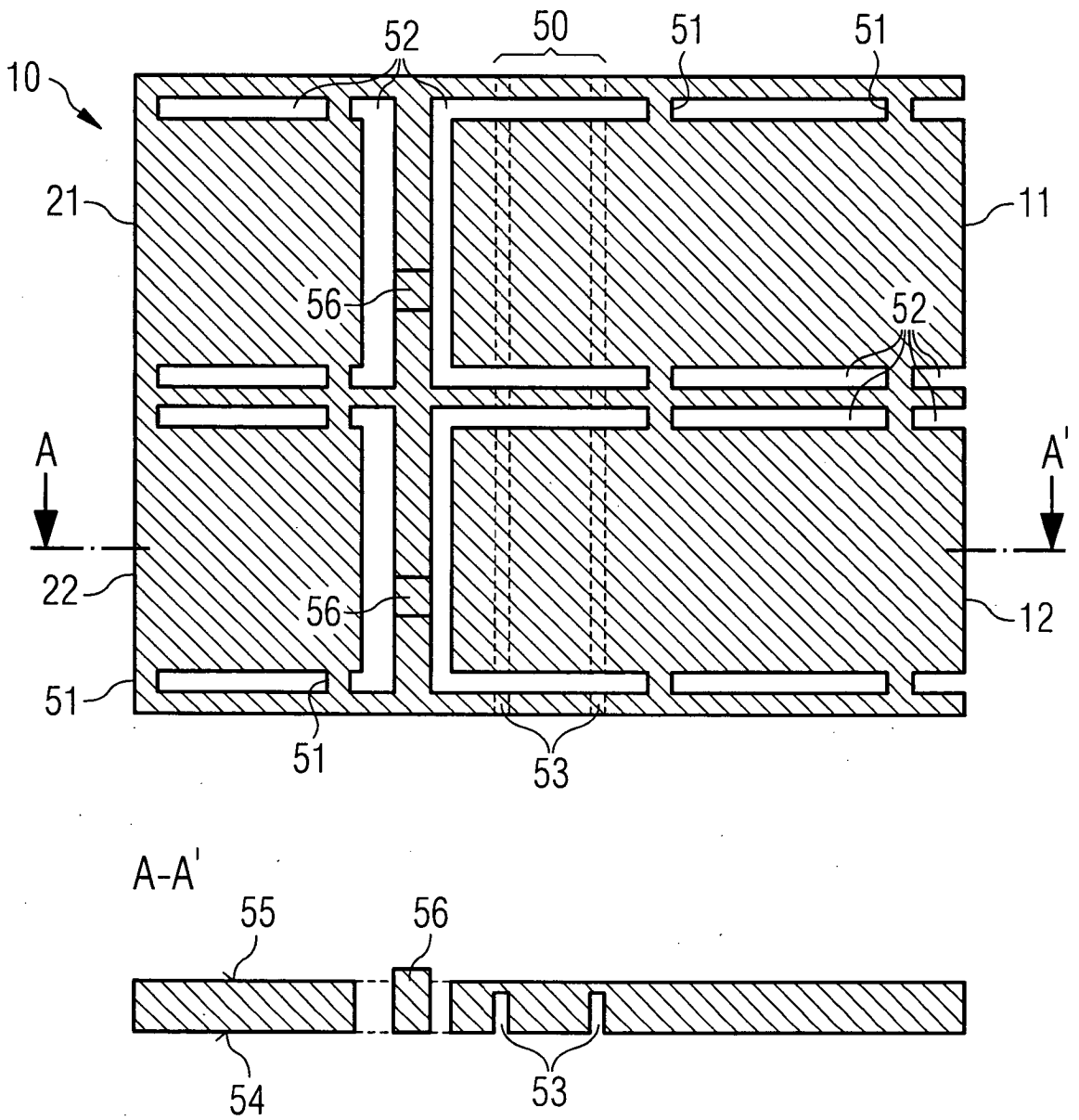


FIG 2B

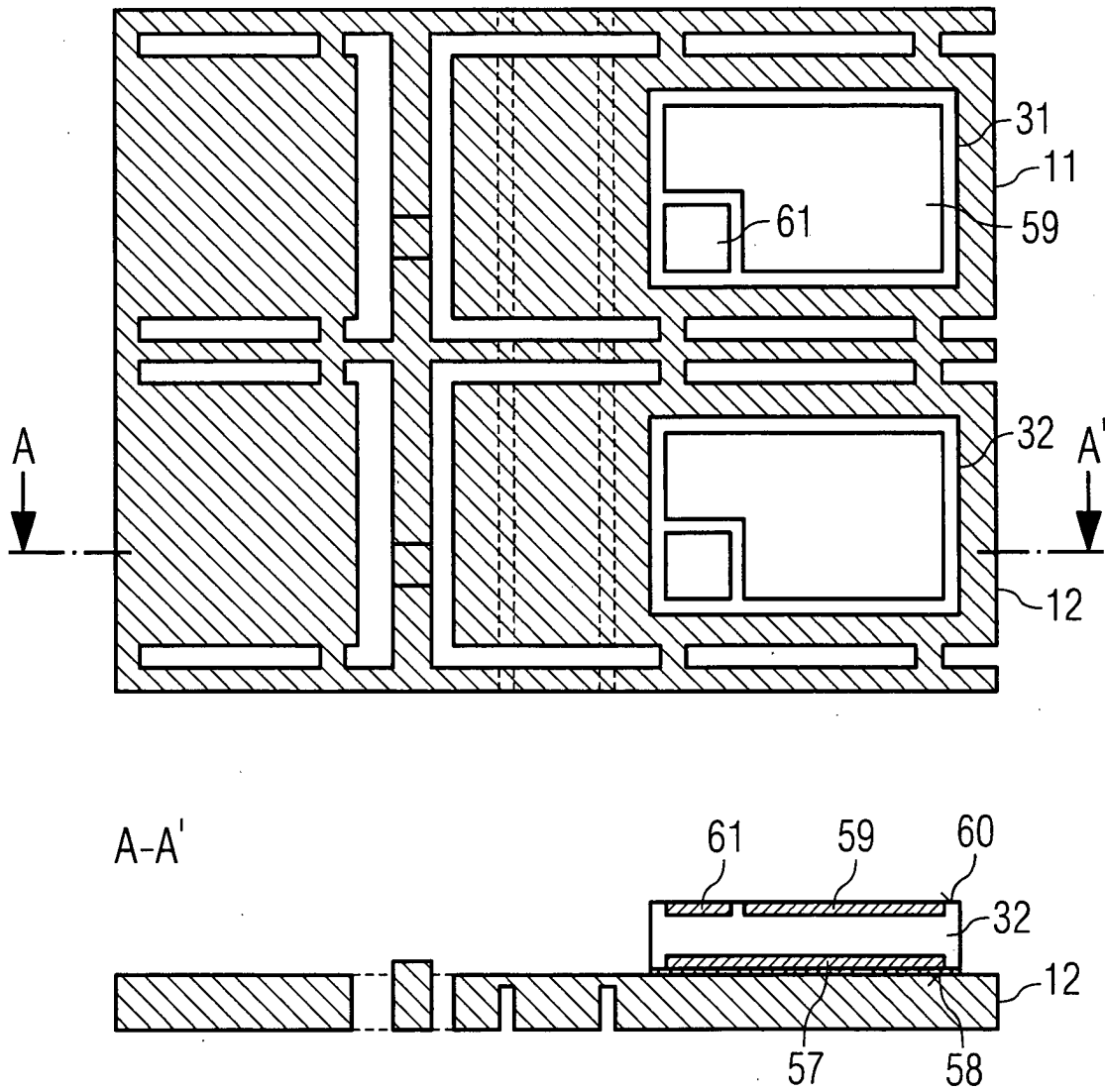


FIG 2C

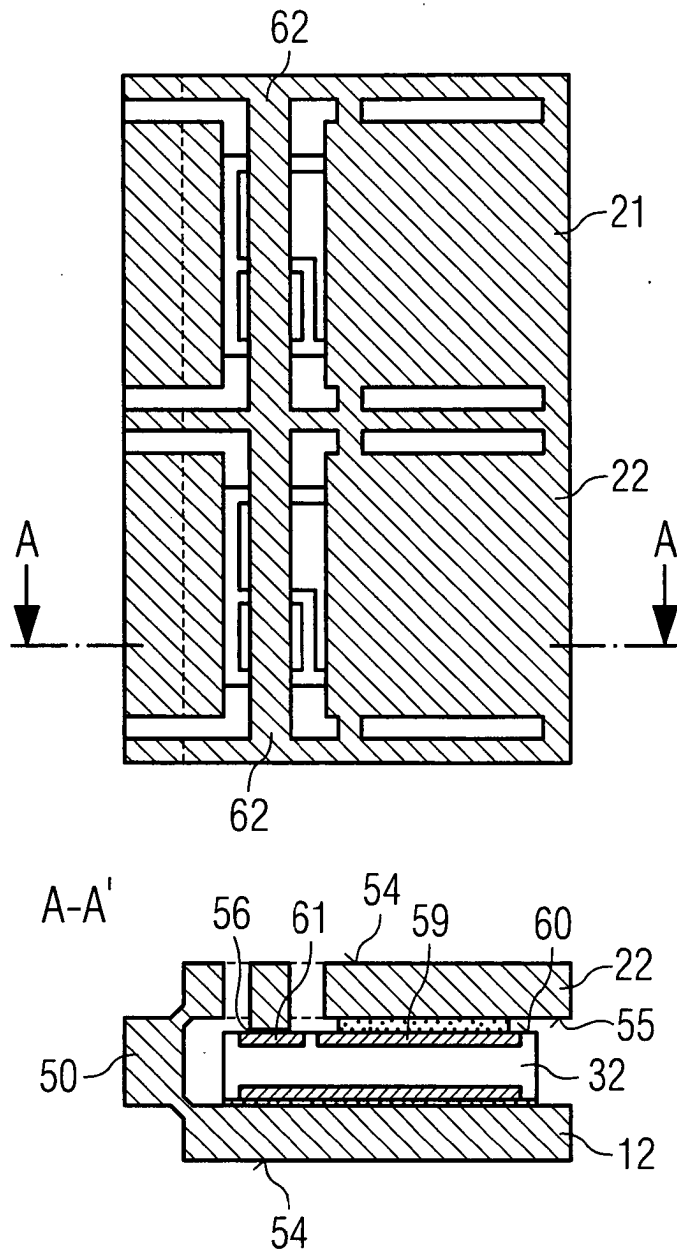


FIG 2D

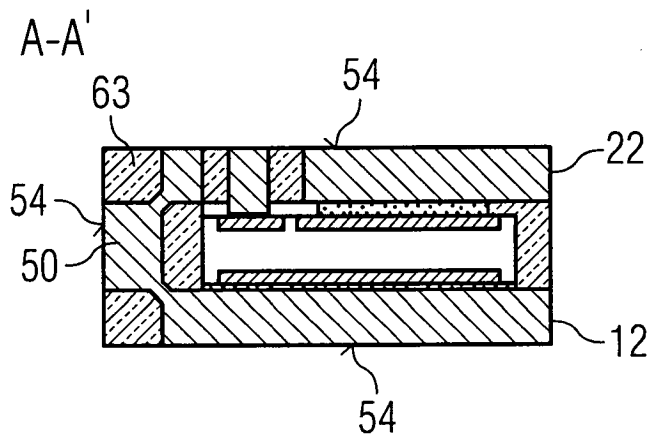
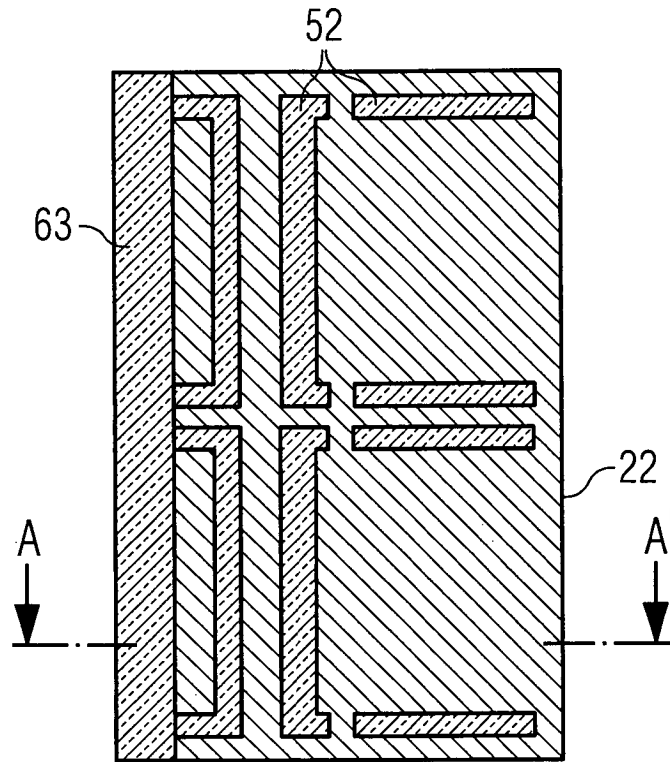


FIG 2E

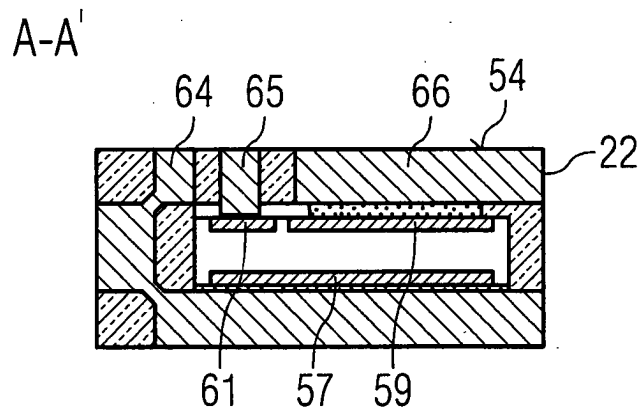
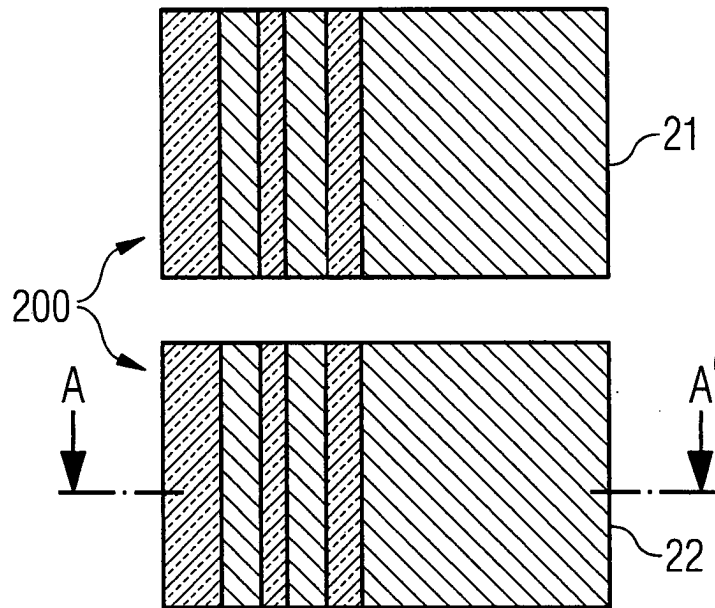


FIG 3A

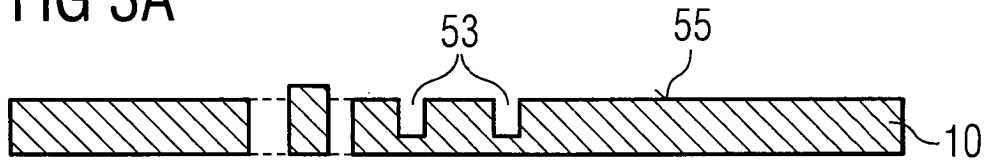


FIG 3B

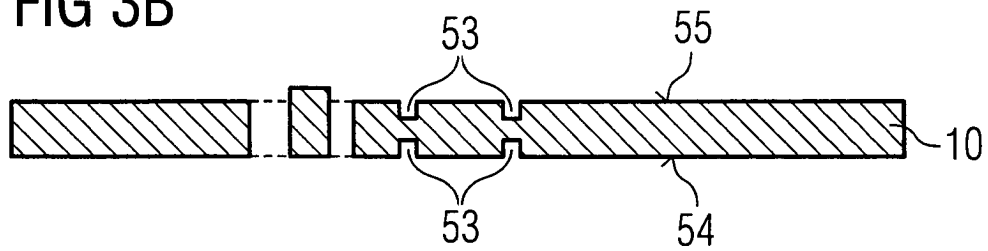


FIG 3C

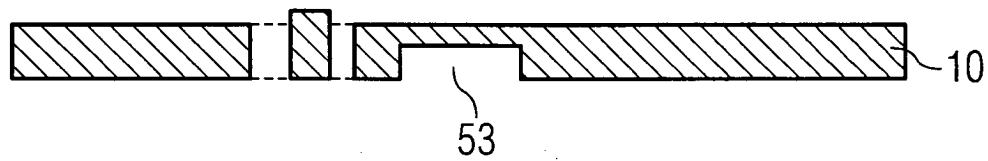


FIG 3D

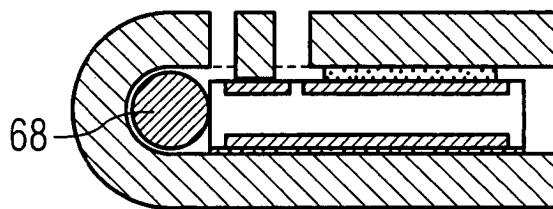
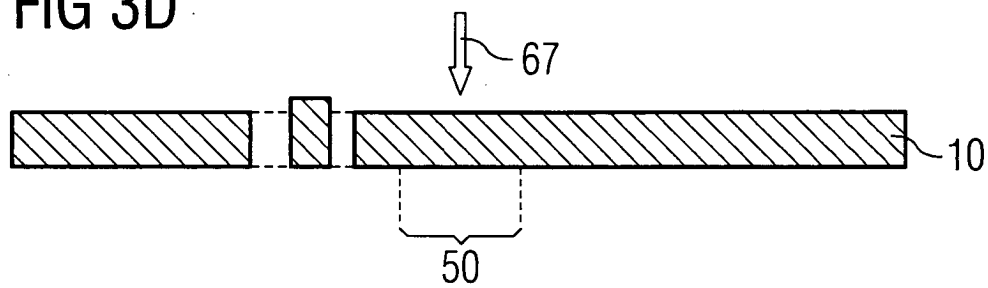


FIG 4

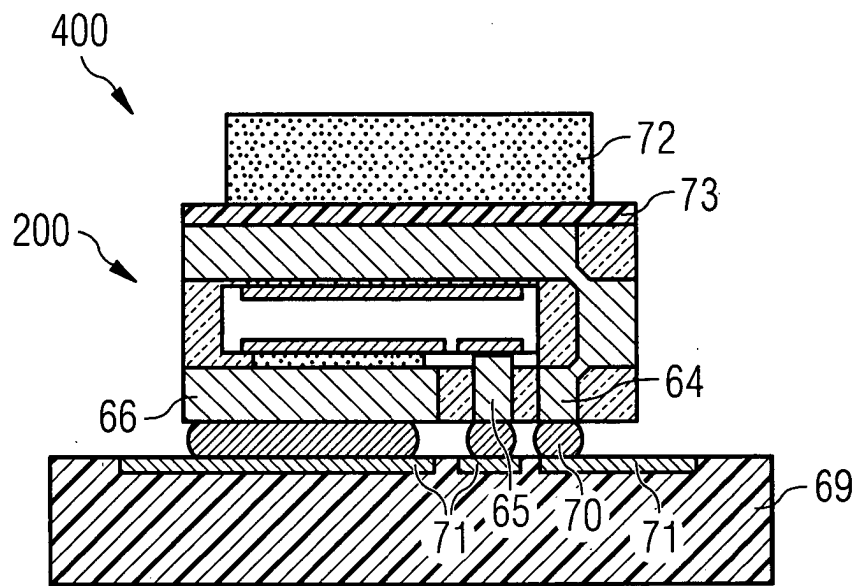


FIG 5A

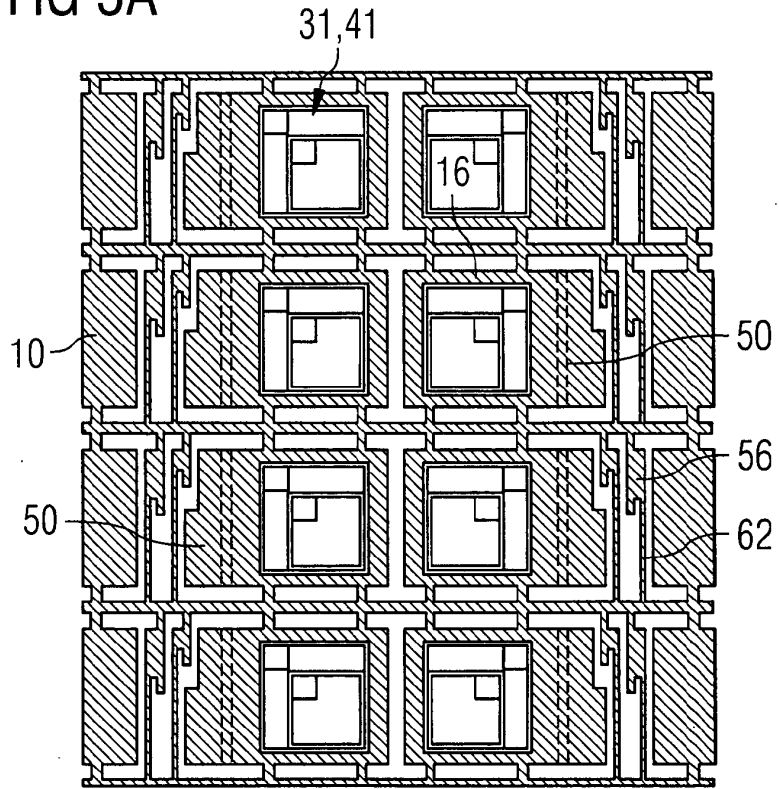


FIG 5B

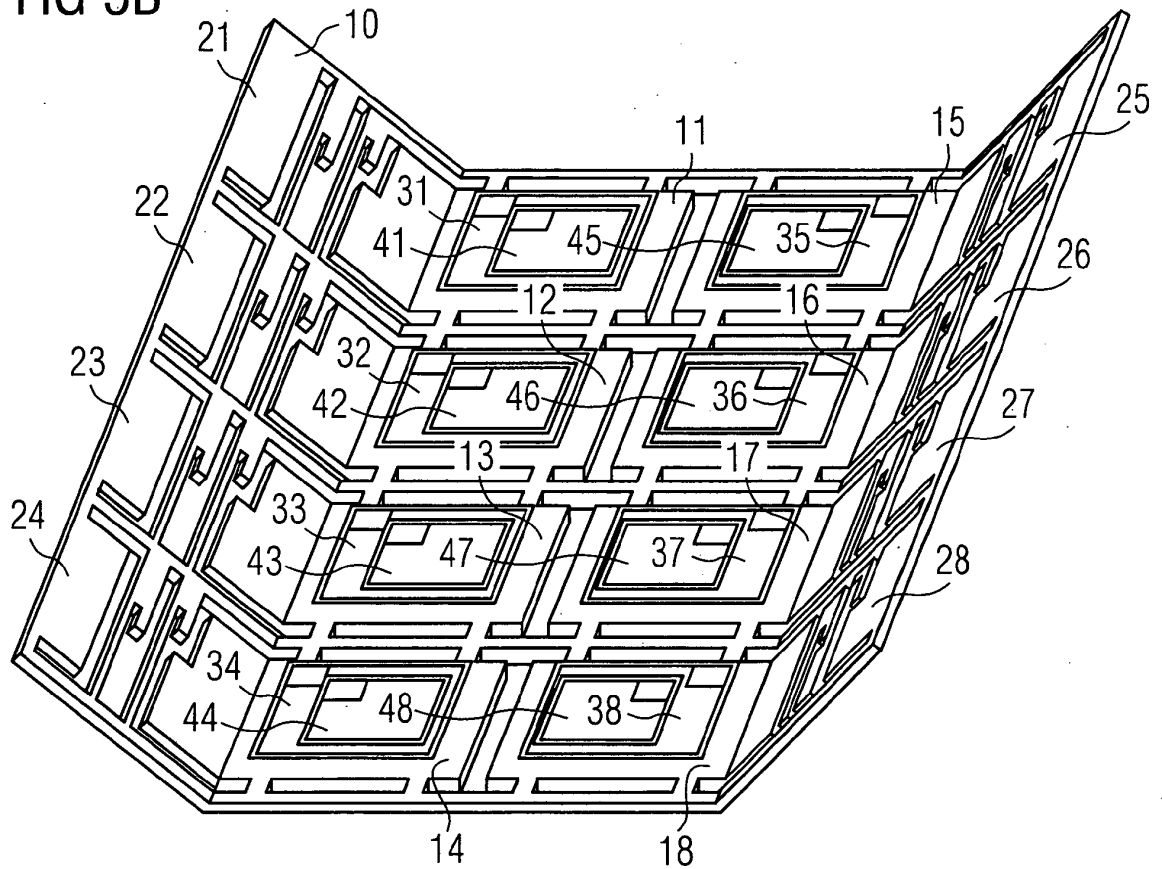


FIG 5C

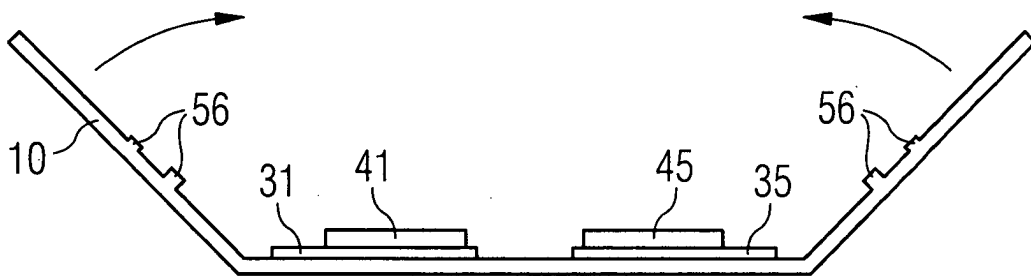


FIG 5D

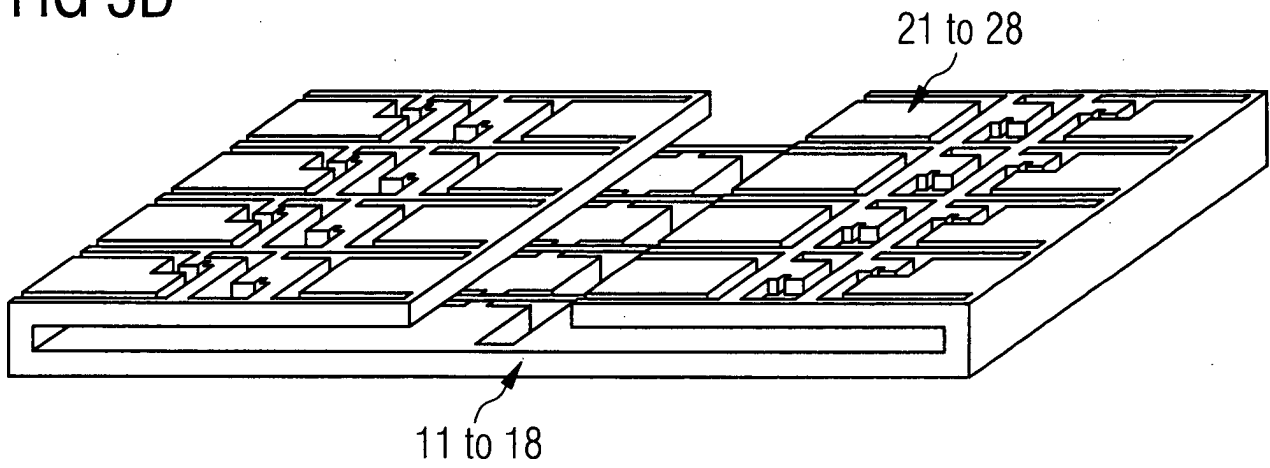


FIG 5E

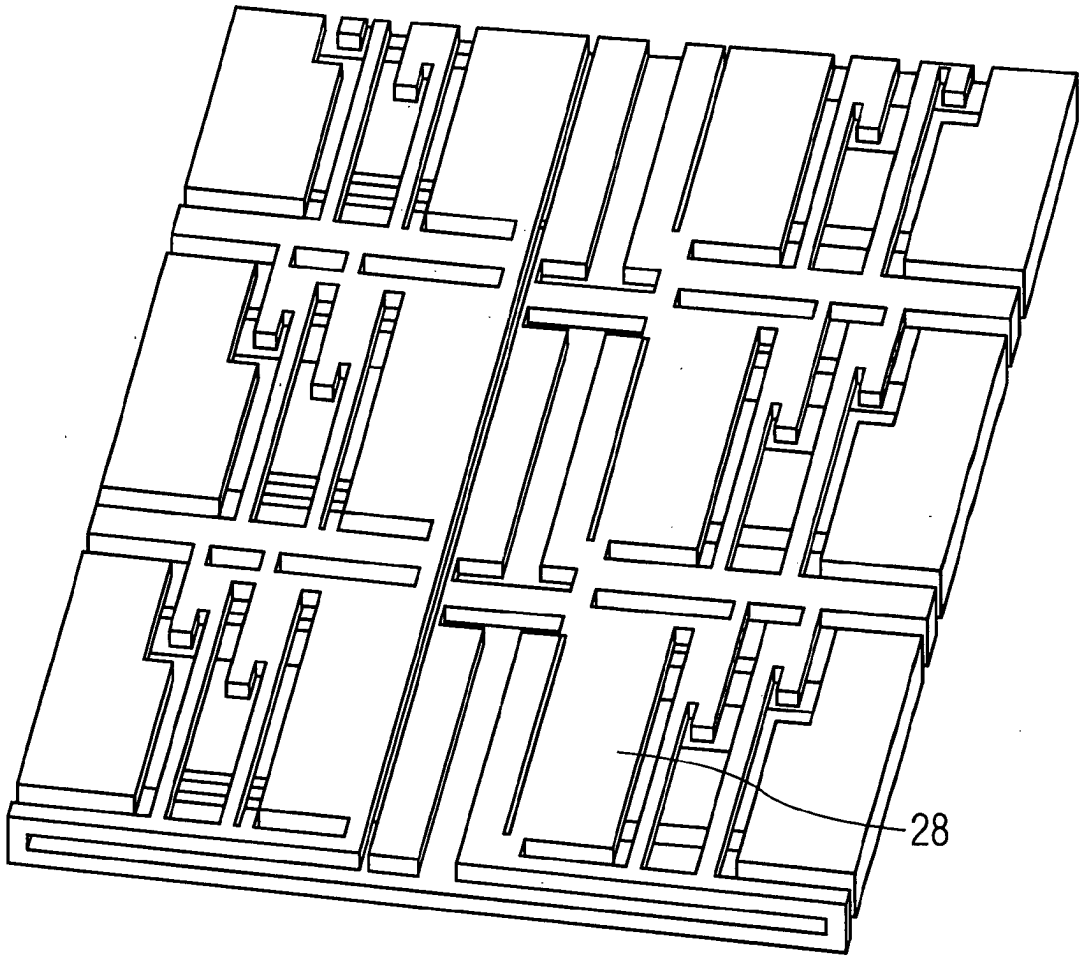


FIG 5F

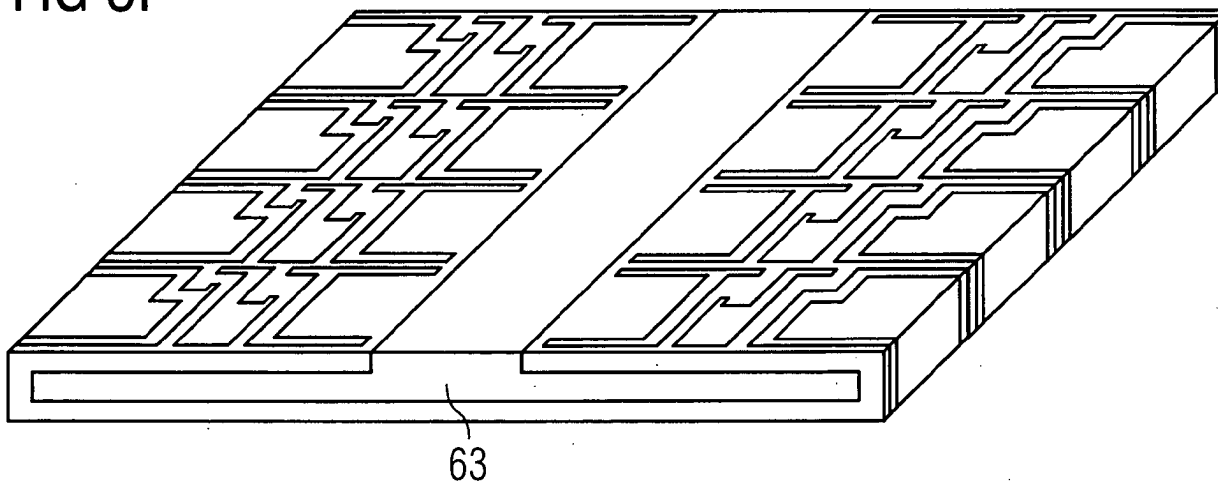


FIG 5G

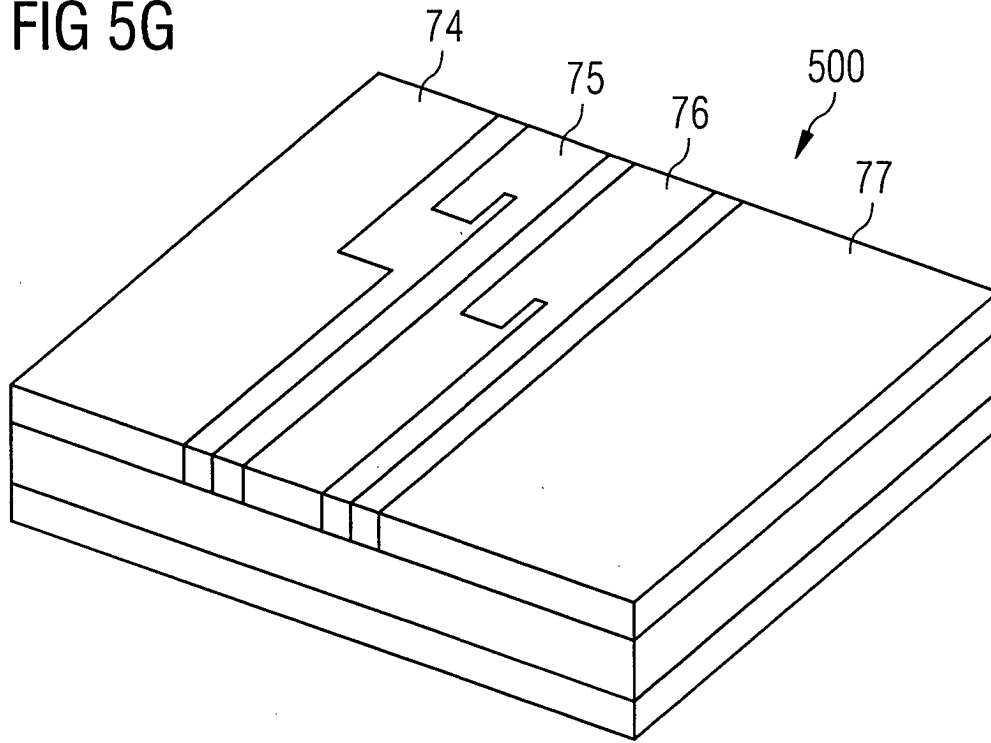


FIG 6

