



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월14일
 (11) 등록번호 10-1462163
 (24) 등록일자 2014년11월10일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1335 (2006.01) G02F 1/1343 (2006.01)
 G02F 1/136 (2006.01)
 (21) 출원번호 10-2008-0064403
 (22) 출원일자 2008년07월03일
 심사청구일자 2013년06월13일
 (65) 공개번호 10-2010-0004301
 (43) 공개일자 2010년01월13일
 (56) 선행기술조사문헌
 KR1020050017899 A*
 KR1020050092851 A*
 US20080117150 A1*
 US20070195239 A1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 김동규
 경기도 용인시 수지구 진산로66번길 10, 삼성5차
 아파트 523동 1305호 (풍덕천동)
 (74) 대리인
 특허법인가산

전체 청구항 수 : 총 15 항

심사관 : 양성지

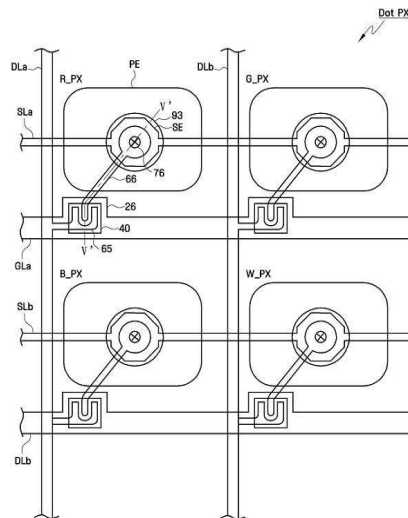
(54) 발명의 명칭 **액정 표시 장치**

(57) 요약

개구율이 향상되고 고해상도를 가지는 액정 표시 장치가 제공된다.

액정 표시 장치는, 각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들을 포함하는 제1 표시판과, 각 절개 패턴이 각 서브 픽셀의 중앙에 대응하여 절개된 절개 패턴들을 포함하는 제2 표시판과, 제1 표시판과 제2 표시판 사이에 개재된 액정 분자들을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들, 각 박막 트랜지스터가 상기 각 서브 픽셀을 턴온시키는 박막 트랜지스터들, 각 콘택홀이 상기 각 박막 트랜지스터와 상기 각 서브 픽셀의 픽셀 전극을 전기적으로 연결하고 상기 각 서브 픽셀의 중앙에 위치하는 콘택홀들을 포함하는 제1 표시판;

각 절개 패턴이 상기 각 서브 픽셀의 중앙에 대응하여 절개되고 상기 각 콘택홀에 대응하는 위치에 형성된 절개 패턴들을 포함하는 제2 표시판; 및

상기 제1 표시판과 상기 제2 표시판 사이에 개재된 액정 분자들을 포함하는 액정 표시 장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 각 콘택홀은 상기 각 절개 패턴의 크기와 같거나 작은 액정 표시 장치.

청구항 4

제1 항에 있어서,

상기 각 서브 픽셀의 픽셀 전극은 정사각형 모양이고,

상기 픽셀 전극의 상하좌우에 상기 각 절개 패턴을 중심으로 대칭인 형상인 개구부가 형성된 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 표시판은 각 스토리지 전극이 상기 각 서브 픽셀의 픽셀 전극과 스토리지 커패시터를 형성하는 스토리지 전극들을 더 포함하고,

상기 각 스토리지 전극은 상기 각 절개 패턴에 대응하는 위치에 형성된 액정 표시 장치.

청구항 6

제5 항에 있어서,

상기 각 스토리지 전극은 상기 각 절개 패턴의 크기와 같거나 작은 액정 표시 장치.

청구항 7

제1 항에 있어서,

상기 각 서브 픽셀의 픽셀 전극은 모서리가 라운드 형상인 액정 표시 장치.

청구항 8

제1 항에 있어서,

상기 각 도트 픽셀은 R 서브 픽셀, G 서브 픽셀, B 서브 픽셀, 및 W 서브 픽셀로 분할된 액정 표시 장치.

청구항 9

제1 항에 있어서,

상기 도트 픽셀들은 교대로 턴-온되는 정극성의 도트 픽셀과 부극성의 도트 픽셀로 구분되어 반전 구동되고,

상기 정극성의 도트 픽셀이 포함하는 서브 픽셀들과, 상기 부극성의 도트 픽셀이 포함하는 서브 픽셀들은 각각

동일한 극성을 가지는 액정 표시 장치.

청구항 10

제1 항에 있어서,

상기 제1 표시관은 각 a-Si 박막 트랜지스터가 상기 각 서브 픽셀을 턴온시키는 a-Si 박막 트랜지스터들을 더 포함하고,

상기 도트 픽셀들은 인치당 220개 이상이 배치된 액정 표시 장치.

청구항 11

삭제

청구항 12

제1 항에 있어서,

각 절개 패턴이 상기 각 서브 픽셀의 중앙에 대응하여 홀 형상으로 절개된 절개 패턴들을 포함하는 액정 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들;

각 박막 트랜지스터가 상기 각 서브 픽셀을 턴온시키는 박막 트랜지스터들;

각 콘택홀이 상기 각 박막 트랜지스터와 상기 각 서브 픽셀의 픽셀 전극을 전기적으로 연결하고 상기 각 서브 픽셀의 중앙에 위치하는 콘택홀들;

상기 각 서브 픽셀의 픽셀 전극과 대향하는 공통 전극으로서, 각 절개 패턴이 상기 각 서브 픽셀의 중앙에 대응하여 절개되고 상기 각 콘택홀에 대응하는 위치에 형성된 절개 패턴들을 포함하는 공통 전극;

상기 각 서브 픽셀의 픽셀 전극에 데이터 전압을 인가하는 데이터 드라이버; 및

상기 각 서브 픽셀의 픽셀 전극과 상기 공통 전극 사이에 개재된 액정 분자들을 포함하고,

상기 도트 픽셀들은 교대로 턴-온되는 정극성의 도트 픽셀과 부극성의 도트 픽셀로 구분되어 반전 구동되고,

상기 액정 분자들이 풀리 턴-온되는 최대 액정 전압은 상기 데이터 전압의 최고값보다 작은 값을 가지며,

상기 공통 전극에 인가되는 공통 전압은 상기 최대 액정 전압보다 작은 스윙 전압을 가지는 액정 표시 장치.

청구항 17

제16 항에 있어서,

상기 스윙 전압은 상기 최대 액정 전압에서 상기 데이터 전압의 최고값과 상기 최대 액정 전압의 차를 뺀 값과 같은 액정 표시 장치.

청구항 18

제16 항에 있어서,
 상기 각 서브 픽셀의 픽셀 전극과 스토리지 커패시터를 형성하는 스토리지 전극을 더 포함하고,
 상기 각 스토리지 전극에는 상기 공통 전압과 같은 파형의 스토리지 전압이 인가되는 액정 표시 장치.

청구항 19

제16 항에 있어서,
 상기 정극성의 도트 픽셀과 상기 공통 전극 사이의 전압과 상기 부극성의 도트 픽셀과 상기 공통 전극 사이의 전압을 상기 최대 액정 전압으로 유지하기 위하여,
 상기 정극성의 도트 픽셀이 턴-온되고 상기 부극성의 도트 픽셀이 턴-오프되는 제1 구간에서, 상기 정극성의 도트 픽셀에 인가되는 전압이 상기 데이터 전압의 최고값을 가지고,
 상기 부극성의 도트 픽셀이 턴-온되고 상기 정극성의 도트 픽셀이 턴-오프되는 제2 구간에서, 상기 부극성의 도트 픽셀에 인가되는 전압이 상기 데이터 전압의 최저값을 가지며,
 상기 공통 전압은 상기 제1 구간에서 제1 레벨을 가지고, 상기 제2 구간에서 상기 제1 레벨보다 상기 스윙 전압만큼 큰 제2 레벨을 가지는 액정 표시 장치.

청구항 20

제19 항에 있어서,
 접지 레벨과 상기 제1 레벨의 차는, 상기 데이터 전압이 상기 정극성의 도트 픽셀 또는 상기 부극성의 도트 픽셀에 인가할때 발생하는 킥백 전압의 크기보다 작은 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 개구율이 향상되고 고해상도를 가지는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 픽셀 전극이 구비된 제1 표시판, 공통 전극이 구비된 제2 표시판, 제1 표시판과 제2 표시판 사이에 주입되고 유전을 이방성(dielectric anisotropy)의 액정 분자들을 가지는 액정 패널을 포함한다. 픽셀 전극과 공통 전극 사이에 전계를 형성하고, 이 전계의 세기를 조절하여, 액정 패널을 투과하는 빛의 양을 제어함으로써, 원하는 영상을 표시한다.

[0003] 수직 배향 모드 액정 표시 장치는 전계가 인가되지 않은 상태에서 액정 분자의 주 방향자가 제1 표시판과 제2 표시판에 대하여 수직을 이루도록 배열한 것이다. 수직 배향 모드는 대비비(contrast ratio)가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 그리고, 각 도트 픽셀을 다수의 서브 픽셀로 분할하고 각 서브 픽셀에 스위칭 소자를 형성하고 각 서브 픽셀마다 별도의 전압을 인가하는 방법이 제시되고 있다.

[0004] 각 도트 픽셀을 다수의 서브 픽셀로 분할하는 수직 배향 모드 액정 표시 장치에 있어서, a-Si 박막 트랜지스터를 스위칭 소자로 사용하면서, 개구율이 향상되고 고해상도를 가지는 액정 표시 장치가 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 개구율이 향상되고 고해상도를 가지는 액정 표시 장치를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0007] 상기 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 일 태양(aspect)은, 각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들을 포함하는 제1 표시판과, 각 절개 패턴이 각 서브 픽셀의 중앙에 대응하여 절개된 절개 패턴들을 포함하는 제2 표시판과, 제1 표시판과 제2 표시판 사이에 개재된 액정 분자들을 포함한다.
- [0008] 상기 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 다른 태양은, 각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들과, 각 박막 트랜지스터가 각 서브 픽셀을 턴온시키는 박막 트랜지스터들과, 각 콘택홀이 각 박막 트랜지스터와 각 서브 픽셀의 픽셀 전극을 전기적으로 연결하는 콘택홀들을 포함한다. 각 콘택홀은 각 서브 픽셀의 중앙에 위치한다.
- [0009] 상기 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 또 다른 태양은, 각 도트 픽셀이 2x2 행렬의 형태로 배열된 서브 픽셀들로 분할된 도트 픽셀들과, 각 서브 픽셀의 픽셀 전극과 대향하는 공통 전극과, 각 서브 픽셀의 픽셀 전극에 데이터 전압을 인가하는 데이터 드라이버와, 각 서브 픽셀의 픽셀 전극과 공통 전극 사이에 개재된 액정 분자들을 포함한다. 공통 전극은 각 절개 패턴이 각 서브 픽셀의 중앙에 대응하는 절개 패턴들을 포함한다. 도트 픽셀들은 교대로 턴-온되는 정극성의 도트 픽셀과 부극성의 도트 픽셀로 구분되어 반전 구동된다. 액정 분자들이 폴리 턴-온되는 최대 액정 전압은 데이터 전압의 최고값보다 작은 값을 가지며, 공통 전극에 인가되는 공통 전압은 최대 액정 전압보다 작은 스윙 전압을 가진다.
- [0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0012] 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0013] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.
- [0014] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0015] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.
- [0017] 도 1을 참조하면, 액정 표시 장치(1)는 액정 패널(300), 신호 제어부(600), 게이트 드라이버(400), 데이터 드라이버(500), 전압 생성부(650), 및 계조 전압 발생부(700)를 포함할 수 있다.

- [0018] 액정 패널(300)은 각 도트 픽셀(Dot PX)이 다수의 서브 픽셀(R_PX, G_PX, B_PX, 및 W_PX)을 포함하는 다수의 도트 픽셀(Dot PX)과 다수의 게이트 라인(G1~G2n, n은 자연수)과 다수의 데이터 라인(D1~D2n)를 포함할 수 있다.
- [0019] 각 도트 픽셀(Dot PX)은 2x2 행렬의 형태로 배열된 서브 픽셀들(R_PX, G_PX, B_PX, 및 W_PX)로 분할될 수 있다. 각 도트 픽셀(Dot PX)은 도시한 바와 같이, 특히, R 서브 픽셀(R_PX), G 서브 픽셀(G_PX), B 서브 픽셀(B_PX), 및 W 서브 픽셀(W_PX)로 분할될 수 있다.
- [0020] 게이트 라인(G1~G2n)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~D2n)은 대략 열 방향으로 연장되어 서로가 거의 평행하다. 각 게이트 라인(G1~Gn)과 각 데이터 라인(D1~Dm)이 교차하는 영역에 각 서브 픽셀(R_PX, G_PX, B_PX, 및 W_PX)이 정의될 수 있다. 게이트 드라이버(400)으로부터 각 게이트 라인(G1~G2n)에 각 게이트 신호가 입력되고, 데이터 드라이버(500)으로부터 각 데이터 라인(D1~D2n)에 각 데이터 전압이 입력된다. 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)은 각 데이터 전압에 응답하여 영상을 표시한다.
- [0021] 신호 제어부(600)는 제1 영상 신호(RGB)와 이들의 표시를 제어하는 외부 제어 신호들(DE, Vsync, Hsync, Mclk)를 입력받아, 제2 영상 신호(IDAT), 게이트 제어 신호(CONT1), 및 데이터 제어 신호(CONT2)를 출력할 수 있다.
- [0022] 구체적으로, 신호 제어부(600)는 제1 영상 신호(R, G, B)를, 제2 영상 신호(IDAT)로 변환하여 출력할 수 있다. 제2 영상 신호(IDAT)는 표시 품질을 향상시키기 위해서 제1 영상 신호(R, G, B)를 변환한 신호일 수 있다. 제2 영상 신호(IDAT)는 예를 들어, 오버 드라이빙(overdriving) 구동을 위해서 제1 영상 신호(R, G, B)를 변환한 신호일 수 있다. 오버 드라이빙 구동에 대한 상세한 설명은 생략한다.
- [0023] 신호 제어부(600)는 또한, 외부로부터 외부 제어 신호들(Vsync, Hsync, Mclk, DE)을 입력받아 데이터 제어 신호(CONT1) 및 게이트 제어 신호(CONT2)를 생성할 수 있다. 외부 제어 신호의 예로는 데이터 인에이블 신호(DE), 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk) 등이 있다. 게이트 제어 신호(CONT2)는 게이트 드라이버(400)의 동작을 제어하기 위한 신호이고, 데이터 제어 신호(CONT1)는 데이터 드라이버(500)의 동작을 제어하기 위한 신호이다.
- [0024] 게이트 드라이버(400)는 신호 제어부(600)로부터 게이트 제어 신호(CONT1)를 제공받아 게이트 신호를 게이트 라인(G1~G2n)에 인가할 수 있다. 여기서 게이트 신호는 전압 생성부(650)로부터 제공된 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어질 수 있다. 게이트 제어 신호(CONT1)는 게이트 드라이버(400)의 동작을 제어하기 위한 신호로써, 게이트 드라이버(400)의 동작을 개시하는 수직 시작 신호, 게이트 온 전압의 출력 시기를 결정하는 게이트 클럭 신호 및 게이트 온 전압의 펄스 폭을 결정하는 출력 인에이블 신호 등을 포함할 수 있다.
- [0025] 데이터 드라이버(500)는 신호 제어부(600)로부터 제2 영상 신호(IDAT)와 데이터 제어 신호(CONT2)를 제공받아, 데이터 라인(D1~D2n)을 통해 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)에 데이터 전압을 인가할 수 있다. 데이터 전압은 제2 영상 신호(IDAT)에 대응하는 전압으로서, 계조 전압 발생부(700)로부터 제공된 전압일 수 있다. 즉, 제2 영상 신호(IDAT)가 가지는 계조에 따라서 계조 전압 발생부(700)의 구동 전압(AVDD)를 분배한 전압일 수 있다. 따라서, 데이터 전압은 최소값이 0이고 최대값이 계조 전압 발생부(700)의 구동 전압(AVDD)일 수 있다.
- [0026] 데이터 제어 신호(CONT1)는 데이터 드라이버(500)의 동작을 제어하는 신호를 포함한다. 데이터 드라이버(500)의 동작을 제어하는 신호는 데이터 드라이버(500)의 동작을 개시하는 수평 개시 신호 및 영상 데이터 전압의 출력을 지시하는 출력 지시 신호 등을 포함할 수 있다.
- [0027] 전압 생성부(650)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 생성하여 게이트 드라이버(400)에 제공할 수 있다. 전압 생성부(650)는 또한, 계조 전압 발생부(700)의 구동 전압(AVDD)을 생성하여 계조 전압 발생부(700)에 제공할 수 있다. 전압 생성부(650)는 또한, 공통 전압(Vcom)과 스토리지 전압(Vst)를 생성하여 액정 패널(300)의 공통 전극(도 2 및 도 3의 CE 참조)과 스토리지 전극(도 2 및 도 3의 SE 참조)에 각각 제공할 수 있다.
- [0028] 계조 전압 발생부(700)는 제2 영상 신호(IDAT)가 가지는 계조에 따라서, 구동 전압(AVDD)을 분배한 전압을 제공할 수 있다. 계조 전압 발생부(700)는 구동 전압(AVDD)이 인가되는 노드와 그라운드 사이에 직렬로 연결된 복수의 저항을 포함하여, 상기 구동 전압(AVDD)의 전압 레벨을 분배하여 다수의 계조 전압을 생성할 수 있다. 계조

전압 발생부(700)의 내부 회로는 이에 한정되지 않고, 다양하게 구현될 수 있다.

- [0029] 도 2는 도 1의 액정 패널이 포함하는 한 도트 픽셀(Dot PX)의 등가 회로도이고, 도 3은 도 2의 한 도트 픽셀(Dot PX)이 포함하는 한 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 등가 회로도이다.
- [0030] 도 2를 참조하면, 각 도트 픽셀(Dot PX)은 2x2 행렬의 형태로 배열된 서브 픽셀들(R_PX, G_PX, B_PX, 및 W_PX)로 분할될 수 있다. 인접한 두 게이트 라인, 즉 제1 게이트 라인(GLa, a = 1, 3, 5, ~ , 2n-1)와 제2 게이트 라인(GLb, b = 2, 4, 6, ~ , 2n)과, 인접한 두 데이터 라인, 즉, 제1 데이터 라인(DLa)과 제2 데이터 라인(DLb)이 교차하면서 형성되는 네 영역에 각 서브 픽셀들(R_PX, G_PX, B_PX, 및 W_PX)이 배치될 수 있다.
- [0031] 각 도트 픽셀(Dot PX)은 도시한 바와 같이, 특히, R 서브 픽셀(R_PX), G 서브 픽셀(G_PX), B 서브 픽셀(B_PX), 및 W 서브 픽셀(W_PX)로 분할될 수 있다. 이와 같이, 각 도트 픽셀(Dot PX)이 W 서브 픽셀(W_PX)을 포함함으로써 휘도가 향상될 수 있다. 각 도트 픽셀(Dot PX)이 R 서브 픽셀(R_PX), G 서브 픽셀(G_PX), B 서브 픽셀(B_PX)만을 포함하는 경우를 비교예로 하고, 본 실시예와 비교예가 풀 화이트를 표시하는 경우를 예를 들어, 이를 구체적으로 설명한다.
- [0032] 비교예의 경우, R 서브 픽셀(R_PX), G 서브 픽셀(G_PX), B 서브 픽셀(B_PX)은 풀 화이트에서 각 서브 픽셀(R_PX, G_PX, 또는 B_PX)로 입사되는 빛의 약 1/3만을 통과시킬 수 있다. 도트 픽셀(Dot PX)의 개구부의 면적을 1이라고 하고, 각 서브 픽셀(R_PX, G_PX, 또는 B_PX)이 개구부의 1/3씩을 차지한다고 하면, R 서브 픽셀(R_PX)이 통과시키는 빛의 양은 $1/3 \times 1/3 = 1/9$ 이다. G 서브 픽셀(G_PX), B 서브 픽셀(B_PX)도 각각 1/9을 통과시킨다. 따라서, 비교예에서 도트 픽셀(Dot PX)이 통과시키는 빛의 양은 $1/9 + 1/9 + 1/9 = 1/3$ 이 된다.
- [0033] 본 실시예에서, 도트 픽셀(Dot PX)의 개구부의 면적을 1이라고 하고, 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)이 개구부의 1/4씩을 차지한다고 하면, R 서브 픽셀(R_PX)이 통과시키는 빛의 양은 $1/4 \times 1/3 = 1/12$ 이다. G 서브 픽셀(G_PX), B 서브 픽셀(B_PX)도 각각 1/12을 통과시킨다. 그런데, W 서브 픽셀(W_PX)은 입사되는 빛의 전부를 통과시킬 수 있으므로, W 서브 픽셀(W_PX)이 통과시키는 빛의 양은 $1/4 \times 1 = 1/4$ 이다. 따라서, 본 실시예에서 도트 픽셀(Dot PX)이 통과시키는 빛의 양은 $1/12 + 1/12 + 1/12 + 1/4 = 1/2$ 이다.
- [0034] 즉 도트 픽셀(Dot PX)이 풀 화이트를 표시하는 경우, 비교예에서 통과시키는 빛의 양인 1/3을 기준으로, 본 실시예에서 통과시키는 빛의 양인 1/2을 비교하면 휘도가 50% 향상될 수 있다.
- [0035] 도 2 및 도 3을 참조하면, 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX) 예를 들면 i번째($i=1\sim 2n$) 게이트 라인(Gi)과 j번째($j=1\sim 2n$) 데이터 라인(Dj)에 연결된 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)은, 게이트 라인(Gi) 및 데이터 라인(Dj)에 연결된 스위칭 소자(Q)와, 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 스토리지 커패시터(storage capacitor)(Cst)를 포함할 수 있다. 액정 커패시터(Clc)는 두 전극 예를 들어, 도시한 바와 같이 제1 표시판(100)의 픽셀 전극(PE)과, 제2 표시판(200)의 공통 전극(CE) 및 상기 두 전극 사이에 개재된 액정 분자들(150)로 이루어질 수 있다. 스토리지 전극(SE)은 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)과 스토리지 커패시터(Cst)를 형성할 수 있다. 한편, 공통 전극(CE)의 일부에는 컬러 필터(CF)가 형성되어 있다.
- [0036] 도 4 및 도 5를 참조하여, 도 1의 액정 패널(300)을 보다 상세하게 설명한다. 도 4는 도 1의 액정 패널이 포함하는 한 도트 픽셀(Dot PX)의 레이아웃이고, 도 5는 도 4의 한 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 일부를 절단선 V-V'을 따라 절단한 단면도이다.
- [0037] 도 4 및 도 5를 참조하면, 액정 패널(300)은 박막 트랜지스터 어레이 등이 형성된 제1 표시판(100), 제1 표시판(100)과 대향하며 공통 전극(CE)이 형성된 제2 표시판(200) 및 제1 표시판(100)과 제2 표시판(200) 사이에 개재된 액정 분자층(150)을 포함한다.
- [0038] 먼저 제1 표시판(100)에 대하여 설명하면, 투명한 유리 등으로 이루어진 제1 절연 기판(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트 라인(GLa 및 GLb)이 형성되어 있다. 게이트 라인(GLa 및 GLb)은 한 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)에 대하여 하나씩 할당되어 있으며, 게이트 라인(GLa 및 GLb)에는 돌출한 게이트 전극(26)이 형성되어 있다. 이러한 게이트 라인(GLa 및 GLb)과 게이트 전극(26)을 게이트 배선(GLa, GLb, 26)이라 한다.
- [0039] 절연 기판(10) 위에는 또한, 스토리지 라인(SLa, SLb)이 뻗어 있을 수 있다. 스토리지 라인(SLa, SLb)은 게이트 라인(GLa 및 GLb)과 실질적으로 평행하게 가로 방향으로 뻗어 있고, 스토리지 전극(SE)에 스토리지 전압을 전달한다. 스토리지 전극(SE)은 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)과 스토리지 커패시터

(Cst)를 형성할 수 있다. 스토리지 라인(SLa, SLb)과 스토리지 전극(SE)을 스토리지 배선(SLa, SLb, SE)이라 한다.

- [0040] 스토리지 전극(SE)은 도시한 바와 같이 공통 전극(CE)에 형성된 절개 패턴(93)에 대응하는 위치에 형성될 수 있다. 그런데, 공통 전극(CE)에 형성된 절개 패턴(93)에 해당하는 영역은 후술하는 바와 같이 액정 패널(300)의 개구율에 영향을 미치지 아니한다. 스토리지 전극(SE)을 개구율에 영향을 미치지 아니하는 각 절개 패턴(93)에 대응하는 위치에 형성함으로써, 스토리지 전극(SE)이 초래할 수 있는 개구율 감소를 줄일 수 있다.
- [0041] 특히, 스토리지 전극(SE)은 게이트 전극(26)을 형성하는 금속층의 일부가 콘택홀(76) 아래에 중첩되도록 배치되어 형성될 것일 수 있다.
- [0042] 또한, 스토리지 전극(SE)은 각 절개 패턴(93)의 크기와 같거나 도시한 바와 같이 다소 작게 형성할 수 있다. 이와 같이, 스토리지 전극(SE)을 각 절개 패턴(93)와 유사하게 만들어서, 개구율 감소를 줄이면서도, 소정 크기 이상의 스토리지 전극(SE) 면적을 확보할 수 있다. 또는 도시한 바와는 달리, 스토리지 라인(SLa, SLb)과 스토리지 전극(SE)이 제거될 수도 있다.
- [0043] 게이트 배선(GLa, GLb, 26) 및 스토리지 배선(SLa, SLb, SE)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(GLa, GLb, 26)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(GLa, GLb, 26)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.
- [0044] 게이트 라인(GLa 및 GLb) 위에는 질화규소(SiNx), 산화규소(SiOx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.
- [0045] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 액티브층(40)이 형성되어 있다. 액티브층(40)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 도시한 바와 같이 섬모양으로 형성될 수 있다.
- [0046] 각 액티브층(40)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 오믹 콘택층(ohmic contact layer)(55, 56)이 형성되어 있다. 오믹 콘택층(55, 56)은 쌍(pair)을 이루어 액티브층(40) 위에 위치한다.
- [0047] 오믹 콘택층(55, 56) 및 게이트 절연막(30) 위에는 데이터 라인(DLa 및 DLb)과, 데이터 라인(DLa 및 DLb)에 대응하는 드레인 전극(66)이 형성되어 있다.
- [0048] 데이터 라인(DLa 및 DLb)은 주로 세로 방향으로 뻗어 게이트 라인(GLa 및 GLb)과 교차하며 데이터 전압을 전달한다. 데이터 라인(DLa 및 DLb)에는 드레인 전극(66)을 향하여 뻗은 소스 전극(65)이 형성되어 있다. 데이터 라인(DLa 및 DLb)은 픽셀 전극(PE)에 데이터 신호를 전달한다. 이러한 데이터 라인(DLa 및 DLb)과, 소스 전극(65)과, 드레인 전극(66)을 데이터 배선이라고 한다.
- [0049] 데이터 배선(DLa, DLb, 65, 66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0050] 소스 전극(65)은 액티브층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하며 액티브층(40)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 오믹 콘택층(55, 56)은 그 하부의 액티브층(40)과, 그 상부의 소스 전극(65) 및 드레인 전극(66) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0051] 한편, 드레인 전극(66)은 일단이 소스 전극(65)과 대향하며 타단은 넓게 형성되어 후술할 픽셀 전극(PE)과 전기

적으로 연결된다.

- [0052] 데이터 배선(DLa, DLb, 65, 66)과 노출된 액티브층(40) 위에는 보호막(passivation layer)(70)이 형성되어 있다. 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 액티브층(40) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 나아가 보호막(70)으로는 적색, 녹색 또는 청색의 컬러 필터층이 사용될 수도 있다.
- [0053] 보호막(70)에는 콘택홀(contact hole)(76)이 형성되어 있으며, 픽셀 전극(PE)은 콘택홀(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 데이터 전압 및 제어 전압을 인가 받을 수 있다. 즉 각 콘택홀(76)은 각 박막 트랜지스터(Q)와 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)을 전기적으로 연결할 수 있다.
- [0054] 각 콘택홀(76)은 도시한 바와 같이, 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 중앙에 위치할 수 있다. 또는, 각 콘택홀(76)은 도시한 바와 같이 공통 전극(CE)에 형성된 절개 패턴(93)에 대응하는 위치에 형성될 수 있다. 그런데, 공통 전극(CE)에 형성된 절개 패턴(93)에 해당하는 영역은 후술하는 바와 같이 액정 패널(300)의 개구율에 영향을 미치지 아니한다. 콘택홀(76)을 개구율에 영향을 미치지 아니하는 각 절개 패턴(93)에 대응하는 위치에 형성함으로써, 콘택홀(76)이 초래할 수 있는 개구율 감소를 줄일 수 있다.
- [0055] 또한, 콘택홀(76)은 각 절개 패턴(93)의 크기와 같거나 도시한 바와 같이 다소 작게 형성할 수 있다.
- [0056] 보호막(70) 위에는 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 모양을 따라 픽셀 전극(PE)이 형성되어 있다. 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)은 원형, 사각형 등 다양한 형상으로 형성될 수 있다. 픽셀 전극(PE)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어질 수 있다.
- [0057] 픽셀 전극(PE)은 특히, 정사각형 모양일 수 있다. 그리고, 픽셀 전극(PE)의 상하좌우에 후술할 절개 패턴(93)을 중심으로 대칭인 형상인 개구부가 형성될 수 있다. 이와 같이, 픽셀 전극(PE)의 상하좌우에 각 절개 패턴(93)을 중심으로 대칭인 형상인 개구부가 형성됨으로써, 전방위로 양호한 시야각을 구현할 수 있다. 이에 대해서는 후술한다.
- [0058] 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)은 모서리가 라운드 형상일 수 있다. 이와 같이, 픽셀 전극(PE)의 모서리를 라운드 형상으로 형성하면, 액정 분자들(150)이 틸트(tilt)되는 것의 연속성을 확보할 수 있다.
- [0059] 다음으로, 제2 표시판(200)에 대해 설명한다. 투명한 유리 등으로 이루어진 제2 절연 기판(90) 위에 빛샘을 방지하고 화소 영역을 정의하는 블랙 매트릭스(BM)가 형성되어 있다. 블랙 매트릭스(BM)는 게이트 라인(GLa 및 GLb) 및 데이터 라인(DLa 및 DLb)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분에 형성될 수 있다. 블랙 매트릭스(BM)는 픽셀 전극(PE)과 박막 트랜지스터 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 블랙 매트릭스(BM)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.
- [0060] 그리고 블랙 매트릭스(BM) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러 필터(CF), 및 화이트 필터가 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)에 대응하는 위치에 배열될 수 있다. 화이트 필터는 투명한 유기막으로 형성될 수 있으며, 별도의 유기막이 형성되지 않고 컬러 유기막이 제거된 형태로서 빛이 그대로 투과되는 영역이 될 수도 있다. 이러한 컬러 필터(CF) 및 화이트 필터 위에는 이들의 단차를 평탄화 하기 위한 오버코트층(overcoat layer)(미도시)이 형성될 수 있다.
- [0061] 오버코트층(미도시) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(CE)이 형성되어 있다. 공통 전극(CE)은 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 픽셀 전극(PE)과 대향하며, 공통 전극(CE)과 픽셀 전극(PE) 사이에는 액정 분자층(150)이 개재된다. 공통 전극(CE) 위에는 액정 분자들(150)을 배향하는 배향막(미도시)이 도포될 수 있다.
- [0062] 공통 전극(CE)은 각 절개 패턴(93)이 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)의 중앙에 대응하는 절개 패턴들을 포함할 수 있다. 각 절개 패턴(93)은 특히 홀 형상(hole)으로 절개될 수 있다. 홀 형상이란 공통 전극(CE)

E)의 일부분이 패곡선으로 만입된 부분을 말한다. 이와 같은 절개 패턴(93)의 단면 형상은 사각형, 원형 등 다양하게 형성될 수 있다.

[0063] 절개 패턴(93)은 픽셀 전극(PE)과 공통 전극(CE) 사이에 전압이 인가될 때, 전계를 변형하여 액정 분자들(150)의 움직임에 방향성을 부여한다. 공통 전극(CE) 및 픽셀 전극(PE)에 전압이 인가되면, 절개 패턴(93)에는 전압이 직접 인가되지 않기 때문에 절개 패턴(93)을 중심으로 측방향 전계가 형성된다. 따라서, 액정 분자들(150)은 절개 패턴(93)을 향하여 기울어지게 되어, 전체적으로 절개 패턴(93)을 향하여 방사상으로 기울어지는 형태가 된다. 그리고 이와 같은 이유로 절개 패턴(93)이 형성된 위치에 대응하여 배치된 스토리지 전극(SE) 및/또는 콘택홀(76)은 액정 패널(300)의 개구율에 영향을 미치지 아니한다.

[0064] 이와 같은 구조의 제1 표시판(100)과 제2 표시판(200)을 정렬하여 결합하고 그 사이에 액정 분자들(150)을 주입하여 수직 배향하면 액정 패널(300)의 기본 구조가 이루어진다.

[0065] 액정 분자들(150)은 픽셀 전극(PE)과 공통 전극(CE) 사이에 전계가 인가되지 않은 상태에서 그 방향자(director)가 제1 표시판(100)과 제2 표시판(200)에 대하여 수직을 이루도록 배향되어 있고, 음의 유전율 이방성을 가진다. 제1 표시판(100)과 제2 표시판(200) 사이에 전계를 인가하면 대부분의 영역에서는 제1 표시판(100)과 제2 표시판(200)에 수직인 전계가 형성되지만 공통 전극(CE)의 절개 패턴(93) 근처에서는 수평 전계가 형성된다. 이러한 수평 전계는 각 도메인의 액정 분자들(150)의 배향을 도와주는 역할을 한다.

[0066] 제1 표시판(100)과 제2 표시판(200) 사이에 전계를 인가하면, 액정 분자들(150)이 음의 유전율 이방성을 가지므로, 각 서브 픽셀(R_PX, G_PX, B_PX, 또는 W_PX)에서 액정 분자들(150)은 절개 패턴(93)을 중심으로 양쪽에서 액정 분자의 기울어지는 방향이 반대로 된다. 한편 전술한 바와 같이, 픽셀 전극(PE)은 특히, 정사각형 모양일 수 있고, 픽셀 전극(PE)의 상하좌우에 후술할 절개 패턴(93)을 중심으로 대칭인 형상인 개구부가 형성될 수 있다.

[0067] 따라서 액정 분자들(150)은 게이트 라인(GLa 및 GLb)과 실질적으로 45도 또는 -45도를 이루며 절개 패턴(93)을 중심으로 전방위에서 대칭적으로 기울어지게 된다. 이와 같이 절개 패턴(93)을 중심으로 전방위에서 대칭적으로 기울어지는 액정 분자들(150)에 의해 광학적 특성이 서로 보상되어 전방위로 양호한 시야각을 구현할 수 있다.

[0068] 한편, 본 발명의 일 실시예에서 각 박막 트랜지스터(Q)는 a-Si 박막 트랜지스터일 수 있다. 액정 패널(300)의 해상도를 높이려면, 인치당 각 도트 픽셀(Dot PX)이 차지하는 면적을 줄여야 한다. 그런데 본 발명의 일 실시예에 의하면 인치당 각 도트 픽셀(Dot PX)이 차지하는 면적을 줄이더라도, 스토리지 전극(SE)이나 콘택홀(76)에 의한 개구율 감소를 줄일 수 있고, 또한 전방위로 양호한 시야각을 구현할 수 있다. 따라서 해상도를 높여서 각 도트 픽셀(Dot PX)이 차지하는 면적이 줄어들더라도, 개구율이 향상되고 양호한 시야각을 가지는 액정 패널(300)을 구현할 수 있다. 즉 본 발명의 일 실시예에 의하면, 도트 픽셀(Dot PX)들이 인치당 220개 이상이 배치된, 예를 들어, 220ppi(pixels per inch) 이상 나아가 300ppi 이상의 초소형 픽셀 사이즈를 가지는 a-Si 박막 트랜지스터 액정 표시 장치를 구현할 수 있다.

[0069] 도 6은 도 1의 액정 패널을 반전 구동하는 방법을 도시한 도면이다.

[0070] 도 6에서 각 행들(ROW1~ROWn)과 각 열들(COL1~COLn), 및 이들이 교차하는 영역에 도시된 도트 픽셀(Dot PX)들은, 도 1의 액정 패널(300)이 포함하는 도트 픽셀(Dot PX) 어레이를 표현하고 있다. 그리고, 각 도트 픽셀(Dot PX)이 포함하는 네 개의 사각형들은 각 서브 픽셀(R_PX, G_PX, B_PX, 및 W_PX)을 나타낸다. 또한, 네 개의 사각형에 표시된 +부호는 각 서브 픽셀(R_PX, G_PX, B_PX, 및 W_PX)에 정극성 전압이 인가됨을 나타내고, -부호는 각 서브 픽셀(R_PX, G_PX, B_PX, 및 W_PX)에 부극성 전압이 인가됨을 나타낸다. 여기서, 정극성 전압(도 7의 pV 참조)이라 함은 공통 전극에 인가되는 공통 전압(Vcom)보다 높은 전압을 말하며, 부극성 전압(도 7의 nV 참조)은 공통 전압(Vcom)보다 낮은 전압을 말한다.

[0071] 도트 픽셀(Dot PX)들은 교대로 턴-온되는 정극성의 도트 픽셀(pPX)과 부극성의 도트 픽셀(nPX)로 구분되어 반전 구동될 수 있다. 그리고, 정극성의 도트 픽셀(pPX)이 포함하는 서브 픽셀들(R_PX, G_PX, B_PX, 및 W_PX)과, 부극성의 도트 픽셀(nPX)이 포함하는 서브 픽셀들(R_PX, G_PX, B_PX, 및 W_PX)은 각각 동일한 극성을 가질 수 있다.

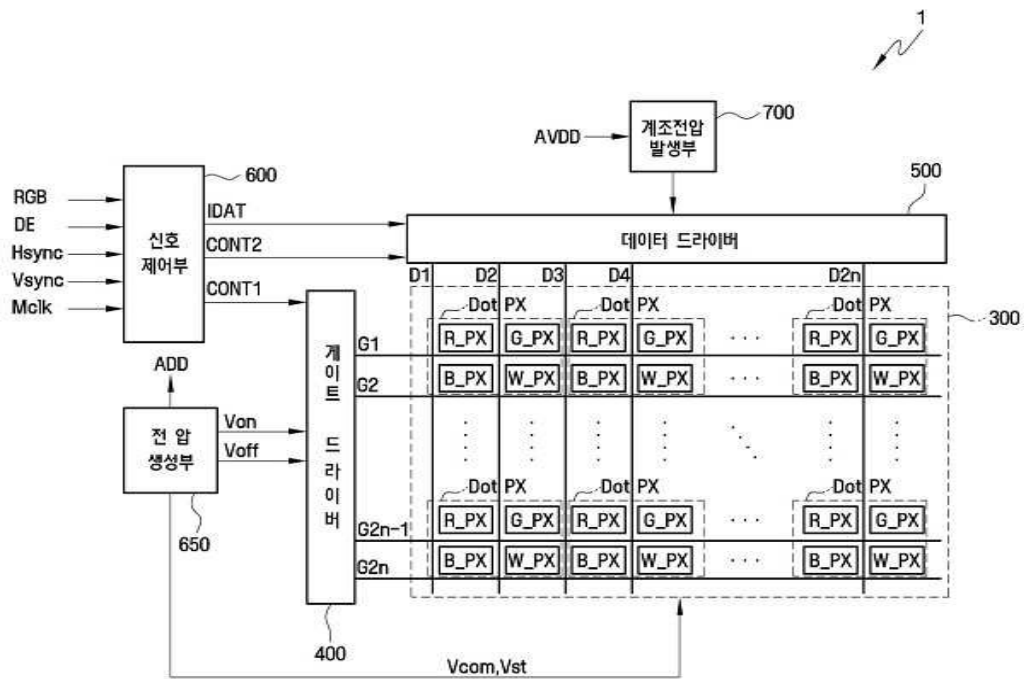
[0072] 액정 패널(300)은 예를 들어, 한 프레임에서 홀수번째 행을 따라 형성된 각 도트 픽셀(Dot PX)에 동일한 극성의 데이터 전압을 인가하고, 다음 프레임에서 짝수번째 행을 따라 형성된 각 도트 픽셀(Dot PX)에 반대 극성의 데이터 전압을 인가하는 방식으로 구동될 수 있다.

- [0073] 즉, 한 프레임에서 도 6에 도시된 바와 같은 극성 배치를 가지는 데이터 전압을 인가하고 다음 프레임에서 도 6에 도시된 바와 같은 극성 배치와 반대되는 극성 배치를 가지는 데이터 전압을 인가한다. 이와 같은 구동에 의하여, 한 프레임에 인가된 데이터 전압과 다음 프레임에 인가된 데이터 전압이 행을 따라 배치된 도트 픽셀(Dot PX)들 단위로 반전되는 반전 구동이 이루어질 수 있다.
- [0074] 도 7은 도 6에서 정극성의 도트 픽셀과 부극성의 도트 픽셀을 구동하는 방법을 설명하기 위한 타이밍도이다.
- [0075] 도 7은 액정 분자들(150)이 가지는 최대 액정 전압(V_{cl_max})이 데이터 전압의 최고값과 같은 경우, 도 6의 정극성의 도트 픽셀(pPX)과 부극성의 도트 픽셀(nPX)을 구동하는 방법을 나타낸다. 여기서 최대 액정 전압(V_{cl_max})은 액정 분자들(150)이 폴리 턴-온되는 전압값을 말한다. 도 1을 참조하여 전술한 바와 같이, 데이터 드라이버(500)가 제공하는 데이터 전압의 최소값이 0이고 최고값이 게조 전압 발생부(700)의 구동 전압(AVDD)인 경우를 예로 들어 설명한다. 설명의 편의상 데이터 전압의 최고값, 즉 게조 전압 발생부(700)의 구동 전압(AVDD)을 5V라고 가정하고 설명한다.
- [0076] 도트 픽셀(Dot PX)들은 교대로 턴-온되는 정극성의 도트 픽셀(pPX)과 부극성의 도트 픽셀(nPX)로 구분되어 반전 구동될 수 있다. 제1 구간은 정극성의 도트 픽셀(pPX)이 턴-온되고 부극성의 도트 픽셀(nPX)이 턴-오프되는 구간이다. 제2 구간은 부극성의 도트 픽셀(nPX)이 턴-온되고 정극성의 도트 픽셀(pPX)이 턴-오프되는 구간이다. 이하, 정극성의 도트 픽셀(pPX)과 공통 전극(CE) 사이의 액정 분자와 부극성의 도트 픽셀(nPX)과 공통 전극(CE) 사이의 액정 분자를 폴리-턴온시키는 방법을 예로 들어 설명한다.
- [0077] 제1 구간에서 정극성의 도트 픽셀(pPX)에 데이터 전압의 최고값인 5V가 인가되고, 부극성의 도트 픽셀(nPX)은 턴-오프된다. 그리고, 제2 구간에서 정극성의 도트 픽셀(pPX)은 턴-오프되고, 부극성의 도트 픽셀(nPX)에 데이터 전압의 최소값인 0V가 인가된다.
- [0078] 그런데, 본 발명의 일 실시예에 의하면, 스토리지 커패시터(Cst)의 값이 작아지거나 또는 스토리지 커패시터(Cst)가 제거될 수 있다. 이 경우 킥백 전압(Vkb)이 커질 수 있다. 이하, 설명의 편의상 예를 들어 킥백 전압(Vkb)이 2V라고 가정한다. 이 킥백 전압(Vkb)에 의해서 제1 구간에서 정극성의 도트 픽셀(pPX)의 전압 레벨(pV)은 5V에서 2V가 빠진 3V가 되고, 제2 구간에서 부극성의 도트 픽셀(nPX)의 전압 레벨(nV)은 0V에서 2V가 빠진 -2V가 된다.
- [0079] 한편 공통 전압(Vcom)은 제1 구간과 제2 구간에서 제1 레벨(VL1)과 제2 레벨(VL2)로 스위칭하면서 인가된다. 제1 레벨(VL1)과 제2 레벨(VL2)의 차인 스위칭 전압(Vswing)을 데이터 전압의 최고값, 즉 게조 전압 발생부(700)의 구동 전압(AVDD)인 5V로 하여서 인가한다.
- [0080] 공통 전압(Vcom)의 제1 레벨(VL1)을 접지 레벨(0V)에서 킥백 전압(Vkb)을 뺀 -2V로 하여서 인가하고, 공통 전압(Vcom)의 제2 레벨(VL2)을 제1 레벨(VL1)에서 데이터 전압의 최고값, 즉 게조 전압 발생부(700)의 구동 전압(AVDD)인 5V를 더하여 인가한다.
- [0081] 그러면, 정극성의 도트 픽셀(pPX)과 공통 전극(CE) 사이의 전압과, 부극성의 도트 픽셀(nPX)과 공통 전극(CE) 사이의 전압을, 제1 및 제2 구간에서 모두 최대 액정 전압(V_{cl_max})으로 유지할 수 있다. 따라서, 정극성의 도트 픽셀(pPX)과 공통 전극(CE) 사이의 액정 분자와, 부극성의 도트 픽셀(nPX)과 공통 전극(CE) 사이의 액정 분자를, 제1 및 제2 구간에서 모두 폴리-턴온시킬 수 있다.
- [0082] 도 7에 도시된 구동 방법을 요약하면, 제1 구간에서 공통 전압(Vcom)의 전압 레벨(VL1)의 크기는 킥백 전압(Vkb)의 크기와 같고, 공통 전압(Vcom)의 스위칭 전압(Vswing)은 데이터 전압의 최고값, 즉 게조 전압 발생부(700)의 구동 전압(AVDD)과 같다.
- [0083] 한편 이상 공통 전압(Vcom)에 대해서만 설명하였지만, 실질적으로 동일한 설명이 스토리지 전압(Vst)에도 적용될 수 있다.
- [0084] 도 8은 도 6에서 정극성의 도트 픽셀과 부극성의 도트 픽셀을 구동하는 다른 방법을 설명하기 위한 타이밍도이다. 즉, 각 스토리지 전극(SE)에는 공통 전압(Vcom)과 같은 파형의 스토리지 전압(Vst)이 인가될 수 있다.
- [0085] 도 8은 액정 분자들(150)이 가지는 최대 액정 전압(V_{cl_max})이 데이터 전압의 최고값보다 작은 경우, 도 6의 정극성의 도트 픽셀(pPX)과 부극성의 도트 픽셀(nPX)을 구동하는 방법을 나타낸다. 마찬가지로 데이터 드라이버(500)가 제공하는 데이터 전압의 최소값이 0이고 최고값이 게조 전압 발생부(700)의 구동 전압(AVDD)인 경우를 예로 들고, 설명의 편의상 데이터 전압의 최고값, 즉 게조 전압 발생부(700)의 구동 전압(AVDD)을 5V라고 가정한다. 그리고, 액정 분자들(150)이 가지는 최대 액정 전압(V_{cl_max})은 데이터 전압의 최고값 5V보다 작은 4V라

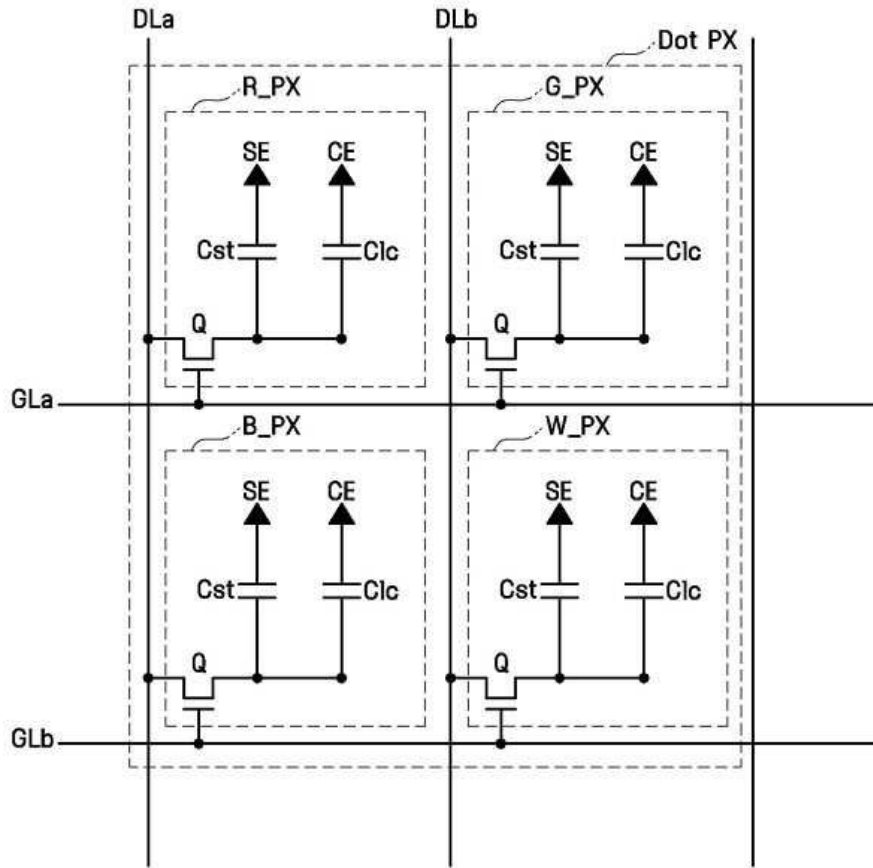
- [0105] 65: 소스 전극 66: 드레인 전극
- [0106] 70: 보호막 76: 콘택홀
- [0107] 90: 제2 절연 기판 93: 절개 패턴
- [0108] 100: 제1 표시판 150: 액정 분자층
- [0109] 200: 제2 표시판 300: 액정 패널
- [0110] 400: 게이트 드라이버 500: 데이터 드라이버
- [0111] 600: 신호 제어부 650: 전압 생성부
- [0112] 700: 계조 전압 발생부

도면

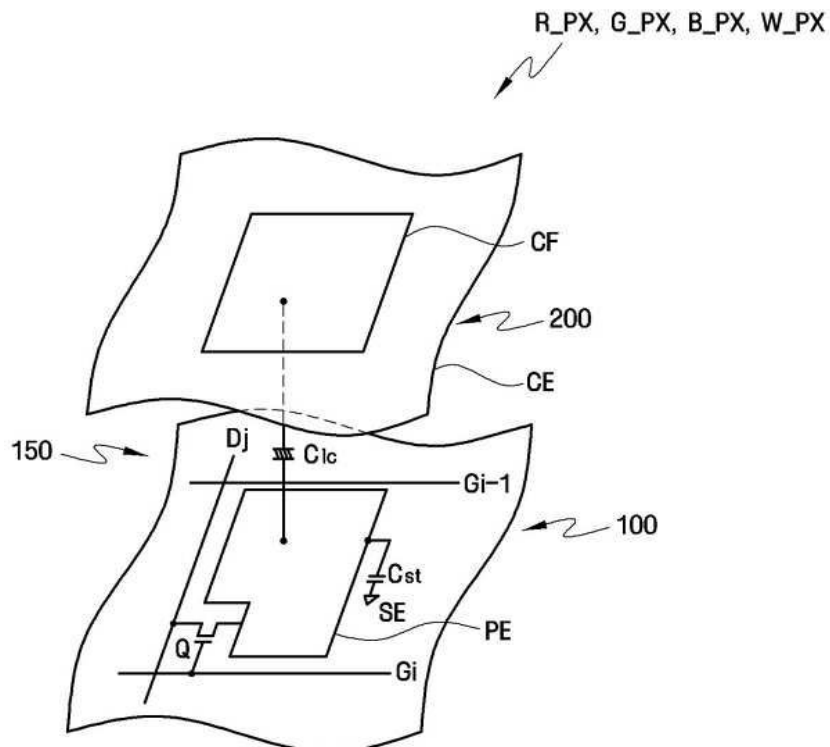
도면1



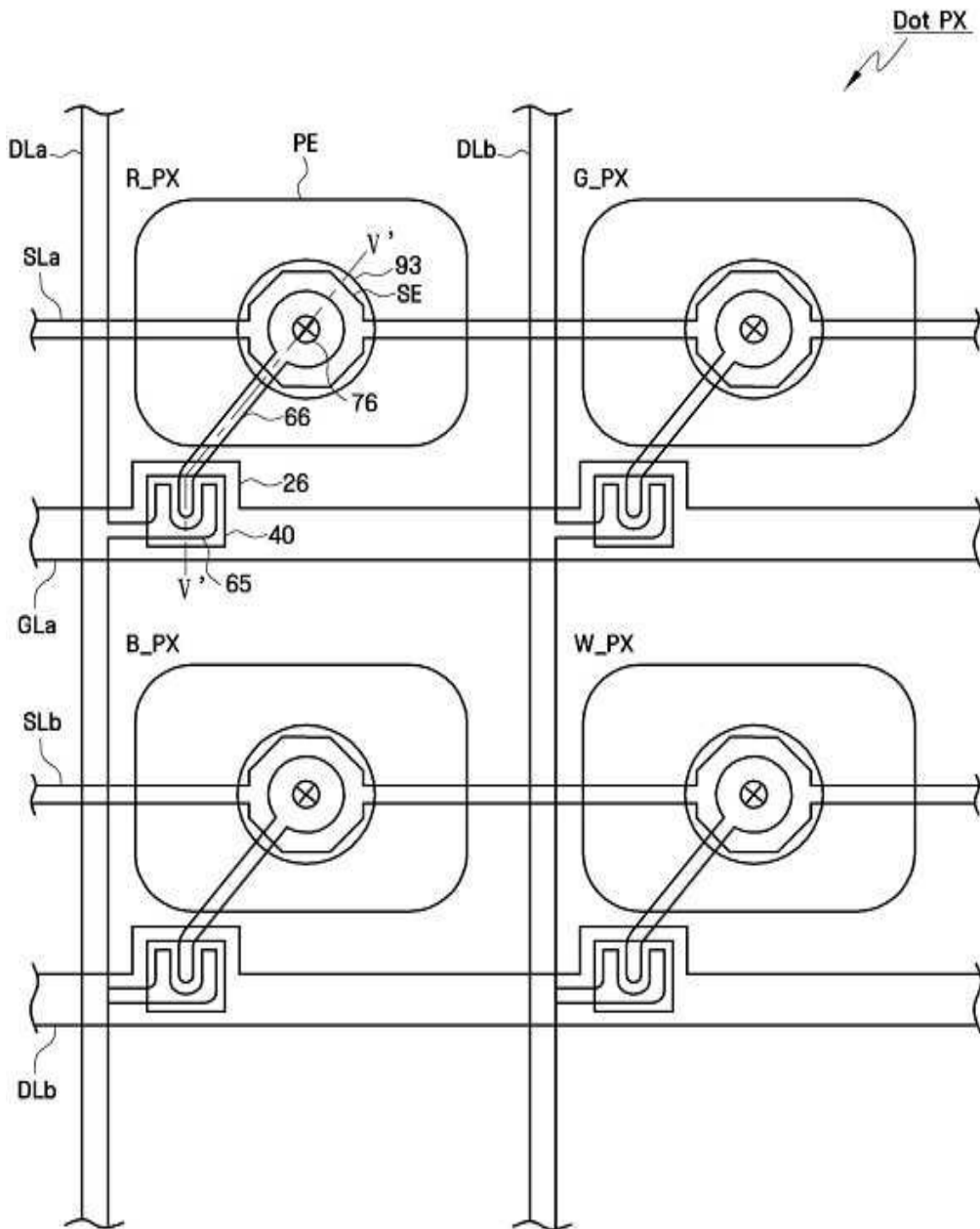
도면2



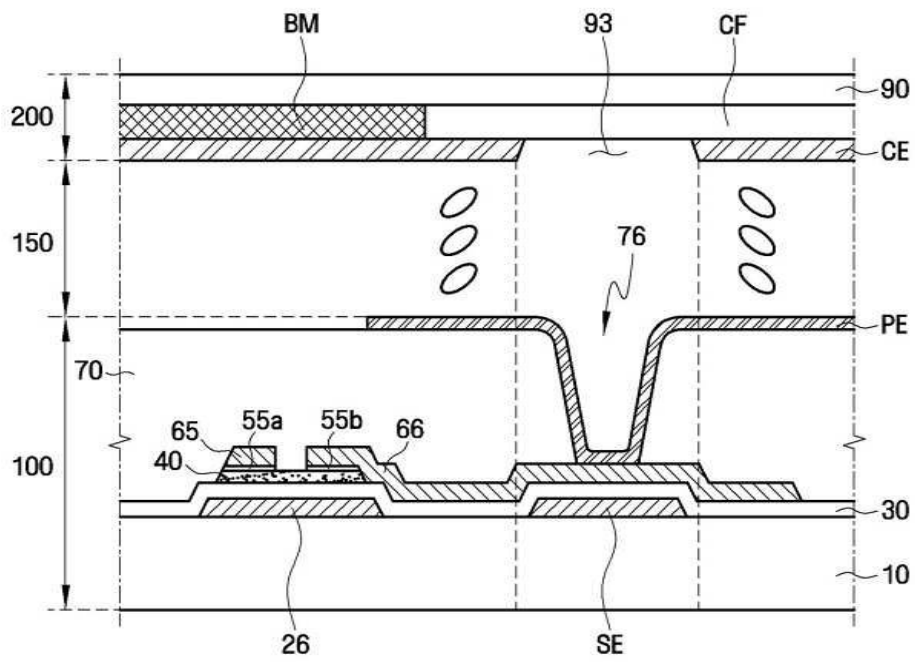
도면3



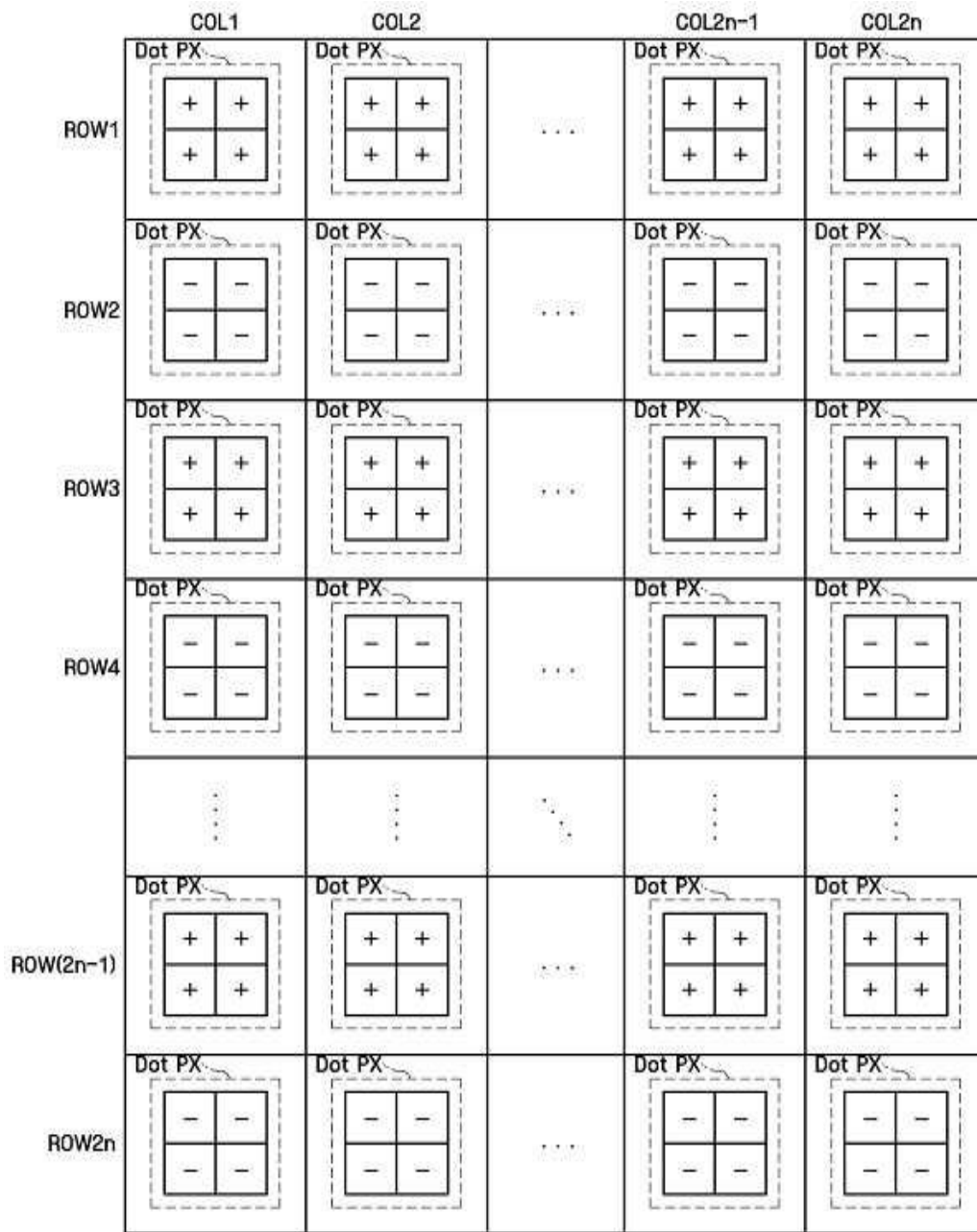
도면4



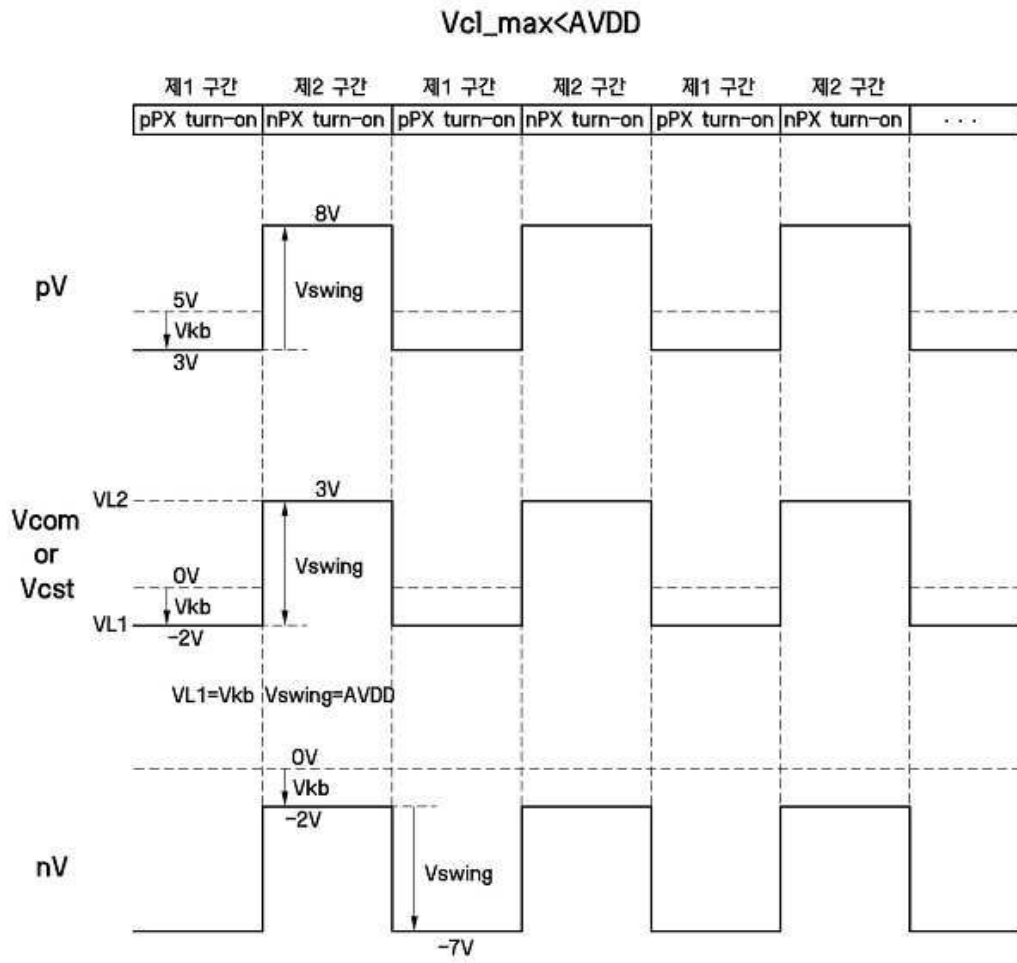
도면5



도면6



도면7



도면8

