



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월16일
(11) 등록번호 10-2066533
(24) 등록일자 2020년01월09일

(51) 국제특허분류(Int. Cl.)
G06T 1/00 (2006.01) G06T 17/20 (2006.01)
(21) 출원번호 10-2013-0140915
(22) 출원일자 2013년11월19일
심사청구일자 2018년10월24일
(65) 공개번호 10-2015-0058666
(43) 공개일자 2015년05월29일
(56) 선행기술조사문헌
KR1020100036183 A*
US20110267346 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
유창효
경기도 용인시 기흥구 동백5로 79 101동 1603호
(중동, 백현마을상록롯데캐슬아파트)
김석훈
경기 수원시 권선구 동수원로146번길 16-38, 303호 (곡반정동)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 9 항

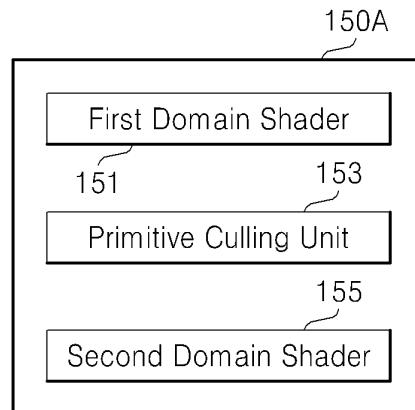
심사관 : 노지명

(54) 발명의 명칭 도메인 셰이딩 방법과 이를 수행하는 장치들

(57) 요약

본 발명의 실시 예에 따른 도메인 셰이딩 방법은 그래픽스 상태 데이터를 분석하는 단계와, 분석의 결과에 따라 싱글-패스 도메인 셰이딩을 통해 제1프리티미티브들 전부를 생성하거나 2-패스 도메인 셰이딩을 통해 상기 제1프리티미티브들 중에서 보이는 제2프리티미티브들만을 생성하는 단계를 포함할 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

그래픽스 상태 데이터를 분석하는 단계; 및

분석의 결과에 따라 싱글-패스 도메인 웨이딩을 통해 제1프리미티브들 전부를 생성하거나 2-패스 도메인 웨이딩을 통해 상기 제1프리미티브들 중에서 보이는 제2프리미티브들만을 생성하는 단계를 포함하고,

상기 생성하는 단계는

상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수와 설정 값을 비교하여, 상기 싱글-패스 도메인 웨이딩을 하거나 상기 2-패스 도메인 웨이딩을 하는 도메인 웨이딩 방법.

청구항 2

제1항에 있어서, 상기 분석하는 단계는,

CPU(central processing unit) 또는 GPU(graphics processing unit)에 의해 수행되는 도메인 웨이딩 방법.

청구항 3

그래픽스 상태 데이터를 분석하고 분석의 결과에 따라 도메인 웨이딩을 제어하는 컨트롤 로직; 및

도메인 세이더를 포함하며,

상기 도메인 세이더는,

힐 세이더로부터 출력된 데이터와 테셀레이터로부터 출력된 테셀레이션 데이터를 이용하여 제1프리미티브들에 포함된 공간 좌표들을 계산하는 제1도메인 세이더;

계산된 공간 좌표들을 이용하여 위치 속성들만 갖는 제1프리미티브들을 생성하는 프리미티브 어셈블러;

상기 위치 속성들만을 갖는 제1프리미티브들 중에서 보이지 않는 프리미티브들을 제거하고 보이는 제2프리미티브들만을 생성하는 프리미티브 컬링 유닛; 및

상기 제2프리미티브들의 위치 속성들 이외의 나머지 속성들을 연산하는 제2도메인 세이더를 포함하고,

상기 도메인 세이더는, 상기 컨트롤 로직의 제어에 따라, 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들 전부를 생성하고 2-패스 도메인 웨이딩을 통해 상기 제2프리미티브들을 생성하고,

상기 컨트롤 로직은

상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수와 설정 값을 비교한 결과에 기초하여 상기 도메인 세이더가 상기 싱글-패스 도메인 웨이딩 또는 상기 2-패스 도메인 웨이딩을 하도록 제어하는 그래픽스 프로세싱 유닛.

청구항 4

제3항에 있어서, 상기 컨트롤 로직은,

상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 작을 때, 상기 도메인 세이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 세이더를 제어하는 그래픽스 프로세싱 유닛.

청구항 5

제3항에 있어서, 상기 컨트롤 로직은,

블렌딩 동작이 활성화될 때, 상기 도메인 세이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 세이더를 제어하는 그래픽스 프로세싱 유닛.

청구항 6

제3항에 있어서, 상기 컨트롤 로직은,

지오메트리 셰이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간좌표 범위가 유지되지 않을 때, 상기 도메인 셰이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어하는 그래픽스 프로세싱 유닛.

청구항 7

제3항에 있어서, 상기 컨트롤 로직은,

지오메트리 셰이더에 의해 상기 제1프리미티브들이 처리된 이후에 깊이 변형 연산을 통해 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 유지되지 않을 때, 상기 도메인 셰이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어하는 그래픽스 프로세싱 유닛.

청구항 8

제3항에 있어서, 상기 컨트롤 로직은,

상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 크거나 같고, 블렌딩 동작이 활성화되지 않고, 지오메트리 셰이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간 좌표 범위가 유지되고, 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 상기 지오메트리 셰이더 이후에 항상 유지될 때, 상기 도메인 셰이더가 상기 2-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어하는 그래픽스 프로세싱 유닛.

청구항 9

제3항의 상기 그래픽스 프로세싱 유닛; 및

상기 그래픽스 프로세싱 유닛을 제어하는 CPU를 포함하는 시스템 온 칩.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 도메인 웨이딩 방법에 관한 것으로, 특히 그래픽스 상태 데이터 분석 결과에 따라 싱글-패스 도메인 웨이딩을 수행하거나 2-패스 도메인 웨이딩을 수행하는 도메인 웨이딩 방법과 이를 수행하는 장치들에 관한 것이다.

배경 기술

[0002] GPU(graphics processing unit)는 디스플레이에서 디스플레이될 대상 (object)의 이미지를 렌더링한다. 최근에, 상기 GPU는 상기 대상의 이미지를 렌더링하는 과정 중에 상기 대상의 이미지를 보다 세밀하게 표현하기 위해 테셀레이션 동작을 수행한다.

[0003] 상기 GPU는 상기 테셀레이션 동작을 통해 상기 대상의 이미지를 위한 복수의 프리미티브들을 생성하고, 상기 복수의 프리미티브들을 생성하기 위한 정보를 외부 메모리로부터 제공받고, 최종적으로 생성된 프리미티브들을 다음 단계로 전송하거나 상기 외부 메모리에 저장한다.

[0004] 상기 GPU는 상기 테셀레이션 동작 이후의 동작을 수행하기 위해 상기 복수의 프리미티브들에 상응하는 모든 데이터를 전송받아야만 하므로 데이터의 대역폭 낭비와 많은 양의 연산 부하와 파워 소모를 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적인 과제는 그래픽스 상태 데이터 분석 결과에 따라 싱글-패스 도메인 웨이딩을 수행하거나 2-패스 도메인 웨이딩을 수행하는 도메인 웨이딩 방법과 이를 수행하는 장치들을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 실시 예에 따른 도메인 웨이딩 방법은 그래픽스 상태 데이터를 분석하는 단계와, 분석의 결과에 따라 싱글-패스 도메인 웨이딩을 통해 제1프리미티브들 전부를 생성하거나 2-패스 도메인 웨이딩을 통해 상기 제1프리미티브들 중에서 보이는 제2프리미티브들만을 생성하는 단계를 포함한다.
- [0007] 실시 예에 따라, 상기 생성하는 단계는, 상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 작을 때, 상기 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들의 상기 속성들 전부를 연산하고 연산의 결과에 따라 상기 제1프리미티브들을 생성할 수 있다.
- [0008] 다른 실시 예에 따라, 상기 생성하는 단계는, 블렌딩 동작이 활성화될 때, 상기 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들의 속성들 전부를 연산하고 연산의 결과에 따라 상기 제1프리미티브들을 생성할 수 있다.
- [0009] 또 다른 실시 예에 따라, 상기 생성하는 단계는, 지오메트리 셰이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간 좌표 범위가 유지되지 않을 때, 상기 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들의 속성들 전부를 연산하고 연산의 결과에 따라 상기 제1프리미티브들을 생성할 수 있다.
- [0010] 또 다른 실시 예에 따라, 상기 생성하는 단계는, 지오메트리 셰이더에 의해 상기 제1프리미티브들이 처리된 이후에 깊이 변형 연산(depth modification calculation)을 통해 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 유지되지 않을 때, 상기 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들의 속성들 전부를 연산하고 연산의 결과에 따라 상기 제1프리미티브들을 생성할 수 있다.
- [0011] 또 다른 실시 예에 따라, 상기 생성하는 단계는, 상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 크거나 같고, 블렌딩 동작이 활성화되지 않고, 지오메트리 셰이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간 좌표 범위가 유지되고, 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 상기 지오메트리 셰이더 이후에 항상 유지될 때, 상기 2-패스 도메인 웨이딩을 통해 상기 제1프리미티브들의 속성들 중에서 위치 속성들만을 먼저 연산하고, 연산된 위치 속성들에 따라 상기 제1프리미티브들 중에서 보이지 않는 제3프리미티브들을 제거하고, 상기 제2프리미티브들의 위치 속성들 이외의 나머지 속성들을 연산하고 연산의 결과에 따라 상기 제2프리미티브들을 생성할 수 있다.
- [0012] 상기 분석하는 단계는 CPU(central processing unit) 또는 GPU(graphics processing unit)에 의해 수행될 수 있다.
- [0013] 상기 깊이 변형 연산은 상기 지오메트리 셰이더(geometry shader) 또는 픽셀 셰이더(pixel shader)에 의해 수행될 수 있다.
- [0014] 본 발명의 실시 예에 따른 그래픽스 프로세싱 유닛은 그래픽스 상태 데이터를 분석하고 분석의 결과에 따라 도메인 웨이딩을 제어하는 컨트롤 로직과, 도메인 셰이더를 포함한다. 상기 도메인 셰이더는 헵 셰이더로부터 출력된 데이터와 테셀레이터로부터 출력된 테셀레이션 데이터를 이용하여 제1프리미티브들에 포함된 공간 좌표들을 계산하는 제1도메인 셰이더와, 계산된 공간 좌표들을 이용하여 위치 속성들만 갖는 제1프리미티브들을 생성하는 프리미티브 어셈블러와, 상기 위치 속성들만 갖는 제1프리미티브들 중에서 보이지 않는 프리미티브들을 제거하고 보이는 제2프리미티브들(PR2)만을 생성하는 프리미티브 컬링 유닛과, 상기 제2프리미티브들(PR2)의 위치 속성들 이외의 나머지 속성들을 연산하는 제2도메인 셰이더를 포함하고, 상기 도메인 셰이더는, 상기 컨트롤 로직의 제어에 따라, 싱글-패스 도메인 웨이딩을 통해 상기 제1프리미티브들 전부를 생성하고 2-패스 도메인 웨이딩을 통해 상기 제2프리미티브들을 생성한다.
- [0015] 실시 예에 따라, 상기 컨트롤 로직은, 상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 작을 때, 상기 도메인 셰이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어할 수 있다.
- [0016] 또 다른 실시 예에 따라, 상기 컨트롤 로직은, 블렌딩 동작이 활성화될 때, 상기 도메인 셰이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어할 수 있다.
- [0017] 또 다른 실시 예에 따라, 상기 컨트롤 로직은, 지오메트리 셰이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간좌표 범위가 유지되지 않을 때, 상기 도메인 셰이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 셰이더를 제어할 수 있다.
- [0018] 또 다른 실시 예에 따라, 상기 컨트롤 로직은, 지오메트리 셰이더에 의해 상기 제1프리미티브들이 처리된 이후

에 깊이 변형 연산을 통해 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 유지되지 않을 때, 상기 도메인 세이더가 상기 싱글-패스 도메인 웨이딩을 하도록 상기 도메인 세이더를 제어할 수 있다.

[0019] 또 다른 실시 예에 따라, 상기 컨트롤 로직은, 상기 제1프리미티브들 각각에 대해 생성될 속성들의 개수가 설정 값보다 크거나 같고, 블렌딩 동작이 활성화되지 않고, 지오메트리 세이더에서 수행된 위치 변형 연산을 통해 상기 제1프리미티브들의 2차원 공간 좌표 범위가 유지되고, 상기 제1프리미티브들 사이의 상대적인 깊이 값들이 상기 지오메트리 세이더 이후에 항상 유지될 때, 상기 도메인 세이더가 상기 2-패스 도메인 웨이딩을 하도록 상기 도메인 세이더를 제어할 수 있다.

[0020] 본 발명의 실시 예에 따른 시스템 온 칩은 상기 그래픽스 프로세싱 유닛과, 상기 그래픽 프로세싱 유닛을 제어하는 CPU를 포함한다.

발명의 효과

[0021] 본 발명의 실시 예에 따른 도메인 웨이딩 방법과 이를 수행하는 장치들은 그래픽스 상태 데이터의 분석 결과에 따라 싱글-패스 도메인 웨이딩을 수행하거나 2-패스 도메인 웨이딩을 수행할 수 있는 효과가 있다.

[0022] 상기 방법과 상기 장치들은 상기 2-패스 도메인 웨이딩을 통해 프리미티브 단위로 불필요한 프리미티브들을 제거하고 남겨진 프리미티브들에 대해서만 연산하여 불필요한 작업량을 감소할 수 있다.

[0023] 따라서, 상기 불필요한 작업량 감소에 따라, 그래픽스 프로세싱 유닛의 전체적인 성능이 향상되고, 상기 그래픽스 프로세싱 유닛의 소모 전력이 감소하는 효과가 있다.

도면의 간단한 설명

[0024] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명의 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.

도 2는 도 1에 도시된 그래픽스 프로세싱 유닛의 개략적인 블록도이다.

도 3은 도 2에 도시된 도메인 세이더의 일 실시 예를 나타내는 개략적인 블록도이다.

도 4는 도 3에 도시된 도메인 세이더의 싱글-패스 도메인 웨이딩을 설명하기 위한 개념도이다.

도 5는 도 3에 도시된 도메인 세이더의 2-패스 도메인 웨이딩을 설명하기 위한 개념도이다.

도 6은 도 2에 도시된 도메인 세이더의 다른 실시 예를 나타내는 개략적인 블록도이다.

도 7은 도 6에 도시된 도메인 세이더의 싱글-패스 도메인 웨이딩을 설명하기 위한 개념도이다.

도 8은 도 6에 도시된 도메인 세이더의 2-패스 도메인 웨이딩을 설명하기 위한 개념도이다.

도 9는 도 1에 도시된 데이터 처리 시스템의 동작을 설명하기 위한 플로우차트이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0026] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0027] 제1 또는 제2 등의 용어를 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0029] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0032] 도 1은 본 발명의 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.
- [0033] 도 1을 참조하면, 데이터 처리 시스템(10)은 PC(personal computer), 2차원 TV, 3차원 TV, 휴대용 전자 장치(또는 모바일 기기), 또는 이미지 데이터를 디스플레이할 수 있는 디스플레이(300)를 포함하는 전자 장치로 구현될 수 있다.
- [0034] 상기 휴대용 전자 장치는 랩탑 컴퓨터(laptop computer), 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, 모바일 인터넷 디바이스(mobile internet device(MID)), 웨어러블 컴퓨터(wearable computer), PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 또는 e-북(e-book)으로 구현될 수 있다.
- [0035] 데이터 처리 시스템(10)은 데이터 처리 장치(50), 외부 메모리(200), 및 디스플레이(300)를 포함할 수 있다.
- [0036] 데이터 처리 장치(50)는 외부 메모리(200) 및/또는 디스플레이(300)를 제어할 수 있다. 즉, 데이터 처리 장치(50)는 데이터 처리 시스템(10)의 동작을 전반적으로 제어할 수 있다.
- [0037] 데이터 처리 장치(50)는 마더보드(motherboard)와 같은 인쇄 회로 기판 (printed circuit board(PCB)), 집적 회로(integrated circuit(IC)), 또는 시스템 온 칩(system on chip(SoC))으로 구현될 수 있다. 예컨대, 데이터 처리 장치(50)는 애플리케이션 프로세서(application processor)일 수 있다.
- [0038] 데이터 처리 장치(50)는 CPU(central processing unit; 60), ROM(read only memory; 70), RAM(random access memory; 80), 디스플레이 컨트롤러(display controller; 90), 메모리 인터페이스(memory interface; 95), 및 그래픽스 프로세싱 유닛(graphics processing unit(GPU); 100)을 포함할 수 있다.
- [0039] 실시 예에 따라, 데이터 처리 장치(50)는 GPU(100)에서 사용될 데이터를 저장하는 그래픽스 메모리(graphics memory; 미도시)를 더 포함할 수 있다.
- [0040] CPU(60)는 데이터 처리 장치(50)의 전반적인 동작을 제어할 수 있다.
- [0041] 예컨대, CPU(60)는 버스(55)를 통해 ROM(70), RAM(80), 디스플레이 컨트롤러 (90), 메모리 인터페이스(95), 및 /또는 GPU(100)를 제어할 수 있다.
- [0042] CPU(60)는 프로그램 명령들(program instructions)을 읽고 실행할 수 있다.
- [0043] 예컨대, CPU(60)는 애플리케이션(예컨대, 3D 애플리케이션 또는 3D 게임 애플리케이션)을 실행시킬 수 있다.
- [0044] 상기 3D 애플리케이션 또는 상기 3D 게임 애플리케이션은 3D 애플리케이션 프로그래밍 인터페이스 명령들(application programming interface(API) commands)을 출력할 수 있다.

- [0045] 상기 3D API 명령들에 따라 3D 컴퓨터 그래픽스를 표현하기(render) 위해, 애플리케이션들에서 사용되는 3D API, 예컨대 OpenGL™ 또는 Direct3D™가 실행될 수 있다.
- [0046] 예컨대, 메모리(80, 또는 200)에 저장된 상기 3D API는 CPU(60)의 제어에 따라 GPU(100)로 로드(load)되어 실행될 수 있다.
- [0047] 실시 예에 따라, CPU(60)는 멀티-코어(multi-core)로 구현될 수 있다. 상기 멀티-코어는 두 개 또는 그 이상의 독립적인 코어들(cores)을 갖는 컴퓨팅 컴포넌트(computing component)일 수 있다.
- [0048] ROM(70)은 프로그램들 및/또는 데이터를 영구적으로 저장할 수 있다.
- [0049] 실시 예에 따라, ROM(70)은 EPROM(erasable programmable read-only memory) 또는 EEPROM(electrically erasable programmable read-only memory)으로 구현될 수 있다.
- [0050] RAM(80)은 CPU(60) 또는 GPU(100)에서 필요한 데이터, 명령들(instructions) 및/또는 프로그램(또는 프로그램 모듈(program module))을 일시적으로 저장할 수 있다. 예컨대, 메모리(70 또는 200)에 저장된 프로그램들 및/또는 데이터는 CPU(60)의 제어, GPU(100)의 제어, 또는 ROM(70)에 저장된 부팅 코드(booting code)에 따라 RAM(80)에 일시적으로 저장될 수 있다.
- [0051] RAM(80)은 운영 체제(operating system(OS)), 애플리케이션 프로그램들, 다른 프로그램 모듈들, 및/또는 프로그램 데이터를 저장할 수 있다.
- [0052] 실시 예에 따라, RAM(80)은 DRAM(dynamic RAM) 또는 SRAM(static RAM)으로 구현될 수 있다.
- [0053] GPU(100)는 CPU(60)의 제어에 따라 컴퓨터 그래픽(computer graphics) 처리와 관련된 동작을 매우 효과적으로 수행할 수 있다.
- [0054] GPU(100)는 그래픽스 파이프라인을 포함하는 그래픽스 프로세서(graphics processor)의 일 예이다.
- [0055] 실시 예에 따라, GPU(100)는 그래픽스 상태 데이터(graphics state data)를 분석하고, 분석의 결과에 따라 도메인 셰이더가 싱글-패스 도메인 셰이딩을 통해 제1프리티미티브들 진부를 생성하거나 2-패스(two-pass) 도메인 셰이딩을 통해 상기 제1프리티미티브들 중에서 보이는 제2프리티미티브들만을 생성하도록 상기 도메인 셰이더를 제어할 수 있다.
- [0056] 다른 실시 예에 따라, CPU(60)는 그래픽스 상태 데이터를 분석하고, 분석의 결과에 따른 제어 신호를 생성하고, 생성된 제어 신호를 GPU(100)로 전송할 수 있다. 이때, GPU(100)는 상기 제어 신호에 응답하여 도메인 셰이더의 도메인 셰이딩(예컨대, 싱글-패스 도메인 셰이딩 또는 2-패스 도메인 셰이딩)을 제어할 수 있다.
- [0057] 디스플레이 컨트롤러(90)는 디스플레이(300)의 동작을 제어할 수 있다.
- [0058] 예컨대, 디스플레이 컨트롤러(90)는 외부 메모리(200)로부터 출력되는 이미지 데이터, 예컨대 스틸 이미지(still image) 데이터, 무빙 이미지(moving image) 데이터, 3차원 이미지(3D image), 또는 3차원 입체 이미지(stereoscopic 3D image) 데이터를 디스플레이(300)로 전송할 수 있다.
- [0059] 예컨대, 디스플레이 컨트롤러(90)는 MIPI® 디스플레이 직렬 인터페이스(display serial interface) 또는 eDP(embedded DisplayPort)를 지원할 수 있다.
- [0060] 메모리 인터페이스(95)는 메모리(200)를 액세스할 수 있는 메모리 컨트롤러의 기능을 수행할 수 있다. 예컨대, 데이터 처리 장치(50), 예컨대 CPU(60) 및/또는 GPU(100)는 메모리 인터페이스(95)를 통하여 외부 메모리(200)와 서로 통신할 수 있다. 즉, CPU(60) 및/또는 GPU(100)는 메모리 인터페이스(95)를 통하여 외부 메모리(200)와 데이터를 서로 주고받을 수 있다.
- [0061] 외부 메모리(200)는 운영 체제(operating system(OS)), 애플리케이션 프로그램들, 다른 프로그램 모듈들, 및/또는 프로그램 데이터를 저장할 수 있다.
- [0062] CPU(60)의 제어에 따라, 외부 메모리(200)에 저장된 OS, 애플리케이션 프로그램들, 다른 프로그램 모듈들, 및/또는 프로그램 데이터는 RAM(80)으로 로드될 수 있다.
- [0063] 외부 메모리(200)에 저장된 3D 애플리케이션, 3D 게임 애플리케이션, 또는 본 명세서에서 기술되는 도메인 셰이딩 방법을 수행할 수 있는 소프트웨어 또는 API는 외부 메모리(200)로부터 RAM(80)으로 로드(load)될 수 있다.

- [0064] 외부 메모리(200)는 휘발성 메모리 장치 또는 불휘발성 메모리 장치로 구현될 수 있다.
- [0065] 상기 휘발성 메모리 장치는 DRAM(dynamic random access memory), SRAM (static random access memory), T-RAM(thyristor RAM), Z-RAM(zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM)으로 구현될 수 있다.
- [0066] 상기 불휘발성 메모리 장치는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시(flash) 메모리, MRAM(Magnetic RAM), 스핀전달토크 MRAM(Spin-Transfer Torque(STT)-MRAM), Conductive bridging RAM(CBRAM), FeRAM (Ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리(Resistive RAM: RRAM), 나노 튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리(Insulator Resistance Change Memory)로 구현될 수 있다.
- [0067] 실시 예에 따라, 외부 메모리(200)는 하드디스크 드라이브(hard disk drive(HDD)) 또는 솔리드 스테이트 드라이브(solid state drive(SSD))로 구현될 수 있다.
- [0068] 다른 실시 예에 따라, 외부 메모리(200)는 제거할 수 있는 저장 매체 (removable storage media) 또는 제거할 수 없는(non-removable) 저장 매체로 구현될 수 있다. 예컨대, 외부 메모리(200)는 SD(secure digital) 카드, MMC (multimedia card), UFS(universal flash storage), eMMC(embedded multimedia card), 또는 USB 플래시 드라이브(flash drive)로 구현될 수 있다.
- [0069] 디스플레이(300)는 디스플레이 컨트롤러(90)로부터 출력된 이미지 데이터에 대응되는 이미지를 디스플레이할 수 있다.
- [0070] 예컨대, 디스플레이(300)는 터치스크린, LCD(liquid crystal display), TFT-LCD(thin film transistor-liquid crystal display), LED(liquid emitting diode) 디스플레이, OLED(organic LED) 디스플레이, AMOLED (active matrix OLED) 디스플레이 또는 플렉시블(flexible) 디스플레이로 구현될 수 있다.
- [0071] 도 2는 도 1에 도시된 그래픽스 프로세싱 유닛의 개략적인 블록도이다.
- [0072] 도 1 및 도 2를 참조하면, GPU(100)는 CPU(60) 및/또는 메모리 인터페이스 (95)를 통해 메모리(200)로부터 출력된 데이터를 수신하거나, GPU(100)에 의해 처리된 데이터를 메모리(200)로 전송할 수 있으나, 설명의 편의를 위해 도 2에서는 CPU(60)와 메모리 인터페이스(95)가 도시되지 않았다.
- [0073] GPU(100)는 컨트롤 로직(control logic; 110), 버텍스 셰이더(vertex shader; 120), 헐 셰이더(hull shader; 130), 테셀레이터(tessellator; 140), 도메인 셰이더(domain shader; 150), 지오메트리 셰이더(geometry shader; 160), 래스터라이저(rasterizer; 170), 픽셀 셰이더(pixel shader; 180), 및 출력 머저 (output merger; 190)를 포함할 수 있다.
- [0074] 본 발명의 기술적 사상이 포함된 GPU(100)의 구성 요소들(110 및 150)을 제외한 나머지 구성요소들(120, 130, 140, 160, 170, 180, 및 190)의 기능과 동작은 마이크로 소프트웨어 Direct3D™ 11의 그래픽스 파이프라인에 포함된 동일한 이름을 갖는 스테이지들의 기능과 동작과 실질적으로 동일할 수 있다.
- [0075] 따라서, GPU(100)의 나머지 구성요소들(120, 130, 140, 160, 170, 180, 및 190)에 대한 상세한 설명은 생략한다.
- [0076] 또한, 헐 셰이더(130), 테셀레이터(140), 및 도메인 셰이더(150) 각각의 기능은 크로노스(Khronos) OpenGL™ 4.0의 테셀레이션 컨트롤 셰이더(Tessellation Control Shader), 테셀레이션 프리미티브 제너레이션 (Tessellation Primitive Generation), 및 테셀레이션 이밸류에이션 셰이더(Tessellation Evaluation Shader) 각각의 기능과 실질적으로 동일할 수 있다.
- [0077] 컨트롤 로직(110)은 GPU(100)의 전반적인 동작을 제어할 수 있다. 예컨대, 컨트롤 로직(110)은 각 구성요소 (120, 130, 140, 150, 160, 170, 180, 및 190)의 동작을 제어할 수 있다.
- [0078] 컨트롤 로직(110)은 CPU(60)로부터 전송된 그래픽스 상태 데이터(G_DATA)를 분석하고, 분석의 결과에 따라 도메인 셰이더(150)의 도메인 웨이딩을 제어할 수 있다. 컨트롤 로직(110)은 하드웨어 또는 회로로 구현될 수 있다.
- [0079] 예컨대, 컨트롤 로직(110)은 그래픽스 상태 데이터(G_DATA)를 분석하고, 분석의 결과에 상응하는 제어 신호 (CTRL1 또는 CTRL2)를 생성하고, 생성된 제어 신호 (CTRL1 또는 CTRL2)를 도메인 셰이더(150)로 전송할 수

있다.

- [0080] 그래픽스 상태 데이터(G_DATA)는 각 구성 요소(120, 130, 140, 150, 160, 170, 180, 및 190)의 출력 구조체(output structure)에 대한 데이터 및/또는 프로그램(또는 셰이딩 프로그램)에 대한 데이터를 포함할 수 있다.
- [0081] 상기 프로그램은 버텍스 셰이더 프로그램, 쉘 셰이더 프로그램, 테셀레이터 프로그램, 도메인 셰이더 프로그램, 지오메트리 셰이더 프로그램, 래스터라이저 프로그램, 픽셀 셰이더 프로그램, 및/또는 출력 머저 프로그램 등을 포함할 수 있다.
- [0082] 도메인 셰이더(150)는, 컨트롤 로직(110)의 제어에 따라, 즉 제어 신호 (CTRL1 또는 CTRL2)에 응답하여 싱글-패스 도메인 셰이딩을 통해 제1프리미티브들 (PR1) 전부를 생성하거나 2-패스 도메인 셰이딩을 통해 제1프리미티브들(PR1) 중에서 보이는 제2프리미티브들(PR2)만을 생성할 수 있다.
- [0083] 컨트롤 로직(110)은 그래픽스 상태 데이터(G_DATA)에 포함된 도메인 셰이더 출력 구조체로부터 제1프리미티브들 (PR1) 각각에 대해 생성될 속성들의 개수를 분석할 수 있다. 예컨대, 제1프리미티브들(PR1) 각각에 대해 생성될 속성들의 개수가 설정 값보다 작을 때, 컨트롤 로직(110)은 도메인 셰이더(150)가 싱글-패스 도메인 셰이딩을 수행하도록 제1제어 신호(CTRL1)를 생성할 수 있다.
- [0084] 예컨대, 상기 생성될 속성들은 위치(position), 컬러(color), 디퓨즈 컬러 (diffuse color), 법선 벡터(normal vector), 탄젠트 벡터(tangent vector), 바이탄젠트 벡터(bitangent vector, 또는 바이노멀 벡터(binormal vector)), 텍스처 좌표(texture coordinate), 및/또는 세계 좌표(world coordinate) 등과 같은 속성들(attributes)을 포함할 수 있다. 상기 생성될 속성들은 사용자-정의 값들(user-defined values)을 더 포함할 수 있다.
- [0085] 실시 예에 따라, 상기 설정 값은 외부로부터 설정(또는 프로그램)가능할 수 있다.
- [0086] 다른 실시 예에 따라, 상기 설정 값은 CPU(60)에 의해 설정(또는 프로그램) 가능할 수 있다.
- [0087] 컨트롤 로직(110)은 그래픽스 상태 데이터(G_DATA)에 포함된 셰이딩 프로그램에 따라 블렌딩 동작(blending operation)의 활성화 여부를 분석할 수 있다. 예컨대, 상기 블렌딩 동작이 활성화될 때, 컨트롤 로직(110)은 도메인 셰이더(150)가 싱글-패스 도메인 셰이딩을 수행하도록 제1제어 신호(CTRL1)를 생성할 수 있다.
- [0088] 컨트롤 로직(110)은 그래픽스 상태 데이터(G_DATA)에 포함된 셰이딩 프로그램에 따라 깊이 변형 연산(depth modification calculation)을 통한 제1프리미티브들(PR1) 각각의 깊이 값(depth value)을 분석할 수 있다. 예컨대, 상기 깊이 변형 연산을 통해 제1프리미티브들(PR1) 사이의 상대적인 깊이 값들이 유지되지 않을 때, 컨트롤 로직(110)은 도메인 셰이더(150)가 싱글-패스 도메인 셰이딩을 수행하도록 제1제어 신호(CTRL1)를 생성할 수 있다.
- [0089] 실시 예에 따라, 상기 깊이 변형 연산은 지오메트리 셰이더(160) 및/또는 픽셀 셰이더(180)에 의해 수행될 수 있다.
- [0090] 컨트롤 로직(110)은, 지오메트리 셰이더(160)에서 수행된 위치 변형 연산을 통해 제1프리미티브들(PR1)의 2차원 공간좌표 범위가 유지되지 않을 때, 도메인 셰이더(150)가 싱글-패스 도메인 셰이딩을 수행하도록 제1제어 신호(CTRL1)를 생성할 수 있다.
- [0091] 제1프리미티브들(PR1) 각각에 대해 생성될 속성들의 개수가 설정 값보다 크거나 같고, 블렌딩 동작이 활성화되지 않고, 지오메트리 셰이더(160)에서 수행된 위치 변형 연산을 통해 2차원 공간 좌표 범위가 유지되고, 지오메트리 셰이더(160)에 의해 제1프리미티브들(PR1)이 처리된 후 제1프리미티브들(PR1) 사이의 상대적인 깊이 값들이 항상 유지될 때, 컨트롤 로직(110)은 도메인 셰이더(150)가 2-패스 도메인 셰이딩을 수행하도록 제2제어 신호(CTRL2)를 생성할 수 있다.
- [0092] 도 3은 도 2에 도시된 도메인 셰이더의 일 실시 예를 나타내는 개략적인 블록도이다.
- [0093] 도 2 및 도 3을 참조하면, 도메인 셰이더(150A)는, 제1제어 신호(CTRL1)에 응답하여, 싱글-패스 도메인 셰이딩을 통해 제1프리미티브들의 속성들 전부를 연산하고 연산의 결과에 따라 상기 제1프리미티브들을 생성할 수 있다.
- [0094] 또한, 도메인 셰이더(150A)는, 제2제어 신호(CTRL2)에 응답하여, 2-패스 도메인 셰이딩을 통해 제1프리미티브들 (PR1) 중에서 보이는 제2프리미티브들(PR2)만을 생성할 수 있다.

- [0095] 예컨대, 도메인 셰이더(150A)는 제1프리미티브들(PR1)의 속성들 중에서 위치 속성들만을 먼저 연산하고, 연산된 위치 속성들에 따라 제1프리미티브들(PR1) 중에서 보이지 않는 제3프리미티브들을 제거하고, 제2프리미티브들(PR2)의 위치 속성들 이외의 나머지 속성들을 연산할 수 있다.
- [0096] 도메인 셰이더(150A)는 제1도메인 셰이더(151), 프리미티브 컬링 유닛(primitive culling unit; 153), 및 제2도메인 셰이더(155)를 포함할 수 있다. 도 3에 도시된 도메인 셰이더(150A)는 도 2에 도시된 도메인 셰이더(150)의 일 실시 예이다.
- [0097] 도 4는 도 3에 도시된 도메인 셰이더의 싱글-패스 도메인 웨이딩을 설명하기 위한 개념도이다.
- [0098] 도 2부터 도 4를 참조하면, 도메인 셰이더(150A)는, 컨트롤 로직(110)의 제어에 따라, 싱글-패스 도메인 웨이딩을 수행할 수 있다.
- [0099] 제1도메인 셰이더(151)는 헵 셰이더(130)로부터 출력된 점 데이터(P_DATA)와 패치 상수 데이터(patch constant data; PCD)와, 테셀레이터(140)로부터 출력된 테셀레이션 데이터(tessellation data; T_DATA)를 수신할 수 있다.
- [0100] 점 데이터(P_DATA)는 패치에 포함된 각 점(예컨대 버텍스(vertex) 및/또는 컨트롤 포인트(control point))의 속성 데이터일 수 있다. 상기 속성 데이터는 상기 각 점의 위치, 컬러, 법선 벡터, 및/또는 텍스처 좌표와 같은 속성에 대한 데이터를 포함할 수 있다.
- [0101] 패치 상수 데이터(PCD)는 테셀레이션 팩터(또는 테셀레이션 팩터들), 패치 방정식에 관련된 계수들(coefficients), 및/또는 사용자-정의 값들(user-defined values)을 포함할 수 있다.
- [0102] 예컨대, 상기 테셀레이션 팩터는 LOD(level of detail)을 의미할 수 있다. 상기 테셀레이션 팩터는 정수(integer), 소수(decimal fraction) 또는 부동 소수(floating-point)일 수 있다.
- [0103] 상기 패치 방정식은 곡선(curve) 방정식 또는 표면(surface) 방정식일 수 있다. 예컨대, 상기 곡선 방정식은 에르미트 곡선(Hermite curve) 방정식, 베지어 곡선(Bezier curve) 방정식, 닙스 곡선(NURBS curve) 방정식, 또는 B-스플라인 곡선(B-spline curve) 방정식일 수 있다.
- [0104] 테셀레이션 데이터(T_DATA)는 패치에 대한 테셀레이트된 점들의 UV 좌표들(또는 UVW 좌표들)과 상기 테셀레이트된 점들의 토폴로지(topology) 정보를 포함할 수 있다. 상기 토폴로지 정보는 상기 테셀레이트된 점들 각각의 연결 정보(connectivity information)를 포함할 수 있다.
- [0105] 제1제어 신호(CTRL1)에 응답하여 동작하는 제1도메인 셰이더(151)는, 점 데이터(P_DATA), 패치 상수 데이터(PCD), 및 테셀레이션 데이터(T_DATA)를 이용하여, 점들, 라인들, 및 삼각형들 등과 같은 제1프리미티브들(PR1) 각각에 대한 속성들 전부를 연산하고 연산의 결과에 따라 제1프리미티브들(PR1)을 생성할 수 있다.
- [0106] 예컨대, 제1도메인 셰이더(151)는 점 데이터(P_DATA), 패치 상수 데이터(PCD), 및 테셀레이션 데이터(T_DATA)에 기초하여 생성된 제1프리미티브들(PR1) 각각에 포함된 각 점(예컨대 버텍스 및/또는 컨트롤 포인트)의 속성들 전부를 연산할 수 있다.
- [0107] 제1도메인 셰이더(151)는 연산된 속성들 전부에 기초하여 제1프리미티브들(PR1)을 생성할 수 있다.
- [0108] 프리미티브 컬링 유닛(153)과 제2도메인 셰이더(155) 각각은 제1제어 신호(CTRL1)에 응답하여 제1프리미티브들(PR1)을 바이패스할 수 있다.
- [0109] 도메인 셰이더(150A)는 제1도메인 셰이더(151)만을 이용한 싱글-패스 도메인 웨이딩을 통해 제1프리미티브들(PR1) 전부를 생성할 수 있다.
- [0110] 도 5는 도 3에 도시된 도메인 셰이더의 2-패스 도메인 웨이딩을 설명하기 위한 개념도이다.
- [0111] 도 2, 도 3, 및 도 5를 참조하면, 도메인 셰이더(150A)는, 컨트롤 로직(110)의 제어에 따라, 2-패스 도메인 웨이딩을 수행할 수 있다.
- [0112] 제1도메인 셰이더(151)는 헵 셰이더(130)로부터 출력된 점 데이터(P_DATA)와 패치 상수 데이터(PCD)와, 테셀레이터(140)로부터 출력된 테셀레이션 데이터(T_DATA)를 수신할 수 있다.
- [0113] 제2제어 신호(CTRL2)에 응답하여 동작하는 제1도메인 셰이더(151)는, 점 데이터(P_DATA), 패치 상수 데이터(PCD), 및 테셀레이션 데이터(T_DATA)를 이용해, 제1프리미티브들(PR1) 각각에 포함된 각 점(예컨대 버텍스 및/

또는 컨트롤 포인트)의 위치 속성, 예컨대 공간 좌표만을 계산할 수 있다. 예컨대, 상기 공간 좌표는 (x, y, z)에 의해 정의될 수 있다.

- [0114] 제1도메인 셰이더(151)는 계산된 공간 좌표를 이용하여 위치 속성들만을 갖는 제1프리티비브들(PR1)을 생성할 수 있다.
- [0115] 프리티비브 컬링 유닛(153)은, 제2제어 신호(CTRL)에 응답하여, 위치 속성들만을 갖는 제1프리티비브들(PR1) 중에서 보이지 않는 제3프리티비브들을 제거할 수 있다. 즉, 프리티비브 컬링 유닛(153)은 불필요한 상기 제3프리티비브들을 제거하고, 보이는 제2프리티비브들(PR2)만을 생성할 수 있다.
- [0116] 예컨대, 프리티비브 컬링 유닛(153)은 제1프리티비브와 제2프리티비브 각각의 위치 속성(예컨대, 공간 좌표)을 비교할 수 있다.
- [0117] 제1프리티비브의 2차원 좌표 범위(예컨대, x축과 y축 좌표)에 제2프리티비브의 2차원 좌표 범위가 포함되고 제1프리티비브의 깊이 좌표(예컨대, z축 좌표)가 제2프리티비브의 깊이 좌표보다 작을 때, 프리티비브 컬링 유닛(153)은 제1프리티비브를 보이는(visible) 프리티비브로 판단하고 제2프리티비브를 보이지 않는 (invisible) 프리티비브로 판단하고 판단의 결과에 따라 상기 제2프리티비브를 제거할 수 있다.
- [0118] 실시 예에 따라, 프리티비브 컬링 유닛(153)은 뷰-프러스텀 컬링(view-frustum culling), 오클루전 컬링(occlusion culling), 또는 백-페이스 컬링(back-face culling) 등을 이용하여 보이지 않는 프리티비브(들)을 제거할 수 있다.
- [0119] 프리티비브 컬링 유닛(153)은 제2프리티비브들(PR2) 각각에 포함된 각 점 (OCP)을 제2도메인 셰이더(155)로 출력할 수 있다.
- [0120] 제2도메인 셰이더(155)는 제2프리티비브들(PR2)의 위치 속성들 이외의 나머지 속성들을 연산할 수 있다. 예컨대, 제2도메인 셰이더(155)는 제2프리티비브들 (PR2) 각각에 포함된 각 점(OCP)의 위치 속성 이외의 나머지 속성들을 연산하고 연산의 결과에 따라 제2프리티비브들(PR2)을 생성할 수 있다.
- [0121] 도메인 셰이더(150A)는, 제1도메인 셰이더(151), 프리티비브 컬링 유닛(153), 및 제2도메인 셰이더(155)를 이용한 2-패스 도메인 셰이딩을 통해, 제1프리티비브들(PR1) 중에서 보이는 제2프리티비브들(PR2)을 생성할 수 있다.
- [0122] 도메인 셰이더(150A)는 프리티비브 단위로 불필요한 프리티비브들을 제거하고, 남은 프리티비브들에 대해서만 연산하여 불필요한 작업량 및/또는 불필요한 데이터를 감소시킬 수 있다. 또한, 도메인 셰이더(150A)는 불필요한 작업량 감소에 따른 전력 소모를 감소할 수 있다.
- [0123] 따라서, GPU(100)의 전체적인 성능이 향상되고, GPU(100)의 소모전력이 감소하는 효과가 있다.
- [0124] 도 6은 도 2에 도시된 도메인 셰이더의 다른 실시 예를 나타내는 개략적인 블록도이고, 도 7은 도 6에 도시된 도메인 셰이더의 싱글-패스 도메인 셰이딩을 설명하기 위한 개념도이고, 도 8은 도 6에 도시된 도메인 셰이더의 2-패스 도메인 셰이딩을 설명하기 위한 개념도이다.
- [0125] 도 2와 도 6을 참조하면, 도메인 셰이더(150B)는 제1도메인 셰이더(151), 프리티비브 컬링 유닛(153), 제2도메인 셰이더(155), 및 프리티비브 어셈블러 (primitive assembler; 157)를 포함할 수 있다.
- [0126] 프리티비브 어셈블러(157)의 동작을 제외하면, 도 3에 도시된 도메인 셰이더 (150A)의 동작과 도 6에 도시된 도메인 셰이더(150B)의 동작은 실질적으로 동일하다.
- [0127] 도 6과 도 7에 도시된 바와 같이, 도메인 셰이더(150B)는, 제1제어 신호 (CTRL1)에 응답하여, 제1도메인 셰이더(151)만을 이용하는 싱글-패스 도메인 셰이딩을 통해 제1프리티비브들(PR1) 전부를 생성할 수 있다.
- [0128] 도 6과 도 8에 도시된 바와 같이, 도메인 셰이더(150B)는, 제2제어 신호 (CTRL2)에 응답하여, 2-패스 도메인 셰이딩을 통해 제1프리티비브들(PR1) 중에서 보이는 제2프리티비브들(PR2)만을 생성할 수 있다.
- [0129] 도 8에 도시된 바와 같이, 제1도메인 셰이더(151)는, 제2제어 신호(CTRL2)에 응답하여, 점 데이터(P_DATA), 패치 상수 데이터(PCD), 및 테셀레이션 데이터 (T_DATA)를 이용하여 제1프리티비브들(PR1) 각각에 포함된 각 점의 위치 속성, 예컨대 공간 좌표만을 계산할 수 있다. 예컨대, 상기 공간 좌표는 (x, y, z)에 의해 정의될 수 있다.
- [0130] 제1도메인 셰이더(151)는 제1프리티비브들(PR1) 각각에 포함된 각 점에 대해 계산된 공간 좌표를 프리티비브 어

샘플러(157)로 전송할 수 있다.

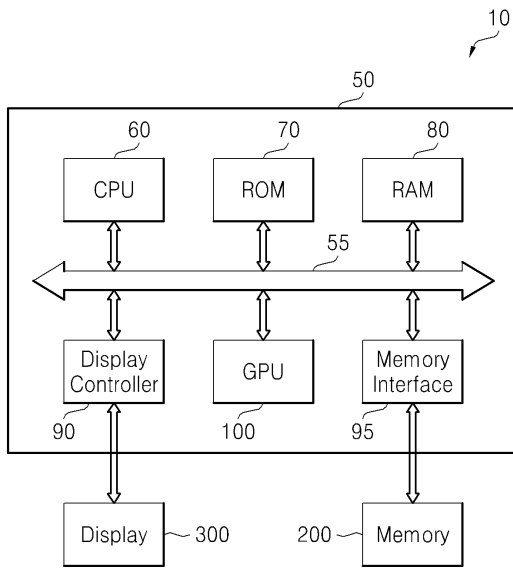
- [0131] 프리미티브 어셈블러(157)는 계산된 공간 좌표를 이용하여 위치 속성들만을 갖는 제1프리미티브들(PR1)을 생성할 수 있다. 다음 처리를 위해, 생성된 제1프리미티브들(PR1)은 프리미티브 컬링 유닛(153)으로 공급될 수 있다. 즉, 프리미티브 컬링 유닛(153)은 위치 속성들만을 갖는 제1프리미티브들(PR1) 중에서 보이지 않는 제3프리미티브들을 제거하고 보이는 제2프리미티브들(PR2)만을 생성할 수 있다.
- [0132] 도 6 또는 도 8에 도시된 도메인 셰이더(150B)의 프리미티브 컬링 유닛(153)과 제2도메인 셰이더(155)의 동작은 도 5에 도시된 프리미티브 컬링 유닛(153)과 제2도메인 셰이더(155)의 동작과 실질적으로 동일할 수 있다.
- [0133] 도 9는 도 1에 도시된 데이터 처리 시스템의 동작을 설명하기 위한 플로우차트이다. 도 1부터 도 9를 참조하면, 데이터 처리 장치(50)는 그래픽스 상태 데이터 (G_DATA)를 분석할 수 있다(S110).
- [0134] 실시 예에 따라, 그래픽스 상태 데이터(G_DATA)는 CPU(60) 및/또는 GPU(100)에 의해 분석될 수 있다.
- [0135] 데이터 처리 장치(50)는 분석의 결과에 따라 싱글-패스 도메인 웨이딩을 통해 제1프리미티브들(PR1) 전부를 생성하거나 또는 2-패스 도메인 웨이딩을 통해 보이는 제2프리미티브들만을 생성할 수 있다(S130).
- [0136] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

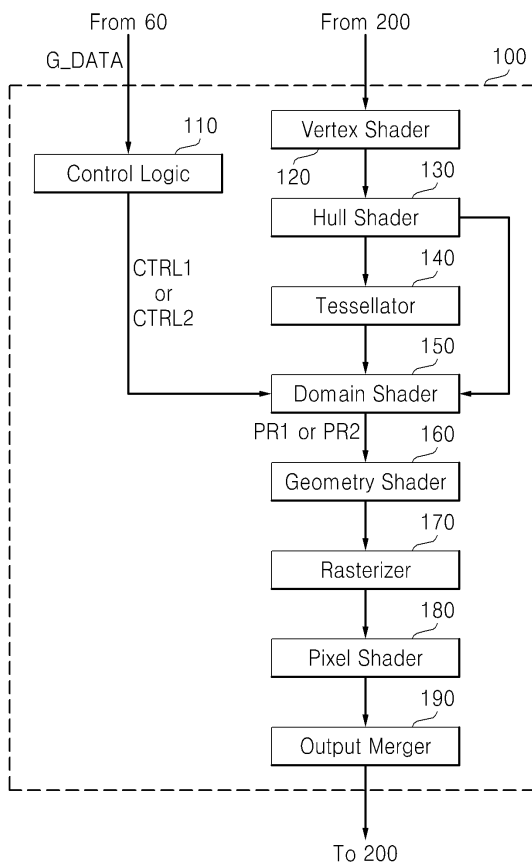
- [0137] 10: 데이터 처리 시스템
- 50: 데이터 처리 장치
- 60: CPU
- 70: ROM
- 80: RAM
- 90: 디스플레이 컨트롤러
- 95: 메모리 인터페이스
- 100: GPU
- 150, 150A, 및 150B: 도메인 셰이더
- 151: 제1도메인 셰이더
- 153: 프리미티브 컬링 유닛
- 155: 제2도메인 셰이더
- 157: 프리미티브 어셈블러
- 200: 외부 메모리
- 300: 디스플레이

도면

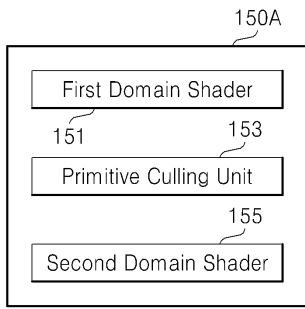
도면1



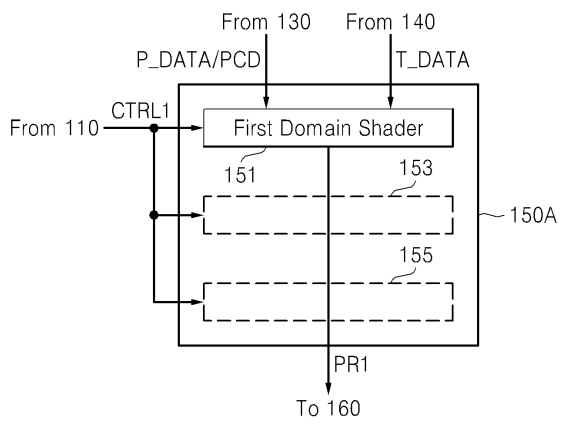
도면2



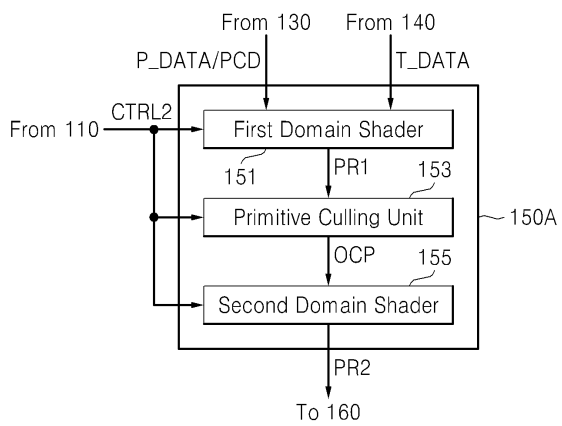
도면3



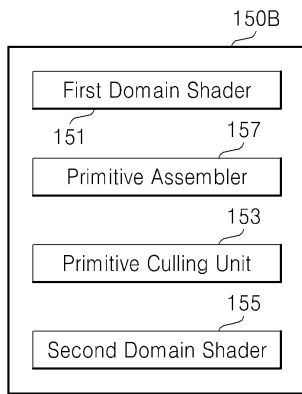
도면4



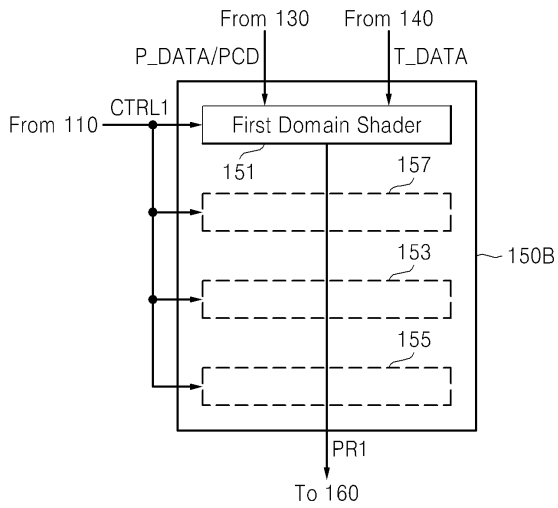
도면5



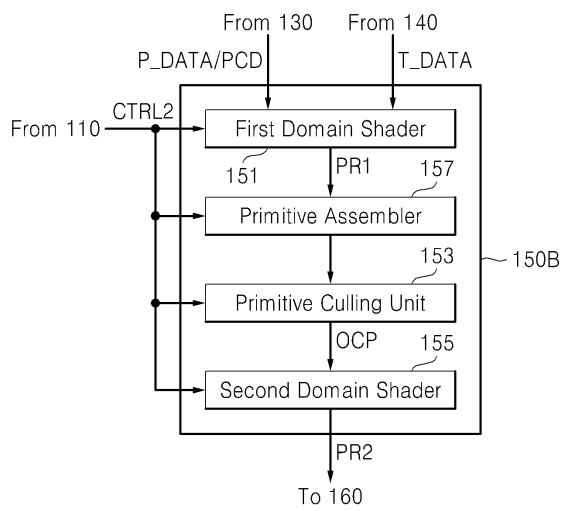
도면6



도면7



도면8



도면9

