

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 25/00 (2006.01)

H01L 21/50 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710085523.0

[43] 公开日 2008年4月16日

[11] 公开号 CN 101162717A

[22] 申请日 2007.3.7

[21] 申请号 200710085523.0

[30] 优先权

[32] 2006.10.9 [33] US [31] 11/539,814

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

[72] 发明人 赵智杰 袁从棣 潘信瑜 陈金

彭迈杉 郭祖宽

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈晨

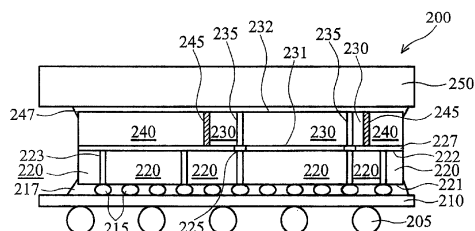
权利要求书 2 页 说明书 16 页 附图 15 页

[54] 发明名称

堆叠结构及其制造方法

[57] 摘要

一种堆叠结构，包括：第一芯片，耦接于第一基板，该第一芯片包括穿透该第一芯片的第一导电结构；第二芯片，安装于该第一芯片上，该第二芯片经由该第一导电结构而耦接该第一基板；至少一个第一支撑结构，由形成于该第一基板上的第二基板所制成，该第一支撑结构至少邻近该第一芯片与该第二芯片其中之一，该第一支撑结构的顶面大体与其邻近的该第一芯片与第二芯片其中之一共平面；以及散热片，安装于该第二芯片上。本发明的堆叠结构具有高积集度与高速度的良好效果，改善了电路的操作速率。



1. 一种堆叠结构, 包括:

第一芯片, 耦接于第一基板, 该第一芯片包括穿透该第一芯片的第一导电结构;

第二芯片, 安装于该第一芯片上, 该第二芯片经由该第一导电结构而耦接该第一基板;

至少一个第一支撑结构, 由形成于该第一基板上的第二基板所制成, 该第一支撑结构至少邻近该第一芯片与该第二芯片其中之一, 该第一支撑结构的一个顶面大体与其邻近的该第一芯片与第二芯片其中之一共平面; 以及
散热片, 安装于该第二芯片上。

2. 如权利要求 1 所述的堆叠结构, 其中该第一支撑结构包括穿透该第一支撑结构的至少一个第二导电结构, 而该第一支撑结构则经由该第二导电结构而耦接该散热片。

3. 如权利要求 1 所述的堆叠结构, 还包括第三芯片, 耦接于该第二芯片与该散热片之间。

4. 如权利要求 3 所述的堆叠结构, 还包括第二支撑结构, 设置于该第二芯片与该散热片之间。

5. 如权利要求 4 所述的堆叠结构, 其中该第二支撑结构包括穿透该第二支撑结构的至少一个第二导电构件, 而该第二支撑结构通过该第二导电结构而耦接该散热片。

6. 一种堆叠结构, 包括:

第一芯片, 耦接于第一基板, 该第一芯片包括穿透该第一芯片的第一导电结构;

第二芯片, 安装于该第一芯片上, 该第二芯片经由该第一导电结构而耦接该第一基板, 其中该第二芯片包括环绕芯片区的切割道区以及邻近该切割道区的至少一个支撑结构区, 而该支撑结构区位于该芯片区与该切割道区之间; 以及

散热片, 安装于该第二芯片上。

7. 如权利要求 6 所述的堆叠结构, 其中该支撑结构包括穿透该支撑结构

区的至少一个第二导电结构, 而该支撑结构区域则经由该第二导电结构而耦接该散热片。

8. 如权利要求 6 所述的堆叠结构, 还包括至少一个隔离区, 位于该芯片区与该支撑结构区之间。

9. 一种堆叠结构的制造方法, 包括下列步骤:

在第一基板上依次安装第一芯片与第二芯片;

在该第一芯片上形成至少一个第一支撑结构, 该第一支撑结构邻近至少该第一芯片与该第二芯片其中之一, 且具有大体与其邻近的至少该第一芯片与该第二芯片之一共平面的顶面, 其中该第一支撑结构的顶面具有不少于该第一与第二芯片的较大者的芯片区 20% 的区; 以及

在该第二芯片上安装散热片。

10. 如权利要求 9 所述的堆叠结构的制造方法, 其中该第一支撑结构包括第二基板。

11. 如权利要求 10 所述的堆叠结构的制造方法, 还包括形成穿透该第二基板的至少一个第二导电结构的步骤, 其中该第一基板通过该第二导电结构而耦接该散热片。

12. 如权利要求 9 所述的堆叠结构的制造方法, 还包括在该第二芯片与该散热片间安装第三芯片的步骤。

13. 如权利要求 12 所述的堆叠结构的制造方法, 还包括在该第二芯片与该散热片间形成第二支撑结构的步骤。

14. 如权利要求 13 所述的堆叠结构的制造方法, 其中该第二支撑结构包括第二基板。

15. 如权利要求 14 所述的堆叠结构的制造方法, 还包括形成穿透该第二基板的至少一个第二导电结构的步骤, 其中该第一基板通过该第二导电构件而耦接该散热片。

堆叠结构及其制造方法

技术领域

本发明涉及半导体结构(semiconductor structures)及其制造方法,特别是涉及一种堆叠结构及其制造方法。

背景技术

随着电子产品的发展,半导体技术已广泛地应用于内存、中央处理器(CPU)、液晶显示器(LCD)、发光二极管(LED)、雷射二极管以及其它装置或芯片组的制作。为了达到高积集度与高速的目标,半导体集成电路的尺寸持续地微缩。为了达到如此积集度与速度的目标,便发展出多种不同的材料与技术,以克服制造上的相关问题。为了达到前述目标,便发展出了包含复合基板(multiple substrates)的堆叠结构,以改善电路的操作速率。

图 1 显示了公知的堆叠结构的剖面附图。

请参照图 1,显示了堆叠结构 100,其包括依次设置于基板 110 上的芯片 120、130 与 140,堆叠结构 100 还包括凸块(bump)结构 105。一般而言,芯片 120、130 与 140 具有不同的电路因而具有不同的功能。因此,芯片 120、130、140 间尺寸可能互不相同。在此,芯片 120 是通过凸块结构 115 而耦接于基板 110。在芯片 120 与基板 110 间则填有底胶 117。芯片 120 则包括穿透其本身的导电结构 123。芯片 130 还包括穿透其本身的导电结构 133。芯片 120 与 130 则通过位于芯片 120 与 130 间的焊垫 125 而相互耦接。芯片 140 则包括穿透其本身的导电结构 143。芯片 140 经由焊垫 135 而耦接于芯片 130。

在结合之前,芯片 120、130 与 140 需先通过判别故障芯片的电性测试。若芯片 120、130 与 140 通过这些电性测试,其便接着安装至基板 100 上。倘若芯片 120、130 与 140 无法通过上述电性测试,芯片 120、130 与 140 将被丢弃。芯片 120、130 与 140 则分别包括主动区(未显示),该主动区内含有分别形成于表面 121、131 与 141 上的晶体管、二极管与电路等组件。而在这些主动区操作时,将在其表面处产生热能,例如分别在芯片 120、130 与

140 上的表面 121、131 与 141 上的 a、b 和/或 c 等处产生热能。在部分情形中，产生在这些位置处的热能可通过表面 122、132 和/或 142 处逸散。若这些热能无法逸散时，即使芯片 120、130 与 140 在安装前已分别通过电性测试，这些累积在堆叠结构内的主动区的热能仍将导致芯片 120、130 与 140 失效的情形。

此外，在邻近 a 处所产生的电子信号可通过形成于芯片 120 的表面 121 上的金属图案(未显示)以及通过导电结构 123、125、133 与 135 而传输至芯片 140。上述传输信号的金屬图案结构非常复杂。如此复杂结构的金属图案将增加金属图案内相邻金属线路间的寄生电容值。这些寄生电容值将负面地影响堆叠结构的电性表现。

基于前述理由，有需要较为改善的堆叠结构与其制造方法。

发明内容

有鉴于此，本发明提供了一种堆叠结构及其制造方法。

依据一种实施例，本发明提供了一种堆叠结构，包括：

第一芯片，耦接于第一基板，该第一芯片包括穿透该第一芯片的第一导电结构；第二芯片，安装于该第一芯片上，该第二芯片经由该第一导电结构而耦接该第一基板；至少一个第一支撑结构，由形成于该第一基板上的第二基板所制成，该第一支撑结构至少邻近该第一芯片与该第二芯片其中之一，该第一支撑结构的一个顶面大体与其邻近的该第一芯片与第二芯片其中之一共平面；以及散热片，安装于该第二芯片上。

依据又一实施例，本发明提供了一种堆叠结构的制造方法，包括下列步骤：

在第一基板上依次安装第一芯片与第二芯片；在该第一芯片上形成至少一个第一支撑结构，该第一支撑结构邻近至少该第一芯片与该第二芯片其中之一，且具有大体与其邻近的至少该第一芯片与该第二芯片之一共平面的顶面，其中该第一支撑结构的顶面具有不少于该第一与第二芯片的较大者的芯片区 20% 的区；以及在该第二芯片上安装散热片。

本发明的堆叠结构具有高积集度与高速度的良好效果，改善了电路的操作速率。

为了让本发明的上述和其它目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附的附图，作详细说明如下：

附图说明

图 1 显示了一种公知堆叠结构的剖面情形；

图 2A-2E 为一系列剖面示意图，分别显示了依据本发明的多个实施例中的堆叠结构；

图 2F 为上视示意图，显示了图 2A 内的芯片区与支撑结构区；

图 2G 为剖面示意图，显示了形成于基板内的支撑结构；

图 3A-3F 为一系列剖面示意图，分别显示了依据本发明的多个实施例中具有三芯片的堆叠结构；

图 4A 与图 4B 为放大剖面示意图，分别显示了导电结构 423 的结构；

图 5A-5G 为一系列剖面示意图，显示了形成如图 3F 所示的堆叠结构的工艺；

图 5H-5L 为一系列剖面示意图，分别显示了具有不同芯片尺寸的堆叠芯片结构。

主要元件附图符号说明：

公知部分

100~堆叠结构；105、115~凸块结构；110~基板；120、130、140~芯片；121、131、141、122、132、142~芯片表面；123、133、143~导电结构；125、135~焊垫；a~芯片 120 上的一处；b~芯片 130 上的一处；c~芯片 140 上的一处。

发明部分

200~堆叠结构；205、215~凸块结构；210~基板；217~底胶层；220、230~芯片；221~黏着于凸块结构的芯片 220 的表面；222~黏着于芯片 230 的芯片 220 的表面；223、235~导电结构；225、225a、225b、225c~导电结构；227~隔离层；231~黏着于芯片 220 的芯片 230 的表面/切割道区；232~黏着于散热片 250 的芯片 230 的表面；235、235a、235b、235c、235d~导电结构；240、240a、240b~支撑结构；245、245a、245b~隔离结构；247~黏着层；250~散热片；260、260a、260b~导电结构；270~基板；

300~堆叠结构; 305、315~凸块结构; 310~基板; 317~底胶层; 321~黏着于凸块结构 315 之芯片 320 表面; 323、325~导电结构; 327~隔离层; 320、330、370~芯片; 331~黏着于芯片 320 的芯片 330 的表面; 332~黏着于散热片 350 的芯片 330 的表面; 340、380~支撑结构; 345~隔离结构; 347~黏着层; 350~散热片; 363、369~隔离层; 365~导电结构; 323、335、367、360、390~导电构件; 369~隔离结构; 371~黏着于芯片 330 的芯片 370 的表面; 372~黏着于散热片 350 的芯片 370 的表面/芯片 370 的顶面;

411、413~阻障层; 419~导电层; 420~芯片; 421、422~芯片 420 的表面; 423~导电结构; 447、449、455~导电层; 451~阻障层; 457~介电层;

501~基板; 505、515~凸块结构; 510~芯片区/基板; 517~底胶层; 523、525~导电结构; 527、563~隔离层; 530~芯片; 535~导电结构; 540~隔离结构; 527、545~隔离层; 547~黏着层; 550~散热片; 563~隔离层; 565a、567a~导电结构; 525、535、560、565、567、590~导电结构; 563、569~隔离层; 570~芯片区/芯片; 570a、570b~支撑结构区; 540、580~支撑结构/支撑结构区。

具体实施方式

在下文的较佳实施例及相关附图中, 如“较低”、“较高”、“水平的”、“垂直的”、“之上”、“之下”、“上”、“下”、“顶”与“底”等描述及其衍生的相关描述用于指出所欲描述的方位与附图中所出现的情形。上述描述是用于说明, 而非限定实际装置需要一定按照这样的方位设置。

图 2A-2D 为一系列剖面附图, 分别表示依据不同实施例的堆叠结构。

请参照图 2A, 在一个实施例中, 堆叠结构 200 包括依次设置于基板 210 上的芯片 220 与 230, 基板 210 则例如为一印刷电路板(PCB)。在部分实施例中, 安装芯片 220 与 230 的方法与芯片 220 与 230 的结构可参照同属本案让与人的申请中美国专利申请案(申请号为 11/563,973, 申请日为 11/28/2006), 并以提及方式将其内容并入于本文中。

在基板 210 下方设置有多个凸块结构 205。凸块结构 205 用于机械地与电性地连结基板 210 与如另一印刷电路板的另一基板(未显示)。在部分实施例中, 芯片 220 通过如球栅数组封装(BGA)程序或打线结合(wire bonding)程

序而安装于基板 210 上。芯片 220 可通过多个凸块结构 215 而安装于芯片 220 上。再者，基板 210 与芯片 220 间可填入如环氧树脂的底胶层 217，用以绝缘这些凸块结构 215 并增进如图 2A 所示结构的机械强度。

芯片 220 可包括 P 或 N 型硅基板、III-V 族化合物基板、如液晶显示器、电浆显示器、电激发光显示器的显示基板或发光二极管基板。在部分实施例中，芯片 220 包括如内存、数字电路、模拟电路、芯片上系统(SOC)、绘图处理单元(GPU)或者包含多种类型的二极管、晶体管与电路的其它类型芯片。芯片 220 还包括形成并穿透芯片 220 的至少一个导电结构，例如为导电结构 223。导电结构 223 形成了黏着于凸块结构 215 的芯片 220 的表面 221 以及黏着于芯片 230 的芯片 220 的一个对应表面 222 间的电性连结关系和/或热连结关系。导电结构 223 将通过下文中图 4A-4B 及相关描述做一详细描述。芯片 220 还可包括主动区(未显示)，在主动区内形成有晶体管、装置和/或电路。芯片 220 的主动区可位于上黏着于凸块结构 215 的芯片 220 的表面 221 上或位于黏着于芯片 230 的芯片 220 的表面 222 上。通过凸块结构 215，则可形成位于表面 221 或表面 222 上的主动区则可通过电性耦接于通过一导电结构(未显示)，例如形成于基板 210 之内或之上的金属图案，而电性耦接于凸块结构 205。

在部分实施例中，芯片 220 由分割如晶圆的基板而形成，该基板包括多个相同或相似于芯片 220 的芯片。在分割程序进行前，将先行基板针对施行电性测试，即施行晶圆可靠度测试(WAT)或其它电性测试，用以判定基板上芯片的可靠度。在完成电性测试后，上述基板接着通过后侧研磨程序以在进行分割之前薄化基板。并在分割程序完成后，通过电性测试的芯片 220 将安装在基板 210 上。

芯片 230 安装于芯片 220 上并介于隔离结构 245 间，在此隔离结构 245 采用斜线图标表示，以如图 2A 的导电结构 235 与 223 的导电结构产生区隔。隔离结构 245 可包括如环氧树脂或其它适用于作为底胶之用的材料。隔离结构 245 可为分离区域，或可为延伸并围绕芯片 230 的连续环状物的一部分。芯片 230 可通过如金属连结程序、氧化连结程序或黏着连结程序而安装于芯片 220 上。在部分实施例中，芯片 230 覆晶安装于芯片 220 上。在其它实施例中，芯片直接安装于芯片 220 上而不经覆晶程序。在芯片 220 与散热片

250 间则形成有多个支撑结构 240。这些支撑结构 240 将在下文中详细描述。

在部分实施例中，芯片 230 的尺寸少于芯片 220 的尺寸，芯片 230 至少在如图 2A 所示的长度(即水平)方向上尺寸少于芯片 220 的尺寸。芯片 230 可包括 P 或 N 型硅基板、III-V 族化合物基板、如液晶显示器、电浆显示器、电激发光显示器的显示基板或发光二极管基板。在部分实施例中，芯片 230 可包括穿透它的至少一个导电构件，例如导电构件 235。导电构件 235 形成了黏着于散热片 250 的芯片 230 的表面 232 与黏着于芯片 220 的芯片 230 的另一表面 231 间的电性耦接关系和/或热能上耦接关系。在部分实施例中，导电结构 235 相同或相似于前述的导电结构 223。再者，芯片 230 可包括设置有晶体管、装置和/或电路(均未显示)的主动区(未显示)。芯片 230 的主动区则可形成于黏着于散热片 250 的芯片 230 的表面 232 上或黏着于芯片 220 的芯片 230 的表面 231 上。再者，芯片 230 的主动区则可通过如焊垫或凸块的至少一个导电结构 225 而耦接于芯片 220 的主动区。形成于表面 231 或表面 232 上的主动区可通过导电结构 223 与 225 而耦接于凸块结构 215。导电结构 225 可包括如铝层、铜层、铝铜层、金层、锡铅层或其它导电材料层。在部分实施例中，在芯片 220 与 230 间形成有如环氧树脂层的隔离层 227，以隔离芯片 220 与 230 上的主动区与导电结构 225。在部分实施例中，隔离层 227 与隔离结构 245 系由相同或不同材料所形成且可以是如分散或涂布程序等相同程序所形成。值得注意的是，当芯片 230 与支撑结构 240 间的绝缘或导电结构 225 间绝缘问题不重要时则可省略隔离层 227 和/或隔离结构 245。

在部分实施例中，导电结构 225 首先形成于芯片 220 上，而芯片 230 的导电结构 235 则接着与之相黏结。在其它实施例中，导电结构 225 系形成于芯片 230 的表面 231 上，而芯片 230 的导电结构 225 则接着相黏于芯片 220 的导电结构 223。而在其它实施例中，当芯片 220 与 230 的导电结构为相互黏着时，芯片 220 与 230 则分别由导电结构 235 所分别设置而成的导电结构(未显示)。

在部分实施例中，芯片 230 系通过分割如晶圆的基板(未显示)所形成，上述基板包括多个相同或相似于芯片 230 的芯片。形成芯片 230 的程序则相似于关于芯片 220 的先前描述。在经过电性测试、晶圆研磨程序与芯片分割程序后，芯片 230 将可安装于芯片 220 上。

在如图 2A 所示的实施例中, 支撑结构 240 形成于芯片 220 上。支撑结构 240 邻近或紧贴于芯片 230, 其扩展至隔离结构 245 处并具有大体相同于芯片 230 高度的高度。换句话说, 支撑结构 240 的顶面大体与芯片 230 的顶面 232 共平面。在部分实施例中, 支撑结构 240 的顶面的区域占芯片 220 与 230 中较大者的芯片区约 20% 或更多。举例来说, 如图 2A 所示, 芯片 220 大于芯片 230, 而支撑结构 240 的顶面区域则占芯片 220 的芯片区的 20% 或更多。芯片 220 的芯片区可以是环绕芯片的切割道(未显示)所定义出的实际区域。在部分实施例中, 支撑结构 240 可由如图 2G 所示的基板 270 所形成, 例如为硅基底、III-V 族化合物基底、印刷电路板、导电基板、塑料基板或其它可形成有导电结构的基板。在基板 270 内形成支撑结构 240 后, 基板 270 可经过后侧研磨程序处理并沿着支撑结构 240 间的凹陷处(未标号)施行切割程序而分割开来。在如图 2A 所示的实施例中, 在支撑结构 240 内不具有穿透支撑结构 240 的导电结构。在上述实施例中, 当散热片 250 安装于芯片 240 上时, 支撑结构 240 位于散热片 250 与芯片 220 之间, 以形成期望的机械支撑作用。

在部分实施例中, 支撑结构 240 是由分割包括多个结构相同或相似于支撑结构 240 的基板所形成。包括多个支撑结构 240 的基板(未显示)在经过切割后可获得具有特定尺寸的组件。在切割基板以得到支撑结构 240 之前, 基板先需经过后侧研磨程序以将其薄化。

在其它实施例中, 支撑结构 240 与芯片 230 可为形成于相同基板上且通过相同程序所形成的数个区域(例如支撑区域与芯片区域)。在这些实施例中, 隔离结构 245 可为定义形成于基板内支撑结构 240 与芯片 230 间的隔离区域(例如为孔隙或空间或空的环状物)所取代。而在如图 2F 所示的其它实施例中, 则可省略这些隔离区。切割道区 231 环绕支撑结构区 240 与芯片区 230。换句话说, 支撑区 240 即为占据介于切割道区 231 与芯片区 230 的区域。在如图 2F 所示, 介于芯片区 230 与切割道区 231 间的支撑结构区 240 具有不少于 150 微米的宽度“w”。

包括这些支撑结构 240 与芯片区 230 的基板在经过电性测试后, 接着施行后侧研磨程序与芯片分割程序以得到多个芯片, 这些芯片则分别包括对应的支撑结构 240 与芯片 230。芯片接着将安装于芯片 220 上。

散热片 250 安装于芯片 230 上并通过黏着层 247 而耦接于包含芯片 230 的区域,黏着层 247 例如是导热材料层。散热片 250 则可包括如铝层、铜层、铝铜层或其它导热的膜层。在芯片 220 与 230 的主动区(未显示)处所产生的热能,例如分别于芯片 220 与 230 的表面 221 与 231 处所产生的热能,则可为导电结构 223、225、235 和/或黏着层 247 传导至散热片 250 处并在该处逸散。如前所述,由于支撑结构 240 系设置于芯片 220 上且具有大体相同于芯片 230 高度的高度。因此芯片 230 与支撑结构 240 形成了用于安装散热片 250 的大体平整表面。

在部分实施例中,支撑结构 240 包括多个依次安装的基板。举例来说,支撑结构 240 可包括两堆叠基板(未显示)。堆叠基板的总高度大体相同于芯片 230 的高度以使得堆叠基板的顶面大体与芯片 230 的顶面 232 共平面。如果多重支撑结构具有适当的机械支撑、电子传递和/或热逸散等功效,则可采用如此的多重支撑结构 240。

图 2B 则显示了堆叠结构的剖面示意图,其内支撑结构 240 包括形成并穿透支撑结构 240 的至少一个导电结构,例如为导电结构 260。在图 2A 与图 2B 中,相同组件采用了相同编号。导电结构 260 则将详细描述在图 4A-4B 等附图及其相关描述中。如图 2B 所示,在黏着于凸块结构 215 的芯片 220 的表面 221 处产生的热能此时不仅通过导电结构 223、225、235 以及黏着层 247 而逸散至散热片 250 处,其还通过导电结构 223、225、260 与黏着层 247 而逸散至散热片 250 处。此外,在芯片 220 与 230 的表面 222 与 231 所产生的热能可不仅通过导电构件 235 与黏着层 247 而传导至散热片 250 处,其还可通过导电构件 260 与黏着层 247 而传导至散热片 250 处。因此,设置于散热片 250 与芯片 220 间的支撑结构 240 除了在安装散热片 250 时具有适当的机械支撑效用,其还在芯片 220 与散热片 250 间形成适当的散热通道。

图 2C 显示了一种实施例的剖面示意图,其中芯片 220(由隔离区 245 所定义出的区域)小于芯片 230。在图 2A 与图 2C 中,相同的组件采用相同标号。图 2C 中所示的导电结构 223a-c、225a-c 以及 235a-c 相似于如图 2A 所示的导电结构 223、225 与 235。在实施例中,导电结构显示为 223a-c、225a-c 以及 235a-c。在图 2C 中,支撑结构 240 设置在基板 210 上。支撑结构 240 位于基底 210 与芯片 230 之间,以在安装芯片 230 和/或散热片 250 时提供适

当之机械支撑效用。

图 2D 则为另一实施例的剖面示意图, 其中芯片 220 小于芯片 230。在图 2B、2C 与 2D 中, 相同组件采用相同标号。导电结构在此显示为 223a-c、225a-d 以及 235a-d。在图 2D 中, 安装于基板 210 与芯片 230 间的支撑结构 240 不仅在安装芯片 230 和/或散热片 250 时提供期望的机械支撑效用, 其还形成了热逸散通道, 因此产生黏着于凸块 215 的芯片 220 的表面 221 处的热能可逸散至散热片 250 处。

再者, 形成穿透支撑结构 240 的导电结构 260 还在芯片 230 与基底 210 间形成了电性传输。举例来说, 芯片 230 的主动区(未显示)形成于芯片 230 的表面 231 上。电子信号(例如产生于接近导电结构 235a 处的芯片的表面 231 处的电流)可经过形成于主动区内的金属图案(未显示)而传输至如图 2C 所示的导电结构 225a 处。上述电子信号可接着通过导电结构 225a 与 223a 传输至凸块结构 215 与基板 210 处。如此, 由于形成于如图 2C 所示的芯片 230 的主动区内的金属图案结构极为复杂。通过形成如图 2D 所示的支撑结构 240, 产生于接近于导电结构 235a 的芯片 230 的表面 231 的信号可通过导电结构 225d 与 260 而传输至导电凸块 215。因此, 可较为简化如图 2D 所示的形成于芯片 230 的主动区的金属图案(未显示)的绕线情形。因而可有效地降低产生于主动区内的寄生电容。

如图 2E 所示的其它实施例中, 则依次在基板 210 上形成两支撑结构 240a 与 240b, 这些支撑结构 240a 与 240b 分别相同于前述的支撑结构 240 并分别邻近或仅靠芯片 220 与 230, 以提供适当的机械支撑、热逸散和/或电子传输功能。由于支撑结构 240a 与 240b 形成于两个芯片膜层中, 而非仅环绕顶部芯片 230 (请参照图 2A)或仅环绕底部芯片(请参照图 2C)。在此, 导电结构 260a 与 260b 则可相似或相同于导电结构 260。隔离层 245a 与 245b 则可相同或相似于隔离层 245。如图 2E 所示, 堆叠结构至少在长度上较芯片 220 与 230 之一大。图 2E 还显示了上述芯片之一或全部还扩展朝向至少堆叠结构的一边。在本实施例中, 位于顶部的芯片 230 向堆叠结构的右侧扩展, 但结束于其隔离结构 245b 之左侧。虽然堆叠结构包括延伸超过芯片 220 与 230 的尺寸, 只要具有适当的机械支撑、热逸散和/或电子传输等功能, 这样的堆叠结构仍是可行的。

图 3A-3F 则是一系列剖面示意图,显示了依据其它实施例的具有三芯片的堆叠结构。在图 3A-3F 中,相同于图 2A 中组件的将采用图 2A 内标号加上 100 表示。

如图 3A 所示,芯片 370 安装于位于隔离结构 369 间的芯片 330 上,在图 3A 中隔离结构 369 则标示为斜线图示。芯片 370 可通过如金属连结程序、氧化连结程序或黏着物连结程序而安装于芯片 330 上。在部分实施例中,芯片 370 覆晶安装于芯片 330 上。在其它实施例中,芯片 370 则直接地安装在芯片 330 上而未经过覆晶程序。

在部分实施例中,芯片 370 的尺寸至少在如图 3A 所示的水平方向上小于芯片 330 的尺寸。芯片 370 可包括 P 或 N 型硅基底、III-V 族化合物基板、如液晶显示器、电浆显示器、电激发光荧光显示器的显示基板或发光二极管基板。在部分实施例中,芯片 370 可包括穿透它的至少一个导电构件,例如导电构件 367。导电构件 367 形成了黏着于散热片 350 的芯片 370 的表面 372 与黏着于芯片 330 的芯片 370 的另一表面 371 间的电性耦接情形和/或热能耦接情形。在部分实施例中,导电结构 367 相同或相似于如前所述的导电结构 323 或 335。再者,芯片 370 可包括设置有晶体管、装置和/或电路的主动区(未显示)。芯片 370 的主动区可形成于黏着于散热片 350 的芯片 370 的表面 372 上或黏着于芯片 330 的芯片 370 的表面 371 上。再者,芯片 370 的主动区可通过如焊垫或凸块的至少一个导电结构 365 而耦接于芯片 330 的主动区。芯片 370 的主动区亦通过导电结构 365、335、325、323 和/或凸块结构 315 而耦接于芯片 320 的主动区与基板 310。导电结构 367 可包括如铝层、铜层、铝铜层、金层、锡铅层或其它导电材料层。在部分实施例中,在芯片 330 与 370 间形成有如环氧树脂层的隔离层 363,用以隔离芯片 330 与 370 的主动区以和导电结构 365。在部分实施例中,隔离层 363 以及 369 由相同或不同材料所形成,且可通过如分散或涂布程序的同一程序例所形成。在部分实施例中,形成芯片 370 的分割方法相同或相似于相关于图 2A 的描述中的分割形成芯片 220 的方法。经过电性测试后与后侧研磨以及芯片切割后,芯片 370 可安装在芯片 330 上。

在芯片 330 和/或支撑结构 340 上可形成如支撑结构 380 的另一支撑结构。支撑结构 380 可形成于邻近芯片 370 处,并具有大体相同于芯片 370 高

度的高度。换句话说，支撑结构 380 的顶面大体与芯片 370 的顶面 372 共平面。在部分实施例中，支撑结构 380 顶面的区域约占芯片 320、330 与 370 中较大者之一的区域的 20%或更多。举例来说，如图 3A 所示，芯片 320 较芯片 330 与 370 为大，而支撑结构 380 的顶面约占芯片 320 区域的 20%或更多。在部分实施例中，支撑结构 380 可包括硅基底、III-V 族化合物基板、印刷电路板、导电基板、塑料基板、或可形成有导电结构在其内的其它基板。在如图 3A 所示的实施例中，并无导电结构形成通过支撑结构 340 与 380。在这些实施例中，支撑结构 340 与 380 位于散热片 350 与芯片 320 之间，以安装散热片 350 于芯片 370 上时形成期望的机械支撑。支撑结构 380 可按照前述的形成支撑结构 240 的方式而形成。在部分实施例中，芯片 370 与支撑结构 380 可由按照前述方式而由同一基板所形成。

图 3B 显示了三芯片堆叠结构的剖面示意图，其内的支撑结构 340 与 380 中包括至少一导电结构，例如为分别形成穿透支撑结构 340 与 380 的导电结构 360 与 390。在此，在图 3A 与 3B 中相同组件采用相同标号。如图 3B 所示，黏着于凸块结构 315 的芯片 320 表面 321 上产生的热不仅通过导电结构 323、325、335、365、367 以及黏着层 347 逸散至散热片 350 处且经由导电构件 323、325、360、365、390 以及黏着层 347 而逸散至散热片 350 处。再者，产生于芯片 320 与 330 的表面 322 与 331 上的热可不仅通过导电结构 335、365、367 以及黏着层 347 而传导至散热片 350 且亦通过导电结构 335、365、390 以及黏着层 347 而传导至散热片 350 处。这样，形成于散热片 350 与芯片 320 间的支撑结构 340 与 380 不仅于安装散热片时形成了机械上的支撑，且形成了其间的热逸散通道。

在部分实施例中，支撑结构 340 或 380 之一中具有导电结构 360 或 390。举例来说，支撑结构 380 包括形成并穿透的导电结构 390，而支撑结构 340 则不包括形成并穿透的导电结构 360。对于该实施例而言，支撑结构 380 作为热逸散的通道和/或机械支撑。不具有形成并穿透的导电结构 360 的支撑结构 340 则在安装散热片 350 时作为机械支撑之用。熟悉本领域的技术人员可适度修正支撑结构 340 与 380，以于安装散热片 350 时得到期望的热逸散及机械支撑效用。

在部分实施例中，芯片 370 的尺寸大体相似于芯片 320 的尺寸。在这些

实施例中，支撑结构 380 以及隔离层 369 则可省略。再者，除了热逸散效用之外，参照先前图 2C-2D 及相关描述，导电结构 325、360、365 和/或 390 还可作为用于信号传递之用。在其它实施例中，可在基板 310 上邻近于芯片 320 处还形成具有或不具有导电结构形成穿透额外支撑结构。在这些实施例中，分别具有支撑结构 380 的芯片 320、330 与 370 形成并相邻。相同于图 2E 的堆叠结构 200 及其相关描述，虽然堆叠结构 300 的水平尺寸大于各别芯片 320、330 和/或 370 的水平尺寸，其仍可达到期望之机械支撑、热逸散和/或信号传递功效。

图 3C 为显示了一种实施例的示意剖面图，其中芯片 330 大于芯片 320 与 370。在图 3A 与图 3C 中，相同组件采用相同标号。如图 3C 所示，支撑结构 340 与 380 可分别形成于基板 310 与芯片 330 之间以及于散热片 350 与芯片 330 之间。支撑结构 340 形成于芯片 320 上，以在安装芯片 330、370 和/或散热片 350 时形成适当的机械支撑作用。支撑结构 380 则形成于芯片 330 上，以在安装散热片 350 时形成期望的机械支撑作用。

图 3D 为另一实施例的剖面示意图，其中芯片 330 大于芯片 320 与 370，而支撑结构 340 与 380 包括分别形成并穿透它的导电结构 360 与 390。在图 3B 与图 3D 中，相同组件采用相同标号。在图 3D 中，支撑结构 340 与 380 分别安装在基板 310 与 330 之间以及散热片 350 与芯片 330 之间，其不仅在安装芯片 330、370 和/或散热片 350 形成了期望的机械支撑作用，其还通过导电结构 325、335、360、365 和/或 390 而提供了散热用和/或信号传输用的信道。

图 3E 则显示了另一实施例的剖面示意图，其中芯片 370 大于芯片 320 与 330，而支撑结构 340 与 380 分别包括形成并穿透的导电结构 360 与 390。在图 3A 与图 3E 中，相同组件采用了相同标号。在图 3E 中，支撑结构 340 与 380 分别形成于基板 310 与芯片 330 之间以及在芯片 320 与 370 之间。支撑结构 340 安装在基板 310 上以在安装芯片 330、370 和/或散热片 350 时形成适当的机械支撑作用。支撑结构 380 系安装于芯片 320 上以在安装芯片 370 和/或散热片 350 时形成机械支撑作用。

图 3F 为依据又一实施例的剖面示意图，其中芯片 370 系大于芯片 320 与 330。在图 3A 与图 3F 中，相同组件采用了相同标号。在图 3F 中，支撑

结构 340 与 380 分别形成于基板 310 与芯片 330 之间以及芯片 320 与 370 之间，这些支撑结构不仅在安装芯片 330、370 和/或散热片 350 时形成适当的机械支撑作用，其还通过导电结构 325、360、365、367 和/或 390 而形成了热逸散和/或信号传递的信道。

图 4A 与图 4B 为导电结构的放大剖面图，这些导电结构可用于如图 2A-2E 与图 3A-3F 中所示的导电结构 223、235、323、325。

如图 4A 所示，导电结构 423 包括介电层 457、阻障层 411、413 以及形成并穿透芯片 420 的导电层 419。导电结构 423 的一端通过形成于芯片 420 的表面 421 或 422 上之一金属图案(未显示)而耦接于一主动区(未显示)。导电结构 423 可包括如一介层结构、接触结构、沟槽结构、镶嵌结构、双镶嵌结构、多重膜层内连结构或适用于形成穿过芯片的导电通路的其它结构。

介电层 457 可为氧化物层、氮化物层、氮氧化物层或适用于绝缘导电层 419 与芯片 420 的其它部分的其它介电膜层。介电层 457 可通过如化学气相沉积法的方法所形成。阻障层 411 与 413 可包括如钛层、氮化钛层、氮化钽层、钽层或其它适于降低或避免导电层 419 的离子扩散进入芯片 420 的环绕区域中的材料层。阻障层 411、413 可通过如化学气相沉积或物理气相沉积的程序所形成。导电层 419 可包括铝层、铜层、铝铜层、多晶硅层或其它导电材料层。导电层 419 可通过化学气相沉积、物理气相沉积、电化学电镀、无电电镀的程序或其它适用于形成导电层的程序所形成。

图 4B 则显示导电结构 423 的另一实施例的剖面示意图。如图 4B 所示，导电结构 423 还包括多重膜层结构，其包括导电层 447、449、455 以及阻障层 451。导电层 447、449、455 与阻障层 451 形成于介电层 457 中。介电层 457 可包括如氧化物层、氮化物层、氮氧化物层、低介电常数材料层或其它适用于绝缘多重膜层结构中的导电构件的介电材料层。导电膜层 447 与 455 可包括如铝层、铜层、铝铜层或其它含金属的膜层。导电层 447 与 455 可通过如化学气相沉积、物理气相沉积、电化学电镀、无电电镀等程序或类似程序所形成。阻障层 451 可包括如钛层、氮化钛层、钽层、氮化钽层及其它适用于避免或降低导电层 449 的金属离子扩散进入介电层 457 的材料层。导电层 449 可包括铝层、铜层、铝铜层、多晶硅层或其它导电材料层。在部分实施例中，此多重膜层结构为形成于芯片 420 的主动区上的一部分，且可通过

于芯片 420 形成的主动区的工艺所形成。

在部分实施例中，当图 4A 与图 4B 的导电结构 423 应用分别显示在图 2B、2D、2E、3B、3D 与 3F 中的导电结构 260、360 与 390 时，当导电层 419 的绝缘和/或芯片 420 内的金属离子情形并不重要时，可省略导电结构 423 内的介电层 457 和/或阻障层 413 等结构。提供机械支撑、热逸散和/或信号传输等作用的支撑结构可能不包括其内装置或形成晶体管的主动区，但该支撑结构可能包括形成于其上且用于信号传输的金属图案。由于该金属图案较形成于主动区内的装置或晶体管为不敏感，故导电结构 419 的金属离子扩散情形将不会负面地影响金属图案的电性特性，进而允许了省略导电结构 260 中的导电层 457 与阻障层 412 的情形。

图 5A-5G 则显示了形成如图 3F 所示的堆叠芯片结构的实施例。在图 5A-5G 中，相同于图 3F 内的组件将采用图 3F 内的标号并加上 200。

如图 5A 所示，芯片区 570 形成于基板 501 上。基板 501 可为 P 或 N 型硅基板、III-V 族化合物基板、如液晶显示器、电浆显示器、电激发光显示器的显示基板或发光二极管基板。在这些实施例中，主动区形成于基板 501 的表面 502 上并对应于芯片区 570。导电结构 567 则形成并穿透芯片区 570。

芯片 530 安装于基板 501 上，其对应于芯片区 570 并通过导电结构 565 而耦接芯片区 510。芯片 530 可包括形成并穿透芯片 530 的导电结构 535。芯片 530 可通过金属连结程序、氧化连结程序或黏着物连结程序等程序而安装于芯片区 570 上。

如图 5B 所示，在基板 501 上形成有支撑结构 580，支撑结构 580 包括形成并穿透的导电结构 590 且支撑结构 580 通过如金属连结程序、氧化连结程序或黏着物连结程序等程序而连结于基板 501。在部分实施例中，支撑结构 580 通过如环氧树脂层的隔离层 569 与 563 与芯片 530 相隔离。隔离层 560 亦可形成于芯片 530 与芯片区 570 之间。在部分实施例中，导电结构 590 通过如为凸块或焊垫的导电结构 565 而耦接于导电结构 567。

在部分实施例中，芯片 530 与支撑结构 580 形成于相同的基板内。举例来说，基板(未显示)包括相邻的预先定义芯片区(用于形成芯片 530)与预先定义支撑结构区(用于形成支撑结构 580)。预先定义芯片区与预先定义支撑结构区由一既定空间所分隔，在此既定空间内不具有主动区、晶体管、二极管、

电路和/或导电结构。主动区与导电结构 535 形成于预先定义芯片区内，而导电结构 590 则形成于预先定义支撑结构区内。在预先定义芯片区与预先定义支撑结构区分别形成主动区与导电结构 535 与 590 位后，基板则经由电性测试以检测无效芯片。在电性测试后，基板经过研磨程序与芯片分割程序处理后，进而将基板分割成为多个芯片，每一芯片中包括芯片区 530 以及支撑结构区 580。在部分实施例中，芯片具有大体相似于芯片区 570 的长度与宽度。在这些实施例中，隔离层 569 则忽略并为前述的既定空间所取代，而隔离层 563 则设置于芯片 530 与支撑结构 580 之间。

如图 5C 所示，芯片 520 分别安装于各芯片 530 上。芯片 520 可包括导电结构 523 且可通过导电结构 525 耦接芯片 530。芯片 530 的安装可通过前述安装芯片 520 的方法所达到。

如图 5D 所示，支撑结构 540 形成于芯片 530 和/或支撑结构 580 上，支撑结构 540 内包括形成并穿透的导电结构 560，支撑结构 540 通过如金属连结程序、氧化连结程序、黏着物连结程序等程序所安装。在部分实施例中，支撑结构 540 与芯片 520 之间为如环氧树脂层的隔离层 545 与 527 所分隔。隔离层 527 亦可设置于芯片 530 与 520 之间作为隔离导电结构 525 之用。在部分实施例中，导电结构 560 通过如凸块或焊垫的导电结构 525 而耦接导电结构 590。在其它实施例中，芯片 520 与支撑结构 540 可如前述的芯片 530 与支撑结构 580 的相关描述而形成于同一基板内。

在其它实施例中，在研磨包括前述预先定义芯片区(用于形成芯片 530 或 520)以及预先定义支撑结构区(用于形成支撑结构 580 或 540)的基板后，整个经研磨的基板将依次安装于基板 501 上。接着将此安装基板经过下文的切割程序处理。

如图 5E 所示，在芯片 520 与支撑结构 540 上通过如球栅数组封装程序的程序形成多个凸块结构 515。这些凸块结构 515 用于电性连结堆叠芯片与如图 5F 所示的基板 510。

在形成凸块结构 515 之后，基板 501 接着经过研磨程序研磨，而经过研磨的基板接着沿着隔离层 527 与 563 施行芯片切割程序，进而将该经研磨结构分割成为多个堆叠芯片结构。接着颠倒放置堆叠芯片结构并通过如图 5F 所示的 BGA 程序将它安装于包括多个凸块结构 505 形成于其下的基板 510

上。接着在芯片 520 与基板 510 之间填入底胶层 517，以电性隔离这些凸块结构 515 并提供机械支撑与避免膜层剥落的情形。

请参照图 5G，接着在芯片 570 上安装一散热片 550，并在散热片 550 与芯片 570 间设置一黏着层 547。如前所述，安装在基板 510 与芯片 570 间的支撑结构 540 与 580 形成了芯片 520、530、570 与基板 510 之间的热逸散信道和/或信号传递信道。

图 5H-5L 为一系列剖面示意图，分别显示了具有不同芯片尺寸的堆叠结构。在图 5H-5L 等中，与图 5E 中的相同组件采用相同标号。

如图 5H 所示，芯片 520 与 570 具有大体相同的长度(水平)尺寸，因此支撑结构 580 仅安装于邻近或紧靠芯片 530 之处。

如图 5I 所示，芯片 520 具有至少在长度或水平方向上大于芯片 530 与 570 在该方向上尺寸的尺寸。在图 5I 中，支撑结构区 570a 设置于邻近芯片区 570 处。支撑结构区 570a 与芯片区 570 之间被一预先定义空间 570b 所分隔，其绘制成斜线标示。支撑结构区 570a 作为相同在前述的支撑结构 540 与 580 的功能。在部分实施例中，支撑结构区 570a 包括至少一个导电结构 567a。再者，导电结构 567a 可通过导电结构 565a 而耦接穿透芯片 530 的导电结构 535。

图 5J 显示了堆叠结构的示意剖面图，其包括邻近于各芯片 520、530 与 570 的支撑结构。这些堆叠芯片结构具有至少在其剖面情形中大于芯片 520、530 与 570 尺寸的尺寸。

如图 5K 所示，由于芯片区 570 至少在水平方向上的尺寸小于芯片 530 与 540 之一的尺寸，故支撑结构 570a 仅形成于芯片区 570 中，以形成前述结构。在图 5L 中，芯片 530 则具有大于芯片 540 与 570 长度尺寸之一长度尺寸。通过这些形成并穿透芯片 520、530 与 570 以及支撑结构 540、570a 以及 580 的导电构件的形成，便可达到期望的机械支撑、热逸散和/或电性传输等功能。

虽然本发明已以较佳实施例揭示如上，然而其并非用于限定本发明，任何熟悉本领域的技术人员，在不脱离本发明的精神和范围内，可作各种的更动与润饰，因此本发明的保护范围应以所附的权利要求书所界定的为准。

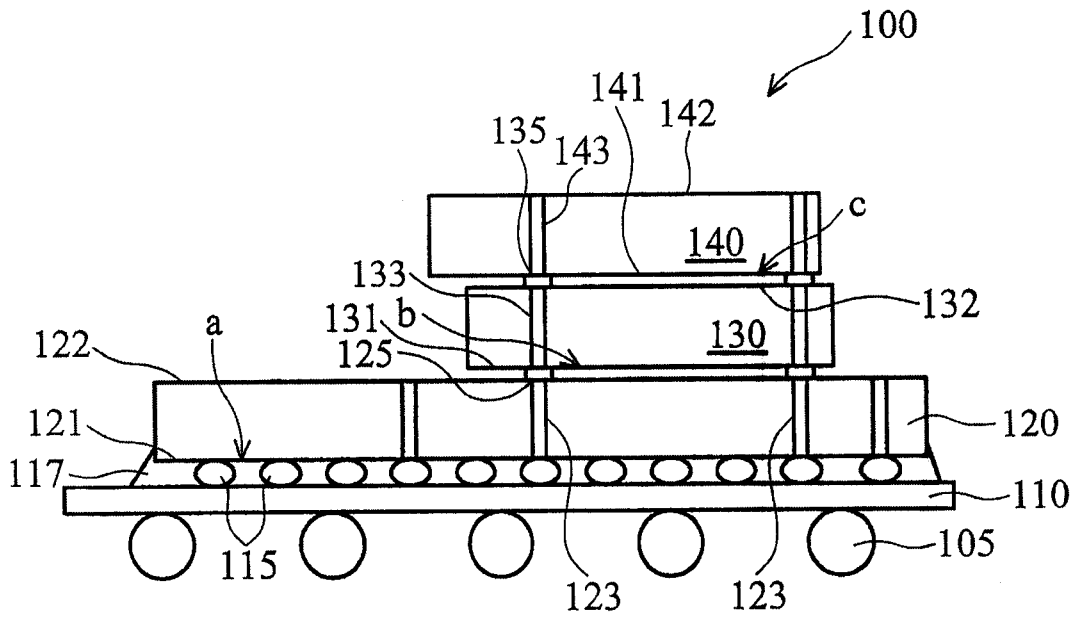


图1

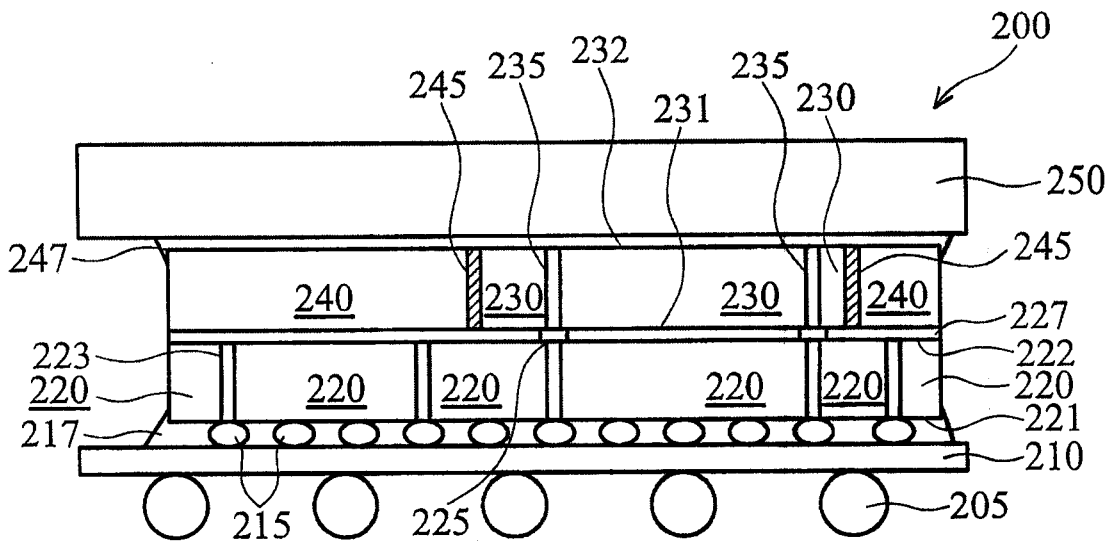


图2A

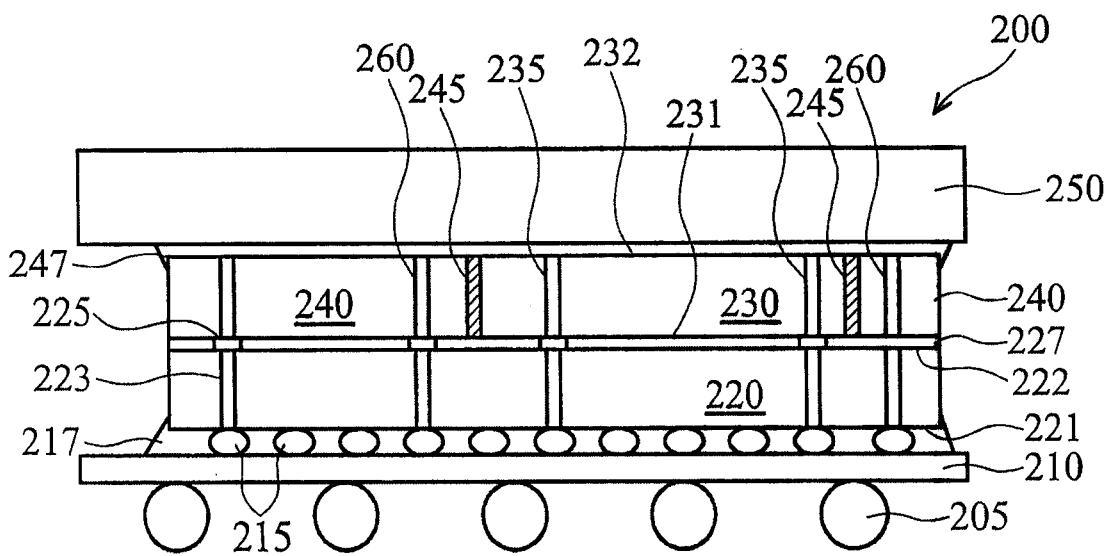


图2B

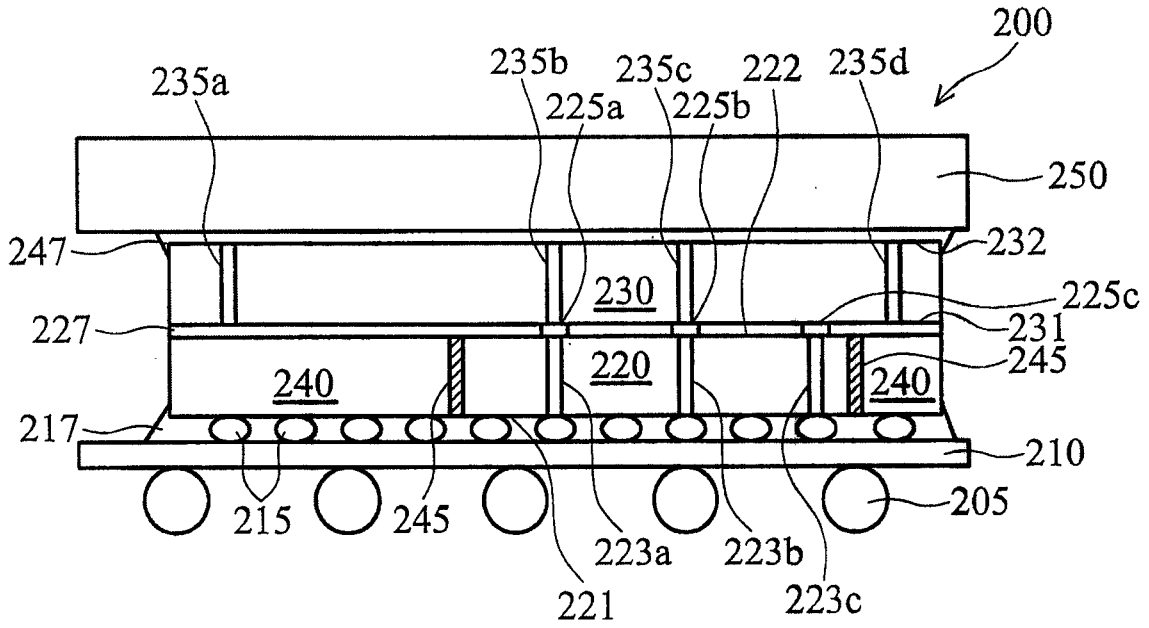


图20

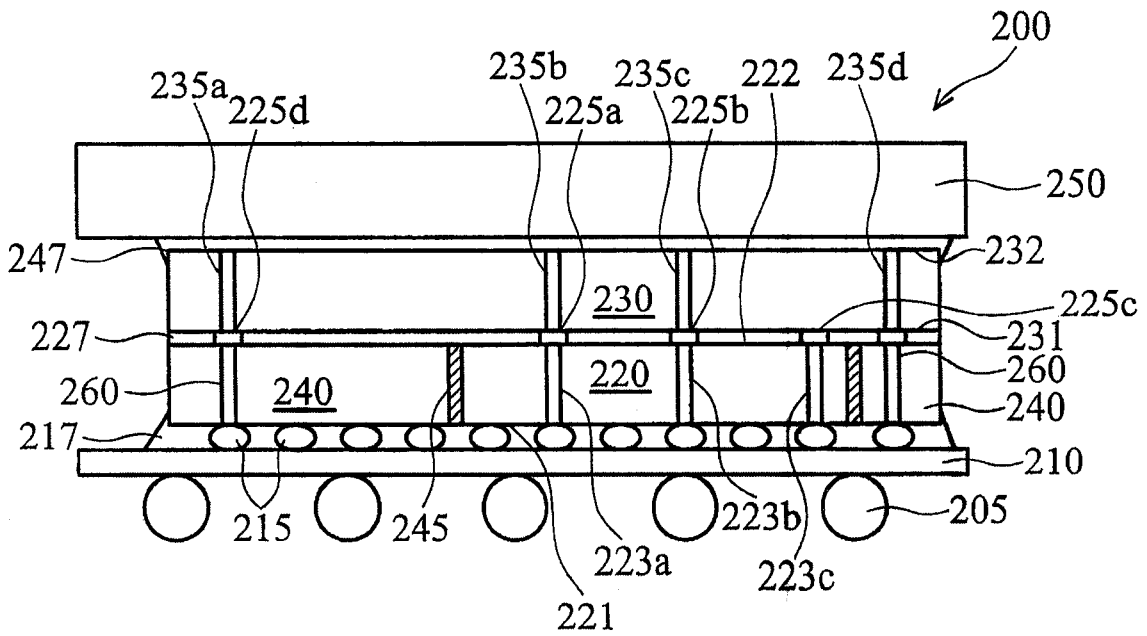


图2D

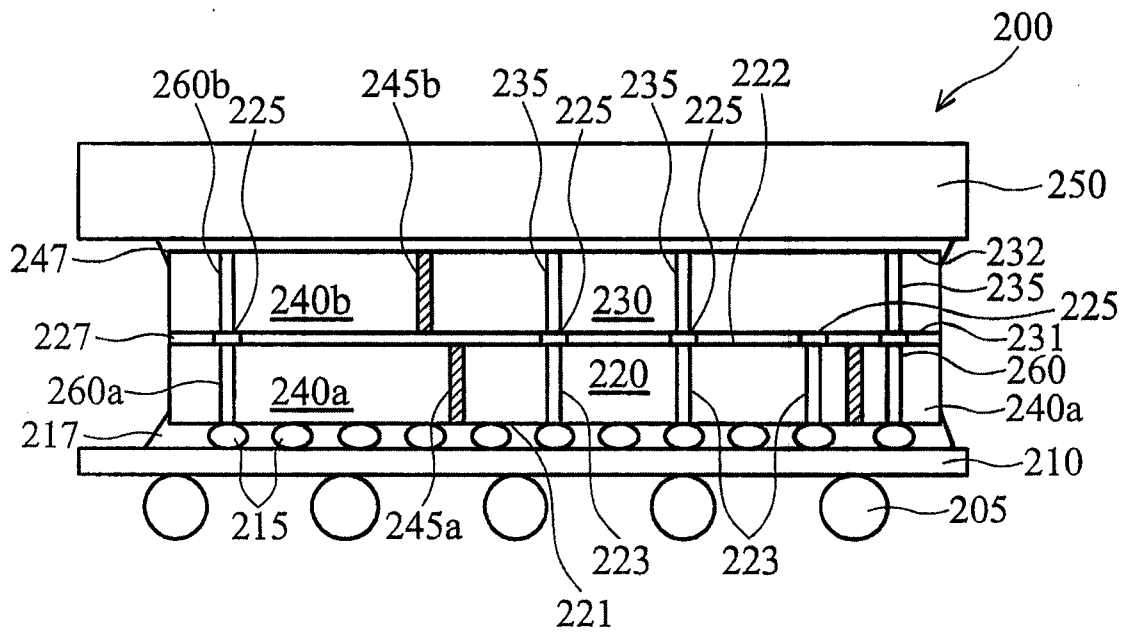


图2E

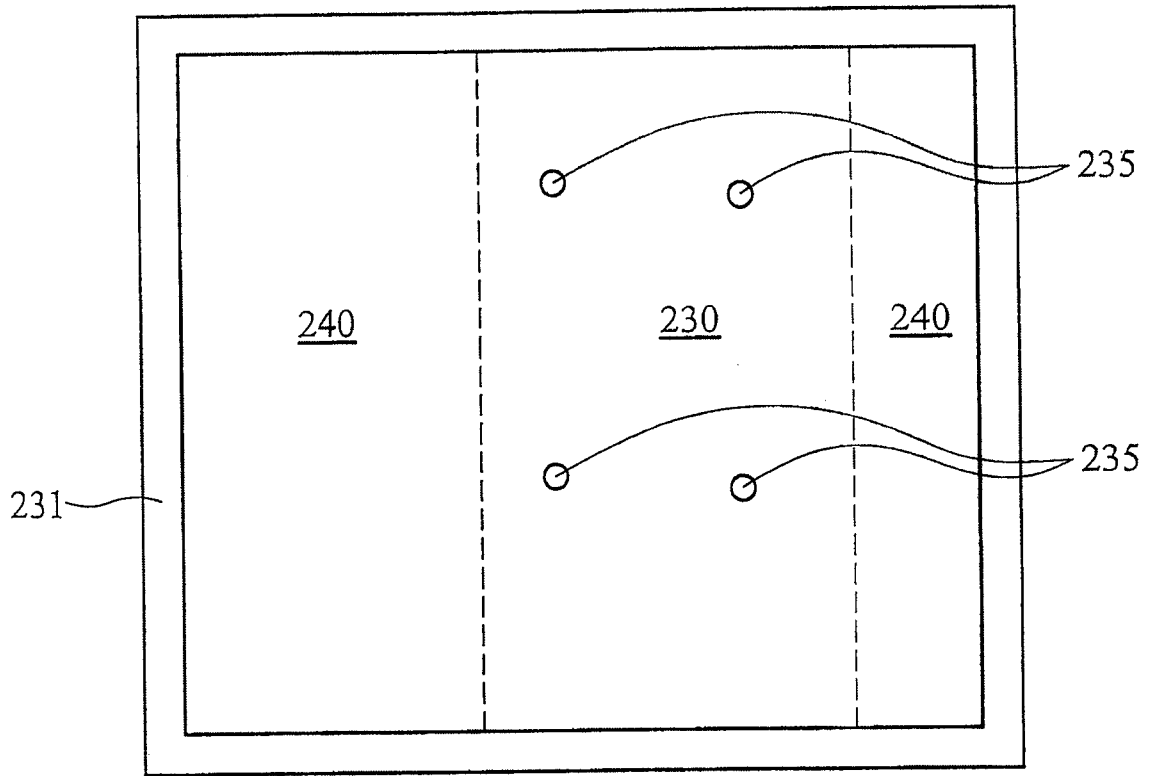


图2F

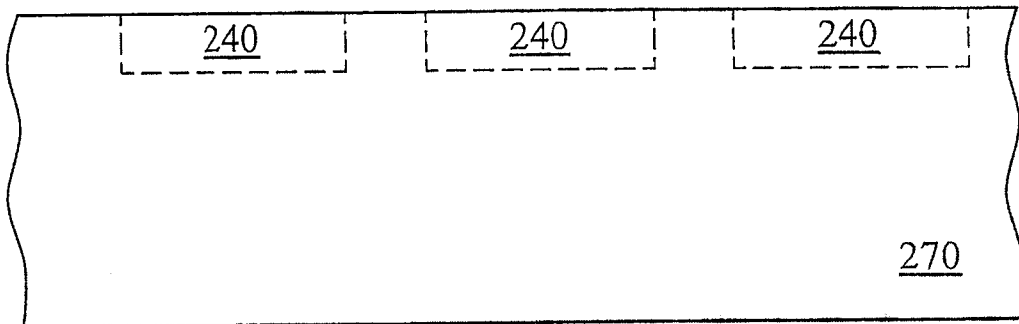


图2G

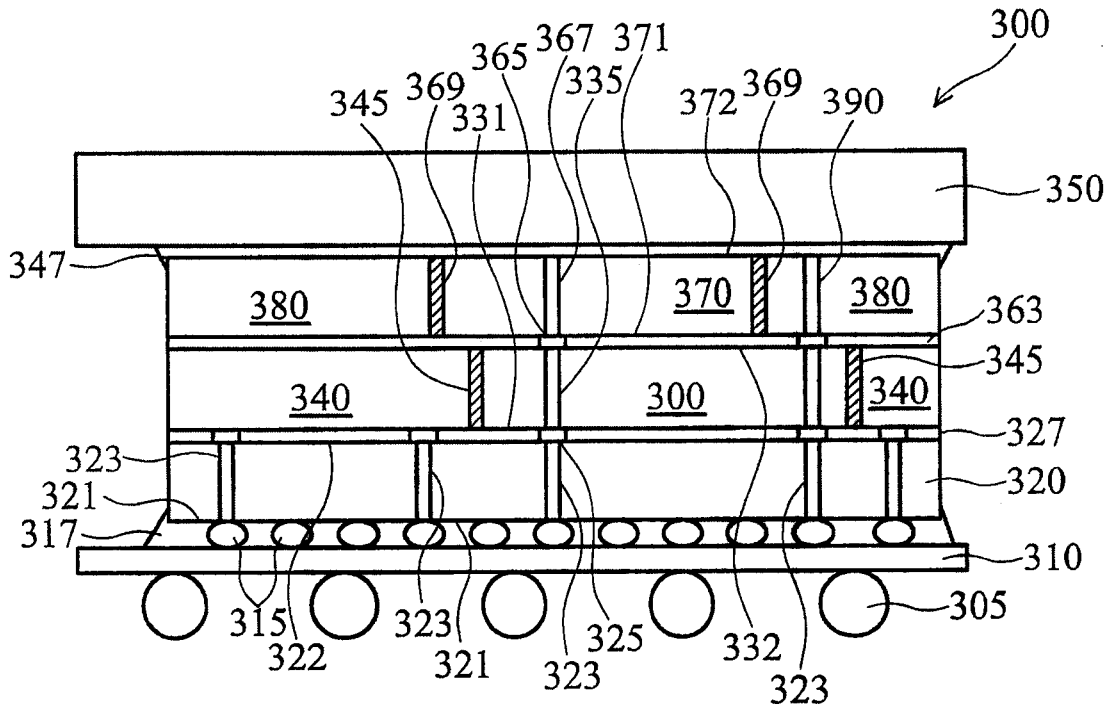


图3A

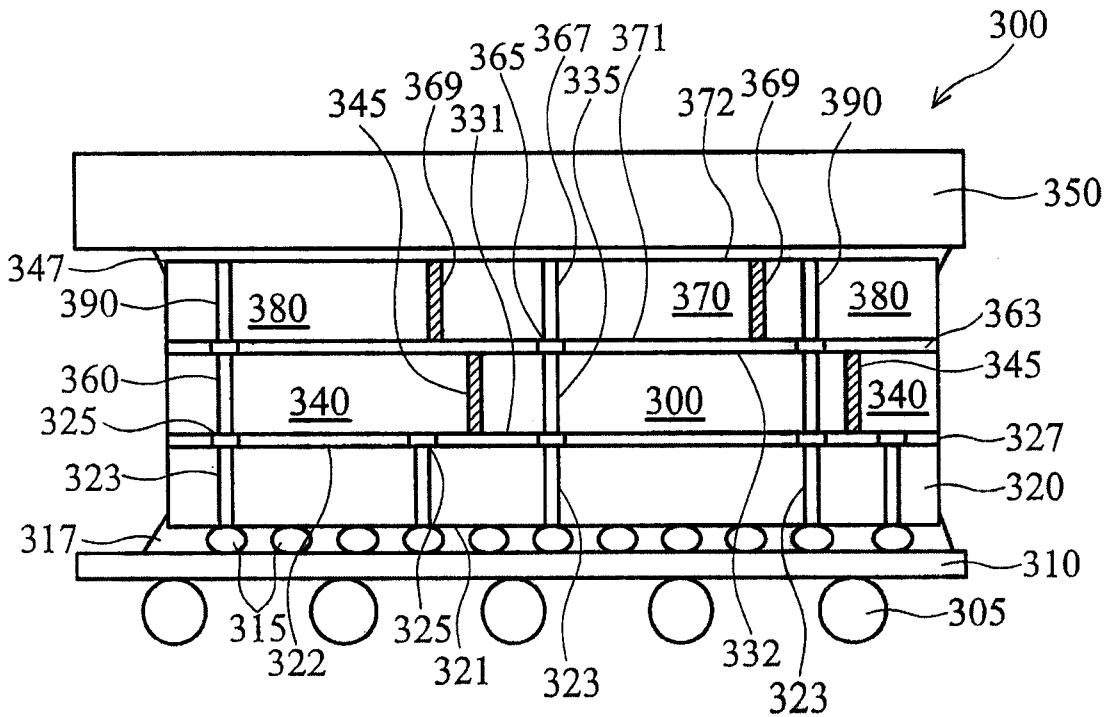


图3B

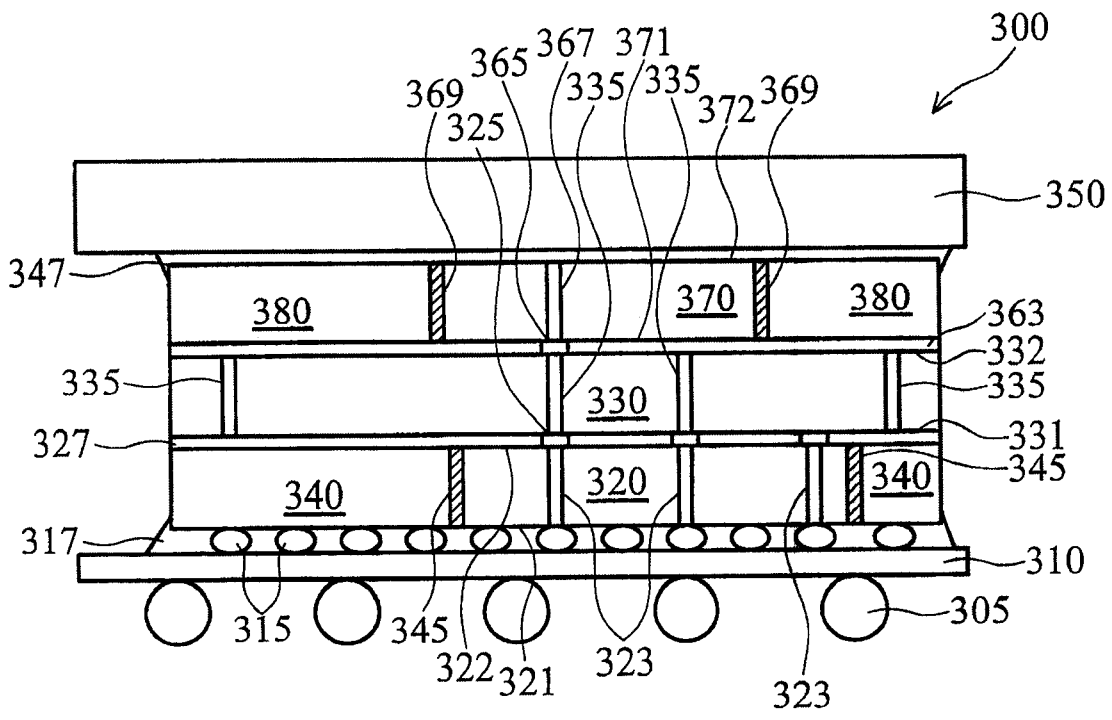


图3C

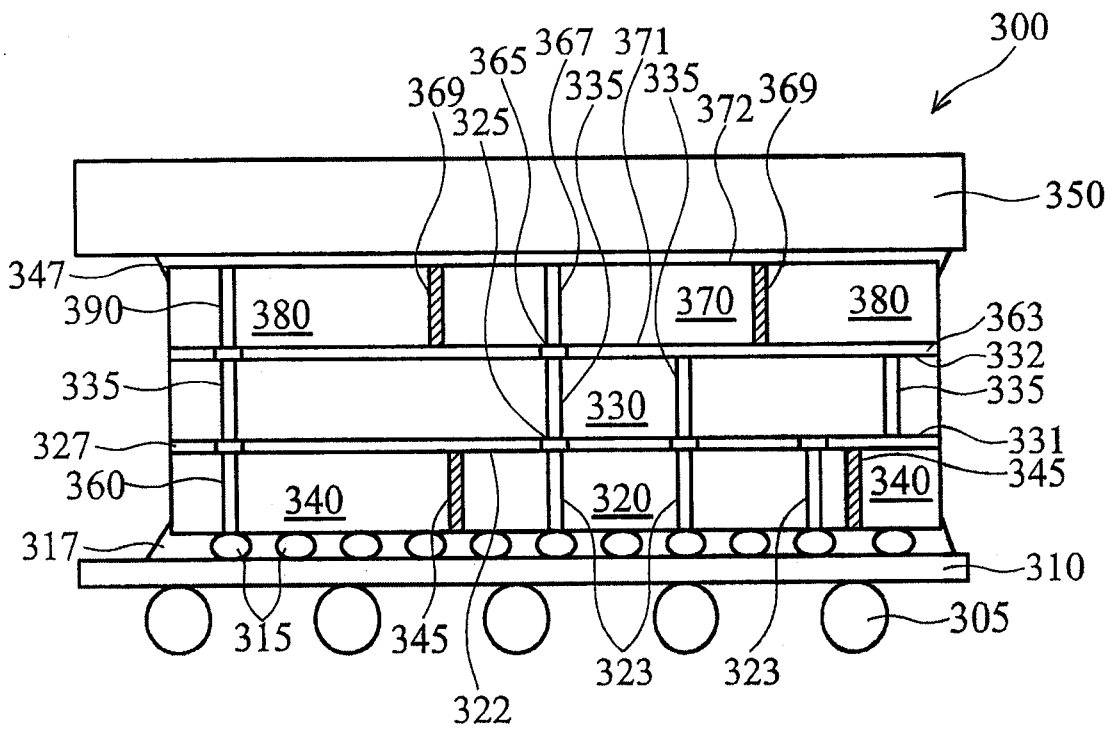


图3D

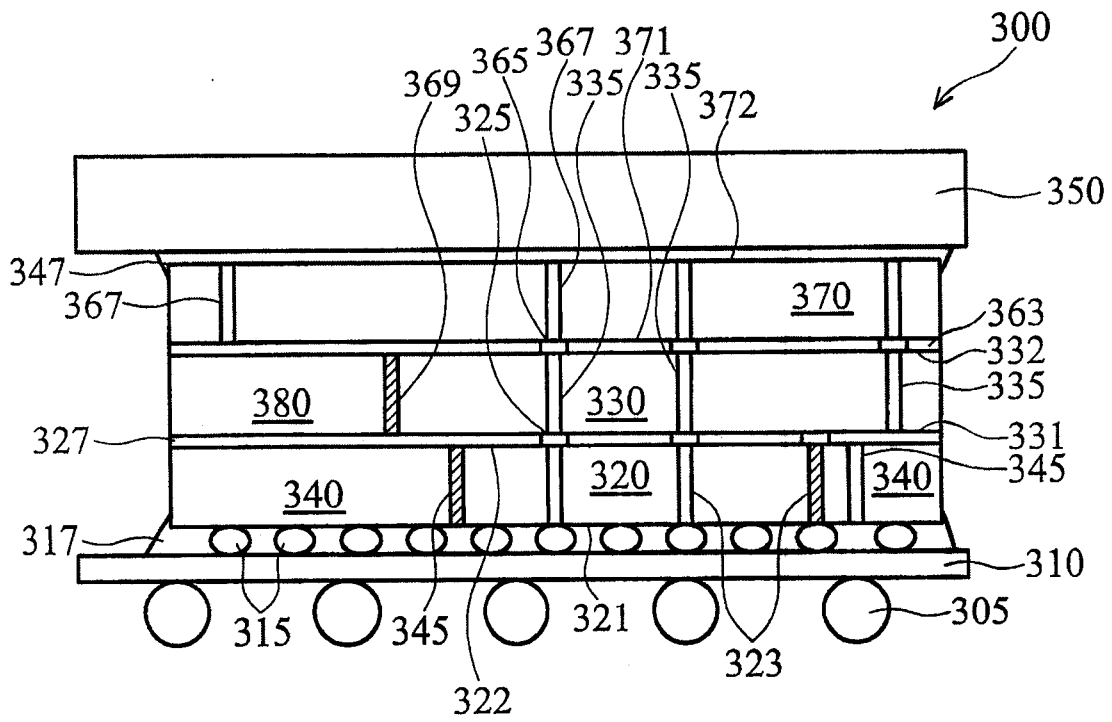


图3E

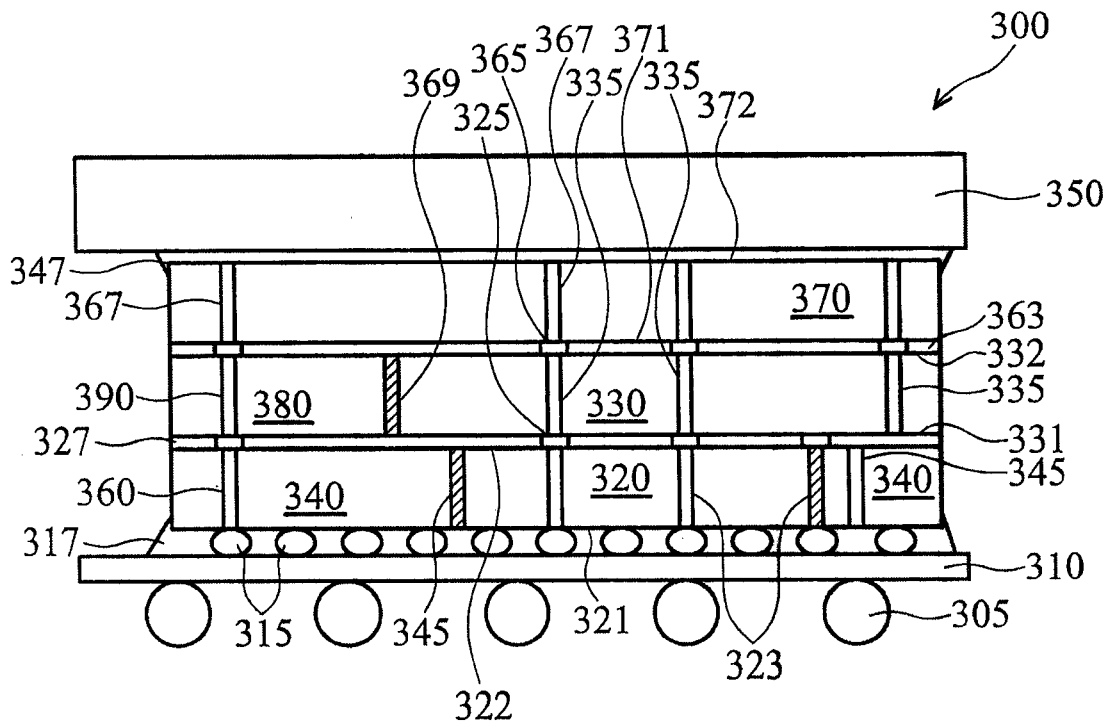


图3F

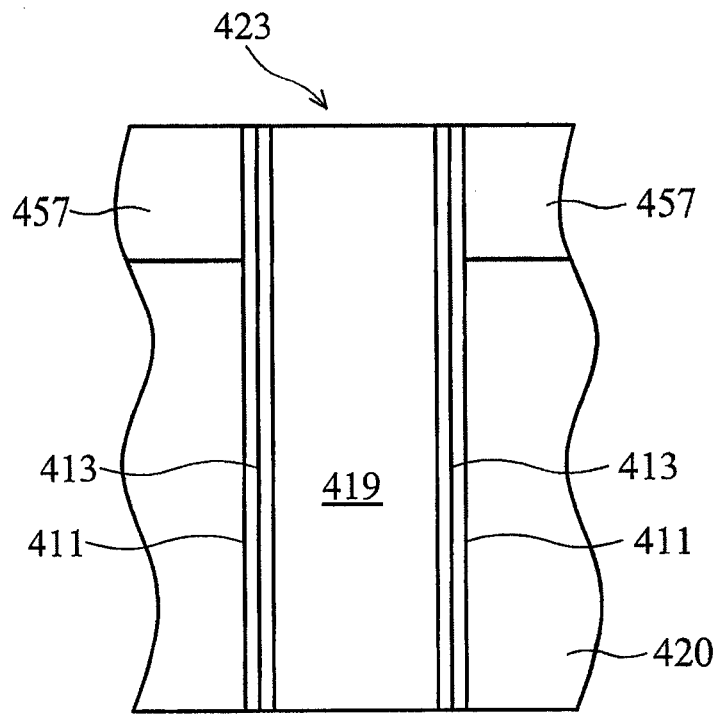


图4A

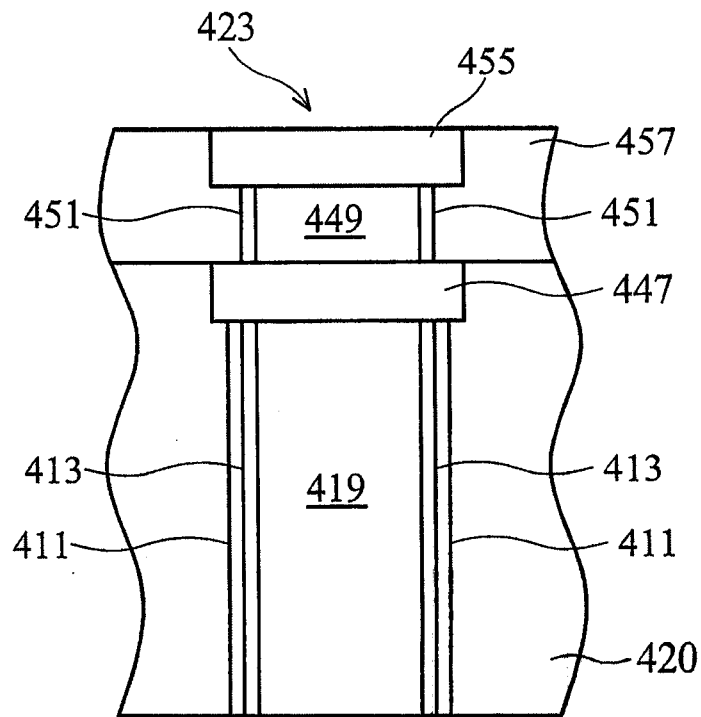


图4B

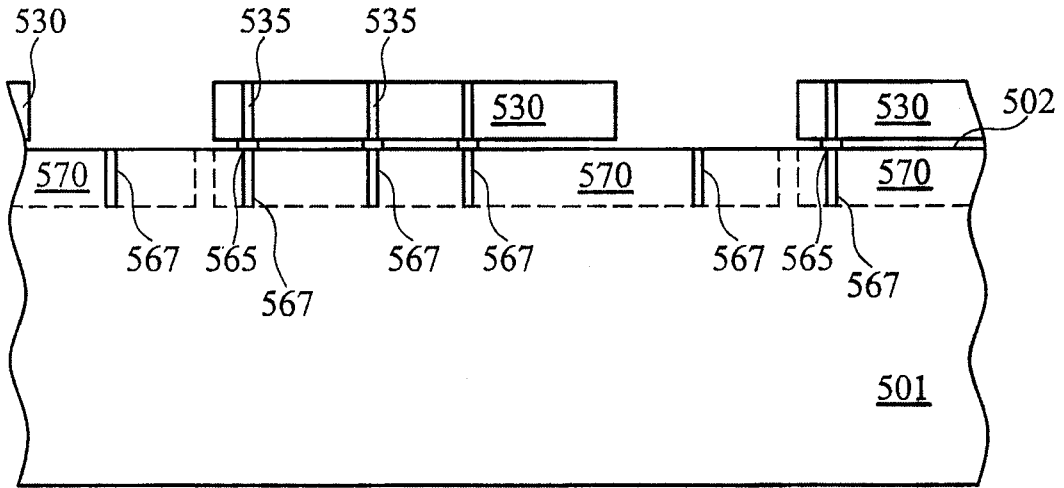


图5A

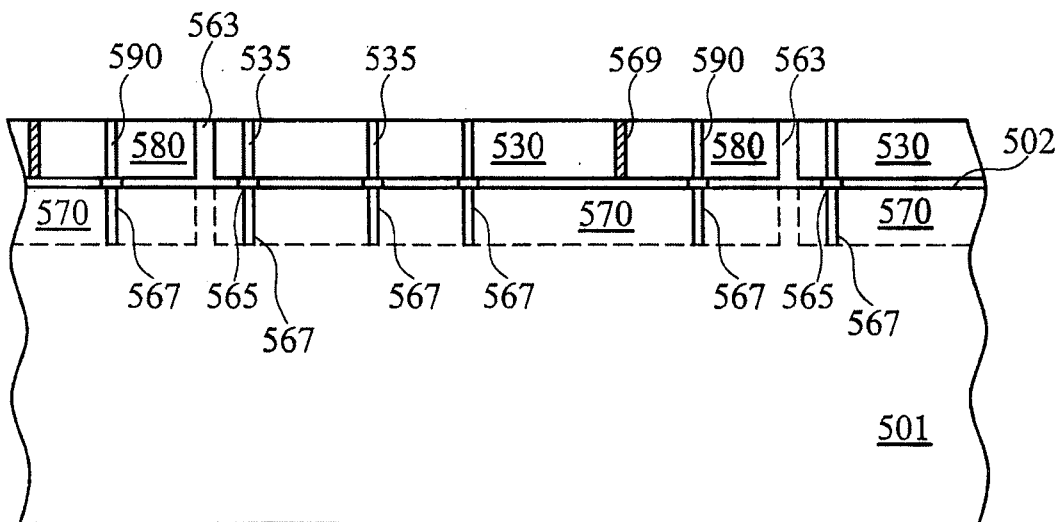


图5B

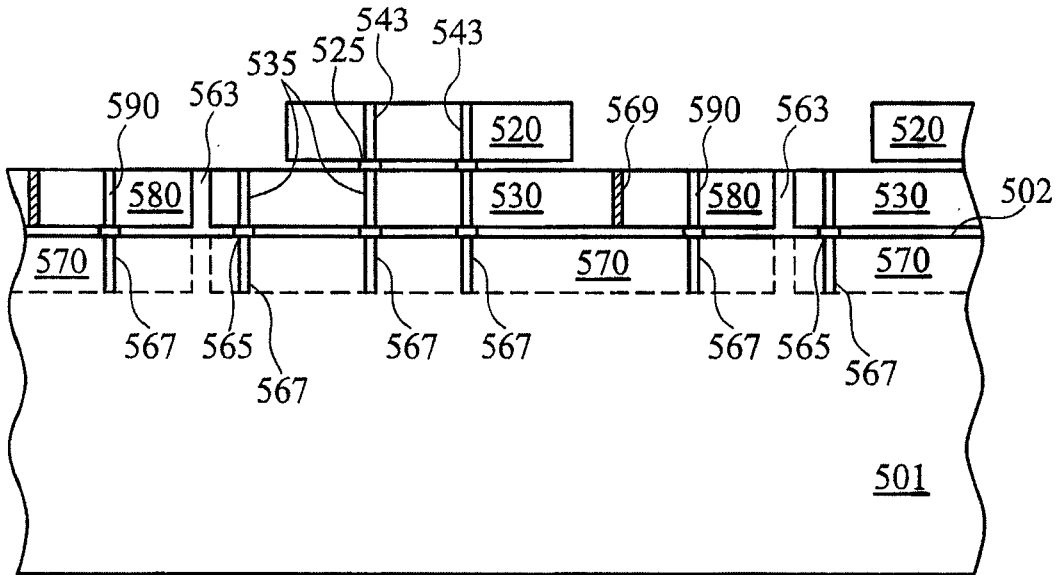


图5C

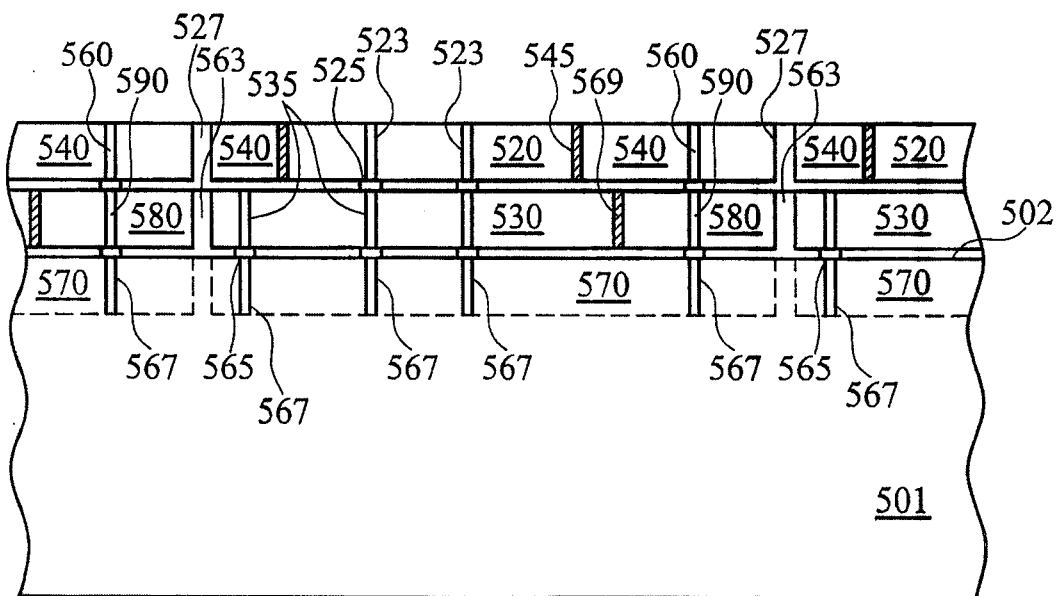


图5D

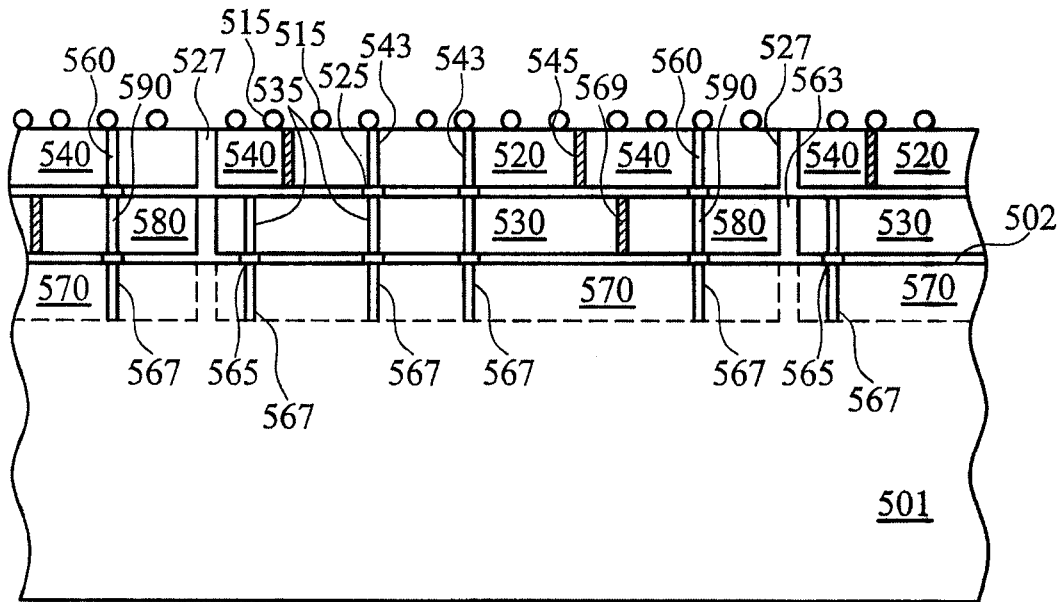


图5E

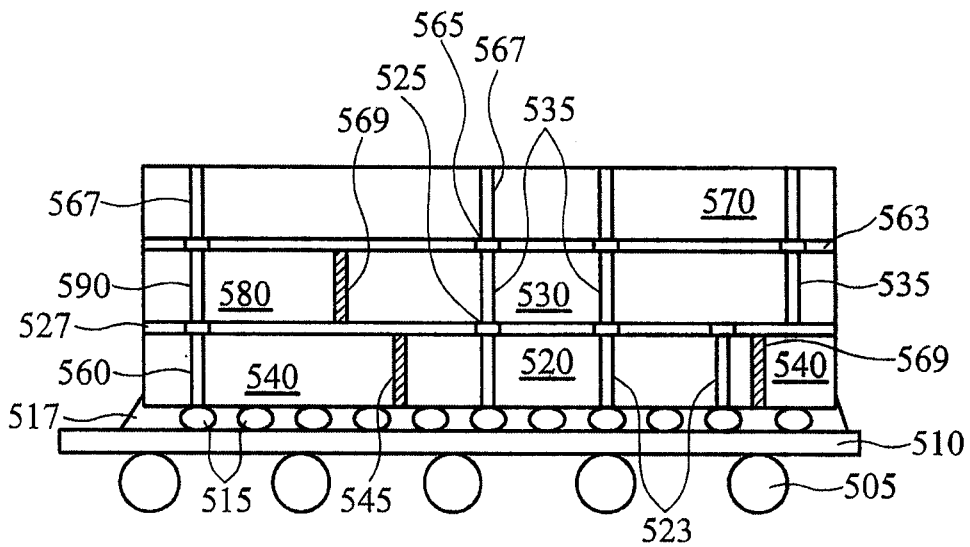


图5F

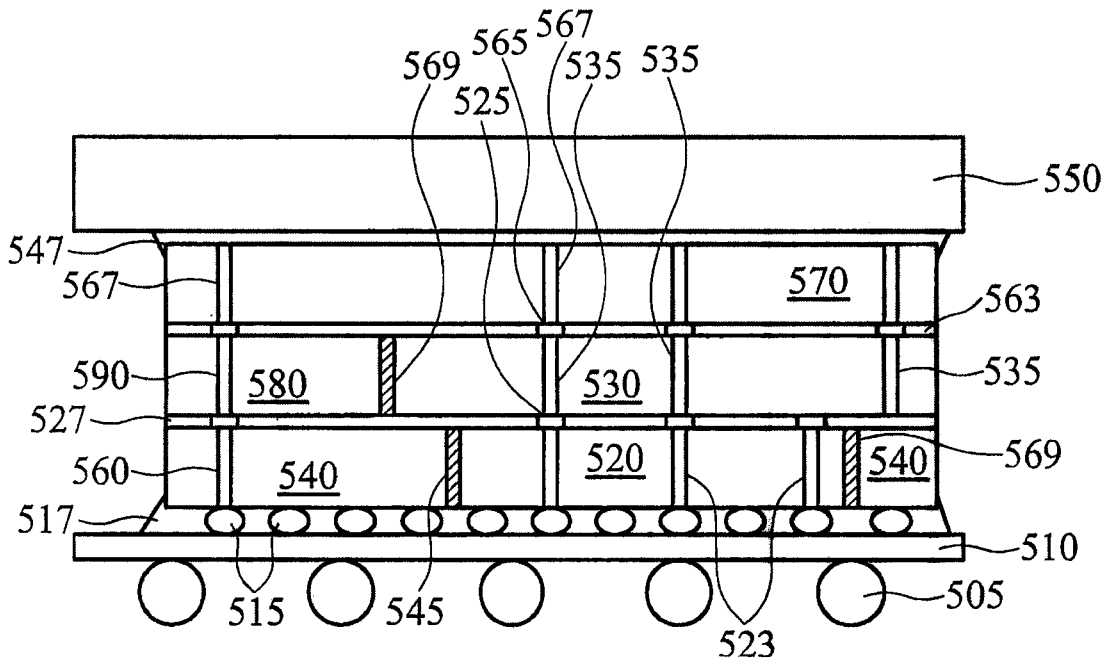


图5G

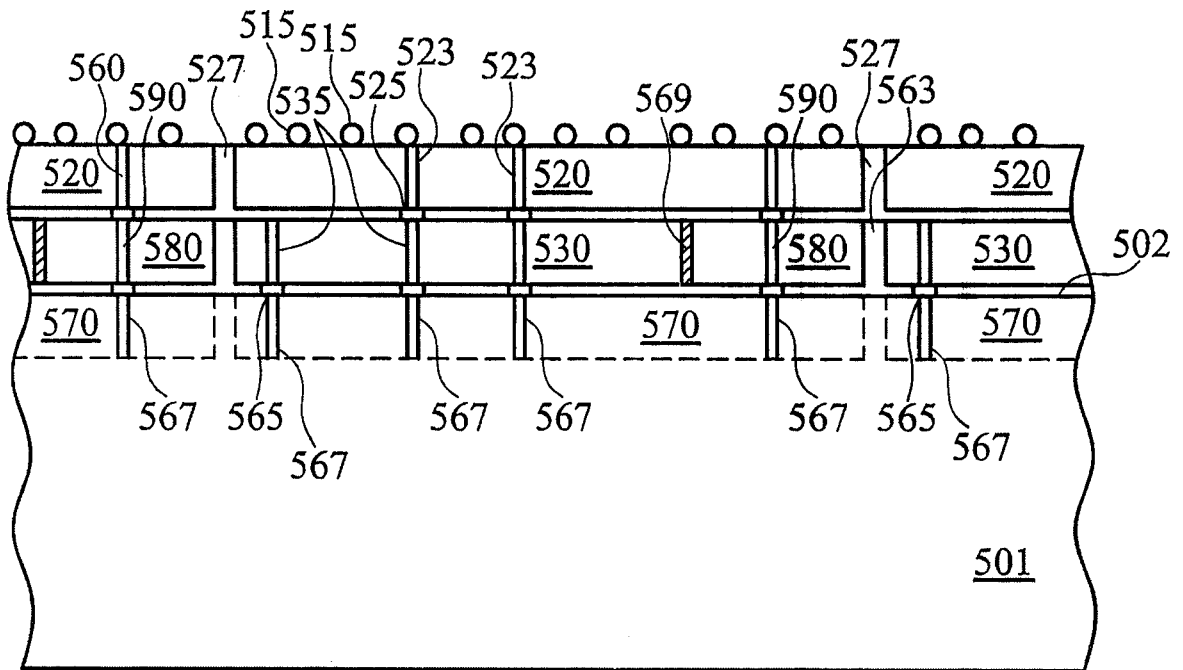


图5H

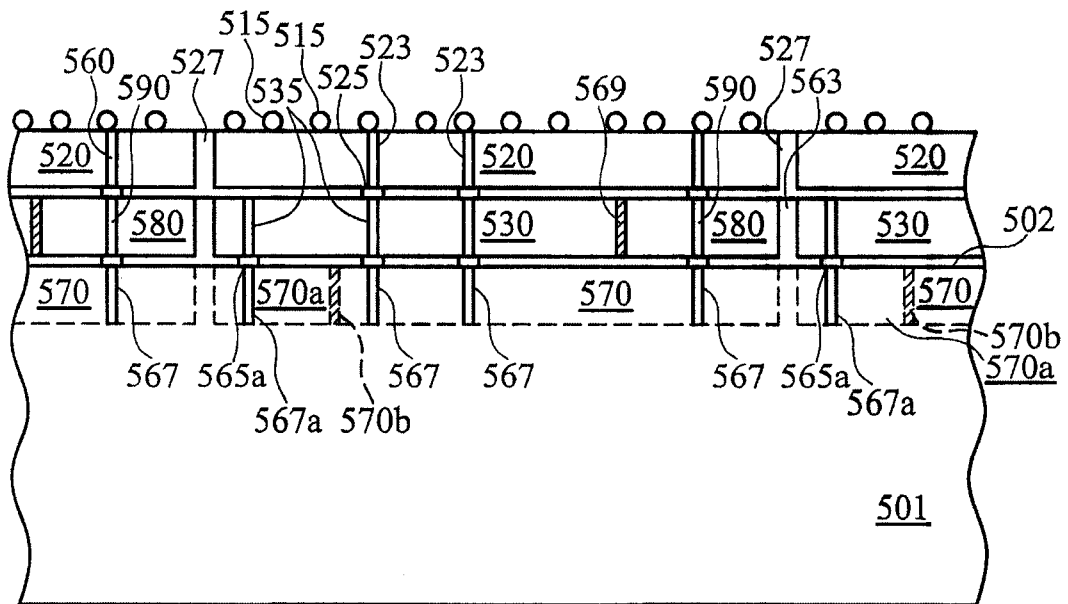


图5I

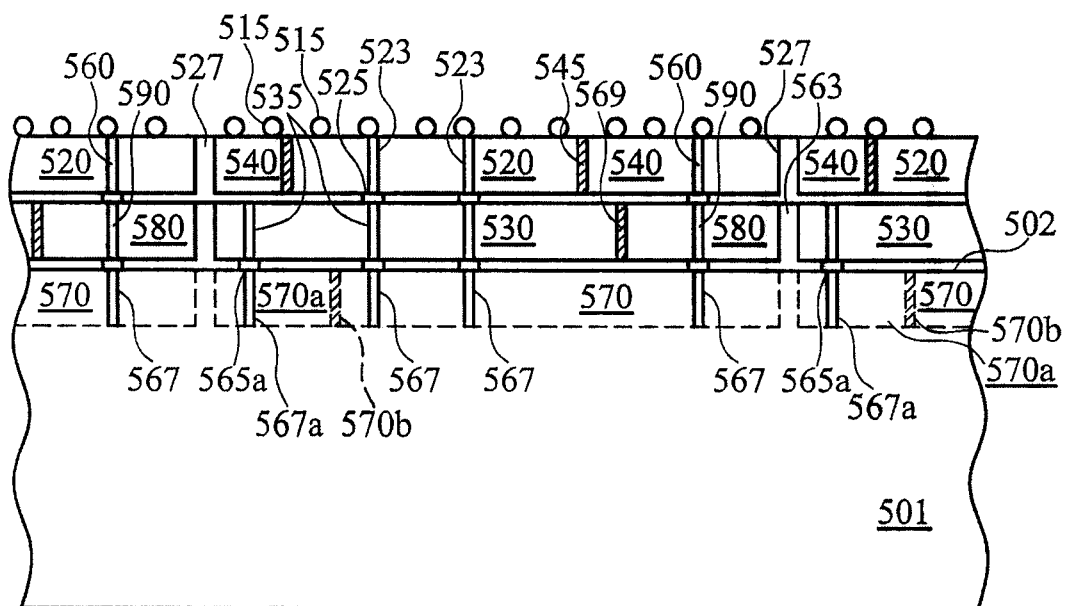


图5J

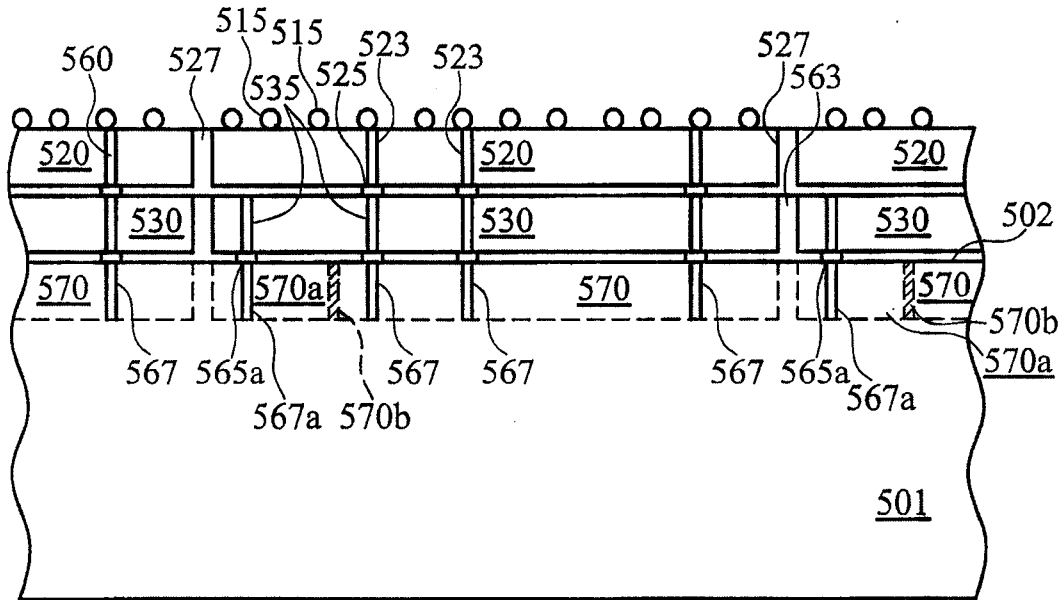


图5K

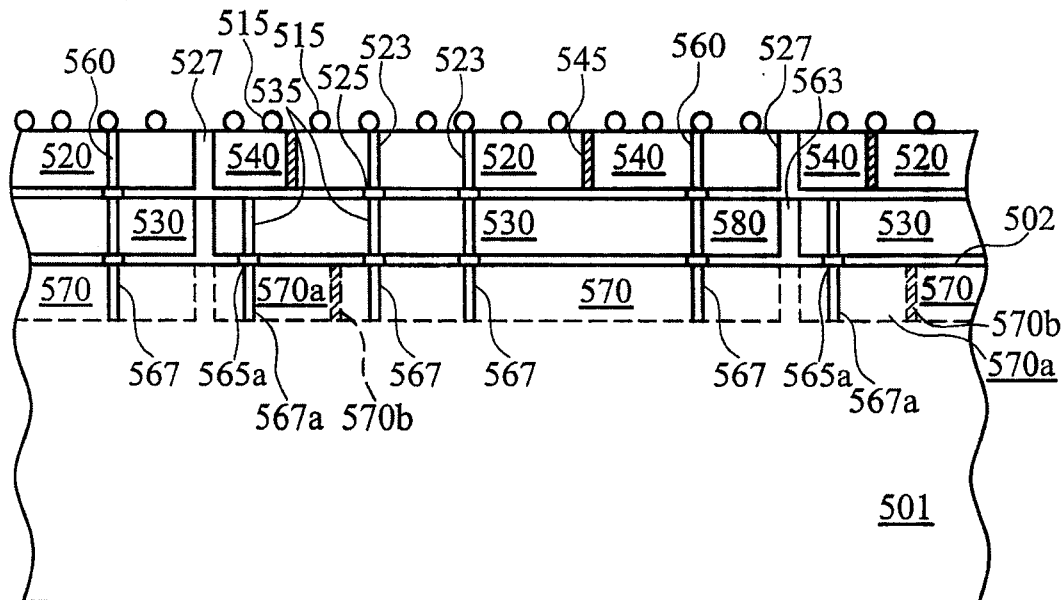


图5L