



EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

generating unit that is electrically connected to the electroconductive base, the bias electrode, or the upper electrode, and that is configured so as to generate RF signals; a pulsed DC generating unit that is electrically connected to the bias electrode, and that is configured so as to generate pulsed DC signals; an RF filter that is connected between the bias electrode and the pulsed DC generating unit; and a ringing suppression circuit that is connected between the bias electrode and the pulsed DC generating unit, and that is configured so as to suppress ringing that is superimposed on the pulsed DC signals.

(57) 要約: パルス化DC信号を用いたプラズマ処理を適正に行う技術を提供する。プラズマ処理装置は、プラズマ処理チャンバと、プラズマ処理チャンバ内に配置される基板支持部であって、基板支持部は、導電性基台と、導電性基台上に配置される静電チャックと、静電チャック内に配置されるチャック電極と、静電チャック内においてチャック電極の下方に配置されるバイアス電極と、を含む、基板支持部と、基板支持部の上方に配置される上部電極と、導電性基台、バイアス電極又は上部電極に電氣的に接続され、RF信号を生成するように構成されるRF生成部と、バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、バイアス電極とパルス化DC生成部との間に接続されるRFフィルタと、バイアス電極とパルス化DC生成部との間に接続され、パルス化DC信号に重畳されるリングングを抑制するように構成されるリングング抑制回路と、を含む。

## 明 細 書

発明の名称： プラズマ処理装置

### 技術分野

[0001] 本開示の例示的实施形態は、プラズマ処理装置に関する。

### 背景技術

[0002] プラズマ処理装置において、パルス電圧を用いたプラズマ処理を行う技術として、特許文献1に記載された技術がある。

### 先行技術文献

### 特許文献

[0003] 特許文献1：米国特許出願公開第2022/0037119号明細書

### 発明の概要

### 発明が解決しようとする課題

[0004] 本開示は、パルス化DC信号を用いたプラズマ処理を適正に行う技術を提供する。

### 課題を解決するための手段

[0005] 本開示の一つの例示的实施形態におけるプラズマ処理装置は、プラズマ処理チャンバと、プラズマ処理チャンバ内に配置される基板支持部であって、基板支持部は、導電性基台と、導電性基台上に配置される静電チャックと、静電チャック内に配置されるチャック電極と、静電チャック内においてチャック電極の下方に配置されるバイアス電極と、を含む、基板支持部と、基板支持部の上方に配置される上部電極と、導電性基台、バイアス電極又は上部電極に電氣的に接続され、RF信号を生成するように構成されるRF生成部と、バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、バイアス電極とパルス化DC生成部との間に接続されるRFフィルタと、バイアス電極とパルス化DC生成部との間に接続され、パルス化DC信号に重畳されるリングングを抑制するように構成されるリングング抑制回路と、を含む。

## 発明の効果

[0006] 本開示の一つの例示的实施形態によれば、パルス化DC信号を用いたプラズマ処理を適正に行う技術を提供することができる。

## 図面の簡単な説明

- [0007] [図1]プラズマ処理システムの構成例を説明するための図である。  
[図2]容量結合型のプラズマ処理装置の構成例を説明するための図である。  
[図3]第1の例示的实施形態における基板支持部及び電源の構成例を示す図である。  
[図4]第1のリング抑制回路の構成例を示す図である。  
[図5]第1の電圧パルスのシーケンスの一例を示す図である。  
[図6]パルス化DC生成部と基板バイアス電極との間に、リング抑制回路としてフェライトコアを配置した場合とフェライトコアを配置しなかった場合について、パルス化DC信号が印加された静電チャック上の基板電位を計測した結果を示す図である。  
[図7]フェライトコアがない場合におけるプラズマ処理時の基板上のイオンエネルギー分布関数を示す図である。  
[図8]フェライトコアがある場合におけるプラズマ処理時の基板上のイオンエネルギー分布関数を示す図である。  
[図9]フェライトコアがある場合とフェライトコアがない場合について、エッチング処理における基板のエッチングレートを測定した結果を示す図である。  
[図10]複数の導体を有する第1のリング抑制回路の構成例を示す図である。  
[図11]第2の例示的实施形態における基板支持部及び電源の構成例を示す図である。  
[図12]第2のリング抑制回路の構成例を示す図である。  
[図13]第2の電圧パルスのシーケンスの一例を示す図である。

## 発明を実施するための形態

- [0008] 以下、本開示の各実施形態について説明する。
- [0009] 一つの例示的实施形態において、プラズマ処理チャンバと、プラズマ処理チャンバ内に配置される基板支持部であって、基板支持部は、導電性基台と、導電性基台上に配置される静電チャックと、静電チャック内に配置されるチャック電極と、静電チャック内においてチャック電極の下方に配置されるバイアス電極と、を含む、基板支持部と、基板支持部の上方に配置される上部電極と、導電性基台、バイアス電極又は上部電極に電氣的に接続され、RF信号を生成するように構成されるRF生成部と、バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、バイアス電極とパルス化DC生成部との間に接続されるRFフィルタと、バイアス電極とパルス化DC生成部との間に接続され、パルス化DC信号に重畳されるリングングを抑制するように構成されるリングング抑制回路と、を含む、プラズマ処理装置が提供される。
- [0010] 一つの例示的实施形態において、リングング抑制回路は、少なくとも一つのフェライトコアを含む。
- [0011] 一つの例示的实施形態において、リングング抑制回路は、並列に接続される複数の導体と、複数の導体の各々に少なくとも一つ配置される複数のフェライトコアと、を含む。
- [0012] 一つの例示的实施形態において、パルス化DC信号は、電圧パルスのシーケンスを有する。
- [0013] 一つの例示的实施形態において、電圧パルスのシーケンスは、負極性の電圧レベルを有する。
- [0014] 一つの例示的实施形態において、電圧パルスのシーケンスは、100kHzから1MHzの範囲内のパルス周波数を有する。
- [0015] 一つの例示的实施形態において、パルス化DC信号は、各サイクル内の第1の期間に第1の電圧レベルを有し、各サイクル内の第2の期間に第2の電圧レベルを有する電圧パルスのシーケンスを有し、第1の電圧レベルの絶対値が第2の電圧レベルの絶対値よりも大きい。

- [0016] 一つの例示的实施形態において、第1の電圧レベルは、負極性を有する。
- [0017] 一つの例示的实施形態において、電圧パルスのシーケンスは、100kHzから1MHzの範囲内のパルス周波数を有する。
- [0018] 一つの例示的实施形態において、第2の電圧レベルは、ゼロ電圧レベルを有する。
- [0019] 一つの例示的实施形態において、プラズマ処理チャンバと、プラズマ処理チャンバ内に配置される基板支持部であって、基板支持部は、基台と、基台上に配置され、基板支持面及びエッジリング支持面を有する静電チャックと、基板支持面上の基板を囲むようにエッジリング支持面上に配置されるエッジリングと、静電チャック内において基板支持面の下方に配置される基板バイアス電極と、静電チャック内においてエッジリング支持面の下方に配置されるエッジリングバイアス電極と、を含む、基板支持部と、プラズマ処理チャンバ内にプラズマを生成するためのRF信号を生成するように構成されるRF生成部と、基板バイアス電極に電氣的に接続され、第1のパルス化DC信号を生成するように構成される第1のパルス化DC生成部と、基板バイアス電極と第1のパルス化DC生成部との間に接続される第1のRFフィルタと、基板バイアス電極と第1のパルス化DC生成部との間に接続され、第1のパルス化DC信号に重畳されるリングングを抑制するように構成される第1のリングング抑制回路と、エッジリングバイアス電極に電氣的に接続され、第2のパルス化DC信号を生成するように構成される第2のパルス化DC生成部と、エッジリングバイアス電極と第2のパルス化DC生成部との間に接続される第2のRFフィルタと、エッジリングバイアス電極と第2のパルス化DC生成部との間に接続され、第2のパルス化DC信号に重畳されるリングングを抑制するように構成される第2のリングング抑制回路と、を含む、プラズマ処理装置が提供される。
- [0020] 一つの例示的实施形態において、第1のリングング抑制回路は、少なくとも一つの第1のフェライトコアを含む。
- [0021] 一つの例示的实施形態において、第2のリングング抑制回路は、少なくとも

も一つの第2のフェライトコアを含む。

[0022] 一つの例示的实施形態において、第2のリングング抑制回路は、並列に接続される複数の第2の導体と、複数の第2の導体の各々に少なくとも一つ配置される複数の第2のフェライトコアと、を含む。

[0023] 一つの例示的实施形態において、第1のリングング抑制回路は、並列に接続される複数の第1の導体と、複数の第1の導体の各々に少なくとも一つ配置される複数の第1のフェライトコアと、を含む。

[0024] 一つの例示的实施形態において、第2のリングング抑制回路は、少なくとも一つの第2のフェライトコアを含む。

[0025] 一つの例示的实施形態において、第2のリングング抑制回路は、並列に接続される複数の第2の導体と、複数の第2の導体の各々に少なくとも一つ配置される複数の第2のフェライトコアと、を含む。

[0026] 一つの例示的实施形態において、プラズマ処理チャンバと、プラズマ処理チャンバ内に配置される基板支持部であって、基板支持部は、基台と、基台上に配置される静電チャックと、静電チャック内に配置されるバイアス電極と、を含む、基板支持部と、プラズマ処理チャンバ内にプラズマを生成するためのRF信号を生成するように構成されるRF生成部と、バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、バイアス電極とパルス化DC生成部との間に接続され、第1の寄生キャパシタと第2の寄生キャパシタとの間に生じるリングングがパルス化DC信号に重畳されることを抑制するように構成されるリングング抑制回路であって、第1の寄生キャパシタは、バイアス電極と接地電位との間に生じ、第2の寄生キャパシタは、パルス化DC生成部からバイアス電極までの経路上のノードと接地電位との間に生じる、リングング抑制回路と、を含む、プラズマ処理装置が提供される。

[0027] 一つの例示的实施形態において、リングング抑制回路は、少なくとも一つのフェライトコアを含む。

[0028] 一つの例示的实施形態において、リングング抑制回路は、並列に接続され

る複数の導体と、複数の導体の各々に少なくとも一つ配置される複数のフェライトコアと、を含む。

[0029] 以下、図面を参照して、本開示の各実施形態について詳細に説明する。なお、各図面において同一または同様の要素には同一の符号を付し、重複する説明を省略する。特に断らない限り、図面に示す位置関係に基づいて上下左右等の位置関係を説明する。図面の寸法比率は実際の比率を示すものではなく、また、実際の比率は図示の比率に限られるものではない。

[0030] <プラズマ処理装置の一例>

図1は、プラズマ処理システムの構成例を説明するための図である。一実施形態において、プラズマ処理システムは、プラズマ処理装置1及び制御部2を含む。プラズマ処理システムは、基板処理システムの一例であり、プラズマ処理装置1は、基板処理装置の一例である。プラズマ処理装置1は、プラズマ処理チャンバ10、基板支持部11及びプラズマ生成部12を含む。プラズマ処理チャンバ10は、プラズマ処理空間を有する。また、プラズマ処理チャンバ10は、少なくとも1つの処理ガスをプラズマ処理空間に供給するための少なくとも1つのガス供給口と、プラズマ処理空間からガスを排出するための少なくとも1つのガス排出口とを有する。ガス供給口は、後述するガス供給部20に接続され、ガス排出口は、後述する排気システム40に接続される。基板支持部11は、プラズマ処理空間内に配置され、基板を支持するための基板支持面を有する。

[0031] プラズマ生成部12は、プラズマ処理空間内に供給された少なくとも1つの処理ガスからプラズマを生成するように構成される。プラズマ処理空間において形成されるプラズマは、容量結合プラズマ (CCP; Capacitively Coupled Plasma)、誘導結合プラズマ (ICP; Inductively Coupled Plasma)、ECRプラズマ (Electron-Cyclotron-resonance plasma)、ヘリコン波励起プラズマ (HWP: Helicon Wave Plasma)、又は、表面波プラズマ (SWP: Surface Wave P

lasma) 等であってもよい。また、AC (Alternating Current) プラズマ生成部及びDC (Direct Current) プラズマ生成部を含む、種々のタイプのプラズマ生成部が用いられてもよい。一実施形態において、ACプラズマ生成部で用いられるAC信号 (AC電力) は、100kHz~10GHzの範囲内の周波数を有する。従って、AC信号は、RF (Radio Frequency) 信号及びマイクロ波信号を含む。一実施形態において、RF信号は、100kHz~150MHzの範囲内の周波数を有する。

[0032] 制御部2は、本開示において述べられる種々の工程をプラズマ処理装置1に実行させるコンピュータ実行可能な命令を処理する。制御部2は、ここで述べられる種々の工程を実行するようにプラズマ処理装置1の各要素を制御するように構成され得る。一実施形態において、制御部2の一部又は全てがプラズマ処理装置1に含まれてもよい。制御部2は、例えばコンピュータ2aを含んでもよい。コンピュータ2aは、例えば、処理部 (CPU: Central Processing Unit) 2a1、記憶部2a2、及び通信インターフェース2a3を含んでもよい。処理部2a1は、記憶部2a2からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部2a2に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部2a2に格納され、処理部2a1によって記憶部2a2から読み出されて実行される。媒体は、コンピュータ2aに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース2a3に接続されている通信回線であってもよい。記憶部2a2は、RAM (Random Access Memory)、ROM (Read Only Memory)、HDD (Hard Disk Drive)、SSD (Solid State Drive)、又はこれらの組み合わせを含んでもよい。通信インターフェース2a3は、LAN (Local Area Network) 等の通信回線を介してプラズマ処理装置1との間で

通信してもよい。

[0033] 以下に、プラズマ処理装置1の一例としての容量結合型のプラズマ処理装置の構成例について説明する。図2は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0034] 容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部(ceiling)の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0035] 基板支持部11は、本体部111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111b上に配置される。従って、中央領域111aは、基板Wを支持するための基板支持面とも呼ばれ、環状領域111bは、リングアセンブリ112を支持するためのエッジリング支持面とも呼ばれる。

[0036] 一実施形態において、本体部111は、基台1110及び静電チャック1

111を含む。基台1110は、導電性部材を含み、導電性基台となり得る。基台1110の導電性部材は下部電極として機能し得る。静電チャック1111は、基台1110の上に配置される。静電チャック1111は、セラミック部材1111aとセラミック部材1111a内に配置される静電電極（チャック電極）1111bとを含む。セラミック部材1111aは、中央領域111aを有する。一実施形態において、セラミック部材1111aは、環状領域111bも有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック1111を囲む他の部材が環状領域111bを有してもよい。この場合、リングアセンブリ112は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック1111と環状絶縁部材の両方の上に配置されてもよい。また、RF又はDC電極がセラミック部材1111a内に配置されてもよく、この場合、RF又はDC電極が下部電極として機能する。後述するバイアスRF信号又はDC信号がRF又はDC電極に接続される場合、RF又はDC電極はバイアス電極とも呼ばれる。なお、基台1110の導電性部材とRF又はDC電極との両方が2つの下部電極として機能してもよい。

[0037] リングアセンブリ112は、1又は複数の環状部材を含む。一実施形態において、1又は複数の環状部材は、1又は複数のエッジリングと少なくとも1つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。

[0038] また、基板支持部11は、静電チャック1111、リングアセンブリ112及び基板のうち少なくとも1つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路1110a、又はこれらの組み合わせを含んでもよい。流路1110aには、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路1110aが基台1110内に形成され、1又は複数のヒータが静電チャック1111のセラミック部材1111a内に配置される。また、基板支持部11は、基板Wの裏面と中央領域111aとの間に伝熱ガスを供給する

ように構成された伝熱ガス供給部を含んでもよい。

[0039] シャワーヘッド13は、ガス供給部20からの少なくとも1つの処理ガスをプラズマ処理空間10s内に導入するように構成される。シャワーヘッド13は、少なくとも1つのガス供給口13a、少なくとも1つのガス拡散室13b、及び複数のガス導入口13cを有する。ガス供給口13aに供給された処理ガスは、ガス拡散室13bを通過して複数のガス導入口13cからプラズマ処理空間10s内に導入される。また、シャワーヘッド13は、上部電極を含む。なお、ガス導入部は、シャワーヘッド13に加えて、側壁10aに形成された1又は複数の開口部に取り付けられる1又は複数のサイドガス注入部(SGI: Side Gas Injector)を含んでもよい。

[0040] ガス供給部20は、少なくとも1つのガスソース21及び少なくとも1つの流量制御器22を含んでもよい。一実施形態において、ガス供給部20は、少なくとも1つの処理ガスを、それぞれに対応のガスソース21からそれぞれに対応の流量制御器22を介してシャワーヘッド13に供給するように構成される。各流量制御器22は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部20は、少なくとも1つの処理ガスの流量を変調又はパルス化する少なくとも1つの流量変調デバイスを含んでもよい。

[0041] 電源30は、少なくとも1つのインピーダンス整合回路を介してプラズマ処理チャンバ10に結合されるRF電源31を含む。RF電源31は、ソースRF信号及びバイアスRF信号のような少なくとも1つのRF信号(RF電力)を、少なくとも1つの下部電極及び/又は少なくとも1つの上部電極に供給するように構成される。これにより、プラズマ処理空間10sに供給された少なくとも1つの処理ガスからプラズマが形成される。従って、RF電源31は、プラズマ生成部12の少なくとも一部として機能し得る。また、バイアスRF信号を少なくとも1つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板W

に引き込むことができる。

[0042] 一実施形態において、RF電源31は、第1のRF生成部31a及び第2のRF生成部31bを含む。第1のRF生成部31aは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に結合され、プラズマ生成用のソースRF信号（ソースRF電力）を生成するように構成される。一実施形態において、ソースRF信号は、10MHz～150MHzの範囲内の周波数を有する。一実施形態において、第1のRF生成部31aは、異なる周波数を有する複数のソースRF信号を生成するように構成されてもよい。生成された1又は複数のソースRF信号は、少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。

[0043] 第2のRF生成部31bは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極に結合され、バイアスRF信号（バイアスRF電力）を生成するように構成される。バイアスRF信号の周波数は、ソースRF信号の周波数と同じであっても異なってもよい。一実施形態において、バイアスRF信号は、ソースRF信号の周波数よりも低い周波数を有する。一実施形態において、バイアスRF信号は、100kHz～60MHzの範囲内の周波数を有する。一実施形態において、第2のRF生成部31bは、異なる周波数を有する複数のバイアスRF信号を生成するように構成されてもよい。生成された1又は複数のバイアスRF信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソースRF信号及びバイアスRF信号のうち少なくとも1つがパルス化されてもよい。

[0044] また、電源30は、プラズマ処理チャンバ10に結合されるDC電源32を含んでもよい。DC電源32は、第1のDC生成部32a及び第2のDC生成部32bを含む。一実施形態において、第1のDC生成部32aは、少なくとも1つの下部電極に接続され、第1のDC信号を生成するように構成される。生成された第1のDC信号は、少なくとも1つの下部電極に印加される。一実施形態において、第2のDC生成部32bは、少なくとも1つの

上部電極に接続され、第2のDC信号を生成するように構成される。生成された第2のDC信号は、少なくとも1つの上部電極に印加される。

[0045] 種々の実施形態において、第1及び第2のDC信号がパルス化されてもよい。この場合、DCに基づく電圧パルスのシーケンスが少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、DC信号から電圧パルスのシーケンスを生成するための波形生成部が第1のDC生成部32aと少なくとも1つの下部電極との間に接続される。従って、第1のDC生成部32a及び波形生成部は、電圧パルス生成部を構成する。第2のDC生成部32b及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも1つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1周期内に1又は複数の正極性電圧パルスと1又は複数の負極性電圧パルスとを含んでもよい。なお、第1及び第2のDC生成部32a、32bは、RF電源31に加えて設けられてもよく、第1のDC生成部32aが第2のRF生成部31bに代えて設けられてもよい。

[0046] 排気システム40は、例えばプラズマ処理チャンバ10の底部に設けられたガス排出口10eに接続され得る。排気システム40は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間10s内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0047] <第1の例示的实施形態>

図3は、第1の例示的实施形態における基板支持部11及び電源30の構成例を示す。一実施形態において、基板支持部11は、静電チャック1111の内部に、チャック電極1111bと、基板バイアス電極1111cを有する。基板バイアス電極1111cは、チャック電極1111bの下方に配置され得る。基板バイアス電極1111cには、第1のパルス化DC信号を

生成する第1のパルス化DC生成部200が電氣的に接続されている。第1のパルス化DC生成部200は、上述の第1のDC生成部32aの一例であってよい。基台1110には、RF信号を生成するRF生成部201が電氣的に接続されている。RF生成部201は、上述の第1のRF生成部31a及び／又は第2のRF生成部31bの一例であってよい。なお、一実施形態において、RF生成部201は、基板バイアス電極1111cに接続されていてよい。

[0048] 一実施形態において、基板バイアス電極1111cと第1のパルス化DC生成部200との間には、第1のRFフィルタ210と第1のリング抑制回路211が接続されている。基板バイアス電極1111cは、接地されており、基板バイアス電極1111cと接地電位との間には、第1の寄生キャパシタC1が生じ得る。第1のパルス化DC生成部200から基板バイアス電極1111cまでの経路230は、接地されており、当該経路230上のノード231と接地電位との間には、第2の寄生キャパシタC2が生じ得る。さらに、基台1110は、接地されており、基台1110と接地電位との間には、第3の寄生キャパシタ3が生じ得る。

[0049] 一実施形態において、第1のRFフィルタ210は、RF生成部201から基台1110に供給されたRF信号が経路230を介して第1のパルス化DC生成部200に入り込むことを抑制するように構成されている。第1のRFフィルタ210は、RF信号の周波数に応じた特定の周波数の信号を除去し得る。第1のRFフィルタ210は、コイルであり得る。第1のRFフィルタ210は、チャンバ10の外部に配置され得る。

[0050] 第1のRFフィルタ210が有するコイルインダクタンスに起因して、第1の寄生キャパシタC1と第2の寄生キャパシタC2との間で共振が生じ、第1のパルス化DC生成部200から供給される第1のパルス化DC信号にリング（高周波成分）が生じ得る。一実施形態において、第1のリング抑制回路211は、第1のパルス化DC信号に重畳されるリングを抑制するように構成されている。第1のリング抑制回路211は、チャ

ンバ10の外部に設けられ得る。第1のリング抑制回路211は、第1のRFフィルタ210と第1のパルス化DC生成部200との間に接続され得る。なお、第1のリング抑制回路211は、第1のRFフィルタ210と基板バイアス電極1111cとの間に接続され得る。

[0051] 一実施形態において、図4に示すように、第1のリング抑制回路211は、経路230に接続される第1の導体250と、第1の導体250に配置された第1のフェライトコア251を含む。第1のフェライトコア251は、第1のパルスDC信号に重畳されるリングを除去し得る。

[0052] 一実施形態において、第1のパルス化DC生成部200の第1のパルス化DC信号は、電圧パルスのシーケンスを有する。図5は、第1のパルス化DC生成部200で生成される第1の電圧パルスのシーケンスDC1の一例を示す。第1の電圧パルスのシーケンスDC1は、100kHzから1MHzの範囲内のパルス周波数を有する。第1の電圧パルスのシーケンスDC1は、繰り返しサイクルTを有する。第1の電圧パルスのシーケンスDC1は、各サイクルT内の第1の期間T1に第1の電圧レベルV1を有し、各サイクルTの第2の期間T2に、基準電圧レベルとなる第2の電圧レベルV2を有し得る。第1の電圧レベルV1の絶対値は、第2の電圧レベルV2の絶対値よりも大きい。一実施形態において、第1の電圧レベルV1は、負極性を有する。一実施形態において、第2の電圧レベルV2は、ゼロ電圧レベルを有する。一実施形態において、第1の電圧レベルV1は、0V~-15kVである。

[0053] <プラズマ処理方法の一例>

プラズマ処理装置1を用いて行われるプラズマ処理は、プラズマを用いて基板W上の膜をエッチングするエッチング処理を含む。一実施形態において、プラズマ処理は、制御部2により実行される。

[0054] 先ず、基板Wが、搬送アームによりチャンバ10内に搬入され、リフターにより基板支持部11に載置され、図2に示すように基板支持部11上に吸着保持される。

[0055] 次に、処理ガスが、ガス供給部20によりシャワーヘッド13に供給され、シャワーヘッド13からプラズマ処理空間10sに供給される。このとき供給される処理ガスは、基板Wのエッチング処理のために必要な活性種を生成するガスを含む。

[0056] 一実施形態において、下部電極及び／又は上部電極には、プラズマ生成用のソースRF信号が供給される。下部電極には、イオン引き込み用のバイアス信号が供給されてよい。このとき、プラズマ処理空間10s内の雰囲気はガス排出口10eから排気され、プラズマ処理空間10s内は所定の圧力に減圧されてもよい。これにより、プラズマ処理空間10sにプラズマが生成され、基板Wがエッチング処理される。

[0057] プラズマ処理の一例において、図3に示す基台1110には、RF生成部201によりRF信号が供給される。基板バイアス電極1111cには、第1のパルス化DC生成部200により、バイアス信号として第1のパルス化DC信号が印加される。このとき、第1のRFフィルタ210により、RF生成部201から基台1110に供給されたRF信号が経路230を介して第1のパルス化DC生成部200に入り込むことが抑制される。また、第1のリングング抑制回路211により、第1の寄生キャパシタC1と第2の寄生キャパシタC2との間に生じるリングングが第1のパルス化DC信号に重畳されることが抑制される。

[0058] 本例示的实施形態によれば、プラズマ処理装置1が、基台1110と、RF生成部201と、第1のパルス化DC生成部200と、第1のRFフィルタ210と、第1のリングング抑制回路211とを含む。これにより、第1のパルス化DC生成部200から基板バイアス電極1111cに印加されるパルス化DC信号にリングングが重畳することを抑制することができる。よって、パルス化DC信号を用いたプラズマ処理を適正に行うことができる。

[0059] (実施例)

パルス化DC生成部と基板バイアス電極との間に、リングング抑制回路としてフェライトコアを配置した場合（フェライトコア有）とフェライトコア

を配置しなかった場合（フェライトコア無）について、パルス化DC信号が印加された静電チャック上の基板電位を計測した。図6は、当該計測結果を示す。フェライトコアがある場合の基板電位は、フェライトコアがない場合に比べて、パルス化DC信号の矩形波形に近くなっており、パルス化DC信号に重畳するリングング（高周波成分）が減少していることを確認することができる。また、フェライトコアがある場合の基板電位の絶対値が、フェライトコアがない場合に比べて高くなっている（図6中の $\Delta V$ ）ことを確認することができる。これにより、フェライトコアがある場合に、パルス化DC信号の電気エネルギーが基板に効率的に伝達されていることを確認することができる。

[0060] 図7は、フェライトコアがない場合におけるプラズマ処理時の基板上のイオンエネルギー分布関数（IEDF（Ion Energy Distribution Function））を示す。図8は、フェライトコアがある場合におけるプラズマ処理時の基板上のイオンエネルギー分布関数を示す。フェライトコアがない場合は、イオンエネルギー（IE）が高い領域においてイオンエネルギー分布関数のピークが複数あるのに対し、フェライトコアがある場合は、イオンエネルギー（IE）が高い領域においてイオンエネルギー分布関数のピークが一つになっていることを確認することができる。これにより、フェライトコアがある場合に、基板上のイオンエネルギーが高く安定することがわかる。

[0061] 図9は、フェライトコアがある場合とフェライトコアがない場合について、エッチング処理における基板のエッチングレート（ER）を測定した結果である。図9の横軸は、パルス化DC信号のDC電圧である。フェライトコアがある場合のエッチングレートが、フェライトコアがない場合に比べて高くなることを確認することができる。

[0062] 上記実施の形態において、第1のリングング抑制回路211は、図10に示すように、並列接続される複数の第1の導体250と、複数の第1の導体250の各々に配置される複数の第1のフェライトコア251を有している。一実施形態において、各第1の導体250には、複数の第1のフェラ

イトコア251が配置されていてよいし、一つの第1のフェライトコア251が配置されていてよい。かかる場合、パルス化DC信号により各第1の導体250に流れる電流が減少し、この結果、リングングを除去することにより生じる第1のフェライトコア251の発熱を抑えることができる。

[0063] (第2の例示的实施形態)

図11は、第2の例示的实施形態における基板支持部11及び電源30の構成例を示す。一実施形態において、基板支持部11は、静電チャック1111の内部に、チャック電極1111bと、基板バイアス電極1111cに加えて、エッジリングバイアス電極1111dを有してよい。エッジリングバイアス電極1111dは、エッジリング支持面の下方に配置され得る。エッジリングバイアス電極1111dには、第2のパルス化DC信号を生成する第2のパルス化DC生成部300が電氣的に接続されている。

[0064] 一実施形態において、エッジリングバイアス電極1111dと第2のパルス化DC生成部300との間には、第2のRFフィルタ310と第2のリングング抑制回路311が接続されている。エッジリングバイアス電極1111dは、接地されており、エッジリングバイアス電極1111dと接地電位との間には、第4の寄生キャパシタC4が生じ得る。第2のパルス化DC生成部300からエッジリングバイアス電極1111dまでの経路330は、接地されており、当該経路330上のノード331と接地電位との間には、第5の寄生キャパシタC5が生じ得る。

[0065] 一実施形態において、第2のRFフィルタ310は、RF生成部201から基台1110に供給されたRF信号が経路330を介して第2のパルス化DC生成部300に入り込むことを抑制するように構成されている。第2のRFフィルタ310は、RF信号の周波数に応じた特定の周波数の信号を除去し得る。第2のRFフィルタ310は、コイルであり得る。第2のRFフィルタ310は、チャンバ10の外部に設けられ得る。

[0066] 第2のRFフィルタ310が有するコイルインダクタンスに起因して、第4の寄生キャパシタC4と第5の寄生キャパシタC5との間で共振が生じ、

第2のパルス化DC信号にリングング（高周波成分）が生じ得る。一実施形態において、第2のリングング抑制回路311は、第2のパルス化DC信号に重畳されるリングングを抑制するように構成されている。第2のリングング抑制回路311は、チャンバ10の外部に設けられ得る。第2のリングング抑制回路311は、第2のRFフィルタ310と第2のパルス化DC生成部300との間に接続され得る。なお、第2のリングング抑制回路311は、第2のRFフィルタ310とエッジリングバイアス電極1111dとの間に接続され得る。

[0067] 一実施形態において、図12に示すように、第2のリングング抑制回路311は、経路330に接続される第2の導体350と、第2の導体350に配置される第2のフェライトコア351を含む。各第2の導体350には、複数の第2のフェライトコア351が配置されていてよいし、一つの第2のフェライトコア351が配置されていてよい。第2のフェライトコア351は、第2のパルスDC信号に重畳されるリングングを除去し得る。

[0068] 第2のパルス化DC生成部300の第2のパルス化DC信号は、電圧パルスのシーケンスを有する。図13は、第2のパルス化DC生成部300で生成される第2の電圧パルスのシーケンスDC2の一例を示す。第2の電圧パルスのシーケンスDC2は、100kHzから1MHzの範囲内のパルス周波数を有する。一実施形態において、第2の電圧パルスのシーケンスDC2は、第1の電圧パルスのシーケンスDC1と同じ繰り返しサイクルTを有する。第2の電圧パルスのシーケンスDC2は、各サイクルT内の第1の期間T1に第3の電圧レベルV3を有し、各サイクルTの第2の期間T2に、基準電圧レベルとなる第4の電圧レベルV4を有し得る。第3の電圧レベルV3の絶対値は、第4の電圧レベルV4の絶対値よりも大きい。一実施形態において、第3の電圧レベルV3は、負極性を有する。一実施形態において、第4の電圧レベルV4は、ゼロ電圧レベルを有する。一実施形態において、第3の電圧レベルV3は、0V～-15kVである。

[0069] 第2の例示的实施形態における基板支持部11及び電源30の他の構成は

、第1の例示的实施形態と同様であってよい。

[0070] 本例示的实施形態によれば、第2の Puls 化 DC 生成部 300 から エッジ リング バイアス 電極 1111d に 印加 される Puls 化 DC 信号 に リンギング が 重畳 することを 抑制 することができる。よって、Puls 化 DC 信号 を 用いた プラズマ 処理 を 適正 に 行う ことができる。

[0071] 以上の実施形態において、リング抑制回路は、フェライトコアに変えて、或いはフェライトコアと共に、ダンピング抵抗を有してよい。

[0072] 例えば、上記実施形態では、容量結合型のプラズマ装置を例に説明したが、これに限定されるものではなく、他のプラズマ装置に適用されてもよい。例えば、容量結合型のプラズマ装置に代えて、誘導結合型のプラズマ装置が用いられてもよい。この場合、誘導結合型のプラズマ装置は、アンテナ及び下部電極を含む。下部電極は、基板支持部内に配置され、アンテナは、チャンバの上部又は上方に配置される。一実施形態において、RF電源31は、アンテナに電氣的に接続され、アンテナにRF信号を供給できてよい。

[0073] 本開示の実施形態は、以下の態様をさらに含む。

[0074] (付記1)

プラズマ処理チャンバと、

前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、導電性基台と、前記導電性基台上に配置される静電チャックと、前記静電チャック内に配置されるチャック電極と、前記静電チャック内において前記チャック電極の下方に配置されるバイアス電極と、を含む、前記基板支持部と、

前記基板支持部の上方に配置される上部電極と、

前記導電性基台、前記バイアス電極又は前記上部電極に電氣的に接続され、RF信号を生成するように構成されるRF生成部と、

前記バイアス電極に電氣的に接続され、Puls 化 DC 信号を生成するように構成される Puls 化 DC 生成部と、

前記バイアス電極と前記 Puls 化 DC 生成部との間に接続される RF フィ

ルタと、

前記バイアス電極と前記パルス化DC生成部との間に接続され、前記パルス化DC信号に重畳されるリングングを抑制するように構成されるリングング抑制回路と、  
を含む、プラズマ処理装置。

[0075] (付記2)

前記リングング抑制回路は、少なくとも一つのフェライトコアを含む、付記1に記載のプラズマ処理装置。

[0076] (付記3)

前記リングング抑制回路は、  
並列に接続される複数の導体と、  
前記複数の導体の各々に少なくとも一つ配置される複数のフェライトコアと、を含む、付記1または2に記載のプラズマ処理装置。

[0077] (付記4)

前記パルス化DC信号は、電圧パルスのシーケンスを有する、付記1から3のいずれか一項に記載のプラズマ処理装置。

[0078] (付記5)

前記電圧パルスのシーケンスは、負極性の電圧レベルを有する、付記4に記載のプラズマ処理装置。

[0079] (付記6)

前記電圧パルスのシーケンスは、100kHzから1MHzの範囲内のパルス周波数を有する、付記4または5に記載のプラズマ処理装置。

[0080] (付記7)

前記パルス化DC信号は、各サイクル内の第1の期間に第1の電圧レベルを有し、各サイクル内の第2の期間に第2の電圧レベルを有する電圧パルスのシーケンスを有し、

前記第1の電圧レベルの絶対値が前記第2の電圧レベルの絶対値よりも大きい、付記1から3のいずれか一項に記載のプラズマ処理装置。

## [0081] (付記 8)

前記第 1 の電圧レベルは、負極性を有する、付記 7 に記載のプラズマ処理装置。

## [0082] (付記 9)

前記電圧パルスのシーケンスは、100 kHz から 1 MHz の範囲内のパルス周波数を有する、付記 7 または 8 に記載のプラズマ処理装置。

## [0083] (付記 10)

前記第 2 の電圧レベルは、ゼロ電圧レベルを有する、付記 7 から 9 のいずれか一項に記載のプラズマ処理装置。

## [0084] (付記 11)

プラズマ処理チャンバと、

前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、

基台と、

前記基台上に配置され、基板支持面及びエッジリング支持面を有する静電チャックと、

前記基板支持面上の基板を囲むように前記エッジリング支持面上に配置されるエッジリングと、

前記静電チャック内において前記基板支持面の下方に配置される基板バイアス電極と、

前記静電チャック内において前記エッジリング支持面の下方に配置されるエッジリングバイアス電極と、を含む、前記基板支持部と、

前記プラズマ処理チャンバ内にプラズマを生成するための RF 信号を生成するように構成される RF 生成部と、

前記基板バイアス電極に電氣的に接続され、第 1 のパルス化 DC 信号を生成するように構成される第 1 のパルス化 DC 生成部と、

前記基板バイアス電極と前記第 1 のパルス化 DC 生成部との間に接続される第 1 の RF フィルタと、

前記基板バイアス電極と前記第 1 のパルス化 DC 生成部との間に接続され、前記第 1 のパルス化 DC 信号に重畳されるリングングを抑制するように構成される第 1 のリングング抑制回路と、

前記エッジリングバイアス電極に電氣的に接続され、第 2 のパルス化 DC 信号を生成するように構成される第 2 のパルス化 DC 生成部と、

前記エッジリングバイアス電極と前記第 2 のパルス化 DC 生成部との間に接続される第 2 の RF フィルタと、

前記エッジリングバイアス電極と前記第 2 のパルス化 DC 生成部との間に接続され、前記第 2 のパルス化 DC 信号に重畳されるリングングを抑制するように構成される第 2 のリングング抑制回路と、

を含む、プラズマ処理装置。

[0085] (付記 1 2)

前記第 1 のリングング抑制回路は、少なくとも一つの第 1 のフェライトコアを含む、付記 1 1 に記載のプラズマ処理装置。

[0086] (付記 1 3)

前記第 2 のリングング抑制回路は、少なくとも一つの第 2 のフェライトコアを含む、付記 1 1 または 1 2 に記載のプラズマ処理装置。

[0087] (付記 1 4)

前記第 2 のリングング抑制回路は、  
並列に接続される複数の第 2 の導体と、  
前記複数の第 2 の導体の各々に少なくとも一つ配置される複数の第 2 のフェライトコアと、を含む、付記 1 1 に記載のプラズマ処理装置。

[0088] (付記 1 5)

前記第 1 のリングング抑制回路は、  
並列に接続される複数の第 1 の導体と、  
前記複数の第 1 の導体の各々に少なくとも一つ配置される複数の第 1 のフェライトコアと、を含む、付記 1 1 に記載のプラズマ処理装置。

[0089] (付記 1 6)

前記第2のリングング抑制回路は、少なくとも一つの第2のフェライトコアを含む、付記15に記載のプラズマ処理装置。

[0090] (付記17)

前記第2のリングング抑制回路は、  
並列に接続される複数の第2の導体と、  
前記複数の第2の導体の各々に少なくとも一つ配置される複数の第2のフェライトコアと、を含む、付記15または16に記載のプラズマ処理装置。

[0091] (付記18)

プラズマ処理チャンバと、  
前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、基台と、前記基台上に配置される静電チャックと、前記静電チャック内に配置されるバイアス電極と、を含む、前記基板支持部と、  
前記プラズマ処理チャンバ内にプラズマを生成するためのRF信号を生成するように構成されるRF生成部と、  
前記バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、  
前記バイアス電極と前記パルス化DC生成部との間に接続され、第1の寄生キャパシタと第2の寄生キャパシタとの間に生じるリングングが前記パルス化DC信号に重畳されることを抑制するように構成されるリングング抑制回路であって、前記第1の寄生キャパシタは、前記バイアス電極と接地電位との間に生じ、前記第2の寄生キャパシタは、前記パルス化DC生成部から前記バイアス電極までの経路上のノードと接地電位との間に生じる、前記リングング抑制回路と、  
を含む、プラズマ処理装置。

[0092] (付記19)

前記リングング抑制回路は、少なくとも一つのフェライトコアを含む、付記18に記載のプラズマ処理装置。

[0093] (付記20)

前記リングング抑制回路は、  
並列に接続される複数の導体と、  
前記複数の導体の各々に少なくとも一つ配置される複数のフェライトコア  
と、を含む、付記 18 または 19 に記載のプラズマ処理装置。

[0094] 以上の各実施形態は、説明の目的で記載されており、本開示の範囲を限定することを意図するものではない。以上の各実施形態は、本開示の範囲及び趣旨から逸脱することなく種々の変形をなし得る。例えば、ある実施形態における一部の構成要素を、他の実施形態に追加することができる。また、ある実施形態における一部の構成要素を、他の実施形態の対応する構成要素と置換することができる。

### 符号の説明

[0095] 1 …… プラズマ処理装置、 10 …… チャンバ、 11 …… 基板支持部、 30 …… 電源、 1110 …… 基台、 1111 …… 静電チャック、 1111c …… 基板バイアス電極、 200 …… 第 1 のパルス化 DC 生成部、 201 …… RF 生成部、 210 …… 第 1 の RF フィルタ、 211 …… 第 1 のリングング抑制回路、 W …… 基板

## 請求の範囲

- [請求項1] プラズマ処理チャンバと、  
前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、導電性基台と、前記導電性基台上に配置される静電チャックと、前記静電チャック内に配置されるチャック電極と、前記静電チャック内において前記チャック電極の下方に配置されるバイアス電極と、を含む、前記基板支持部と、  
前記基板支持部の上方に配置される上部電極と、  
前記導電性基台、前記バイアス電極又は前記上部電極に電氣的に接続され、RF信号を生成するように構成されるRF生成部と、  
前記バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、  
前記バイアス電極と前記パルス化DC生成部との間に接続されるRFフィルタと、  
前記バイアス電極と前記パルス化DC生成部との間に接続され、前記パルス化DC信号に重畳されるリングングを抑制するように構成されるリングング抑制回路と、  
を含む、プラズマ処理装置。
- [請求項2] 前記リングング抑制回路は、少なくとも一つのフェライトコアを含む、請求項1に記載のプラズマ処理装置。
- [請求項3] 前記リングング抑制回路は、  
並列に接続される複数の導体と、  
前記複数の導体の各々に少なくとも一つ配置される複数のフェライトコアと、を含む、請求項1に記載のプラズマ処理装置。
- [請求項4] 前記パルス化DC信号は、電圧パルスのシーケンスを有する、請求項1から3のいずれか一項に記載のプラズマ処理装置。
- [請求項5] 前記電圧パルスのシーケンスは、負極性の電圧レベルを有する、請求項4に記載のプラズマ処理装置。

- [請求項6] 前記電圧パルスのシーケンスは、100kHzから1MHzの範囲内のパルス周波数を有する、請求項5に記載のプラズマ処理装置。
- [請求項7] 前記パルス化DC信号は、各サイクル内の第1の期間に第1の電圧レベルを有し、各サイクル内の第2の期間に第2の電圧レベルを有する電圧パルスのシーケンスを有し、  
前記第1の電圧レベルの絶対値が前記第2の電圧レベルの絶対値よりも大きい、請求項1から3のいずれか一項に記載のプラズマ処理装置。
- [請求項8] 前記第1の電圧レベルは、負極性を有する、請求項7に記載のプラズマ処理装置。
- [請求項9] 前記電圧パルスのシーケンスは、100kHzから1MHzの範囲内のパルス周波数を有する、請求項8に記載のプラズマ処理装置。
- [請求項10] 前記第2の電圧レベルは、ゼロ電圧レベルを有する、請求項9に記載のプラズマ処理装置。
- [請求項11] プラズマ処理チャンバと、  
前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、  
基台と、  
前記基台上に配置され、基板支持面及びエッジリング支持面を有する静電チャックと、  
前記基板支持面上の基板を囲むように前記エッジリング支持面上に配置されるエッジリングと、  
前記静電チャック内において前記基板支持面の下方に配置される基板バイアス電極と、  
前記静電チャック内において前記エッジリング支持面の下方に配置されるエッジリングバイアス電極と、を含む、前記基板支持部と、  
前記プラズマ処理チャンバ内にプラズマを生成するためのRF信号を生成するように構成されるRF生成部と、

前記基板バイアス電極に電氣的に接続され、第1のパルス化DC信号を生成するように構成される第1のパルス化DC生成部と、

前記基板バイアス電極と前記第1のパルス化DC生成部との間に接続される第1のRFフィルタと、

前記基板バイアス電極と前記第1のパルス化DC生成部との間に接続され、前記第1のパルス化DC信号に重畳されるリングングを抑制するように構成される第1のリングング抑制回路と、

前記エッジリングバイアス電極に電氣的に接続され、第2のパルス化DC信号を生成するように構成される第2のパルス化DC生成部と、

前記エッジリングバイアス電極と前記第2のパルス化DC生成部との間に接続される第2のRFフィルタと、

前記エッジリングバイアス電極と前記第2のパルス化DC生成部との間に接続され、前記第2のパルス化DC信号に重畳されるリングングを抑制するように構成される第2のリングング抑制回路と、を含む、プラズマ処理装置。

[請求項12] 前記第1のリングング抑制回路は、少なくとも一つの第1のフェライトコアを含む、請求項11に記載のプラズマ処理装置。

[請求項13] 前記第2のリングング抑制回路は、少なくとも一つの第2のフェライトコアを含む、請求項12に記載のプラズマ処理装置。

[請求項14] 前記第2のリングング抑制回路は、  
並列に接続される複数の第2の導体と、  
前記複数の第2の導体の各々に少なくとも一つ配置される複数の第2のフェライトコアと、を含む、請求項11に記載のプラズマ処理装置。

[請求項15] 前記第1のリングング抑制回路は、  
並列に接続される複数の第1の導体と、  
前記複数の第1の導体の各々に少なくとも一つ配置される複数の第

1のフェライトコアと、を含む、請求項11に記載のプラズマ処理装置。

[請求項16] 前記第2のリングング抑制回路は、少なくとも一つの第2のフェライトコアを含む、請求項15に記載のプラズマ処理装置。

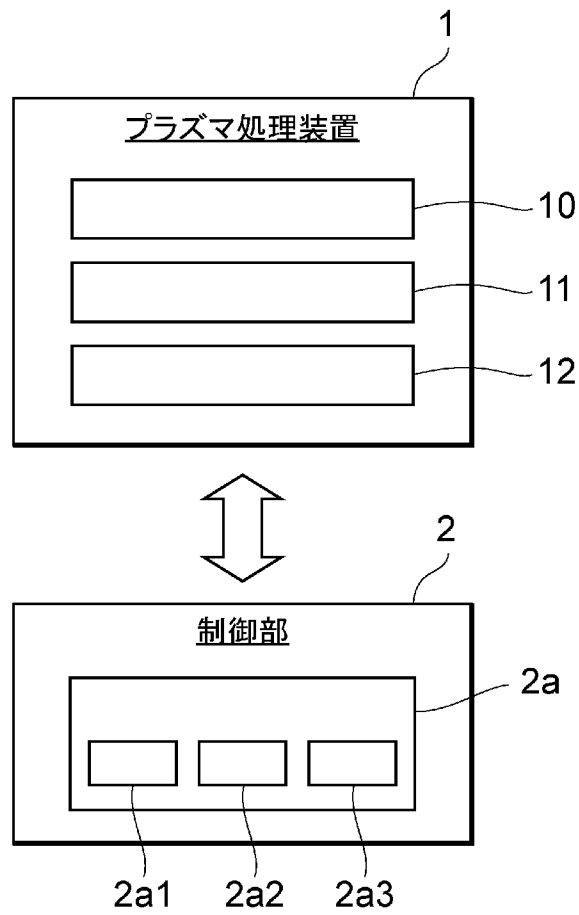
[請求項17] 前記第2のリングング抑制回路は、  
並列に接続される複数の第2の導体と、  
前記複数の第2の導体の各々に少なくとも一つ配置される複数の第2のフェライトコアと、を含む、請求項15に記載のプラズマ処理装置。

[請求項18] プラズマ処理チャンバと、  
前記プラズマ処理チャンバ内に配置される基板支持部であって、前記基板支持部は、基台と、前記基台上に配置される静電チャックと、前記静電チャック内に配置されるバイアス電極と、を含む、前記基板支持部と、  
前記プラズマ処理チャンバ内にプラズマを生成するためのRF信号を生成するように構成されるRF生成部と、  
前記バイアス電極に電氣的に接続され、パルス化DC信号を生成するように構成されるパルス化DC生成部と、  
前記バイアス電極と前記パルス化DC生成部との間に接続され、第1の寄生キャパシタと第2の寄生キャパシタとの間に生じるリングングが前記パルス化DC信号に重畳されることを抑制するように構成されるリングング抑制回路であって、前記第1の寄生キャパシタは、前記バイアス電極と接地電位との間に生じ、前記第2の寄生キャパシタは、前記パルス化DC生成部から前記バイアス電極までの経路上のノードと接地電位との間に生じる、前記リングング抑制回路と、  
を含む、プラズマ処理装置。

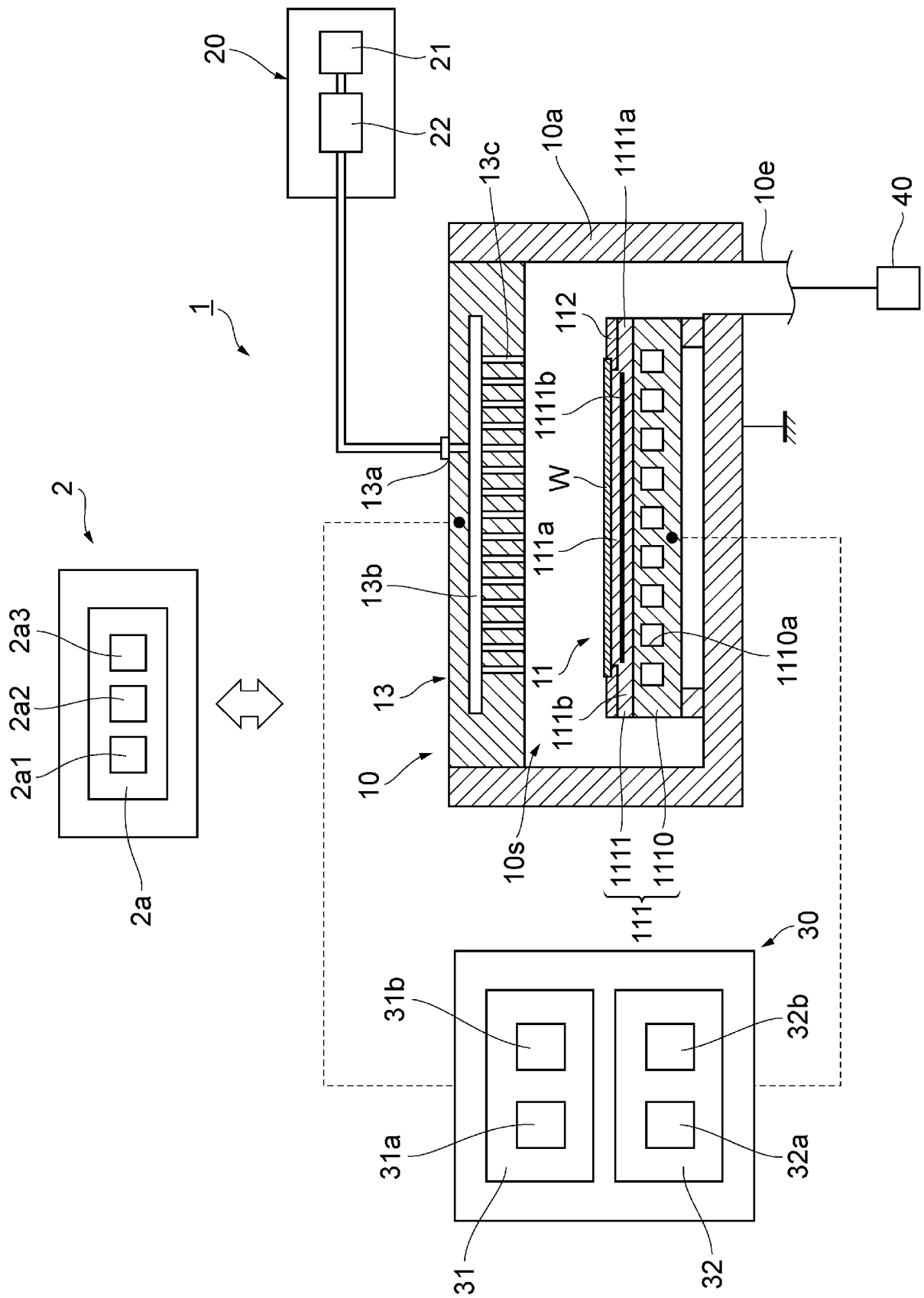
[請求項19] 前記リングング抑制回路は、少なくとも一つのフェライトコアを含む、請求項18に記載のプラズマ処理装置。

[請求項20] 前記リング抑制回路は、  
並列に接続される複数の導体と、  
前記複数の導体の各々に少なくとも一つ配置される複数のフェライ  
トコアと、を含む、請求項18に記載のプラズマ処理装置。

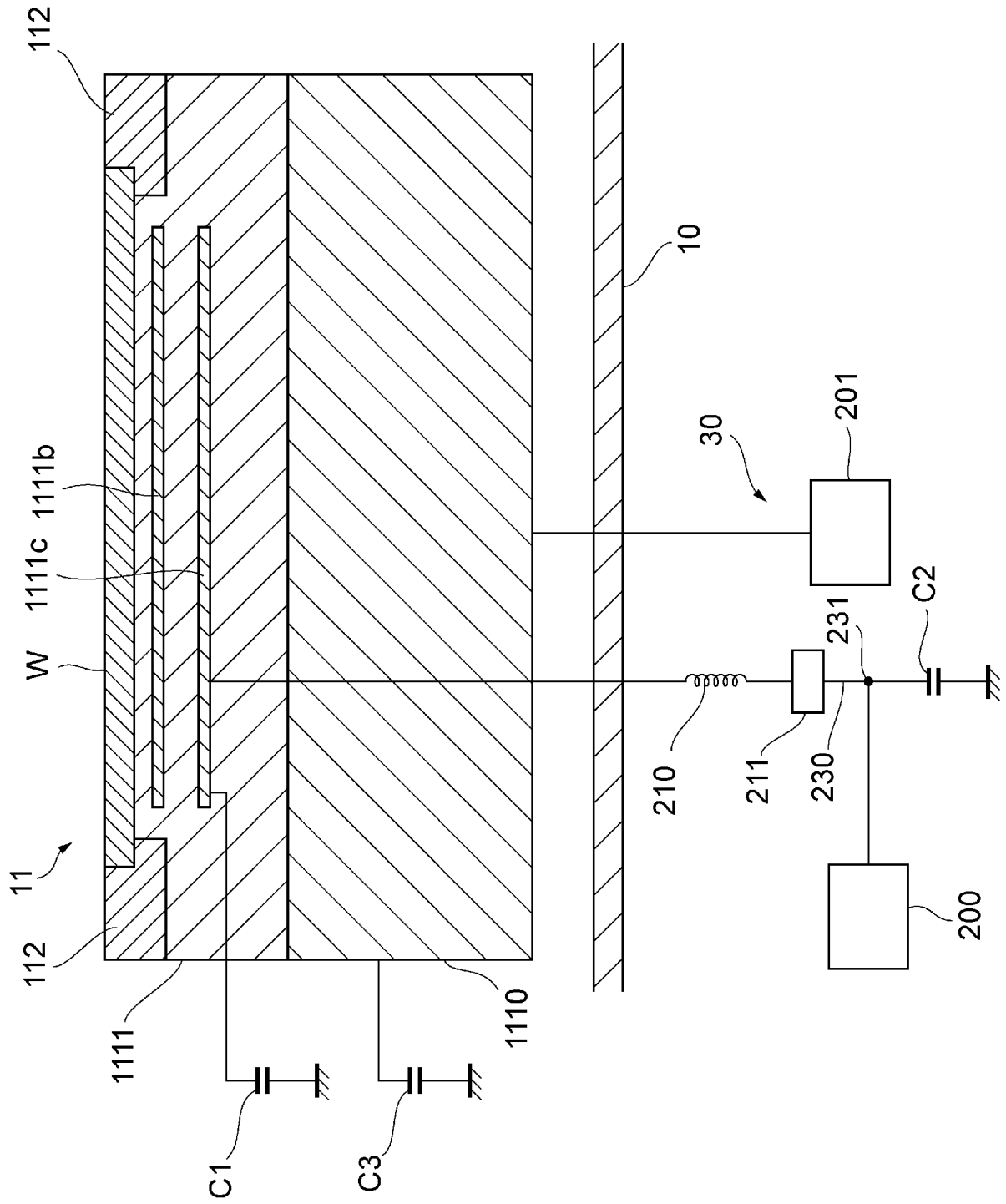
[図1]



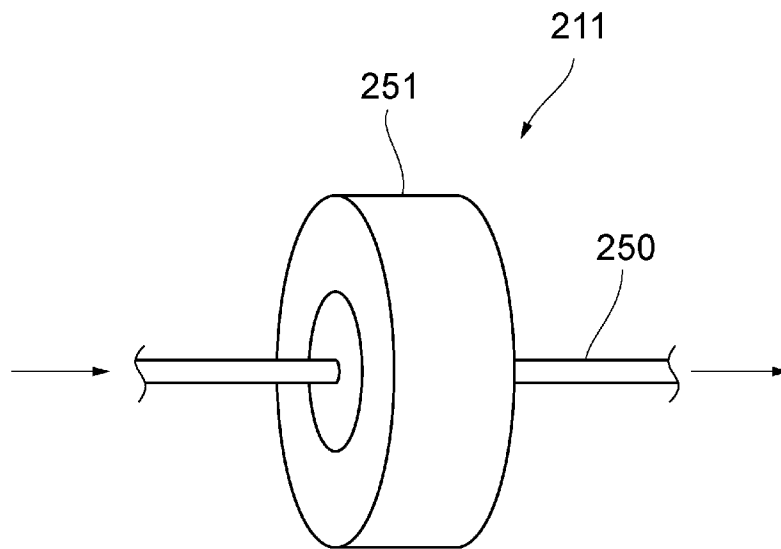
[図2]



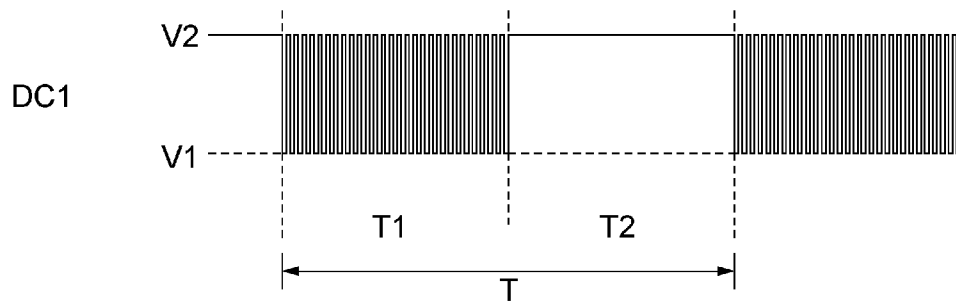
[図3]



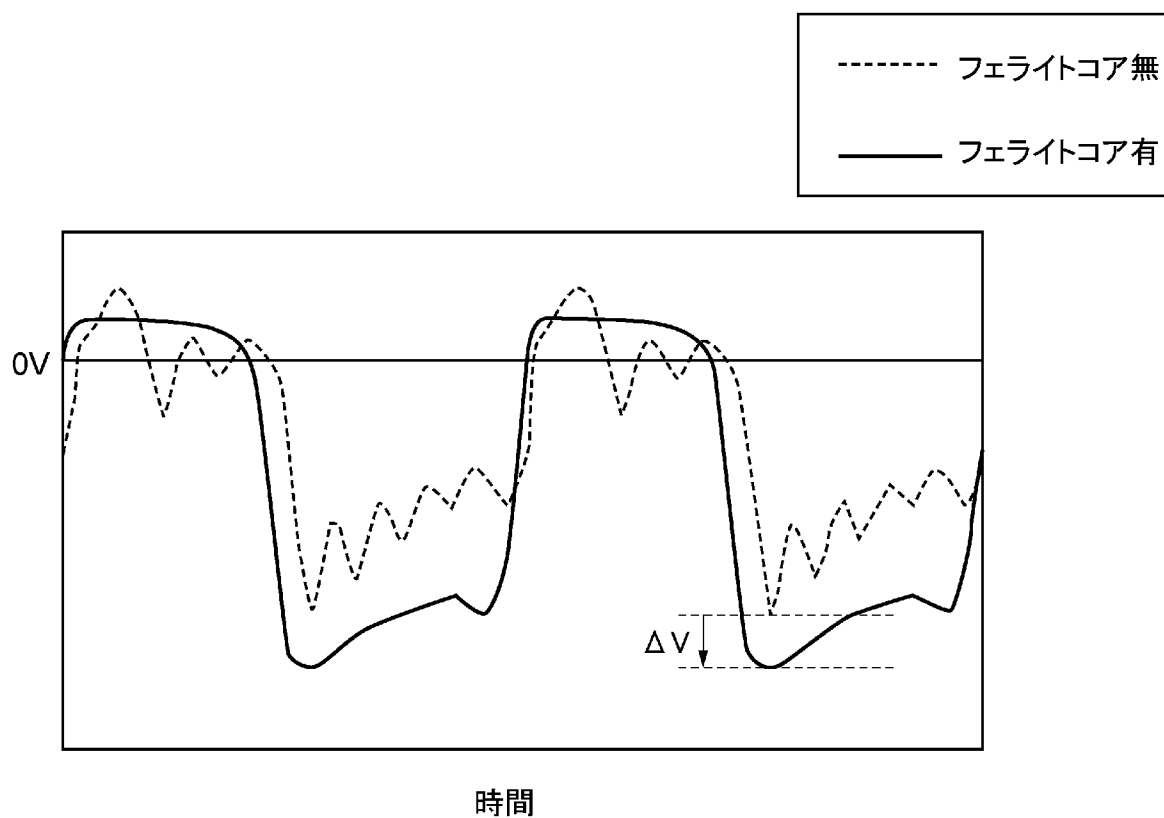
[図4]



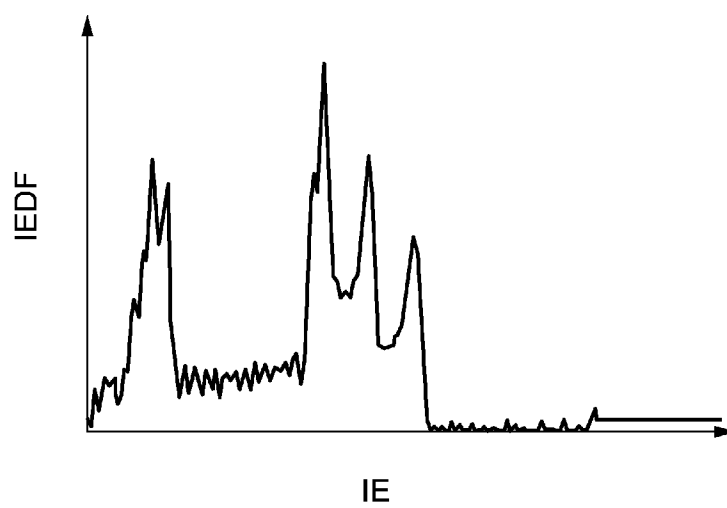
[図5]



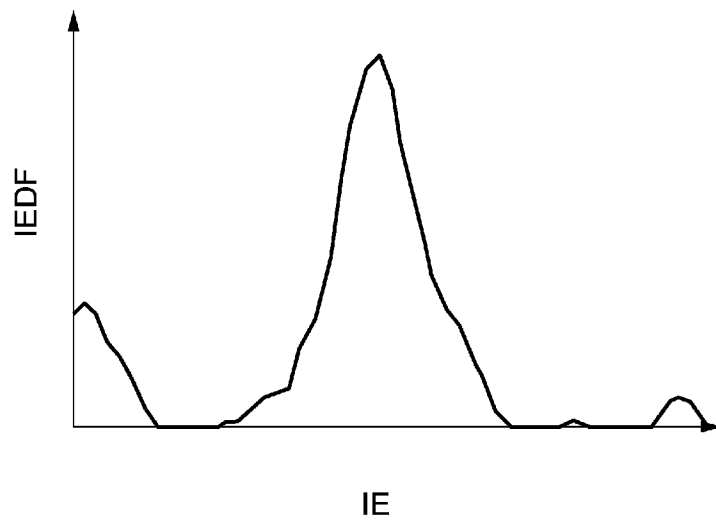
[図6]



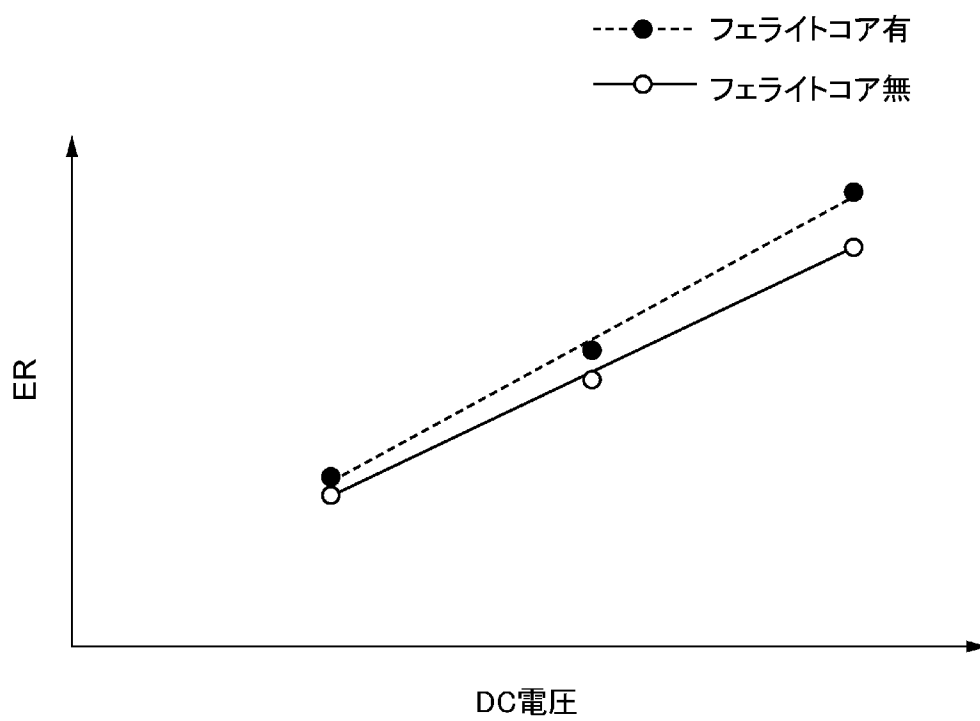
[図7]



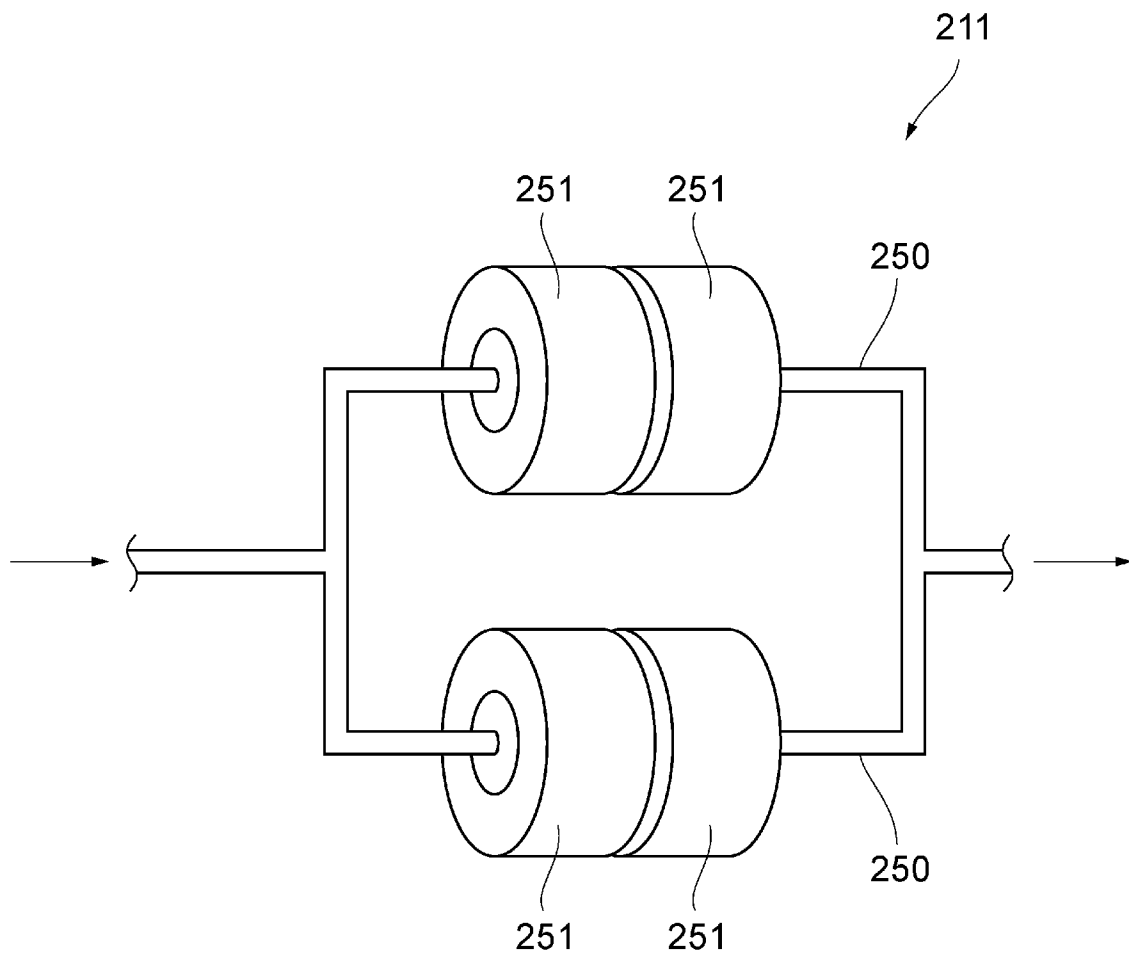
[図8]



[図9]

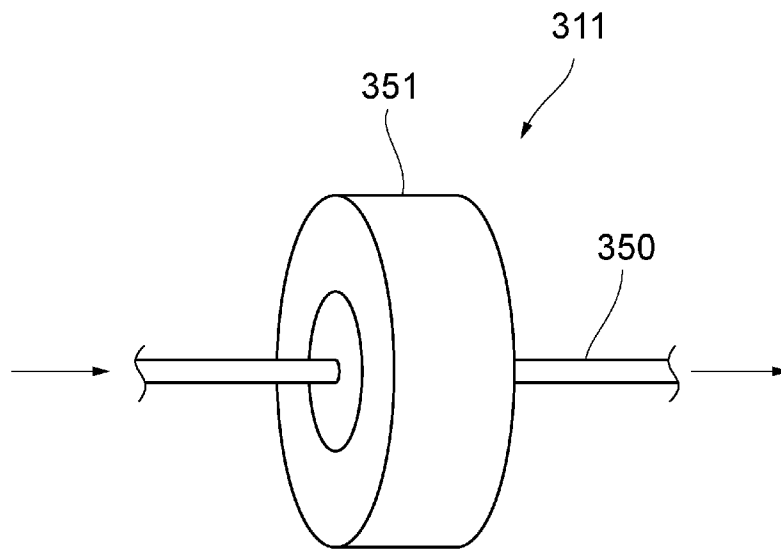


[図10]

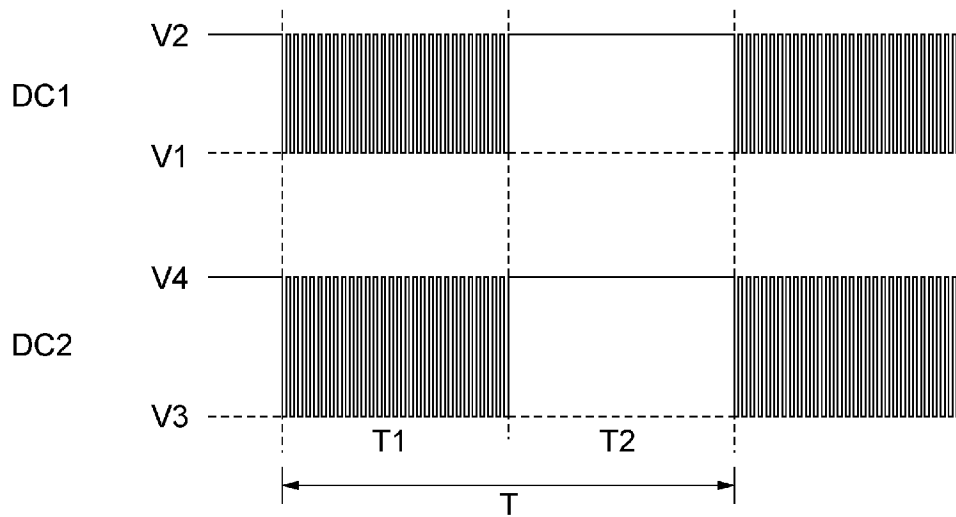




[図12]



[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001422

**A. CLASSIFICATION OF SUBJECT MATTER**

**H05H 1/46**(2006.01)i; **H01L 21/3065**(2006.01)i  
FI: H05H1/46 R; H01L21/302 101G

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H05H1/00-H05H1/54; H01L21/3065; H01L21/205; H01L21/31; H01L21/365; H01L21/469; H01L21/86

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
Published unexamined utility model applications of Japan 1971-2024  
Registered utility model specifications of Japan 1996-2024  
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-72001 A (DAIHEN CORP.) 09 May 2016 (2016-05-09) paragraph [0046]	1-20
A	JP 2002-184770 A (SHIMADZU CORPORATION) 28 June 2002 (2002-06-28) paragraph [0014]	1-20
A	JP 9-93803 A (FUJITSU LIMITED) 04 April 1997 (1997-04-04) paragraphs [0039], [0040], fig. 9	1-20
A	WO 2022/202702 A1 (TOKYO ELECTRON LIMITED) 29 September 2022 (2022-09-29) entire text, all drawings	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
“D” document cited by the applicant in the international application  
“E” earlier application or patent but published on or after the international filing date  
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
“O” document referring to an oral disclosure, use, exhibition or other means  
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 February 2024

Date of mailing of the international search report

27 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)  
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/001422**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-72001 A	09 May 2016	(Family: none)	
JP 2002-184770 A	28 June 2002	(Family: none)	
JP 9-93803 A	04 April 1997	(Family: none)	
WO 2022/202702 A1	29 September 2022	TW 202245552 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05H 1/46(2006.01)i; H01L 21/3065(2006.01)i FI: H05H1/46 R; H01L21/302 101G		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H05H1/00-H05H1/54; H01L21/3065; H01L21/205; H01L21/31; H01L21/365; H01L21/469; H01L21/86 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-72001 A (株式会社ダイヘン) 09.05.2016 (2016-05-09) [0046]	1-20
A	JP 2002-184770 A (株式会社島津製作所) 28.06.2002 (2002-06-28) [0014]	1-20
A	JP 9-93803 A (富士通株式会社) 04.04.1997 (1997-04-04) [0039]-[0040], [図9]	1-20
A	WO 2022/202702 A1 (東京エレクトロン株式会社) 29.09.2022 (2022-09-29) 全文, 全図	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	14. 02. 2024	国際調査報告の発送日 27. 02. 2024
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  後藤 大思 2G 5261  電話番号 03-3581-1101 内線 3226	

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/001422

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-72001 A	09.05.2016	(ファミリーなし)	
JP 2002-184770 A	28.06.2002	(ファミリーなし)	
JP 9-93803 A	04.04.1997	(ファミリーなし)	
WO 2022/202702 A1	29.09.2022	TW 202245552 A	