

(12) 发明专利申请

(10) 申请公布号 CN 102063860 A

(43) 申请公布日 2011. 05. 18

(21) 申请号 201010251984. 2

(22) 申请日 2002. 10. 31

(30) 优先权数据

2001-335918 2001. 10. 31 JP

2002-287948 2002. 09. 30 JP

(62) 分案原申请数据

02826522. X 2002. 10. 31

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 木村肇

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 何欣亭 高为

(51) Int. Cl.

G09G 3/32(2006. 01)

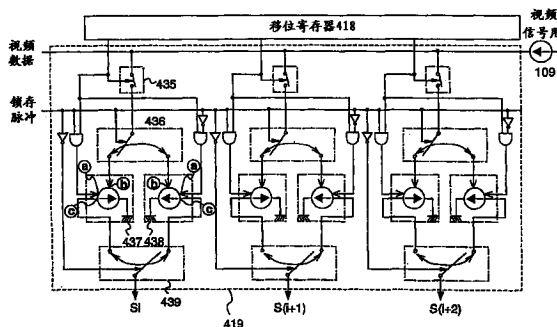
权利要求书 6 页 说明书 33 页 附图 47 页

(54) 发明名称

信号线驱动电路及发光装置

(57) 摘要

本发明涉及信号线驱动电路及发光装置。其特征在于:在信号线驱动电路中,设置分别具有电容装置和供给装置的第1电流源电路(437)和第2电流源电路(438)。按照从移位寄存器(418)供给的采样脉冲和从外部供给的锁存脉冲,上述电容装置将把n个视频信号用恒流源(109)各自供给的电流相加后的电流变换成电压,上述供给装置供给与变换后的电压对应的电流,由此,进行与视频信号对应的电流输出,而和晶体管的特性无关。从上述n个视频信号用恒流源供给的电流值设定成 $2^0 : 2^1 : \dots : 2^n$ ,由此可以表现灰度。



1. 一种信号线驱动电路,包括:

移位寄存器;

视频信号电流源;

用于供给锁存脉冲的电路;以及

锁存电路,包括:

第一开关,电连接到所述视频信号电流源;

第二开关,电连接到信号线;

第一逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第二逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第一电流源电路,具有:

第一端子,电连接到所述第一逻辑电路;

第二端子,电连接到所述第一开关;及

第三端子,电连接到所述第二开关;以及,

第二电流源电路,具有:

第四端子,电连接到所述第二逻辑电路;

第五端子,电连接到所述第一开关;及

第六端子,电连接到所述第二开关,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管,以及

其中,所述视频信号电流源采用一体化的电路形成。

2. 如权利要求 1 所述的信号线驱动电路,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括晶体管及电容元件,

其中,所述电容元件在所述晶体管的漏极端子和所述栅极端子处于短路状态并且来源于所述视频信号电流源的电流流过所述晶体管时,保持所述晶体管的栅极端子和所述晶体管的源极端子间的电压。

3. 一种信号线驱动电路,包括:

移位寄存器;

n 个视频信号电流源;

用于供给锁存脉冲的电路;以及

$n \times m$  个锁存电路,该  $n \times m$  个锁存电路中的每一个包括:

第一开关,电连接到所述 n 个视频信号电流源中的至少一个;

第二开关,电连接到 m 根信号线中对应的一根信号线;

第一逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第二逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第一电流源电路,具有:

第一端子,电连接到所述第一逻辑电路;

第二端子,电连接到所述第一开关;及

第三端子,电连接到所述第二开关;以及,

第二电流源电路,具有:

第四端子,电连接到所述第二逻辑电路;

第五端子,电连接到所述第一开关;及

第六端子,电连接到所述第二开关,

其中,n及m各自为大于1的自然数,

其中,从所述n个视频信号电流源供给的电流值被设定成 $2^0 : 2^1 : \dots : 2^{n-1}$ ,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管,以及

其中,所述n个视频信号电流源采用一体化的电路形成。

4. 如权利要求3所述的信号线驱动电路,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括晶体管及电容元件,

其中,所述电容元件在所述晶体管的漏极端子和栅极端子处于短路状态并且来源于所述n个视频信号电流源中对应的一个视频信号电流源的电流流过所述晶体管时,保持所述晶体管的栅极端子和所述晶体管的源极端子间的电压。

5. 如权利要求1或3所述的信号线驱动电路,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括晶体管,以及

其中,所述晶体管工作在饱和区。

6. 如权利要求1或3所述的信号线驱动电路,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括晶体管,以及

其中,所述晶体管的有源层包含多晶硅。

7. 一种发光装置,其中,

包括如权利要求1或3的所述信号线驱动电路和具有呈矩阵排列的多个像素的像素部,其中,所述多个像素的每一个包含发光元件。

8. 一种信号线驱动电路,包括:

移位寄存器;

视频信号电流源;

用于供给锁存脉冲的电路;以及

锁存电路,包括:

第一开关,电连接到所述视频信号电流源;

第二开关,电连接到信号线;

第一逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第二逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第一电流源电路,包括:

第一晶体管;及

第一电容元件,电连接到所述第一晶体管的栅极端子和所述第一晶体管的源极端子之间;以及

第二电流源电路,包括:

第二晶体管;及

第二电容元件,电连接到所述第二晶体管的栅极端子和所述第二晶体管的源极端子之间,

其中,所述第一晶体管的栅极端子和所述第一晶体管的漏极端子经由第三开关电连接,

其中,所述第一晶体管的漏极端子电连接到所述第一开关及电连接到所述第二开关,其中,所述第三开关由所述第一逻辑电路的输出控制,

其中,所述第二晶体管的栅极端子和所述第二晶体管的漏极端子经由第四开关电连接,

其中,所述第二晶体管的所述漏极端子电连接到所述第一开关及电连接到所述第二开关,

其中,所述第四开关由所述第二逻辑电路的输出控制,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管,以及其中,所述视频信号电流源采用一体化的电路形成。

9. 一种信号线驱动电路,包括:

移位寄存器;

n 个视频信号电流源;

用于供给锁存脉冲的电路;以及

$n \times m$  个锁存电路,该  $n \times m$  个锁存电路中的每一个包括:

第一开关,电连接到所述 n 个视频信号电流源中的至少一个;

第二开关,电连接到 m 根信号线中对应的一根信号线;

第一逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第二逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第一电流源电路,包括:

第一晶体管;及

第一电容元件,电连接到所述第一晶体管的栅极端子和所述第一晶体管的源极端子之间;以及

第二电流源电路,包括:

第二晶体管;及

第二电容元件,电连接到所述第二晶体管的栅极端子和所述第二晶体管的源极端子之间,

其中,所述第一晶体管的栅极端子和所述第一晶体管的漏极端子经由第三开关电连接,

其中,所述第一晶体管的漏极端子电连接到所述第一开关及电连接到所述第二开关,

其中,所述第三开关由所述第一逻辑电路的输出控制,

其中,所述第二晶体管的栅极端子和所述第二晶体管的漏极端子经由第四开关电连接,

其中,所述第二晶体管的所述漏极端子电连接到所述第一开关及电连接到所述第二开关,

其中,所述第四开关由所述第二逻辑电路的输出控制,

其中,n 及 m 各自为大于 1 的自然数,

其中,从所述 n 个视频信号电流源供给的电流值被设定成  $2^0 : 2^1 : \dots : 2^{n-1}$ ,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管,以及其中,所述 n 个视频信号电流源采用一体化的电路形成。

10. 如权利要求 8 或 9 所述的信号线驱动电路,

其中,所述第一晶体管和所述第二晶体管中至少一方工作在饱和区。

11. 如权利要求 8 或 9 所述的信号线驱动电路,

其中,所述第一晶体管和所述第二晶体管中至少一方包含多晶硅。

12. 一种信号线驱动电路,包括:

移位寄存器;

视频信号电流源;

用于供给锁存脉冲的电路;以及

锁存电路,包括:

第一开关,电连接到所述视频信号电流源;

第二开关,电连接到信号线;

第一逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第二逻辑电路,电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路;

第一电流源电路,包括:

第一晶体管;

第二晶体管;及

第一电容元件,电连接到所述第一晶体管的栅极端子和所述第一晶体管的源极端子之间及所述第二晶体管的栅极端子和所述第二晶体管的源极端子之间;以及

第二电流源电路,包括:

第三晶体管;

第四晶体管;及

第二电容元件,电连接到所述第三晶体管的栅极端子和所述第三晶体管的源极端子之间及所述第四晶体管的栅极端子和所述第四晶体管的源极端子之间;

其中,所述第一晶体管的栅极端子和所述第一晶体管的漏极端子经由第三开关电连接,

其中,所述第一晶体管的漏极端子电连接到所述第一开关,

其中,所述第二晶体管的漏极端子电连接到所述第二开关,

其中,所述第三开关由所述第一逻辑电路的输出控制,

其中,所述第三晶体管的栅极端子和所述第三晶体管的漏极端子经由第四开关电连接,

其中,所述第三晶体管的所述漏极端子电连接到所述第一开关,

其中,所述第四晶体管的漏极端子电连接到所述第二开关,

其中,所述第四开关由所述第二逻辑电路的输出控制,

其中,所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管,以及其中,所述视频信号电流源采用一体化的电路形成。

13. 一种信号线驱动电路,包括:

移位寄存器;

- n 个视频信号电流源；  
用于供给锁存脉冲的电路；以及  
 $n \times m$  个锁存电路，该  $n \times m$  个锁存电路中的每一个包括：  
第一开关，电连接到所述 n 个视频信号电流源中的至少一个；  
第二开关，电连接到 m 根信号线中对应的一根信号线；  
第一逻辑电路，电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路；  
第二逻辑电路，电连接到所述移位寄存器及电连接到所述用于供给锁存脉冲的电路；  
第一电流源电路，包括：  
第一晶体管；  
第二晶体管；及  
第一电容元件，电连接到所述第一晶体管的栅极端子和所述第一晶体管的源极端子之间及所述第二晶体管的栅极端子和所述第二晶体管的源极端子之间；以及  
第二电流源电路，包括：  
第三晶体管；  
第四晶体管；及  
第二电容元件，电连接到所述第三晶体管的栅极端子和所述第三晶体管的源极端子之间及所述第四晶体管的栅极端子和所述第四晶体管的源极端子之间；  
其中，所述第一电容元件和所述第一晶体管的漏极端子经由第三开关电连接，  
其中，所述第一晶体管的漏极端子电连接到所述第一开关，  
其中，所述第二晶体管的漏极端子电连接到所述第二开关，  
其中，所述第三开关由所述第一逻辑电路的输出控制，  
其中，所述第二电容元件和所述第三晶体管的漏极端子经由第四开关电连接，  
其中，所述第三晶体管的所述漏极端子电连接到所述第一开关，  
其中，所述第四晶体管的漏极端子电连接到所述第二开关，  
其中，所述第四开关由所述第二逻辑电路的输出控制，  
其中，n 及 m 各自为大于 1 的自然数，  
其中，从所述 n 个视频信号电流源供给的电流值被设定成  $2^0 : 2^1 : \dots : 2^{n-1}$ ，  
其中，所述第一电流源电路和所述第二电流源电路中至少一方包括薄膜晶体管，以及  
其中，所述 n 个视频信号电流源采用一体化的电路形成。
14. 如权利要求 12 或 13 所述的信号线驱动电路，  
其中，所述第一晶体管的栅极宽度 / 栅极长度的值等于所述第二晶体管的栅极宽度 / 栅极长度的值，以及  
其中，所述第三晶体管的栅极宽度 / 栅极长度的值等于所述第四晶体管的栅极宽度 / 栅极长度的值。
15. 如权利要求 12 或 13 所述的信号线驱动电路，  
其中，所述第一晶体管的栅极宽度 / 栅极长度的值大于所述第二晶体管的栅极宽度 / 栅极长度的值，以及  
其中，所述第三晶体管的栅极宽度 / 栅极长度的值大于所述第四晶体管的栅极宽度 / 栅极长度的值。

16. 如权利要求 12 或 13 所述的信号线驱动电路，  
其中，所述第一晶体管、所述第二晶体管、所述第三晶体管 and 所述第 4 晶体管中至少一方工作在饱和区。

17. 如权利要求 12 或 13 所述的信号线驱动电路，  
其中，所述第一晶体管、所述第二晶体管、所述第三晶体管 and 所述第 4 晶体管中至少一方包含多晶硅。

18. 如权利要求 13 所述的信号线驱动电路，  
其中，所述第一电流源电路还包括：  
i 个第五开关；及  
i 个第五晶体管，  
其中，所述 i 个第五晶体管的栅极端子中的每一个电连接到所述第二晶体管的栅极端子，

其中，所述 i 个第五晶体管的源极端子中的每一个电连接到所述第一电容元件，  
其中，所述 i 个第五晶体管的漏极端子中的每一个经由所述 i 个第五开关中相应的一个电连接到所述第二开关，

其中，所述 i 个第五开关中的每一个由所述 n 个视频信号电流源中相应的一个控制，  
其中，所述第二电流源电路还包括：  
i 个第六开关；及  
i 个第六晶体管，  
其中，所述 i 个第六晶体管的栅极端子中的每一个电连接到所述第四晶体管的栅极端子，

其中，所述 i 个第六晶体管的源极端子中的每一个电连接到所述第二电容元件，  
其中，所述 i 个第六晶体管的漏极端子中的每一个经由所述 i 个第六开关中相应的一个电连接到所述第二开关，

其中，所述 i 个第六开关中的每一个由所述 n 个视频信号电流源中相应的一个控制。

19. 如权利要求 18 所述的信号线驱动电路，  
其中，所述 i 个第五晶体管的栅极宽度 / 栅极长度的值被设定成  $2^0 : 2^1 : \dots : 2^{i-1}$  的比例，以及

其中，所述 i 个第六晶体管的栅极宽度 / 栅极长度的值被设定成  $2^0 : 2^1 : \dots : 2^{i-1}$  的比例，

其中，i 为大于 1 的自然数。

20. 一种发光装置，其中，  
包括如权利要求 8、9、12 及 13 中任一项的信号线驱动电路和具有呈矩阵排列的多个像素的像素部，其中，所述多个像素的每一个包含发光元件。

## 信号线驱动电路及发光装置

[0001] 本申请是下述申请的分案申请：

[0002] 申请号：02826522.X

[0003] 申请日：2002年10月31日

### 技术领域

[0004] 本发明涉及信号线驱动电路的技术，此外，还涉及具有上述信号线驱动电路的发光装置的技术。

### 背景技术

[0005] 近年来，正在兴起进行图像显示的显示装置的开发。作为显示装置，使用液晶元件进行图像显示的液晶显示装置因其高画质、薄型、轻量等优点而被广泛使用。

[0006] 另一方面，近年来又兴起对采用作为自发光元件的发光元件的发光装置进行开发。发光装置除了现有的液晶显示装置的优点之外，还具有适合于动画显示的迅捷的响应速度、低电压和低功耗等特征，并作为下一代显示器件而倍受关注。

[0007] 作为在发光装置上显示多灰度图像时的灰度表现方法，可以举出模拟灰度方式和数字灰度方式。前者的模拟灰度方式是模拟控制流过发光元件的电流的大小而得到灰度的方式。后者的数字灰度方式是只利用发光元件的导通状态（辉度大致是100%的状态）和截止状态（辉度大致是0%的状态）这样2个状态进行驱动的方式。在数字辉度方式中，因只能直接显示2个灰度，故提出与别的方式组合显示多灰度图像的方法。

[0008] 此外，作为像素的驱动方法，若按输入像素的信号种类分类，则可以举出电压输入方式和电流输入方式。前者的电压输入方式是将向像素输入的视频信号（电压）输入到驱动元件的栅极，并使用该驱动元件去控制发光元件的辉度的方式。后者的电流输入方式是通过使发光元件流过设定的信号电流去控制该发光元件辉度的方式。

[0009] 这里，使用图16(A)简单说明使用电压输入方式的发光装置中像素电路的一例及其驱动方法。图16(A)所示的像素具有信号线501、扫描线502、开关TFT503、驱动TFT504、电容元件505、发光元件506和电源507、508。

[0010] 当扫描线502的电位变化，使开关TFT503导通时，输入到信号线501的视频信号输入到驱动TFT504的栅极。根据输入的视频信号的电位决定驱动TFT504的栅源极间的电压，从而决定流过驱动TFT504的源漏极间的电流。该电流供给发光元件506，使该发光元件506发光。作为驱动发光元件的半导体元件，可以使用多晶硅晶体管。但是，多晶硅晶体管因晶粒边界缺陷，容易产生阈值或导通电流等电气特性的离散。在图16(A)所示的像素中，若驱动TFT504的特性对每一个像素离散，则当输入相同的视频信号时，因与其对应的驱动TFT504的漏极电流的大小不同，故发光元件506的辉度离散。

[0011] 为了解决上述问题，可以向发光元件供给所要的电流而不受驱动发光元件的TFT的特性的左右。根据这一观点提出了能控制提供给发光元件的电流的大小而不受TFT的特性左右的电流输入方式。

[0012] 其次,使用图 16(B) 和 17 简单说明使用电流驱动方式的发光装置中像素电路的一例及其驱动方法。图 16(B) 所示的像素具有信号线 601、第 1 ~ 第 3 扫描线 602 ~ 604、电流线 605、TFT606 ~ 609、电容元件 610 和发光元件 611。电流源电路 612 配置于各信号线(各列)。

[0013] 使用图 17 说明从写入视频信号到发光的动作。在图 17 中,表示各部分的图号以图 16 为准。图 17(A) ~ (C) 模式地示出电流的路径。图 17(D) 示出视频信号写入时流过各路径的电流关系,图 17(E) 示出视频信号写入时电容元件 610 积蓄的电压、即 TFT608 栅源极间的电压。

[0014] 首先,向第 1 和第 2 扫描线 602、603 输入脉冲,使 TFT606、607 导通。这时,将流过信号线 601 的信号电流记作  $I_{data}$ 。因信号线 601 流过信号电流  $I_{data}$ ,故如图 17(A) 所示,在像素内,电流分成  $I_1$  和  $I_2$  两个路径流过。它们的关系如图 17(D) 所示,当然是:  $I_{data} = I_1 + I_2$ 。

[0015] TFT606 导通的瞬间,因电容元件 610 中电荷尚未保存,故 TFT608 截止。因此,  $I_2 = 0$ ,  $I_{data} = I_1$ 。在此其间,电容元件 610 的两电极之间流过电流,在该电容元件 610 中进行电荷的积蓄。

[0016] 接着,电容元件 610 逐渐积蓄电荷,两电极间开始产生电位差(图 17(E))。当两电极的电位差到达  $V_{th}$ (图 17(E) 中的 A 点)时,TFT608 导通产生  $I_2$ 。如前所述,因  $I_{data} = I_1 + I_2$ ,故  $I_1$  逐渐减小,但依然流过电流,电容元件 610 进一步积蓄电荷。

[0017] 电容元件 610 继续积蓄电荷,直到该两个电极的电位差,即,TFT608 的栅源极间的电压达到所要的电压。也就是说,继续积蓄电荷直至达到能够使 TFT608 中流过  $I_{data}$  电流的电压。不久,若电荷的积蓄终结(图 17(E) 中的 B 点),则不流过电流  $I_1$ 。因 TFT608 完全导通,故  $I_{data} = I_2$ (图 17(B))。通过以上动作,完成向像素写入信号的动作。最后,结束对第 1 和第 2 扫描线 602、603 的选择,TFT606、607 截止。

[0018] 接着,向第 3 扫描线 604 输入脉冲,TFT609 导通。因电容元件 610 保持刚才已写入的 VGS,故 TFT608 导通,从电流线 605 流过等于  $I_{data}$  的电流。因此,发光元件 611 发光。这时,若 TFT608 工作在饱和区,则即使 TFT608 的源漏极间的电压发生变化,流过发光元件 611 的发光电流  $I_{EL}$  也不变。

[0019] 如上所述,电流输入方式是指将 TFT609 的漏极电流设定为和电流源电路 612 设定的信号电流  $I_{data}$  相同的电流值,使发光元件 611 以和该漏极电流对应的辉度发光的方式。通过使用上述结构的像素,可以抑制构成像素的 TFT 的特性离散的影响,并向发光元件供给所要的电流。

[0020] 但是,在使用电流输入方式的发光装置中,有必要向像素准确地输入与视频信号对应的信号电流。若担任向像素输入信号电流的信号线驱动电路(在图 16 中相当于电流源电路 612)由多晶硅晶体管构成,则因其特性产生离散,故该信号电流也产生离散。

[0021] 即,在使用电流输入方式的发光装置中,有必要抑制构成像素和信号线驱动电路的 TFT 的特性离散的影响。但是,通过使用图 16(B) 所示结构的像素,虽然可以抑制构成像素的 TFT 特性离散的影响,但要抑制构成信号线驱动电路的 TFT 的特性离散的影响很困难。

[0022] 在此,使用图 18 简单说明配置在对电流输入方式的像素进行驱动的信号线驱动电路中的电流源电路的结构及其动作。

[0023] 图 18(A) (B) 中的电流源电路 612 与图 16(B) 所示的电流源电路 612 相当。电流源电路 612 具有恒流源 555 ~ 558。恒流源 555 ~ 558 通过经端子 551 ~ 554 输入的信号进行控制。从恒流源 555 ~ 558 供给的电流的大小各不相同,其比设定为 1 : 2 : 4 : 8。

[0024] 图 18(B) 是表示电流源电路 612 的电路结构的图,图中的恒流源 555 ~ 558 相当于晶体管。晶体管 555 ~ 558 的导通电流取决于  $L$ (栅极长度)/ $W$ (栅极宽度) 值的比 (1 : 2 : 4 : 8),所以变成 1 : 2 : 4 : 8。由此,电流源电路 612 可以按  $2^4 = 16$  级控制电流的大小。即,对 4 位数字视频信号,可以输出具有 16 级灰度模拟值的电流。再有,该电流源电路 612 由多晶硅晶体管构成,和像素部在同一块衬底上一体地形成。

[0025] 这样,以前提出过内部装有电流源电路的信号线驱动电路的方案(例如参照非专利文献 1,2)。

[0026] 此外,在数字灰度方式中,为了表现多灰度的图像,而采用数字灰度方式和面积灰度方式组合的方式(以下记作面积灰度方式)及数字灰度方式和时间灰度方式组合的方式(以下记作时间灰度方式)。面积灰度方式是将一个像素分割成多个副像素,对各个副像素选择发光或不发光,利用在一个像素中发光的面积和除此之外的面积的差去表现灰度的方式。时间灰度方式是通过控制发光元件发光的时间去表现灰度的方式。具体地说,将 1 帧期间分割成长度不同的多个子帧期间,选择各期间的发光元件的发光或不发光,利用 1 帧期间内发光时间长度的差去表现灰度。在数字灰度方式中,为了表现多灰度的图像,提出数字灰度方式和时间灰度方式组合的方式(以下记作时间灰度方式)。(例如参照专利文献 1)

[0027] 【非专利文献 1】

[0028] 服部励治、其余 3 名,“信学技报”,ED2001-8,电流指定型多晶硅 TFT 有源矩阵驱动有机 LED 显示的电路仿真, p. 7-14

[0029] 【非专利文献 2】

[0030] ReijiH et al. “AM-LCD’ 01”, OLED-4, p. 223-226

[0031] 【专利文献 1】

[0032] 特开 2001-5426 号公报

[0033] 上述电流源电路 612 通过设计  $L/W$  值来设定晶体管的导通电流,使其为 1 : 2 : 4 : 8。但是,晶体管 555 ~ 558 因制作工序或使用衬底的不同产生的栅极长度、栅极宽度和栅极绝缘膜的厚度离散的原因,产生阈值或移动度的离散。因此,使晶体管 555 ~ 558 的导通电流如设计的那样准确地为 1 : 2 : 4 : 8 很困难。即,供给像素的电流因所在列的不同而产生离散。

[0034] 为了使晶体管 555 ~ 558 的导通电流如设计的那样准确地为 1 : 2 : 4 : 8,有必要使所有列的电流源电路的特性完全一样。即,虽然有必要使具有信号线驱动电路的电流源电路的特性完全一样,但实现起来非常困难。

## 发明内容

[0035] 本发明是鉴于上述问题提出的,其目的在于提供能抑制 TFT 的特性离散的影响向像素供给所要的信号电流的信号线驱动电路。进而,本发明的目的在于提供一种发光装置,通过使用能抑制 TFT 的特性离散影响的电路结构的像素,可以抑制构成像素和驱动电路双

方的 TFT 的特性离散的影响,向发光元件供给所要的信号电流。

[0036] 本发明提供设有能抑制 TFT 的特性离散的影响并流过所要的恒定电流的电路(本说明书中称为电流源电路)的新结构的信号线驱动电路。进而,本发明提供具有上述信号线驱动电路的发光装置。

[0037] 本发明提供对各列(各信号线等)配置了电流源电路的信号线驱动电路。

[0038] 在本发明的信号线驱动电路中,使用视频信号用恒流源对各信号线配置的电流源电路设定信号电流。在设定了信号电流的电流源电路中,具有流过与视频信号用恒流源成比例的电流的能力。因此,通过使用上述电流源电路,可以抑制构成信号线驱动电路的 TFT 特性离散的影响。

[0039] 再有,视频信号用恒流源也可以在衬底上和信号线驱动电路一体形成。此外,作为视频信号用电流,也可以使用 IC 等从衬底的外部输入电流。这时,作为视频信号用电流,也可以从衬底的外部向信号线驱动电路供给固定的电流或与视频信号对应的电流。

[0040] 使用图 1、2 说明本发明的信号线驱动电路的概要。在图 1、2 中,示出从第  $i$  列到  $(i+2)$  列共 3 根信号线的外围信号线驱动电路。

[0041] 在图 1 中,信号线驱动电路 403 在信号线(各列)上配置电流源电路 420。电流源电路 420 具有端子 a、端子 b 和端子 c。从端子 a 输入设定信号。从与电流线连接的视频信号用恒流源 109 向端子 b 供给电流(信号电流)。此外,从端子 c 经开关 101 输出电流源电路 420 保持的信号。即,电流源电路 420 受从端子 a 输入的设定信号的控制,输入从端子 b 供给电流,从端子 c 输出与该信号电流成比例的电流。再有,开关 101 设在电流源电路 420 和与信号线连接的象素之间,上述开关 101 的通断由锁存脉冲控制。

[0042] 其次,使用图 2 说明和图 1 的结构不同的本发明的信号线驱动电路。在图 2 中,信号线驱动电路 403 对每一根信号线(各列)设置 2 个以上的电流源电路 420。而且,电流源电路 420 具有多个电流源电路。而且在这里,作为具有 2 个电流源电路,假定电流源电路 420 具有第 1 电流源电路 421 和第 2 电流源电路 422。第 1 电流源电路 421 和第 2 电流源电路 422 具有端子 a、端子 b、端子 c 和端子 d。从端子 a 输入设定信号。从与电流线连接的视频信号用恒流源 109 向端子 b 供给电流(信号电流)。从端子 c 输出第 1 电流源电路 421 和第 2 电流源电路 422 保持的信号。即电流源电路 420 由从端子 a 输入的设定信号和从端子 d 输入的控制信号控制,输入从端子 b 供给的信号电流,从端子 c 输出与该信号电流成比例的电流(信号电流)。开关 101 设在电流源电路 420 和与信号线连接的象素之间,上述开关 101 的通断受锁存脉冲控制。此外,从端子 d 输入控制信号。

[0043] 再有,在本说明书中,将结束对电流源电路 420 的信号电流  $I_{data}$  的写入(设定信号电流、进行设定以便利用信号电流能输出与信号电流成比例的电流、确定电流源电路 420 能输出信号电流)的动作称作设定动作,将向象素输入信号电流  $I_{data}$  的动作(电流源电路 420 输出信号电流的动作)称作输入动作。在图 2 中,因输入第 1 电流源电路 421 和第 2 电流源电路 422 的控制信号彼此不同,故第 1 电流源电路 421 和第 2 电流源电路 422 一个进行设定动作,另一个进行输入动作。由此,可以同时进行 2 个动作。

[0044] 在本发明中,所谓发光装置,把在覆盖材料和衬底之间封入具有发光元件的象素部和信号线驱动电路的面板、在上述面板上安装了 IC 等的模块以及显示器等都包含在其范畴之内,即发光装置相当于面板、模块和显示器的总称。

[0045] 在本发明的信号线驱动电路中,配置了各自具有电流源电路的锁存器。本发明的信号线驱动电路可以适用于模拟灰度方式和数字灰度方式。

[0046] 在本发明中,TFT 可以替换使用了通常的单结管的晶体管、使用了 SOI 的晶体管或有机晶体管等。

[0047] 本发明是具有与多根信号线分别对应的第 1 和第 2 电流源电路、移位寄存器和 n 个视频信号用恒流源的信号线驱动电路 (n 是 1 以上的自然数),其特征在于:

[0048] 上述第 1 和上述第 2 电流源电路分别具有电容装置和供给装置,

[0049] 按照从上述移位寄存器供给的采样脉冲和从外部供给的锁存脉冲,上述第 1 和上述第 2 电流源电路的一者具有的电容装置将把从上述 n 个视频信号用恒流源各自供给的电流相加后的电流变换成电压,另一者具有的供给装置供给与上述变换后的电压对应的电流。

[0050] 从上述 n 个视频信号用恒流源供给的电流值设定成  $2^0 : 2^1 : \dots : 2^n$ 。

[0051] 本发明是具有与多根信号线分别对应的  $(2 \times n)$  个电流源电路、移位寄存器和 n 个视频信号用恒流源的信号线驱动电路 (n 是大于等于 1 的自然数),其特征在于:

[0052] 上述  $(2 \times n)$  个电流源电路具有按照从上述移位寄存器供给的采样脉冲和从外部供给的锁存脉冲将从上述 n 个视频信号用恒流源中的某一个供给的电流变换成电压的电容装置和供给与上述变换后的电压对应的电流的供给装置,

[0053] 从上述  $(2 \times n)$  个电流源电路中选出的 n 个电流源电路分别向上述多根信号线供给电流,

[0054] 从上述 n 个视频信号用恒流源供给的电流值设定成  $2^0 : 2^1 : \dots : 2^n$ 。

[0055] 具有上述结构的本发明的信号线驱动电路具有移位寄存器和配置了不低于 2 个的电流源电路的锁存器。具有供给装置和电容装置的电流源电路可以不受构成它的晶体管的特性离散的影响而供给规定值的电流。此外,上述信号线驱动电路配置有逻辑运算器,上述逻辑运算器的 2 个输入端子输入从移位寄存器供给的采样脉冲和从外部供给的锁存脉冲。而且,在本发明中,使用从上述逻辑运算器的输出端子输出的信号,控制锁存器配置的不低于 2 个的电流源电路。这时,在上述电流源电路中,可以花费一点时间,以便正确地进行将供给的电流变换成电压的动作。

[0056] 本发明提供具有如上所述的电流源电路的信号线驱动电路。进而,本发明提供一种发光装置,通过使用具有能抑制 TFT 特性离散的影响的电路结构的像素,可以抑制构成像素和驱动电路双方的 TFT 的特性离散的影响,并向发光元件供给所要的信号电流 Idata。

#### 附图说明

[0057] 图 1 是信号线驱动电路的图。

[0058] 图 2 是信号线驱动电路的图。

[0059] 图 3 是信号线驱动电路的图 (1 位、2 位)。

[0060] 图 4 是信号线驱动电路的图 (1 位)。

[0061] 图 5 是信号线驱动电路的图 (2 位)。

[0062] 图 6 是电流源电路的电路图。

[0063] 图 7 是电流源电路的电路图。

- [0064] 图 8 是电流源电路的电路图。
- [0065] 图 9 是视频信号用恒流源的电路图。
- [0066] 图 10 是视频信号用恒流源的电路图。
- [0067] 图 11 是视频信号用恒流源的电路图。
- [0068] 图 12 是表示本发明的发光装置的外观的图。
- [0069] 图 13 是发光装置的像素的电路图。
- [0070] 图 14 是说明本发明的发光装置的驱动方法的图。
- [0071] 图 15 是表示本发明的发光装置的图。
- [0072] 图 16 是发光装置的像素的电路图。
- [0073] 图 17 是说明发光装置的像素的动作用的图。
- [0074] 图 18 是电流源电路的图。
- [0075] 图 19 是说明电流源电路的动作用的图。
- [0076] 图 20 是说明电流源电路的动作用的图。
- [0077] 图 21 是说明电流源电路的动作用的图。
- [0078] 图 22 是表示使用本发明的电子机器的图。
- [0079] 图 23 是视频信号用恒流源的电路图。
- [0080] 图 24 是视频信号用恒流源的电路图。
- [0081] 图 25 是视频信号用恒流源的电路图。
- [0082] 图 26 是信号线驱动电路的图 (2 位)。
- [0083] 图 27 是电流源电路的电路图。
- [0084] 图 28 是电流源电路的电路图。
- [0085] 图 29 是电流源电路的电路图。
- [0086] 图 30 是电流源电路的电路图。
- [0087] 图 31 是电流源电路的电路图。
- [0088] 图 32 是电流源电路的电路图。
- [0089] 图 33 是信号线驱动电路的图。
- [0090] 图 34 是信号线驱动电路的图。
- [0091] 图 35 是信号线驱动电路的图。
- [0092] 图 36 是信号线驱动电路的图。
- [0093] 图 37 是信号线驱动电路的图。
- [0094] 图 38 是信号线驱动电路的图。
- [0095] 图 39 是信号线驱动电路的图。
- [0096] 图 40 是信号线驱动电路的图。
- [0097] 图 41 是信号线驱动电路的图。
- [0098] 图 42 是信号线驱动电路的图。
- [0099] 图 43 是信号线驱动电路的图。
- [0100] 图 44 是视频信号用恒流源的电路图。
- [0101] 图 45 是视频信号用恒流源的电路图。
- [0102] 图 46 是视频信号用恒流源的电路图。

- [0103] 图 47 是视频信号用恒流源的电路图。
- [0104] 图 48 是信号线驱动电路的图。
- [0105] 图 49 是电流源电路的布线图。
- [0106] 图 50 是电流源电路的电路图。

### 具体实施方式

[0107] (实施形态 1)

[0108] 在本实施形态中,说明本发明的信号线驱动电路具备的电流源电路 420 的电路结构及其动作的例子。

[0109] 在本发明中,从端子 a 输入的设定信号表示从逻辑运算器的输出端子输入的信号,即图 1 中的设定信号相当于从逻辑运算器的输出端子输入的信号。而且,在本发明中,根据从逻辑运算器的输出端子输入的信号进行电流源电路 420 的设定。

[0110] 在上述逻辑运算器的 2 个输入端子中,向其中一个输入端子输入从移位寄存器来的采样脉冲,向另一个输入端子输入锁存脉冲。在逻辑运算器中,进行输入的 2 个信号的逻辑运算,从输出端子输出信号。而且,在电流源电路中,利用从上述逻辑运算器的输出端子输入的信号进行设定动作或输入动作。

[0111] 再有,移位寄存器具有使用了多列触发电路 (FF) 等的结构。而且向上述移位寄存器输入时钟信号 (S-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (S-CLKb),把按照这些信号的时序依次输出的信号称之为采样脉冲。

[0112] 在图 6 (A) 中,具有开关 104、105a、106、晶体管 102 (n 沟道型) 和保持该晶体管 102 的栅源极电压 VGS 的电容元件 103 的电路相当于电流源电路 420。

[0113] 在电流源电路 420 中,利用经端子 a 输入的信号使开关 104、105a 接通。由此,从与电流线 (视频线) 连接的视频信号用恒流源 109 (以下记作恒流源 109) 经端子 b 供给电流,使电容元件 103 保持电荷。而且,电荷保持在电容元件 103 中,直到从恒流源 109 流出的信号电流  $I_{data}$  和晶体管 102 的漏极电流相等。

[0114] 其次,利用经端子 a 输入的信号使开关 104、105a 断开。由此,因电容元件 103 保持规定的电荷,故晶体管 102 具有流过与信号电流  $I_{data}$  对应大小的电流的能力。而且,假如开关 101、116 处于导通状态,则与信号线连接的像素经端子 cz 流过电流。这时,因晶体管 102 的栅极电压通过电容元件 103 维持在规定的栅极电压,故该晶体管 102 的漏极区流过与信号电流  $I_{data}$  对应的漏极电流。因此,可以抑制构成信号线驱动电路的晶体管的特性离散的影响并能够控制输入到像素的电流值。

[0115] 再有,开关 104、105a 的连接结构不限于图 6 (A) 所示的结构。例如,也可以使开关 104 的一端与端子 b 连接,另一端连接在晶体管 102 的栅极之间,进而,使开关 105a 的一端经开关 104 与端子 b 连接,另一端与开关 116 连接。而且,开关 104 和开关 105a 由从端子 a 输入的信号控制。

[0116] 或者,开关 102 配置在端子 b 和晶体管 104 的栅极之间,开关 105a 配置在端子 b 和开关 116 之间。即,可以参照图 27 (A) 那样来配置布线和开关,从而在设定动作时象图 27 (A1) 那样连接,在输入动作时,象图 27 (A2) 那样连接。对布线的根数和开关的个数没有特别限定。

[0117] 再有,在图 6(A) 所示的电流源电路 420 中,设定信号的动作(设定动作)和把信号输入像素的动作(输入动作)、即从电流源电路输出电流的动作不能同时进行。

[0118] 在图 6(B) 中,具有开关 124、125、晶体管 122(n 沟道型)、保持该晶体管 122 的栅源极电压 VGS 的电容元件 123 和晶体管 126(n 沟道型)的电路相当于电流源电路 420。

[0119] 晶体管 126 起作为开关或一部分电流源用晶体管的作用。

[0120] 在图 6(B) 所示的电流源电路 420 中,利用经端子 a 输入的信号使开关 124、125 接通。这样,从与电流线(视频线)连接的恒流源 109 经端子 b 供给电流,使电容元件 123 保持电荷。而且,电容元件 123 保持规定的电荷,直到从恒流源 109 流出的信号电流 I<sub>data</sub> 和晶体管 122 的漏极电流相等。再有,若开关 124 导通,则因晶体管 126 的栅源极间的电压 VGS 变成 0V,故晶体管 126 截止。

[0121] 其次,利用经端子 a 输入的信号使开关 124、125 断开。由此,因电容元件 123 中保持着规定的电荷,故晶体管 122 具有流过与信号电流 I<sub>data</sub> 值相等的电流的能力。而且,假如开关 101 处于导通状态,则经端子 c 向与信号线连接的像素供给电流。这时,因晶体管 122 的栅极电压由于电容元件 123 而维持在规定的电压,故该晶体管 122 的漏极区流过与信号电流 I<sub>data</sub> 对应的漏极电流。因此,可以抑制构成信号线驱动电路的晶体管的特性离散的影响并控制输入到像素的电流的大小。

[0122] 再有,若开关 124、125 截止,晶体管 126 的栅极和源极的电位不相等。结果,电容元件 123 保持的电荷还分配给晶体 126,晶体管 126 自动导通。这里,晶体管 122、126 串联连接,且栅极相互连接。因此,晶体管 122、126 作为多栅晶体管动作。即,在设定动作和输入动作时,晶体管的栅极长度 L 不同。因此,设定动作时,从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。因此,配置在端子 b 和恒流源 109 之间的各种负载(布线电阻、交叉电容等)能更快充电。因此,可以使设定动作很快完成。

[0123] 再有,对开关的个数、布线的根数及其连接结构没有特别的限制。即,可以参照图 27(B) 那样来配置布线或开关,从而在设定动作时,象图 27(B1) 那样连接,在输入动作时,象图 27(B2) 那样连接。特别是在图 27(B2) 中,能够使电容元件 123 存储的电荷不泄漏。对开关的个数、布线的根数没有特别的限制。

[0124] 再有,在图 6(B) 所示的电流源电路 420 中,使设定信号的动作(设定动作)和向像素输入信号的动作(输入动作)、即从电流源电路流出电流的动作不能同时进行。

[0125] 在图 6(C) 中,具有开关 108、110、晶体管 105b、106(n 沟道型)和保持该晶体管 105b、106 的栅源极间电压 VGS 的电容元件 107 的电路相当于电流源电路 420。

[0126] 在图 6(C) 所示的电流源电路 420 中,利用经端子 a 输入的信号使开关 108、110 接通。这样,从与电流线连接的恒流源 109 经端子 b 供给电流,使电容元件 107 保持电荷。而且,电容元件 107 将电荷保持下来,直到从恒流源 109 流出的信号电流 I<sub>data</sub> 和晶体管 105b 的漏极电流相等。这时,因晶体管 105b 和晶体管 106 的栅极相互连接,故晶体管 105b 和晶体管 106 的栅极电压可以由电容 107 保持。

[0127] 其次,利用经端子 a 输入的信号使开关 108、110 断开。这时,因电容元件 107 保持规定的电荷,故晶体管 106 具有流过与信号电流 I<sub>data</sub> 对应大小的电流的能力。而且,假如开关 101 处于导通状态,则经端子 c 向与信号线连接的像素供给电流。这时,因为晶体管 106 的栅极电压通过电容元件 107 维持在规定的栅极电压,故该晶体管 106 的漏极区流过与

信号电流  $I_{data}$  对应的漏极电流。因此,可以抑制构成信号线驱动电路的晶体管的特性离散的影响并控制输入到像素的电流的大小。

[0128] 这时,为了使晶体管 106 的漏极区准确地流过与信号电流  $I_{data}$  对应的漏极电流,有必要使晶体管 105b 和晶体管 106 的特性相同。更详细地说,必须使晶体管 105b 和晶体管 106 的移动度、阈值等值相同。此外,在图 6(C) 中,可以任意设定晶体管 105b 和晶体管 106 的  $W$ (栅极宽度)/ $L$ (栅极长度) 的值,并向像素供给与从恒流源 109 供给的信号电流  $I_{data}$  成比例的电流。

[0129] 此外,在晶体管 105b 中,通过将连接在恒流源 109 的晶体管的  $W/L$  设定得大些,从而可以从该恒流源 109 供给大电流,提高写入速度。

[0130] 再有,在图 6(C) 所示的电流源电路 420 中,可以使设定信号的动作(设定动作)和向像素输入信号的动作(输入动作)同时进行。

[0131] 而且,图 6(D)(E) 所示的电流源电路 420 除图 6(C) 所示的电流源电路 420 和开关 110 的连接结构不同之外,其他的电路元件的连接结构相同。此外,因图 6(D)(E) 所示的电流源电路 420 的动作和图 6(C) 所示的电流源电路 420 的动作相同,故在本实施形态中省略其说明。

[0132] 再有,对开关的个数、布线的根数及其连接结构没有特别的限制。即,可以参照图 27(C) 那样来配置布线或开关,从而在设定动作时象图 27(C1) 那样连接,在输入动作时,象图 27(C2) 那样连接。特别是,在图 27(C2) 中,能够使电容元件 107 存储的电荷不泄漏。

[0133] 在图 28(A) 中,具有开关 195b、195c、195d、195f、晶体管 195a 和电容元件 195e 的电路相当于电流源电路。在图 28(A) 所示的电流源电路中,利用经端子 a 输入的信号使开关 195b、195c、195d、195f 接通。这一来,从与电流线连接的恒流源 109 经端子 b 供给电流,使电容元件 195e 保持规定的电荷,直到从恒流源 109 供给的信号电流和晶体管 195a 的漏极电流相等。

[0134] 其次,利用经端子 a 输入的信号使开关 195b、195c、195d、f 断开。这时,因电容元件 195e 保持规定的电荷,故晶体管 195a 具有流过与信号电流对应大小的电流的能力。这是因为晶体管 195a 的栅极电压通过电容元件 195e 设定为规定的栅极电压,该晶体管 195a 的漏极区流过与电流(视频信号用电流)对应的漏极电流。在该状态下,经端子 c 向外部供给电流。再有,在图 28(A) 所示的电流源电路中,进行设定使电流源电路具有流过信号电流的能力的设定动作和向像素输入该信号电流的输入动作不能同时进行。再有,在由经端子 a 输入的信号所控制的开关接通、且当端子 c 不流过电流时,有必要将端子 c 和其它电位的布线连接。而且,这里设该布线的电位为  $V_a$ 。只要是使从端子 b 流过来的电流直接流过的电位,该  $V_a$  取什么样的值都可以,作为一个例子,可以是电源电压  $V_{dd}$  等。

[0135] 再有,对开关的个数、布线的根数及其连接没有特别的限制。即,可以参照图 28(B)(C) 那样来配置布线或开关,从而在设定动作时象 (B1)(C1) 那样连接,在输入动作时,象 (B2)(C2) 那样连接。对开关的个数、布线的根数没有特别的限制。

[0136] 再有,在图 6(A)(C) ~ (E) 中,电流流动的方向(从像素向信号线驱动电路的方向)相同,晶体管 102、晶体管 105b、晶体管 106 的极性(导电类型)可以是 p 沟道型。

[0137] 因此,图 7(A) 示出电流流动的方向(从像素向信号线驱动电路的方向)相同、使图 6(A) 所示的晶体管 102 为 p 沟道型时的电路结构。在图 7(A) 中,通过在栅源极间配置

电容元件,即使源极电位变化,也能保持栅源极间的电压。此外,图 7(B) ~ (D) 示出电流流动的方向(从像素向信号线驱动电路的方向)相同、使图 6(C) ~ (E) 所示的晶体管 105b、晶体管 106 为 p 沟道型时的电路图。

[0138] 图 29(A) 示出在图 28 所示的结构中使晶体管 105a 为 p 沟道型的情况。图 29(B) 示出在图 6(B) 所示的结构中使晶体管 122、126 为 p 沟道型的情况。

[0139] 在图 31 中,具有开关 104、116、晶体管 102 和电容元件 103 等的电路与电流源电路相当。

[0140] 图 31(A) 相当于将图 6(A) 的一部分变更后的电路。在图 31(A) 所示的电流源电路中,在电流源的设定动作时和输入动作时,晶体管的栅极宽度  $W$  不同。即,设定动作时象图 31(B) 那样连接,栅极宽度  $W$  大,输入动作时象图 31(C) 那样连接,栅极宽度  $W$  小。因此,设定动作时从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。为此,配置在端子 b 和视频信号用恒流源之间的各种负载(布线电阻、交叉电容等)能更快充电。因此,可以使设定动作很快完成。

[0141] 再有,图 31 示出将图 6(A) 的一部分变更后的电路。但是,对除图 6 之外的电路或图 7、图 28、图 30、图 29 等电路也容易适用。

[0142] 再有,在上述电流源电路中,电流从像素向信号线驱动电路方向流动。但是,电流不仅仅从像素向信号线驱动电路方向流动,有时也从信号线驱动电路向像素方向流动。电流从像素向信号线驱动电路的方向流动还是信号线驱动电路的方向流向像素的方向取决于像素的结构。并且,当电流从信号线驱动电路向像素方向流动时,可以在图 6 所示的电路中将  $V_{SS}$ (低电位电源)变更成  $V_{DD}$ (高电位电源),使晶体管 102、105b、106、122、126 为 p 沟道型即可。此外,在图 7 所示的电路中将  $V_{SS}$  变更成  $V_{DD}$ ,使晶体管 102、105b、106 为 n 沟道型即可。

[0143] 只是,可以配置布线或开关,使其在设定动作时象图 30(A1) ~ (D1) 那样连接,在输入动作时,象图 30(A2) ~ (D2) 那样连接。对开关的个数和布线的根数没有特别限制。

[0144] 再有,在上述所有的电流源电路中配置的电容元件也可以不配置,而用晶体管的栅极电容等代替。

[0145] 以下,在使用图 6、7 说明了的电流源电路中,详细说明图 6(A) 和图 7(A)、图 6(C) ~ (E) 和图 7(B) ~ (D) 的电流源电路的动作。首先,使用图 19 说明图 6(A) 和图 7(A) 的电流源电路的动作。

[0146] 图 19(A) ~ (C) 典型地示出电流在电路元件间流动的路径。图 19(D) 示出将信号电流  $I_{data}$  写入电流源电路时各路径流过的电流和时间的关系,图 19(E) 示出将信号电流  $I_{data}$  写入电流源电路时电容元件 16 积蓄的电压、即晶体管 15 的栅源极电压和时间的关系。在图 19(A) ~ (C) 所示的电路图中,11 是视频信号用恒流源,开关 12 ~ 14 是具有开关功能的半导体元件,15 是晶体管(n 沟道型),16 是电容元件,17 是像素。在本实施形态中,开关 14、晶体管 15 和电容元件 16 是相当于电流源电路 20 的电路。再有,在图 19(A) 中附加了引出线和符号,在图 19(B) (C) 中,因和图 19(A) 相同故省略了引出线和符号的图示。

[0147] n 沟道型晶体管 15 的源极区与  $V_{SS}$  连接,漏极区与视频信号用恒流源 11 连接。而且,电容元件 16 的一个电极与  $V_{SS}$ (晶体管 15 的源极)连接,另一个电极与开关 14(晶体管 15 的栅极)连接。电容元件 16 起保持晶体管 15 的栅源极间电压的作用。

[0148] 再有,实际上,电流源电路 20 设在信号线驱动电路中,从设在信号线驱动电路中的电流源电路 20 经具有信号线或像素的电路元件向发光元件供给与信号电流  $I_{data}$  对应的电流。但是,在图 19 中,为了简单说明视频信号用恒流源 11、电流源电路 20 和像素 17 的关系,省略详细结构的图示。

[0149] 首先,使用图 19(A) (B) 说明电流源电路 20 保持信号电流  $I_{data}$  的动作(设定动作)。在图 19(A) 中,开关 12、14 导通,开关 13 截止。在该状态下,从视频信号用恒流源 11 输出信号电流  $I_{data}$ ,电流从视频信号用恒流源 11 向电流源电路 20 的方向流动。这时,因从视频信号用恒流源 11 流出信号电流  $I_{data}$ ,故在图 19(A) 所示那样的电流源电路 20 中,电流的路径分成  $I_1$  和  $I_2$ 。这时的关系如图 19(D) 所示,当然,信号电流满足  $I_{data} = I_1 + I_2$  的关系。

[0150] 在从视频信号用恒流源 11 开始流出电流的瞬间,因电容元件 16 没有保存电荷,故晶体管 15 截止。因此,  $I_2 = 0$ ,  $I_{data} = I_1$ 。

[0151] 接着,电容元件 16 逐渐积蓄电荷,电容元件 16 的两电极间开始产生电位差(图 19(E))。当两电极的电位差到达  $V_{th}$ (图 19(E) 中的 A 点)时,晶体管 15 导通,  $I_2 > 0$ 。如上所述,因  $I_{data} = I_1 + I_2$ ,故  $I_1$  逐渐减小,但依然流过电流。电容元件 16 进一步积蓄电荷。

[0152] 电容元件 16 的两电极间的电位差变成晶体管 15 的栅源极间的电压。因此,电容元件 16 继续积蓄电荷,直到晶体管 15 的栅源极间的电压达到所要的电压,即,尽量使晶体管 15 流过  $I_{data}$  的电流的栅源极间的电压(VGS)。若电荷的积蓄终结(图 19(E) 中的 B 点),则不流过电流  $I_2$ ,进而,因晶体管 15 完全导通,故  $I_{data} = I_2$ (图 19(B))。

[0153] 其次,使用图 19(C) 说明将信号电流  $I_{data}$  输入像素的动作(输入动作)。当信号电流  $I_{data}$  输入像素时,开关 13 导通,开关 12、14 截止。因电容元件 16 在上述动作中保持写入的 VGS 电压,故晶体管 15 导通,与信号电流  $I_{data}$  相等的电流经开关 13 和晶体管 15 向  $V_{ss}$  方向流动,从而结束对象素的信号电流  $I_{data}$  的输入。这时,若晶体管工作在饱和区,即使该晶体管 15 的源漏间的电压变化,也能使流过像素的电流不变。

[0154] 在图 19 所示的电流源电路 20 中,如图 19(A) ~ 图 19(C) 所示,首先分成使信号电流  $I_{data}$  对电流源电路 20 的写入结束的动作(设定动作,相当于图 19(A) (B)) 和向像素输入信号电流  $I_{data}$  的动作(输入动作,相当于图 19(C))。接着,根据输入到像素的信号电流  $I_{data}$ ,向发光元件供给电流。

[0155] 在图 19 所示的电流源电路 20 中,设定动作和输入动作不能同时进行。因此,当有必要使设定动作和输入动作同时进行时,最好对与多个像素连接的信号线且在像素部配置了多根的信号线中的每一根至少设置 2 个电流源电路。但是,如果在不向像素输入信号电流  $I_{data}$  的期间能够进行设定动作,则可以对每一根信号线(各列)只设置 1 个电流源电路。

[0156] 此外,图 19(A) ~ (C) 所示的电流源电路 20 的晶体管 15 是 n 沟道型,当然,电流源电路 20 的晶体管 15 也可以是 p 沟道型。图 19(F) 示出晶体管 15 是 p 沟道型时的电路图。在图 19(F) 中,31 是视频信号用恒流源,开关 32 ~ 34 是具有开关功能的半导体元件(晶体管),35 是晶体管(p 沟道型),36 是电容元件,37 是像素。在本实施形态中,开关 34、晶体管 35 和电容元件 36 是相当于电流源电路 24 的电路。

[0157] 晶体管 35 是 p 沟道型, 晶体管 35 的源极区和漏极区中一个与 Vdd 连接, 另一个与恒流源 31 连接。而且, 电容元件 36 的一个电极与 Vdd 连接, 另一个电极与开关 36 连接。电容元件 36 起保持晶体管 35 的栅源极间电压的作用。

[0158] 图 19(F) 所示的电流源电路 24 的动作因除电流流动的方向不同之外, 和上述电流源电路 20 的动作相同, 故这里省略其说明。再有, 当设计不改变电流流动的方向、而改变晶体管 15 的极性的电流源电路时, 可以参考图 7(A) 所示的电路图。

[0159] 再有, 在图 32 中, 电流流动的方向和图 19(F) 相同, 设晶体管 35 是 n 沟道型。电容元件 36 连接在晶体管 35 的栅源极之间。源极电位在设定动作时和输入动作时不同。但是, 即使源极电位变化, 因栅源极间的电压被保持, 故工作正常。

[0160] 接着, 使用图 20、21 说明图 6(C) ~ (E) 和图 7(B) ~ (D) 的电流源电路的动作。图 20(A) ~ (C) 典型地示出电流流过电路元件间的路径。图 20(D) 示出将信号电流 Idata 写入电流源电路时各路径流过的电流和时间的关系, 图 20(E) 示出将信号电流 Idata 写入电流源电路时电容元件 46 积蓄的电压、即晶体管 43、44 的栅源极电压和时间的关系。此外, 在图 20(A) ~ (C) 所示的电路图中, 41 是视频信号用恒流源, 开关 42 是具有开关功能的元件, 43、44 是晶体管 (n 沟道型), 46 是电容元件, 47 是像素。在本实施形态中, 开关 42、晶体管 43、44 和电容元件 46 是相当于电流源电路 25 的电路。再有, 在图 20(A) 中附加了引出线和符号, 在图 20(B) (C) 中, 因引出线和符号与图 20(A) 相同, 故省略图示。

[0161] n 沟道型晶体管 43 的源极区与 Vss 连接, 漏极区与恒流源 41 连接。n 沟道型晶体管 44 的源极区与 Vss 连接, 漏极区与像素 47 的端子 48 连接。而且, 电容元件 46 的一个电极与 Vss (晶体管 43、44 的源极) 连接, 另一个电极与晶体管 43、44 的栅极连接。电容元件 46 起保持晶体管 43、44 的栅源极间的电压的作用。

[0162] 再有, 实际上, 电流源电路 25 设在信号线驱动电路中, 而且, 从设在该信号线驱动电路中的电流源电路 25 经具有信号线或像素的电路元件等向发光元件流过与信号电流 Idata 对应的电流。但是, 在图 20 中, 为了简单说明视频信号用恒流源 41、电流源电路 25 和像素 47 的关系, 省略详细结构的图示。

[0163] 在图 20 的电流源电路 25 中, 晶体管 43 和晶体管 44 的尺寸很重要。因此, 对于晶体管 43 和晶体管 44 的尺寸相同和不同的情况, 分开符号进行说明。在图 20(A) ~ 图 20(C) 中, 当晶体管 43 和晶体管 44 的尺寸相同时, 使用信号电流 Idata 进行说明。当晶体管 43 和晶体管 44 的尺寸不同时, 使用信号电流 Idata1 和信号电流 Idata2 进行说明。再有, 晶体管 43 和晶体管 44 的尺寸使用各晶体管的 W (栅极宽度) / L (栅极长度) 的值来判断。

[0164] 首先, 说明晶体管 43 和晶体管 44 的尺寸相同的情况。接着, 使用图 20(A) (B) 说明首先将信号电流 Idata 保持在电流源电路 20 中的动作。在图 20(A) 中, 若开关 42 导通, 使用视频信号用恒流源 41 设定信号电流 Idata, 从恒流源 41 向电流源电路 25 的方向流过电流。这时, 因从视频信号用恒流源 41 流过信号电流 Idata, 故如图 20(A) 所示, 在电流源电路 25 内, 电流分成 I1 和 I2 两个路径流动。这时的关系示于图 20(D), 当然, 信号电流满足  $I_{data} = I_1 + I_2$  的关系。

[0165] 从恒流源 41 开始流出电流的瞬间, 因电容元件 46 没有保存电荷, 故晶体管 43、44 截止。因此,  $I_2 = 0$ ,  $I_{data} = I_1$ 。

[0166] 接着, 电容元件 46 逐渐积蓄电荷, 电容元件 46 的两电极间开始产生电位差 (图

20(E))。当两电极的电位差到达  $V_{th}$  (图 20(E) 中的 A 点) 时, 晶体管 43 和 44 导通,  $I_2 > 0$ 。如上所述, 因  $I_{data} = I_1 + I_2$ , 故  $I_1$  逐渐减小, 但依然流过电流。电容元件 46 进一步积蓄电荷。

[0167] 电容元件 46 的两电极间的电位差变成晶体管 43 和 44 的栅源极间的电压。因此, 电容元件 46 继续积蓄电荷, 直到晶体管 43 和 44 的栅源极间的电压达到所要的电压, 即, 尽量使晶体管 15 流过  $I_{data}$  的电流的栅源极间的电压 ( $V_{GS}$ )。若电荷的积蓄终结 (图 20(E) 中的 B 点), 则不流过电流  $I_2$ , 进而, 因晶体管 43 和 44 完全导通, 故  $I_{data} = I_2$  (图 20(B))。

[0168] 其次, 使用图 20(C) 说明将信号电流  $I_{data}$  输入象素的动作。首先, 开关 42 截止。因电容元件 46 在上述动作中保持写入的  $V_{GS}$  电压, 故晶体管 43 和 44 导通, 从象素 47 流过与信号电流  $I_{data}$  相等的电流。由此向象素输入信号电流  $I_{data}$ 。这时, 若晶体管 44 工作在饱和区, 则即使该晶体管 44 的源漏极间的电压变化, 也能使象素中流过的电流不变。

[0169] 再有, 对于图 20(C) 那样的电流镜电路, 即使开关 42 截止, 也能利用从恒流源 41 供给的电流, 使电流流过象素 47。即, 能同时进行对电流源电路 20 设定信号的动作 (设定动作) 和向象素输入信号的动作 (输入动作)。

[0170] 其次, 说明晶体管 43 和晶体管 44 的尺寸不同的情况。电流源电路 25 的动作因和上述动作相同故这里省略其说明。若晶体管 43 和晶体管 44 的尺寸不同, 视频信号用恒流源 41 中设定的信号电流  $I_{data}$  必然和流过象素 47 的信号电流  $I_{data}$  不同。两者的差别取决于晶体管 43 和晶体管 44 的  $W$  (栅极宽度) /  $L$  (栅极长度) 值的不同。

[0171] 通常, 希望使晶体管 43 的  $W/L$  值比晶体管 44 的  $W/L$  值大。这是因为若晶体管 43 的  $W/L$  值大, 则信号电流  $I_{data1}$  大。这时, 当用信号电流  $I_{data1}$  设定电流源电路时, 因可以对负载 (交叉电容、布线电阻) 充电, 故可以很快地进行设定动作。

[0172] 图 20(A) ~ (C) 所示的电流源电路 25 的晶体管 43 和 44 是 n 沟道型, 当然, 电流源电路 25 的晶体管 43 和 44 也可以是 p 沟道型。这里, 图 21 示出晶体管 43 和 44 是 p 沟道型的电路图。

[0173] 在图 21 中, 41 是恒流源, 开关 42 是具有开关功能的半导体元件, 43、44 是晶体管 (p 沟道型), 46 是电容元件, 47 是象素。在本实施形态中, 开关 42、晶体管 43、44、电容元件 46 是相当于电流源电路 26 的电路。

[0174] p 沟道型晶体管 43 的源极区与  $V_{dd}$  连接, 漏极区与恒流源 41 连接。p 沟道型晶体管 44 的源极区与  $V_{dd}$  连接, 漏极区与象素 47 的端子 48 连接。而且, 电容元件 46 的一个电极与  $V_{dd}$  (源极) 连接, 另一个电极与晶体管 43 和 44 的栅极连接。电容元件 46 起保持晶体管 43 和 44 的栅源间的电压的作用。

[0175] 图 21 所示的电流源电路 26 的动作因除电流流动的方向不同之外, 和上述电流源电路 20(A) ~ (C) 的动作相同, 故这里省略其说明。再有, 当设计不改变电流流动的方向、而改变晶体管 43 和 44 的极性的电流源电路时, 可以参考图 7(B)、图 32 所示的电路图。

[0176] 综上所述, 在图 19 的电流源电路中, 象素中流过和恒流源设定的信号电流  $I_{data}$  大小相同的电流。换言之, 恒流源设定的信号电流  $I_{data}$  和象素中流过的电流值相同, 不受设置于电流源电路中的晶体管的特性离散的影响。

[0177] 此外, 在图 19 的电流源电路和图 6(B) 的电流源电路等中, 在进行设定动作的期间, 不能从电流源电路向象素输出信号电流  $I_{data}$ 。因此, 最好对每一根信号线设置 2 个电

流源电路,对一个电流源电路进行设定信号的动作(设定动作),使用另一个电流源电路进行对象素输入电流 Idata 的动作(输入动作)。

[0178] 只是,当设定动作和输入动作不能同时进行时,也可以对各列只设置 1 个电流源电路。再有,图 28(A)、图 29(A) 的电流源电路和图 19 的电流源电路除连接和电流流动的路径不同之外,其结构相同。图 31(A) 的电流源电路和图 19 的电流源电路除从恒流源供给的电流与从电流源电路流出的电流的大小不同之外,其结构相同。此外,图 6(B) 和图 29(B) 的电流源电路除从恒流源供给的电流以及从电流源电路流出的电流的大小不同之外,其结构相同。即,只是在图 31(A) 中,晶体管的栅极宽度 W 在设定动作时和输入动作时不一样,在图 6(B) 和图 29(B) 中,晶体管的栅极长度 L 在设定动作时和输入动作时不一样,除此之外和图 19 的电流源电路同样构成。

[0179] 另一方面,在图 20、21 的电流源电路中,恒流源设定的信号电流 Idata 和流过象素的电流值依赖于电流源电路设置的 2 个晶体管的尺寸。即,可以任意设计电流源电路设置的 2 个晶体管的尺寸(W(栅极宽度)/L(栅极长度))来任意改变在恒流源设定的信号电流 Idata 和流过象素的电流。只是,当 2 个晶体管的阈值或移动度等特性产生离散时,很难向象素输出正确的信号电流 Idata。

[0180] 此外,在图 20、21 的电流源电路中,可以在进行设定动作的期间向象素输入信号。即,可以同时设定信号的动作(设定动作)和向象素输入信号的动作(输入动作)。因此,如图 19 的电流源电路那样,不必对 1 根信号线设置 2 个电流源电路。

[0181] 具有上述结构的本发明可以抑制 TFT 的特性离散的影响,可以向外部供给所要的电流。

[0182] (实施形态 2)

[0183] 如上所述,在图 6(A) 所示的电路(和图 19、图 31(A)、图 6(B)、图 29(B) 等)中,最好设计成对每一根信号线(各列)设置 2 个电流源电路,一个电流源电路进行设定信号的动作(设定动作),另一个电流源电路进行输入 Idata 的动作(输入动作)。这是因为不能同时进行设定动作和输入动作。因此,在本实施形态中,使用图 8 说明本发明的信号线驱动电路具有的图 2 所示的电流源电路 420 的电路结构。

[0184] 在本发明中,从端子 a 输入的设定信号表示从逻辑运算器的输出端子输入的信号。即,图 1 的设定信号相当于从逻辑运算器输入的信号。而且,在本发明中,按照从逻辑运算器的输出端输入的信号进行电流源电路 420 的设定。

[0185] 上述逻辑运算器的 2 个输入端子,一个从移位寄存器输入采样脉冲,另一个输入锁存脉冲。在逻辑运算器中进行输入的 2 个信号的逻辑运算,再从输出端子输出信号。而且,在电流源电路中,利用从上述逻辑运算器的输出端子输入的信号进行设定动作或输入动作。

[0186] 电流源电路 420 由经端子 a 输入的设定信号控制,输入从端子 b 供给的信号电流,从端子 c 输出和该信号电流(视频信号用电流)成比例的电流。

[0187] 在图 8(A) 中,开关 134~139、晶体管 132(n 沟道型)和保持该晶体管 132 的栅源极电压 VGS 的电容元件 133 是相当于第 1 电流源电路 421 或第 2 电流源电路 422 的电路。

[0188] 在第 1 电流源电路 421 或第 2 电流源电路 422 中,利用经端子 a 输入的信号使开关 134、136 接通。利用经端子 d 从控制线输入的信号使开关 135、137 接通。这样,从与电

流线连接的视频信号用恒流源 109 经端子 b 供给电流（视频信号用电流），使电容元件 133 保持电荷。而且，电容元件 133 将电荷保持下来，直到从恒流源 109 流出的信号电流  $I_{data}$  和晶体管 132 的漏极电流相等。

[0189] 其次，利用经端子 a、d 输入的信号使开关 134 ~ 137 断开。这样，因电容元件 133 保持规定的电荷，故晶体管 132 具有流过与信号电流  $I_{data}$  对应大小的电流的能力。而且，假如开关 101、138、139 处于导通状态，则经端子 c 向与信号线连接的像素供给电流。这时，因晶体管 132 的栅极电压通过电容元件 133 维持在规定的栅极电压上，故晶体管 132 的漏极区流过与信号电流  $I_{data}$  对应的漏极电流。因此，可以抑制构成信号线驱动电路的晶体管的特性离散的影响并控制流过像素的电流的大小。

[0190] 在图 8(B) 中，具有开关 144 ~ 147、晶体管 142(n 沟道型)、保持该晶体管 142 的栅源电压  $V_{GS}$  的电容元件 143 和晶体管 148(n 沟道型) 的电路相当于第 1 电流源电路 421 和第 2 电流源电路 422。

[0191] 在第 1 电流源电路 421 或第 2 电流源电路 422 中，利用经端子 a 输入的信号使开关 144、146 接通。利用经端子 d 从控制线输入的信号使开关 145、147 接通。这样，从与电流线连接的恒流源 109 经端子 b 供给电流，使电容元件 143 保持电荷。而且，电容元件 143 将电荷保持下来，直到从恒流源 109 流出的信号电流  $I_{data}$  和晶体管 142 的漏极电流相等。再有，若开关 144、145 导通，因晶体管 148 的栅源电压  $V_{GS}$  为 0V，故晶体管 148 自动截止。

[0192] 其次，利用经端子 a、d 输入的信号使开关 144 ~ 147 断开。这样，因电容元件 143 中并未保持信号电流  $I_{data}$ ，故晶体管 142 具有流过与信号电流  $I_{data}$  对应大小的电流的能力。而且，假如开关 101 处于导通状态，则经端子 c 向与信号线连接的像素供给电流。这时，因晶体管 142 的栅极电压通过电容元件 143 维持在规定的栅极电压上，故该晶体管 142 的漏极区流过与信号电流  $I_{data}$  对应的漏极电流。因此，可以抑制构成信号线驱动电路的晶体管的特性离散的影响并控制流过像素的电流的大小。

[0193] 再有，若开关 144、145 截止，晶体管 126 的栅极和源极的电位不相等。结果，电容元件 143 保持的电荷还分配给晶体管 148，晶体管 148 自动导通。这里，晶体管 142、148 串联连接，且栅极相互连接。因此，晶体管 142、148 作为多栅晶体管动作。即，在设定动作和输入动作时，晶体管的栅极长度  $L$  不同。因此，设定动作时，从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。因此，配置在端子 b 和视频信号用恒流源之间的各种负载（布线电阻、交叉电容等）能更快充电。因此，可以使设定动作很快完成。

[0194] 这里，图 8(A) 的结构相当于对图 6(A) 追加端子 d。图 8(B) 的结构相当于对图 6(B) 追加端子 d。这样，通过串联追加开关并进行修正，变成追加了端子 d 的结构。再有，通过在图 2 的第 1 电流源电路 421 或第 2 电流源电路 422 中串联配置 2 个开关，可以任意使用图 6、7、28、29、31 等所示的电流源电路的结构。

[0195] 再有，在图 2 中，示出了对每一根信号线设置具有第 1 电流源电路 421 或第 2 电流源电路 422 两个电流源电路的电流源电路 420，但本发明不限于此。例如，对每一根信号线可以设置 3 个电流源电路 420。而且，对各电流源电路 420，可以设定来自不同的恒流源 109 的信号电流。例如，在 1 个电流源电路 420 中，使用 1 位用的视频信号用恒流源设定信号电流，在 1 个电流源电路 420 中，使用 2 位用的视频信号用恒流源设定信号电流，在 1 个电流源电路 420 中，使用 3 位用的视频信号用恒流源设定信号电流。

[0196] 本实施形态可以和实施形态 1 任意组合。即,如图 4、图 5、图 26、图 27 所示,对于各列配置 1 个电流源电路的情况,也可以如图 2 所示那样对各列配置 2 个图 6(A) 所示的电流源电路。这样,例如,在图 2 中,若设从电流源电路 421 供给的电流为 4.9A,从电流源电路 422 供给的电流为 5.1A,则通过从电流源电路 421 和电流源电路 422 中的任何一方对每一帧供给电流,可以使电流源电路的特性离散均化。

[0197] 本实施形态可以和实施形态 1 任意组合。

[0198] (实施形态 3)

[0199] 在本实施形态中,使用图 15 说明具有本发明的信号线驱动电路的发光装置的结构。

[0200] 本发明的发光装置在衬底 401 上具有将多个像素配置成矩阵状的像素部 402,在像素部 402 的周围具有信号线驱动电路 403 和第 1、第 2 扫描线驱动电路 404、405。在图 15(A) 中,具有信号线驱动电路 403 和 2 组扫描线驱动电路 404、405,但本发明不限于此。驱动电路的个数可以根据像素的结构任意设计。经 FPC406 从外部向信号线驱动电路 403 和第 1、第 2 扫描线驱动电路 404、405 供给信号。

[0201] 使用图 15(B) 说明第 1、第 2 扫描线驱动电路 404、405 的结构。第 1、第 2 扫描线驱动电路 404、405 具有移位寄存器 407 和缓冲器 408。简单说明其动作,移位寄存器 407 按照时钟信号 (G-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (G-CLKb),依次输出采样脉冲。然后,经缓冲器 408 放大后的采样脉冲输入扫描线,使其逐行变成选择状态。按顺序从信号线向由选出的扫描线控制的像素写入信号电流  $I_{data}$ 。

[0202] 再有,也可以在移位寄存器 407 和缓冲器 408 之间配置电平移动电路。通过配置电平移动电路,可以使电压幅度变大。

[0203] 关于信号线驱动电路 403 的结构,将在下面叙述。本实施形态可以和实施形态 1、2 任意组合。

[0204] (实施形态 4)

[0205] 在本实施形态中,使用图 3(A)、图 4 说明图 15(A) 所示的信号线驱动电路 403 的结构及其动作。在本实施形态中,说明进行模拟灰度显示或 1 位数字灰度显示时使用的信号线驱动电路 403。

[0206] 图 3(A) 示出进行模拟灰度显示或 1 位数字灰度显示时的信号线驱动电路 403 的概略图。信号线驱动电路 403 具有移位寄存器 418 和锁存电路 419。

[0207] 简单说明其动作,移位寄存器 418 使用多列触发电路 (FF) 构成,输入时钟信号 (G-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (G-CLKb),按照这些信号的时序依次输出采样脉冲。

[0208] 移位寄存器 418 输出的采样脉冲输入锁存电路 419。锁存电路 419 输入视频信号 (模拟视频信号或数字视频信号),按照采样脉冲输入的时序将视频信号保持在各列中。

[0209] 再有,视频信号用恒流源 109 和视频线连接,而且,将由上述视频信号用恒流源 109 设定的信号电流 (相当于视频信号) 保持在锁存电路 419 中。

[0210] 此外,锁存电路 419 输入锁存脉冲并持有的视频信号输入与信号线连接的像素。锁存电路 419 有时还具有将数字信号变换成模拟信号的作用。

[0211] 其次,使用图 4 说明锁存电路 419 的结构。在图 4 中,概略示出从第  $i$  列到第  $(i+2)$

列的 3 根信号线周围的信号线驱动电路 403。

[0212] 锁存电路 419 每一列都具有开关 435、436、电流源电路 437、438 和开关 439。开关 435 由从移位寄存器 418 输入的采样脉冲控制。开关 436、439 由锁存脉冲控制。

[0213] 再有,开关 436 和 439 输入相互反相的信号。结果,电流源电路 437、438,一个进行设定动作,另一个进行输入动作。

[0214] 即,当电流源电路 437 进行设定动作时,同时,电流源电路 438 向像素输出信号电流,进行输入动作。这样,因能同时进行电流源电路的设定动作和输入动作,故花费一点时间,可以正确地进行设定动作。

[0215] 因此,可以按线顺序进行驱动。

[0216] 再有,从视频线(视频数据线)供给的信号电流具有依赖视频信号的大小。因此,因向像素供给的电流具有和信号电流成比例的大小,故可以表现图像(灰度)。

[0217] 电流源电路 437、438 由经端子 a 输入的信号控制。此外,使用与视频线(电流线)连接的视频信号用恒流源 109 设定的电流(信号电流  $I_{data}$ )经端子 b,保持在电流源电路 437、438 中。而且,在电流源电路 437、438 和与信号线  $S_n$  连接的像素之间设置开关 439,上述开关 439 的通断由锁存脉冲控制。

[0218] 而且,当进行 1 位数字灰度显示、且视频信号是明信号时,从电流源电路 437 或 438 向像素输出信号电流  $I_{data}$ 。相反,当视频信号是暗信号时,因电流源电路 437 或 438 没有流过电流的能力,故像素不流过电流。此外,当进行模拟灰度显示时,与视频信号对应,从电流源电路 433 向像素输出信号电流  $I_{data}$ 。即,电流源电路 437 和 438 由视频信号控制其流过一定电流的能力(VGS),通过控制向像素输出的电流的大小控制亮度。

[0219] 在本发明中,经端子 a 输入的的设定信号表示从逻辑运算器输入的信号。即,图 1 中的设定信号相当于从逻辑运算器的输出端子输入的信号。而且,在本发明中,按照从逻辑运算器的输出端子输入的信号进行电流源电路 420 的设定。

[0220] 上述逻辑运算器的 2 个输入端子,一个从移位寄存器输入采样脉冲,另一个输入锁存脉冲。在逻辑运算器中进行输入的 2 个信号的逻辑运算,再从输出端子输出信号。而且,在电流源电路中,利用从上述逻辑运算器的输出端子输入的信号进行设定动作或输入动作。

[0221] 电流源电路 437 及电流源电路 438 可以自由使用图 6、7、29、28、31 等所示的电流源电路的结构。各电流源电路不仅使用 1 种方式,也可以采用多种方式。

[0222] 此外,在图 4 中,从视频信号用恒流源 109 对锁存电路逐列地进行设定动作,但不限于此。如图 33 所示,也可以同时进行对多个列的设定动作,即可以使其多相化。在图 33 中,配置了 2 个视频信号用恒流源 109,但也可以使用与该 2 个视频信号用恒流源分开配置的视频信号用恒流源进行设定动作。

[0223] 下面,在图 4 中,说明使用电流源电路 437 和 438 的方式的组合例子及其优点。

[0224] 首先,说明电流源电路 437 和 438 采用图 6(A) 那样的电路的情况。若使用图 6(A) 那样的电流源电路,因配置的晶体管的个数少,故能进一步抑制晶体管特性离散的影响。即,因进行设定动作的晶体管和进行输入动作的晶体管是同一只晶体管,故完全不受晶体管的特性离散的影响。但是,因进行设定动作时的电流不能大,故不能更快地进行设定动作。再有,设定动作时的电流相当于从视频信号用恒流源 109 向锁存电路供给的电流。

[0225] 这时的电路图示于图 34。

[0226] 再有,在图 34 中,电流通过信号线,从像素向电流源电路流动,但是,该电流的方向因像素的结构的不同而改变。因此,图 35 示出从电流源电路向像素流过电流时的电路图。

[0227] 这样,通过改变晶体管的极性,可以构成电流方向不同的电路。或者,通过使用图 7(A) 的电路去代替图 6(A) 的电路,可以不改变晶体管的极性,而构成电流方向不同的电路。

[0228] 其次,使用图 36 说明电流源电路 437、438 采用图 6(C) 所示那样的电流镜电路的情况。

[0229] 在图 6(C) 所示那样的电流镜电路的 2 个晶体管中,若与连接在视频信号用恒流源 109 的晶体管相比,和像素连接的晶体管的  $W$ (栅极宽度)/ $L$ (栅极长度) 的值较小,就可以增大从视频信号用恒流源 109 供给的电流值。

[0230] 即,进行设定动作的晶体管的  $W/L$  比进行输入动作的晶体管的  $W/L$  大。由此,能够增大用来进行设定动作的电流、即从视频信号用恒流源 109 向锁存电路流动的电流。若电流大,则由于可以对布线等附带产生的交叉电容等迅速充电,故,可以很快进入稳定状态。因此,可以很快进行设定动作。

[0231] 再有,在图 6(C) 所示的电流镜电路中,至少有 2 个栅极共用或电连接在一起的晶体管,当上述 2 个晶体管的特性离散时,从上述晶体管的源极端或漏极端输出的电流也离散。但是,若上述 2 个晶体管的特性一致,则其输出电流也不离散。反而言之,为了使输出电流不离散,只要 2 个晶体管的特性一致即可。即,在图 6(C) 所示那样的电流镜电路中,只要栅极共用的 2 个晶体管之间的特性一致即可。栅极不共用的 2 个晶体管之间的特性不必一致。这是因为可以对各自的电流源电路进行设定动作。即,只要变成设定动作对象的晶体管和输入动作时使用的晶体管的特性相同即可。在栅极不共用的 2 个晶体管之间,即使特性不一致,因利用设定动作对各自的电流源电路进行设定,故可以对特性的离散进行校正。

[0232] 通常,在图 6(C) 那样的电流镜电路中,栅极共用的 2 个晶体管,为了抑制 2 个晶体管特性的不一致,都是靠近配置。

[0233] 在图 36 中,例如设加给像素的电流的大小是  $P$ 。且假定在电流源电路(电流源电路 437、438) 的图 6(C) 那样的电流镜电路的 2 个晶体管中,与像素连接的晶体管的  $W/L$  的值为  $W_a$ ,与视频信号线连接的晶体管的  $W/L$  的值为  $2 \times W_a$ 。这样,电流源电路(电流源电路 437、438) 的电流值变成 2 倍。由此,从视频信号用恒流源 109 供给 ( $2 \times P$ ) 的电流。因可以增大从视频信号用恒流源 109 供给的电流,故电流源电路(电流源电路 437、438) 的设定动作可以很快地正确进行。

[0234] 总结上述内容,通过使电流源电路采用图 6(C) 那样的电流镜电路,进而将  $W/L$  的值设定为适当的值,可以增大视频信号用恒流源 109 供给的电流。结果,可以正确地进行电流源电路的设定动作。

[0235] 即,若电流大,则由于可以对布线等附带产生的交叉电容等迅速充电,故,可以很快进入稳定状态。若进入稳定状态,则可以充分进行设定动作。当在某一期间内进行设定动作,若电流大,因能很快进入稳定状态,故可以充分进行设定动作。若电流小,则在进入稳定状态之前,进行设定动作的期间就已经结束。这时,因没有足够的时间,故不能进行正确

的设定动作。

[0236] 只是,在图 6(C) 那样的电流镜电路中,至少有 2 个栅极共用的晶体管,若上述 2 个晶体管的特性不一致,则其输出的电流也不一致。

[0237] 但是,,通过将晶体管的沟道宽度  $W$  和沟道长度  $L$  的比率  $W/L$  在所述 2 个晶体管之间设定成不同的值,从而可以改变电流的大小。通常,设定动作时的电流大。结果,可以很快地进行设定动作。

[0238] 再有,设定动作时的电流相当于从视频信号用恒流源 109 供给的电流。

[0239] 另一方面,当使用图 6(A) 那样的电路时,设定动作时流过的电流和输入动作时流过的电流大致相等。因此,不能增大用来进行设定动作的电流。但是,进行设定动作时供给电流的晶体管和进行输入动作时供给电流的晶体管是同一个晶体管。因此,完全不受晶体管之间不一致的影响。因此,在锁存电路中,希望进行适当的组合,对想要增大进行设定动作时的电流的部分使用图 6(C) 那样的电流镜电路,对想要输出更正确的电流的部分最好使用图 6(A) 那样的经过适当组合的电路。这样,对低位(第 1 位)用的电流源电路,使用图 6(C) 那样的电流镜电路,对高位(第 2 位)用的电流源电路,使用图 6(A) 那样的电路,图 48 示出这时的电路图。

[0240] 再有,单纯作为开关工作的晶体管,什么样的极性都行。

[0241] 在图 4 中,说明图 3(A) 的电路使用了图 2 的电路的情况。接着,在图 37 中,说明图 3(A) 的电路使用了图 1 的电路的情况。

[0242] 在图 37(A) 中,从视频线供给的视频信号(信号电流)供给电流源电路。而且,电流源电路的设定动作按照从移位寄存器 418 供给的采样脉冲的时序进行。例如,在具有图 37(A) 的结构的情况下,在电流源电路的设定动作结束之后,开始输入动作(向像素输出电流)。因此按一系列一列的顺序进行电流源电路的设定动作,接着进行输入动作,由此,可以实现点顺序驱动。

[0243] 图 37(A) 示出模拟灰度显示或 1 位数字灰度的情况,图 38 示出 2 位数字灰度的情况。

[0244] 此外,图 39 示出在图 38 的电路中使用了图 6(A) 的电路时的电路,图 40 示出在图 38 的电路中使用了图 6(C) 的电路时的电路。进而,图 41 示出 1 位用电流源电路使用图 6(C) 的电路、2 位用电流源电路使用图 6(A) 的电路时的电路。图 41 所示电路的情形,通过改变 1 位用电流源电路的  $W/L$ ,来增大视频信号用电流的大小。结果,可以在和 2 位用电流源电路大致相同的期间进行设定动作。

[0245] 但是,当从第 1 列到最后一列按顺序选择时,最初一列向像素输入信号的期间长,另一方面,在最后一列,即使输入视频信号,也会立即选择下一行的像素。结果,向像素输入信号的期间变短。这时,如图 37(B) 所示,通过将像素部 402 配置的扫描线从中央分开,可以延长向像素输入信号的期间。这时,在像素部 402 的左侧和右侧各配置 1 个扫描线驱动电路,使用该扫描线驱动电路驱动像素。这样,即使是配置于同一行的像素,也可以在右侧的像素和左侧的像素中错开输入信号的期间。在图 37(C) 中,示出配置在第 1、2 的右侧和左侧的扫描线驱动电路的输出波形和移位寄存器 411 的启动脉冲(S-SP)。通过象图 37(C) 记载的波形那样进行动作,因左侧的像素也能延长向像素输入信号的期间,故容易进行点顺序驱动。

[0246] 此外,在本发明的信号线驱动电路中,对于配置在锁存器的电流源电路,图 49 示出其布线图,图 50 示出其对应的电路图。

[0247] 再有,本实施形态可以和实施形态 1 ~ 3 任意组合。

[0248] (实施形态 5)

[0249] 在本实施形态中,说明图 15(A) 所示的信号线驱动电路 403 的详细结构及其动作,但在本实施形态中,使用图 3(B)、图 5、图 26,只就进行 2 位数字灰度显示时使用的信号线驱动电路 403 进行说明。

[0250] 在图 3(B) 中,示出进行 2 位数字灰度显示时的信号线驱动电路 403 的概略图。信号线驱动电路 403 具有移位寄存器 418 和锁存电路 419。

[0251] 简单说明其动作,移位寄存器 418 使用多列触发电路 (FF) 构成,输入时钟信号 (S-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (S-CLKb)。按照这些信号的时序,依次输出采样脉冲。

[0252] 从移位寄存器 418 输出的采样脉冲输入锁存电路 419。锁存电路 419 输入 2 位数字视频信号 (数字数据 1、数字数据 2),按照输入采样脉冲的时序将视频信号保持在各列中。

[0253] 1 位数字视频信号从与 1 位用视频信号用恒流源 109 连接的电流源输入。2 位数字视频信号从与 2 位用视频信号用恒流源 109 连接的电流源输入。而且,将用 1 位用、2 位用视频信号用恒流源 109 设定的信号电流 (相当于视频信号) 保持在锁存电路 419 中。

[0254] 此外,向锁存电路 419 输入锁存脉冲,锁存电路 419 保持的 2 位视频信号 (数字数据 1、数字数据 2) 输入与信号线连接的象素。再有,锁存电路 419 有时还具有将数字信号转换成模拟信号的作用。

[0255] 其次,使用图 5 说明锁存电路 419 的结构。在图 5 中,概略示出从第 i 列到第 (i+1) 列的 2 根信号线周围的进行 2 位数字灰度显示的信号线驱动电路 403。同样,在图 26 中,概略示出从第 i 列到第 (i+1) 列的 2 根信号线周围的进行 2 位数字灰度显示的信号线驱动电路。

[0256] 再有,在图 5 中,示出配置了与各位对应的视频信号用恒流源 109 的情况。

[0257] 在图 5 中,锁存电路 419 每一列都具有开关 435a、436a、电流源电路 437a、438a 和开关 439a。此外,每一列都具有开关 435b、436b、电流源电路 437b、438b 和开关 439b。

[0258] 开关 435a、435b 由从移位寄存器 418 输入的采样脉冲控制。开关 436a、439a、436b、439b 由锁存脉冲控制。

[0259] 再有,开关 436a 和 439a 输入相互反相的信号。结果,电流源电路 437a、438a,一个进行设定动作,另一个进行输入动作。此外,开关 436b 和 439b 输入相互反相的信号。结果,电流源电路 437b、438b,一个进行设定动作,另一个进行输入动作。

[0260] 即,当电流源电路 437 进行设定动作时,同时,电流源电路 438 向象素输出信号电流,进行输入动作。这样,因能同时进行电流源电路的设定动作和输入动作,故花费一些时间,可以正确地进行设定动作。

[0261] 再有,从视频线 (视频数据线) 供给的信号电流具有随视频信号而变化的值。因此,由于向象素供给的电流大小和信号电流成比例,故可以表现图像。

[0262] 因此,可以按线顺序进行驱动。

[0263] 再有,在图 5 中,电流线和视频信号用恒流源与各个位对应配置。从各个位的电流源供给的电流值的和向信号线供给,即,恒流源电路具有数模变换的功能。

[0264] 各电流源电路(电流源电路 437a、438a、437b、438b)具有端子 a、端子 b 和端子 c。各电流源电路(电流源电路 437a、438a、437b、438b)由经端子 a 输入的信号控制。此外,使用经端子 b 与视频线连接的视频信号用恒流源 109 设定的电流(信号电流 I<sub>data</sub>)被保持下来。此外,在 1 位用恒流源 109 中设定的电流由电流源电路 437a、和电流源电路 438a 保持。此外,2 位用恒流源 109 设定的电流由电流源电路 437b、和电流源电路 438b 保持。而且,在各电流源电路(电流源电路 437a、438a、437b、438b)和与信号线连接的象素之间设置开关 439a 和 439b,上述开关 439a 和 439b 的通断由锁存脉冲控制。

[0265] 而且,当数字视频信号是明信号时,从各电流源电路(电流源电路 437a、438a、437b、438b)向象素输出信号电流。相反,当视频信号是暗信号时,因各电流源电路(电流源电路 437a、438a、437b、438b)不具有流动电流的能力,故象素没有电流流过。即,各电流源电路(电流源电路 437a、438a、437b、438b)利用视频信号控制其流动一定电流能力(VGS),利用向象素输出的电流的大小去控制亮度。

[0266] 再有,1 位用电流源电路 437a 和 438a 中的某一个和 2 位用电流源电路 437b 和 438b 中的某一个相加的电流流过象素及与象素连接的信号线。

[0267] 1 位用电流源电路 437a 和 438a 中的哪一个进行设定动作、哪一个进行输入动作(向象素输出电流),由锁存脉冲控制。2 位用电流源电路 437b 和 438b 也一样。

[0268] 即,各位的视频信号的电流同步进行 DA 变换的动作是从电流源电路 437a 或电流源电路 437b 流向象素的部分。因此,这时,电流的大小只要是和各位对应的电流值即可。

[0269] 其次,概略说明图 26 所示的信号线驱动电路。在图 26 中,锁存电路每一列都具有开关 435c、435d、436c、电流源电路 437c、438c 和开关 439c。开关 435c、435d 由从移位寄存器 418 输入的采样脉冲控制。开关 436c、439c 由锁存脉冲控制。

[0270] 再有,开关 436c 和 439c 输入相互反相的信号。结果,电流源电路 437c、438c,一个进行设定动作,另一个进行输入动作。

[0271] 即,当电流源电路 437a 进行设定动作时,同时,电流源电路 438a 向象素输出信号电流,进行输入动作。这样,因能同时进行电流源电路的设定动作和输入动作,故花费一些时间,可以正确地进行设定动作。

[0272] 即,为了正确进行设定动作,有必要持续进行设定动作,直到变成稳定状态为止。当变成稳定状态时,电流源电路中的晶体管(供给固定电流的晶体管。在图 6(A)中,相当于晶体管 102)的栅极没有电流,保持晶体管的栅源极间电压的电容(在图 6(A)中,相当于电容元件 103)的电位不变。在这种状态下,可充分进行设定动作。即,输入动作时,可以流过大小合适的电流。但是,若进行设定动作的时间短,则在变成稳定状态之前,设定动作可能就结束了。这时,保持晶体管的栅源极间电压的电容不能达到正确的电位。因此,输入动作时,不能流过大小合适的电流,并受到晶体管特性离散的影响。由上述可知,如果花费时间进行动作设定的话,则能够进行正确的动作设定。

[0273] 各电流源电路 437c、438c 具有端子 a、端子 b 和端子 c。各电流源电路 437c、438c 由经端子 a 输入的信号控制。此外,使用经端子 b 与视频线连接的视频信号用恒流源 109 设定的电流(信号电流 I<sub>data</sub>)被保持下来。再有,对 1 位用和 2 位用恒流源 109 设定的电

流由电流源电路 437a 或 438a 保持。而且,各电流源电路 437a、438a 和与信号线  $S_n$  连接的象素之间设置开关 439c,上述开关 439c 的通断由锁存脉冲控制。

[0274] 而且,当数字视频信号是明信号时,从各电流源电路 437c、438c 向象素输出信号电流。相反,当视频信号是暗信号时,因各电流源电路 437c、438c 没有流过电流的能力,故象素不流过电流。即,各电流源电路 437c、438c 由视频信号控制其流过一定电流的能力 (VGS),通过控制向象素输出的电流的大小控制亮度。

[0275] 而且,在本发明中,经端子 a 输入的设定信号表示从逻辑运算器的输出端子输入的信号。即,图 1 中的设定信号相当于从逻辑运算器的输出端子输入的信号。而且,在本发明中,按照从逻辑运算器的输出端子输入的信号进行电流源电路 420 的设定。

[0276] 上述逻辑运算器的 2 个输入端子,一个从移位寄存器输入采样脉冲,另一个输入锁存脉冲。在逻辑运算器中进行输入的 2 个信号的逻辑运算,再从输出端子输出信号。而且,在电流源电路中,利用从上述逻辑运算器的输出端子输入的信号进行设定动作或输入动作。

[0277] 这里,说明图 5 所示的电流源电路和图 26 所示的电流源电路采用图 6(A) 那样的电路的情况。若使用图 6(A) 那样的电流源电路,因配置的晶体管的个数少,故能进一步抑制晶体管特性离散的影响。即,因进行设定动作的晶体管和进行输入动作的晶体管是同一只晶体管,故完全不受晶体管的特性离散的影响。但是,因进行设定动作时的电流不能大,故不能更快地进行设定动作。再有,设定动作时的电流相当于从视频信号用恒流源 109 向锁存电路供给的电流。

[0278] 图 42 表示这时的电路图。

[0279] 其次,使用图 43 说明图 5 所示的电流源电路和图 26 所示的电流源电路采用图 6(C) 那样的电流镜电路的情况。

[0280] 在图 6(C) 所示的电流镜电路的 2 个晶体管中,若与和视频信号用恒流源 109 连接的晶体管相比,和象素连接的晶体管的  $W$  (栅极宽度)/ $L$  (栅极长度) 的值小,就可以增大从视频信号用恒流源 109 供给的电流值。

[0281] 即,进行设定动作的晶体管的  $W/L$  比进行输入动作的晶体管的  $W/L$  大。这样,用来进行设定动作的电流、即从视频信号用恒流源 109 向锁存电路流动的电流可以大。若电流大,可以迅速地对布线等附带产生的交叉电容充电,所以可以很快进入稳定状态。因此,可以更快地进行设定动作。

[0282] 再有,在图 6(C) 所示那样的电流镜电路中,至少有 2 个栅极共用或电连接在一起的晶体管,若上述 2 个晶体管的特性一致,从上述晶体管的源极端或漏极端输出的电流也不离散。即,为了使输出电流不离散,只要 2 个晶体管的特性一致即可。即,在图 6(C) 所示那样的电流镜电路中,只要栅极共用或电连接在一起的 2 个晶体管之间的特性一致即可。栅极不共用或不电连接在一起的 2 个晶体管之间的特性不必一致。这是因为可以对各自的电流源电路进行设定动作。即,只要变成设定动作对象的晶体管和输入动作时使用的晶体管的特性相同即可。在栅极不共用或不电连接在一起的 2 个晶体管之间,即使特性不一致,因利用设定动作对各自的电流源电路进行设定,故可以对特性的离散进行校正。

[0283] 通常,在图 6(C) 那样的电流镜电路中,栅极共用或电连接在一起的 2 个晶体管,为了抑制 2 个晶体管特性的不一致,都是靠近配置。

[0284] 例如,设加给像素的电流的大小是 $P$ 。且假定在电流源电路的电流镜电路的2个晶体管中,与像素连接的晶体管的 $W/L$ 的值为 $W_a$ ,与视频信号线连接的晶体管的 $W/L$ 的值为 $2 \times W_a$ 。这样,电流源电路的电流值变成2倍。由此,从视频信号用恒流源109(1位用、2位用)供给( $2 \times P$ )或( $4 \times P$ )的电流。这样,因可以增大从视频信号用恒流源109供给的电流,故电流源电路的设定动作可以很快地正确地进行。

[0285] 此外,在本实施形态中,因进行2位数字灰度显示,故在图5中,每一根信号线设置4个电流源电路(437a、438a、437b、438b),在图26中,每一根信号线设置2个电流源电路437c、438c。

[0286] 而且,在图5中,各电流源电路(电流源电路437a、438a、437b、438b)的结构可以自由使用图6、7、29、28、31等所示的电流源电路的结构。各电流源电路(437a、438a、437b、438b)的电路结构和图26所示的各电流源电路(437c、438c)可以自由使用图6、7、29、28、31等所示的电流源电路的电路结构。各电流源电路420不仅全部使用1种方式,也可以采用多种方式。

[0287] 此外,在具有锁存电路的电流源电路是图6(C)所示那样的电流镜电路的情况下,可以使晶体管的 $W$ (栅极宽度)/ $L$ (栅极长度)的值根据各位而变化。由此,可以增大低位的电流源电路的设定动作时的电流、即从低位的视频信号用恒流源109流出的电流。结果,可以加快设定动作。

[0288] 即,使和视频信号用恒流源109连接的晶体管的 $W/L$ 比和像素连接的晶体管的 $W/L$ 还大。总之,使进行设定动作的晶体管的 $W/L$ 比进行输入动作的晶体管的 $W/L$ 大。由此,用来进行设定动作的电流、即能够使从视频信号用恒流源109流出的电流更大。

[0289] 只是,在图6(C)所示那样的电流镜电路中,至少有2个栅极共用或电连接在一起的晶体管,当上述2个晶体管的特性离散时,其输出的电流也离散。但是,通过将晶体管的沟道宽度 $W$ 和沟道长度 $L$ 的比率 $W/L$ 设定为和上述2个晶体管不同的值,可以改变电流的大小。通常,设定动作时的电流大。结果,可以加快设定动作。

[0290] 再有,设定动作时的电流相当于从视频信号用恒流源109供给的电流。

[0291] 另一方面,当使用图6(A)所示的电路时,设定动作时流过的电流和输入动作时流过的电流大致相等。因此,进行设定动作的电流不能大。但是,进行设定动作时供给电流的晶体管和进行输入动作时供给电流的晶体管是同一只晶体管。因此,完全不受晶体管的特性离散的影响。所以,在各锁存电路中,希望进行适当的组合,对想要增大进行设定动作时的电流的部分使用图6(C)那样的电流镜电路,对想要输出更正确的电流的部分使用图6(A)那样进行适当组合后使用的电路。

[0292] 再有,在图6(C)所示那样的电流镜电路中,至少有2个栅极共用或电连接在一起的晶体管,当上述2个晶体管的特性离散时,其输出电流也离散。但是,若上述2个晶体管的特性一致,则从上述晶体管的源极端或漏极端输出的电流也不离散。反而言之,为了使输出电流不离散,只要上述2个晶体管的特性一致即可。即,在图6(C)所示那样的电流镜电路中,只要栅极共用或电连接在一起的2个晶体管之间的特性一致即可。栅极不共用或不电连接在一起的2个晶体管之间的特性不必一致。这是因为可以对各自的电流源电路进行设定动作。即,只要变成设定动作对象的晶体管和输入动作时使用的晶体管的特性相同即可。在栅极不共用或不电连接在一起的2个晶体管之间,即使特性不一致,因利用设定动作

对各自的电流源电路进行设定,故可以对特性的离散进行校正。

[0293] 通常,在图 6(C) 那样的电流镜电路中,栅极共用或电连接在一起的 2 个晶体管,为了抑制 2 个晶体管特性的不一致,都是靠近配置。

[0294] 再有,在具有锁存电路的电流源电路中,可以使用图 6(A) 那样的电路或图 6(C) 那样的电流镜电路,也可以将 2 种电路混合使用。

[0295] 再有,采用图 6(C) 那样的电流镜电路,可以是所有位用的电流源电路,也可以是部分位用的电流源电路。比较有效的是,希望对低位用电流源电路采用图 6(C) 那样的电流镜电路,对高位用电流源电路采用图 6(A) 那样的电路。

[0296] 这是因为,高位电流源电路即使电流源电路的晶体管的特性有一点离散,对电流值的影响都很大,因从高位电流源电路供给的电流本身的电流值大,故因离散引起的电流差的绝对值也大。例如,若设晶体管的特性离散为 10%,第 1 位的电流值为  $I$ ,则其离散量是  $0.1I$ 。另一方面,因第 3 位的电流值是  $8I$ ,故其离散量是  $0.8I$ 。这样,高位的电流源电路即使晶体管的特性有一点离散,其影响也很大。

[0297] 因此,希望采用能尽量不受离散的影响的方式。此外,高位的电流,因电流值大,故容易进行设定动作。另一方面,低位的电流,因本身电流值小,不管离散多大,影响也小。此外,低位的电流,因电流值小,故不容易进行设定动作。

[0298] 为了解决这一状况,希望对低位用电流源电路采用图 6(C) 那样的电流镜电路,对高位用电流源电路采用图 6(A) 那样的电路。

[0299] 特别是在从视频信号用恒流源 109 流出的电流小的低位用电流源电路中,使用图 6(C) 那样的电流镜电路,对增大电流值很有效。

[0300] 即,低位用电流源电路因从视频信号用恒流源 109 流出的电流小,故设定动作花费时间。因此,若使用图 6(C) 那样的电流镜电路,使电流值增大,则可以缩短设定动作花费的时间。

[0301] 此外,在图 6(C) 那样的电流镜电路中,至少有 2 个栅极共用或电连接在一起的晶体管,当上述 2 个晶体管的特性离散时,其输出电流也离散。但是,低位用电流源电路向像素或信号线输出的电流值小,因此,即使上述 2 个晶体管的特性离散,其影响也小。由以上可知,在低位用电流源电路中,使用图 6(C) 那样的电流镜电路是很有效的。

[0302] 综上所述,通过采用图 6(C) 那样的电流镜电路,进而将  $W/L$  设定为适当的值,可以增大从视频信号用恒流源 109 供给的电流。结果,可以正确地进行电流源电路的设定动作。

[0303] 只是,在图 6(C) 那样的电流镜电路中,至少有 2 个栅极共用或电连接在一起的晶体管,当上述 2 个晶体管的特性离散时,其输出电流也离散。

[0304] 另一方面,当使用图 6(A) 那样的电路时,设定动作时流过的电流不能大。但是,完全不受晶体管之间离散的影响。

[0305] 因此,在各电路中,希望进行适当的组合,对想要大电流的部分使用图 6(C) 那样的电流镜电路,对想要输出更正确的电流的部分使用图 6(A) 那样的电流镜电路。

[0306] 再有,单纯作为开关工作的晶体管,什么样的极性都可以。

[0307] 再有,在图 5 中,1 位用的视频信号用恒流源 109 与 1 位用的视频线(视频数据线)连接,2 位用的视频信号用恒流源 109 与 2 位用的视频线(视频数据线)连接。而且,假定从 1 位用的视频信号用恒流源 109 供给的电流为  $I$ ,从 2 位用的视频信号用恒流源 109 供给

的电流为  $2I$ 。但是,本发明不限于此,1 位用的视频信号用恒流源 109 和 2 位用的视频信号用恒流源 109 供给的电流的大小可以相同。若 1 位用的视频信号用恒流源 109 和 2 位用的视频信号用恒流源 109 供给的电流的大小相同,则工作条件和负载可以相同,进而,向电流源电路写入信号的时间也可以相同。

[0308] 只是这时,有必要采用图 5、图 26 所示的各电流源电路必须采用图 6(C) 那样的电流镜电路。而且,在图 5 所示的电流源电路中,电流源电路 437a 和电流源电路 438a 具有的晶体管和电流源电路 437b 和电流源电路 438b 具有的晶体管的 W/L 值必须是 2 : 1。这样,从电流源电路 437a 和电流源电路 438a 输出的电流的大小和从电流源电路 437b 和电流源电路 438b 输出的电流的大小可以是 2 : 1。此外,在图 26 所示的电流源电路中,与视频信号线连接的晶体管和与象素连接的晶体管的 W/L 值必须是 2 : 1。

[0309] 再有,在本实施形态中,说明了进行 2 位数字灰度显示时的信号线驱动电路的结构及其动作。但本发明不限于 2 位,参考本实施形态,可以设计与任意位数对应的信号线驱动电路,进行任意位数的显示。此外,本实施形态可以和实施形态 1 ~ 4 自由组合。

[0310] (实施形态 6)

[0311] 图 2 ~ 5 所示的视频信号用恒流源 109 可以在衬底上和信号线驱动电路一体形成,作为视频信号用电流 109,也可以使用 IC 等从衬底的外部输入一定的电流。当在衬底上一体形成时,可以使用图 6 ~ 8、图 29、图 28、图 31 等所示的电流源电路中的任何一个形成。或者,也可以单独配置 1 个晶体管,与加在栅极上的电压对应控制电流值。在本实施形态中,使用图 23 ~ 25,说明用图 6(C) 那样的电流镜电路的电流源电路结构 3 位用的视频信号用恒流源 109 的情况。

[0312] 再有,电流流动的方向因象素的结构等而改变。当电流流动的方向变化时,通过变更晶体管的极性,可以很容易地使它们对应起来。

[0313] 在图 23 中,视频信号用恒流源 109 利用具有 3 位数字视频信号(数字数据 1 ~ 数字数据 3)的 High 或 Low 的信息控制是否向视频线(视频数据线、电流线)输出规定的信号电流  $I_{data}$ 。

[0314] 视频信号用恒流源 109 具有开关 180 ~ 182,晶体管 183 ~ 188 和电容元件 189。在本实施形态中,晶体管 180 ~ 188 全部是 n 沟道型。

[0315] 开关 180 由 1 位的数字视频信号控制。开关 181 由 2 位的数字视频信号控制。开关 183 由 3 位的数字视频信号控制。

[0316] 晶体管 183 ~ 185 的源极区和漏极区,一个与  $V_{SS}$  连接,另一个与开关 180 ~ 182 的一个端子连接。晶体管 186 的源极区和漏极区,一个与  $V_{SS}$  连接,另一个与晶体管 188 的源极区和漏极区中一方连接。

[0317] 晶体管 187 和 188 的栅极经端子 e 从外部输入信号。此外,经端子 f 从外部向电流线 190 供给电流。

[0318] 晶体管 187 的源极区和漏极区,一个与晶体管 186 的源极区和漏极区中一者连接,另一个与电容元件 189 的一个电极连接。晶体管 188 的源极区和漏极区,一个与电流线 190 连接,另一个与晶体管 186 的源极区和漏极区中一者连接。

[0319] 电容元件 189 的一个电极与晶体管 183 ~ 186 的栅极连接,另一个电极与  $V_{SS}$  连接。电容元件 189 起保持晶体管 183 ~ 186 的栅源极间的电压的作用。

[0320] 而且,在视频信号用恒流源 109 中,当利用从端子 e 输入的信号使晶体管 187 和 188 导通时,从端子 f 供给的电流经电流线 190 向电容元件 189 流去。

[0321] 而且,电容元件 189 逐渐积蓄电荷,开始在两极间产生电位差。当两极间的电位差达到  $V_{th}$  时,晶体管 183 ~ 186 导通。

[0322] 在电容元件 189 中,继续积蓄电荷,直到该两电极的电位差、即晶体管 183 ~ 186 的栅源间电压达到所要的电压。换言之,继续积蓄电荷,直到晶体管 183 ~ 186 达到能流出信号电流的电压。

[0323] 而且,若电荷积蓄结束,晶体管 183 ~ 186 完全导通。

[0324] 而且,在视频信号用恒流源 109 中,通过 3 位数字视频信号选择开关 180 ~ 182 导通或不导通。例如,当开关 180 ~ 182 完全导通时,向电流线供给的电流变成晶体管 183 的漏极电流、晶体管 184 的漏极电流和晶体管 185 的漏极电流的总和。此外,当只有开关 180 处于导通状态时,只向电流线供给晶体管 183 的漏极电流。

[0325] 这时,若将晶体管 183 的漏极电流、晶体管 184 的漏极电流和晶体管 185 的漏极电流设定成 1 : 2 : 4,则可以以  $2^3 = 8$  级控制电流的大小。为此,若将晶体管 183 ~ 185 的  $W$ (沟道宽度)/ $L$ (沟道长度)的值设计为 1 : 2 : 4,则各自的导通电流变成 1 : 2 : 4。

[0326] 再有,在图 23 的结构中,示出 1 根电流线(视频)的情况。但是,配置电流线(视频线)的根数,视其是图 4 所示的电路,还是图 26 所示的电路而有所不同。因此,图 44 示出图 23 的电路有多根电流线(视频线)的情况。

[0327] 其次,图 24 示出构成和图 23 不同的视频信号用恒流源 109。在图 24 中,和图 23 所示的视频信号用恒流源 109 相比,除了构成上没有晶体管 187、188,且电容元件的一个端子与电流线 190 连接这一点之外,和图 23 所示的视频信号用恒流源 109 的动作相同,故在本实施形态中省略其说明。

[0328] 在图 24 的结构中,在持续向视频线(电流线)供给电流的期间必须从端子 f 持续输入信号(电流)。若停止从端子 f 输入电流,则电容元件 189 的电荷通过晶体管 186 放电。结果,晶体管 186 的栅极电位变小,不能从晶体管 183 ~ 185 输出正常的电流。另一方面,对于图 23 的结构的情况,因电容元件保持规定的电荷,故即使是持续向视频线(电流线)供给电流的期间,也不必从端子 f 持续输入信号(电流)。因此,在图 24 的结构中,也可以省略电容元件 189。

[0329] 再有,在图 24 的结构中,示出 1 根电流线(视频)的情况。但是,视其是图 4 那样的电路,还是图 26 那样的电路,电流线(视频线)的根数有所不同。因此,图 45 示出多根电流线(视频线)的情况。

[0330] 其次,图 25 示出构成和图 23、24 不同的视频信号用恒流源 109。在图 25 中,和图 23 所示的视频信号用恒流源 109 相比,除了构成上没有晶体管 186、187、188 和电容元件 189,且经端子 f 从外部向晶体管 183 ~ 185 的栅极加一定电压这一点之外,和图 23 所示的视频信号用恒流源 109 的动作相同,故在本实施形态中省略其说明。

[0331] 在图 25 的情况下,从端子 f 向晶体管 183 ~ 185 的栅极加电压(栅极电压)。但是,即使晶体管 183 ~ 185 加相同的栅极电压,若该晶体管 183 ~ 185 的特性离散,则流过该晶体管 183 ~ 185 的源漏间的电流也离散。因此,流过视频线(电流线)的电流也离散。此外,因特性还随温度变化,故从晶体管 183 ~ 185 供给的电流值也变化。

[0332] 另一方面,在图 23、24 的情况下,从端子 f 既可以加电压,又可以加电流。当加电流时,若晶体管 183 ~ 186 的特性一致,则电流值不离散。此外,即使特性随温度变化,因晶体管 183 ~ 186 的特性变化的程度相同,故电流值不变。

[0333] 再有,在图 25 中,从端子 f 向晶体管 183 ~ 185 加电压(栅极电压),该电压不随视频信号变化。在图 25 中,视频信号通过控制开关 180 ~ 182,控制电流是否向电流线流去。因此,也可以如图 46 那样,向晶体管 183 ~ 185 的栅极加电压(栅极电压),使该电压随视频信号变化。因此,可以改变视频信号用电流的大小。此外,也可以如图 47 那样,使对晶体管 183 的栅极所加的电压(栅极电压)为模拟电压,根据灰度改变电压,从而改变电流。

[0334] 其次,图 9 示出构成和图 23、24、25 不同的视频信号用恒流源 109。在图 23 中,使用了图 6(C) 的电流源电路。在图 9 中,使用图 6(A) 的电流源电路。

[0335] 在图 23 中,当晶体管 183 ~ 186 的特性离散时,电流值也离散。另一方面,在图 9 中,对各电流源径向设定动作。因此,可以减小晶体管离散的影响。但是,在图 9 中,在进行设定动作时,不能同时进行输入动作(向电流线供给电流的动作)。为了在进行输入动作的期间也能进行设定动作,可以象图 10 那样,配置多个电流源电路,一个电流源电路的进行设定动作,另一个电流源电路进行输入动作。

[0336] 再有,本实施形态可以和实施形态 1 ~ 5 自由组合。

[0337] (实施形态 7)

[0338] 使用图 11 说明本发明的实施形态。在图 11(A) 中,在象素部的上方配置信号线驱动电路,在下方配置恒流电路,在上述信号线驱动电路中配置电流源 A、在恒流电路中配置电流源 B。若设从电流源 A、B 供给的电流为  $I_A$ 、 $I_B$ ,向象素供给的信号电流为  $I_{data}$ ,则  $I_A = I_B + I_{data}$  成立。而且,当向象素写入信号电流时,设定从电流源 A、B 双方供给电流。这时,当  $I_A$ 、 $I_B$  增大时,可以提高信号电流对象素的写入速度。

[0339] 这时,使用电流源 A 进行电流源 B 的设定动作。来自电流源 A 的电流减去电流源 B 的电流后所得到的电流流过象素。因此,通过使用电流源 A 进行电流源 B 的设定动作,可以减小各种各样的噪声的影响。

[0340] 在图 11(B) 中,视频信号用恒流源(以下记作恒流源)C、E 配置在象素部的上方和下方。而且,使用电流源 C、E 对配置在信号线驱动电路和恒流电路配置的电流源电路进行设定动作。电流源 D 相当设定电流源 C、E 的电流源,从外部供给视频信号用电流。

[0341] 再有,在图 11(B) 中,也可以将配置在下方的恒流电路作为信号线驱动电路。由此,可以在上方和下方配置信号线驱动电路。而且,各自担任画面(整个象素部)上下半边的控制。这样一来,可以同时控制 2 行象素。因此,可以延长对信号线驱动电路的电流源、象素和象素电流源等的设定动作(信号输入动作)的时间。因此,可以更正确地进行设定。

[0342] 本实施形态可以和实施形态 1 ~ 6 任意组合。

[0343] (实施例 1)

[0344] 在本实施例中,使用图 14 详细说明时间灰度方式。通常,在液晶显示装置或发光装置等显示装置中,帧频率是 60Hz 左右。即,如图 14(A) 所示,1 秒钟进行 60 次左右的画面扫描。由此,可以使人的眼睛感觉不出来闪烁(画面的闪光)。这时,将进行 1 次画面描绘的期间称作 1 帧期间。

[0345] 在本实施例中,作为 1 个例子,说明专利文献 1 的公报中公开的时间灰度方式。在

时间灰度方式中,将 1 帧期间分割成多个子帧期间。这时的分割数大多和灰度的位数相等。这里,为简单起见,示出分割数和灰度位数相等的情况。即,在本实施例中,因为是 3 位灰度,故示出分割成 3 个子帧期间 SF1 ~ SF3 的例子(图 14(B))。

[0346] 各子帧期间具有地址(写入)期间  $T_a$  和保持(发光)时间  $T_s$ 。地址期间是像素写入视频信号的期间,在各子帧期间中长度相等。保持期间是在地址期间根据像素写入的视频信号发光元件发光的期间。这时,保持(发光)期间 SF1 ~ SF3 其长度比为  $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ 。即,在表现  $n$  位灰度时, $n$  个保持期间的长度比为  $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ 。而且,通过发光元件在哪个保持期间发光,决定 1 帧期间中各像素发光的期间的长度,由此来表现灰度。

[0347] 其次,说明使用时间灰度方式的像素的具体动作,在本实施例中参照图 16(B) 所示的像素进行说明。图 16(B) 所示的像素使用电流输入方式。

[0348] 首先,在地址期间  $T_a$  内进行以下动作。选择第 1 扫描线 602 和第 2 扫描线 603, TFT606、607 导通。这时,将流过信号线 601 的电流作为信号电流  $I_{data}$ 。而且,当电容元件 610 积蓄了规定的电荷时,第 1 扫描线 602 和第 2 扫描线 603 的选择结束, TFT606、607 截止。

[0349] 其次,在保持期间  $T_s$  内进行以下动作。选择第 3 扫描线 604, TFT609 导通。因电容元件 610 保持刚才已写入的规定的电荷,故 TFT608 导通,从信号线 605 流过和信号电流  $I_{data}$  相等的电流。由此,发光元件 611 发光。

[0350] 通过在各子帧期间进行以上动作来构成 1 帧期间。按照该方法,当想要增加显示灰度数时,可以增加子帧期间的分割数。此外,子帧期间的顺序如图 14(B) (C) 所示,不必按从高位到低位的顺序,在 1 帧期间可以随机排列。进而在各帧期间可以改变其顺序。

[0351] 此外,图 14(D) 示出第  $m$  行扫描线的子帧期间 SF2。如图 14(D) 所示,在像素中,地址期间  $T_{a2}$  一结束,便立即开始期间  $T_{s2}$ 。

[0352] 本实施例可以和实施形态 1 ~ 7 任意组合。

[0353] (实施例 2)

[0354] 在本实施例中,使用图 13 说明像素部设置的像素电路的构成例。

[0355] 再有,若是具有包含输入电流的部分那样的结构的像素,则对什么样的像素都可以适用。

[0356] 图 13(A) 的像素具有信号线 1101、第 1 和第 2 扫描线 1102、1103、电流线(电源线) 1104、开关用 TFT1105、保持用 TFT1106、驱动用 TFT1107、变换驱动用 TFT1108、电容元件 1109 和发光元件 1110。各信号线与电流源电路 1111 连接。

[0357] 再有,电流源电路 1111 相当于配置在信号线驱动电路 403 中的电流源电路 420。

[0358] 开关用 TFT1105 的栅极与第 1 扫描线 1102 连接,第 1 电极与信号线 1101 连接,第 2 电极与驱动用 TFT1107 的第 1 电极和变换驱动用 TFT1108 的第 1 电极连接。保持用 TFT1106 的栅极与第 2 扫描线 1103 连接,第 1 电极与变换驱动用 TFT1106 的第 1 电极连接,第 2 电极与驱动用 TFT1107 的栅极和变换驱动用 TFT1108 的栅极连接。驱动用 TFT1107 的第 2 电极与电流线(电源线) 1104 连接,变换驱动用 TFT1108 的第 2 电极与发光元件 1110 的一个电极连接。电容元件 1109 连接在变换驱动用 TFT1108 的栅极和第 2 电极之间,保持变换驱动用 TFT1108 的栅源极间的电压。电流线(电源线) 1104 和发光元件 1110 的另一

个电极分别输入规定的电位,相互具有电位差。

[0359] 再有,图 13(A) 的像素相当于像素使用图 29(B) 的电路的情况。只是,因电流流动的方向不同,故晶体管的极性相反。图 13(A) 的驱动用 TFT1107 相当于图 29(B) 的 TFT126,图 13(A) 的变换驱动用 TFT1108 相当于图 29(B) 的 TFT122,图 13(A) 的保持用 TFT1106 相当于图 29(B) 的 TFT124。

[0360] 图 13(B) 的像素具有信号线 1151、第 1 和第 2 扫描线 1142、1143、电流线(电源线)1144、开关用 TFT1145、保持用 TFT1146、变换驱动用 TFT1147、驱动用 TFT1148、电容元件 1149 和发光元件 1140。信号线 1151 与电流源电路 1141 连接。

[0361] 再有,电流源电路 1141 相当于配置在信号线驱动电路 403 中的电流源电路 420。

[0362] 开关用 TFT1145 的栅极与第 1 扫描线 1142 连接,第 1 电极与信号线 1151 连接,第 2 电极与驱动用 TFT1148 的第 1 电极和变换驱动用 TFT1147 的第 1 电极连接。保持用 TFT1146 的栅极与第 2 扫描线 1143 连接,第 1 电极与驱动用 TFT1148 的第 1 电极连接,第 2 电极与驱动用 TFT1148 的栅极和变换驱动用 TFT1147 的栅极连接。变换驱动用 TFT1147 的第 2 电极与电流线(电源线)1144 连接,驱动用 TFT1148 的第 2 电极与发光元件 1140 的一个电极连接。电容元件 1149 连接在变换驱动用 TFT1147 的栅极和第 2 电极之间,保持变换驱动用 TFT1147 的栅源极间的电压。电流线(电源线)1144 和发光元件 1140 的另一个电极分别输入规定的电位,相互具有电位差。

[0363] 再有,图 13(B) 的像素相当于像素使用图 6(B) 的电路的情况。只是,因电流流动的方向不同,故晶体管的极性相反。图 13(B) 的变换驱动用 TFT1147 相当于图 6(B) 的 TFT122,图 13(B) 的驱动用 TFT1148 相当于图 6(B) 的 TFT126,图 13(B) 的保持用 TFT1146 相当于图 6(B) 的 TFT124。

[0364] 图 13(C) 的像素具有信号线 1121、第 1 扫描线 1122、第 2 扫描线 1123、第 3 扫描线 1135、电流线 1124、电流线 1138、开关用 TFT1125、消去用 TFT1126、驱动用 TFT1127、电容元件 1128、电流源 TFT1129、镜(mirror)TFT1130、电容元件 1131、电流输入 TFT1132、保持 TFT1133 和发光元件 1136。各信号线与电流源电路 1137 连接。

[0365] 开关用 TFT1125 的栅极与第 1 扫描线 1122 连接,开关用 TFT1125 的第 1 电极与信号线 1121 连接,开关用 TFT1125 的第 2 电极与驱动用 TFT1127 的栅极和消去用 TFT1126 的第 1 电极连接。消去用 TFT1126 的栅极与第 2 扫描线 1123 连接,消去用 TFT1126 的第 2 电极与电流线(电源线)1124 连接。驱动用 TFT1127 的第 1 电极与发光元件 1136 的一个电极连接,驱动用 TFT1127 的第 2 电极与电流源 TFT1129 的第 1 电极连接。电流源 TFT1129 的第 2 电极与电流线 1124 连接。电容元件 1131 的一个电极与电流源 TFT1129 的栅极及镜 TFT1130 的栅极连接,另一个电极与电流线(电源线)1124 连接。镜 TFT1130 的第 1 电极与电流线 1124 连接,密勒 TFT1130 的第 2 电极与电流输入 TFT1132 的第 1 电极连接。电流输入 TFT1132 的第 2 电极与电流线 1138 连接。电流输入 TFT1132 的栅极与第 3 扫描线 1135 连接。电流保持 TFT1133 的栅极与第 3 扫描线 1135 连接,电流保持 TFT1133 的第 1 电极与电源线 1138 连接,电流保持 TFT1133 的第 2 电极与电流源 TFT1129 的栅极及密勒 TFT1130 的栅极连接。电流线 1124 和发光元件 1136 的另一个电极分别输入规定的电位,相互具有电位差。

[0366] 本实施例可以和实施形态 1 ~ 7、实施例 1 任意组合。

[0367] (实施例 3)

[0368] 在本实施例中,说明进行彩色显示时的方法。

[0369] 当发光元件是有机 EL 元件时,即使该发光元件流过相同大小的电流,其辉度也会因颜色而有差别。此外,当发光元件老化时,其老化的程度也因颜色而有差别。为此,在使用了发光元件的发光装置中,在进行彩色显示时,为了调节白平衡 (white balance),必须想各种各样的方法。

[0370] 最单纯的方法是根据颜色改变输入像素的电流的大小。为此,可以根据颜色改变视频信号用恒流源的电流的大小。

[0371] 另一个方法是在像素、信号线驱动电路和视频信号用恒流源中使用图 6(C) ~ 图 6(E) 那样的电路。而且,在图 6(C) ~ 图 6(E) 那样的电路中,根据颜色改变构成电流镜电路的 2 个晶体管的 W/L 的比率。由此,输入像素的电流的大小因颜色而变化。

[0372] 再一个方法是根据颜色改变亮灯期间的长度。该方法既适合使用时间灰度方式的情况,又适合不使用时间灰度方式的情况。利用本方法可以调节各像素的辉度。

[0373] 通过使用以上的方法,或者通过组合使用,可以容易调节白平衡。

[0374] 本实施例可以和实施形态 1 ~ 7、实施例 1、2 任意组合。

[0375] (实施例 4)

[0376] 在本实施例中,使用图 12 说明本发明的发光装置(半导体装置)的外观。图 12(A) 是通过利用密封材料将已形成晶体管的元件衬底密封而形成的发光装置的仰视图,图 12(B) 是图 12(A) 的 A-A' 剖面图,图 12(C) 是图 12(A) 的 B-B' 剖面图。

[0377] 设置密封材料 4009 将设在衬底 4001 上的像素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 包围。在像素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 的上面设置密封材料 4008。由此,像素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 利用衬底 4001、密封材料 4009 和密封材料 4008 以及填充材料 4210 密封。

[0378] 此外,设在衬底 4001 上的像素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 具有多个 TFT。在图 12(B) 中,示出在底层膜 4010 上形成的、包含在源极信号线驱动电路 4003 中的驱动 TFT(这里,图示 n 沟道 TFT 和 p 沟道 TFT) 4201 和包含在像素部 4002 中的消去用 TFT 4202。

[0379] 在本实施例中,驱动 TFT 4201 使用由公认的方法制作的 p 沟道 TFT 或 n 沟道 TFT,消去用 TFT 4202 使用由公认的方法制作的 n 沟道 TFT。

[0380] 在驱动 TFT 4201 和消去用 TFT 4202 上形成层间绝缘膜(平坦化膜) 4301,在其上形成与消去用 TFT 4202 的漏极电连接的像素电极(阳极) 4203。像素电极 4203 使用功函数大的透明导电膜。透明导电膜可以使用氧化铟和氧化锡的化合物、氧化铟和氧化锌的化合物、氧化锌、氧化锡或氧化铟。此外,还可以使用对上述透明导电膜添加了镓的混合物。

[0381] 而且,在像素电极 4203 上形成绝缘膜 4302,绝缘膜 4302 在像素电极 4203 的上方形成开口部。在该开口部中,在像素电极 4203 上形成发光层 4204。发光层 4204 可以使用周知的发光材料或无机发光材料。此外,发光材料有低分子材料(单体系)和高分子材料(聚合体系),可以使用它们之中的任何一种材料。

[0382] 发光层 4204 的形成方法可以使用周知的蒸镀技术或涂敷技术。发光层 4204 的结

构可以是将正孔注入层、正孔输入层、发光层、电子输送层或电子注入层任意组合的积层结构或单层结构。

[0383] 在发光层 4204 之上形成由具有遮光性的导电膜（典型地有以铝、铜或银为主要成分的导电膜或它们与其他导电膜的积层膜）形成的阴极 4205。此外，最好尽量排除存在于阴极 4205 和发光层 4204 的界面上的水份或氧。因此，有必要使发光层 4204 在氮气或惰性气体中形成，在不与氧或水份接触的条件下形成阴极 4205。在本实施例中，通过使用多腔（multi chamber）方式（工具组（cluster tool）方式）的成膜装置，可以实现象上述那样的成膜。而且，可以对阴极 4205 加规定的电压。

[0384] 如上所述，形成由像素电极（阳极）4203、发光层 4204 和阴极 4205 构成的发光元件 4303。而且，在绝缘膜上形成保护膜，将发光元件 4303 覆盖。保护膜具有防止氧或水份等进入发光元件 4303 的效果。

[0385] 4505a 是与电源线连接的引线，与消去用 TFT4202 的源极区电连接。引线 4005a 在密封材料 4009 和衬底 4001 之间通过，经各向异性的导电薄膜 4300 与具有 FPC4006 的 FPC 用布线 4301 电连接。

[0386] 密封材料 4008 可以使用玻璃材料、金属材料（比较典型的是不锈钢材料）、陶瓷材料和塑料（包含塑料薄膜）。塑料可以使用 FRP（强化玻璃纤维塑料）板、PVF（聚乙烯炔石）薄膜、聚酯薄膜（mylar）、聚酯（polyester）薄膜或丙烯树脂薄膜。此外，也可以使用具有用 PVF 薄膜或聚酯薄膜将铝箔夹在中间的结构薄片材料。

[0387] 只是，当从发光层来的光的照射方向面向覆盖材料侧时，覆盖材料必须是透明的。这时，使用玻璃板、塑料板、聚酯（polyester）薄膜或丙烯树脂薄膜那样的透明物质。

[0388] 此外，填充材料 4210 除了氮或氩等惰性气体之外，还可以使用紫外线硬化树脂或热硬化树脂，可以使用 PVC（聚氯乙烯）、丙烯、聚酰亚胺、环氧树脂、硅树脂、PVB（聚乙烯醇缩丁醛）或 EVA（乙烯基醋酸盐）。在本实施例中，使用氮作为填充材料。

[0389] 此外，为了使填充材料 4210 进一步处于吸湿性物质（最好是氧化钡）或吸氧物质的环境中，在密封材料 4008 的衬底 4001 的侧面设置凹部 4007，再配置吸湿性物质或吸氧物质 4207。而且，利用凹部覆盖材料 4208 来保持吸湿性物质或吸氧物质 4207，使吸湿性物质或吸氧物质 4207 不飞散。再有，凹部覆盖材料 4208 是格子很细的网格形状，只通过空气和水份，吸湿性物质或吸氧物质 4207 通不过。通过设置吸湿性物质或吸氧物质 4207，可以防止发光元件 4303 的老化。

[0390] 如图 12(C) 所示，在形成像素电极 4203 的同时，形成导电性膜 4203a，使其接在引线 4005a 上。

[0391] 此外，各向异性导电薄膜 4300 具有导电填料 4300a。通过热压衬底 4001 和 FPC4006，衬底 4001 上的导电薄膜 4203a 和 FPC4006 上的 FPC 用布线 4301 利用导电填料 4300a 进行电连接。

[0392] 本实施例可以和实施形态 1～7、实施例 1～3 任意组合。

[0393] （实施例 5）

[0394] 因使用发光元件的发光装置是自发光型，故和液晶显示器相比，在明亮的地方可视性好，视角宽。因此，可以用于各种各样的电子机器的显示部。

[0395] 作为使用本发明的发光装置的电子机器，可以列举摄像机、数字照相机、目镜

(goggles) 型显示器 (头部安装型显示器)、导航系统、音响回放装置 (汽车音响、组合音响等)、笔记本电脑、游戏机、便携式信息终端 (移动计算机、便携式电话、便携式游戏机或电子书刊等) 和具有记录媒体的图像再生装置 (具体地说是具有能对数字通用盘 (DVD) 等记录媒体进行再生并能够显示该图像的装置) 等。特别是, 从斜方向观看画面的机会较多的便携式信息终端因特别重视视角的广度, 故希望使用发光装置。图 22 示出这些电子机器的具体例子。

[0396] 图 22 (A) 是发光装置, 包括框体 2001、支撑台 2002、显示部 2003、扬声器部 2004 和图像输入端子 2005 等。本发明的发光装置可以用于显示部 2003。此外, 利用本发明可以完成图 22 (A) 所示的发光装置。因发光装置是自发光型, 故不需要背景光便可作为比液晶显示器更薄的显示部。再有, 计算机用、电视广播接收用和广告显示用等所有信息显示用显示装置发光装置中包含发光装置。

[0397] 图 22 (B) 是数字照相机, 包括本体 2101、显示部 2102、图像接收部 2103、操作键 2104、外部接口 2105 和快门 2106 等。本发明可以用于显示部 2102。此外, 利用本发明可以完成图 22 (B) 所示的数字照相机。

[0398] 图 22 (C) 是笔记本电脑, 包括本体 2201、框体 2202、显示部 2203、键盘 2204、外部接口 2205、和指示鼠标 2206 等。本发明的发光装置可以用于显示部 2203。此外, 利用本发明, 可以完成图 22 (C) 所示的发光装置。

[0399] 图 22 (D) 是移动计算机, 包括本体 2301、显示部 2302、开关 2303、操作键 2304 和红外线接口 2305 等。本发明的发光装置可以用于显示部 2302。此外, 利用本发明可以完成图 22 (D) 所示的移动计算机。

[0400] 图 22 (E) 是具有记录媒体的便携式图像再生装置 (具体地说是 DVD 再生装置), 包括本体 2401、框体 2402、显示部 A2403、显示部 B2404、记录媒体 (DVD 等) 读入部 2405、操作键 2406 和扬声器部 2407 等。显示部 A2403 主要显示图像信息, 显示部 B2404 主要显示文字信息, 本发明可以用于显示部 A2403、B2404。再有, 具有记录媒体的图像再生装置也包含家庭用游戏机等。此外, 利用本发明可以完成图 22 (E) 所示的 DVD 再生装置。

[0401] 图 22 (F) 是目镜型显示器 (头部安装型显示器), 包括本体 2501、显示部 2502 和臂部 2503 等。本发明的显示装置可以用于显示部 2502。此外, 利用本发明可以完成图 22 (F) 所示的显示器。

[0402] 图 22 (G) 是摄像机, 包括本体 2601、显示部 2602、框体 2603、外部接口 2604、遥控接收部 2605、接收图像部 2606、电池 2607、声音输入部 2608、操作键 2609 和目镜部 2610 等。本发明的发光装置可以用于显示部 2602。此外, 利用本发明可以完成图 22 (G) 所示的摄像机。

[0403] 图 22 (H) 是便携式电话机, 包括本体 2701、框体 2702、显示部 2703、声音输入部 2704、声音输出部 2705、操作键 2706、外部接口 2707 和天线 2708 等。本发明的发光装置可以用于显示部 2703。再有, 显示部 2703 通过在黑色背景上显示白色文字, 可以降低便携式电话机的电流消耗。此外, 利用本发明可以完成图 22 (H) 所示的便携式电话机。

[0404] 再有, 若将来发光材料的发光辉度提高, 有可能利用透镜等对输出的包含图像信息的光进行放大投影, 并可以应用于前投或背投型的投影仪。此外, 上述电子机器大多对通过因特网或 CATV (有线电视) 等电子通信线路发送的信息进行显示, 特别是显示动画信息

的机会增加了。因发光材料的响应速度非常快,故发光装置用于动画显示很理想。

[0405] 此外,因发光装置发光的部分耗电,故在显示信息时最好尽量减小发光部分。因此,对于将发光装置用于象便携式信息终端、特别是便携式电话机或音响回放装置那样的以文字信息为主的显示部的情况,最好将不发光部分作为背景,用发光部分形成文字信息来进行驱动。

[0406] 如上所述,本发明的适用范围极广,可以应用于所有领域的电子机器。此外,本实施例的电子机器也可以使用实施形态 1 ~ 7、实施例 1 ~ 6 所示的任何一种结构的发光装置。

[0407] 本发明提供一种信号线驱动电路,可以抑制 TFT 的特性离散的影响,可以向外部供给所要的信号电流。

[0408] 本发明提供设置了具有上述那样的电流源电路的信号线驱动电路的发光装置,进而,提供一种发光装置,通过使用能抑制 TFT 的特性离散影响的电路构成的象素,可以抑制构成象素和驱动电路双方的 TFT 的特性离散的影响,向发光元件供给所要的信号电流 Idata。

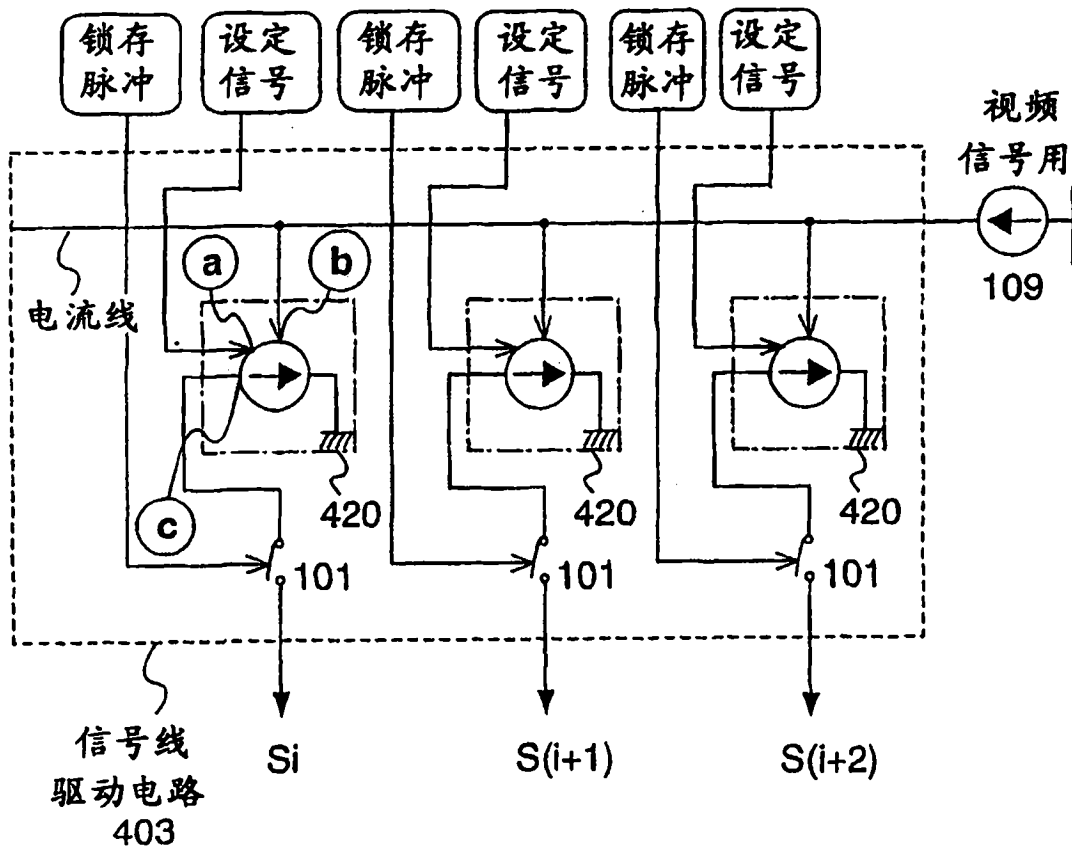


图 1

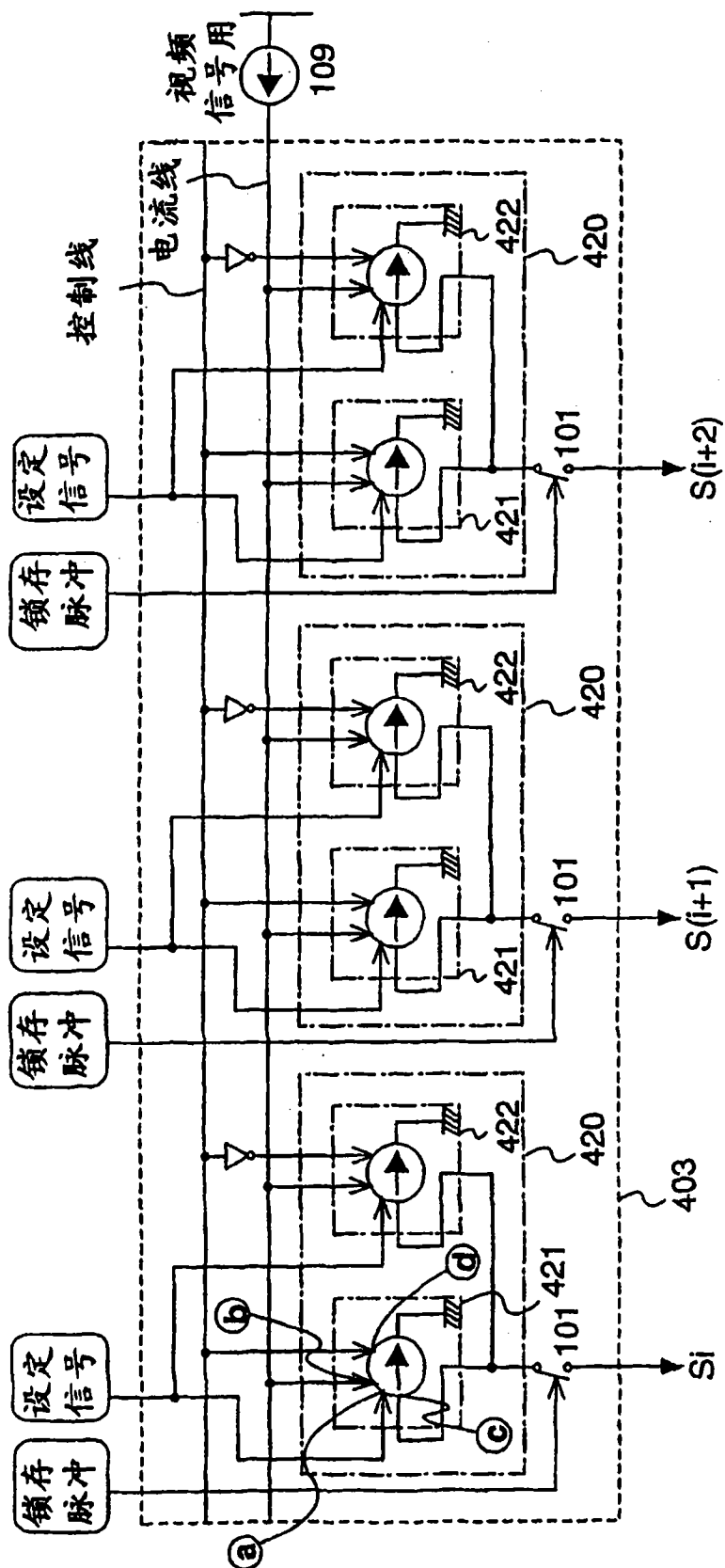


图 2

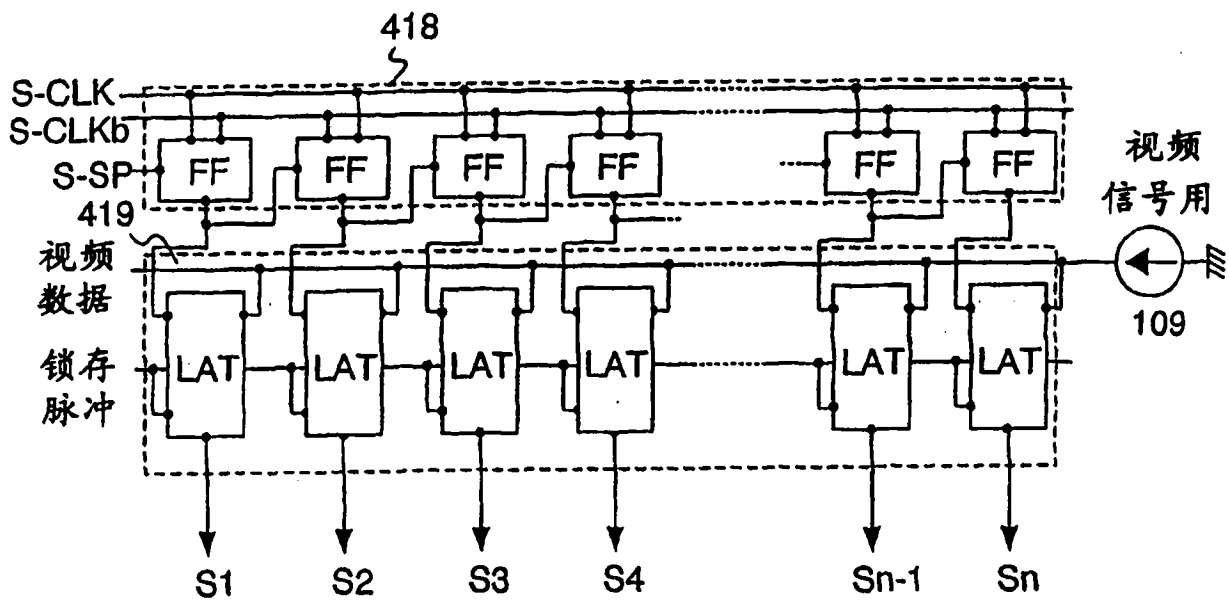


图 3A

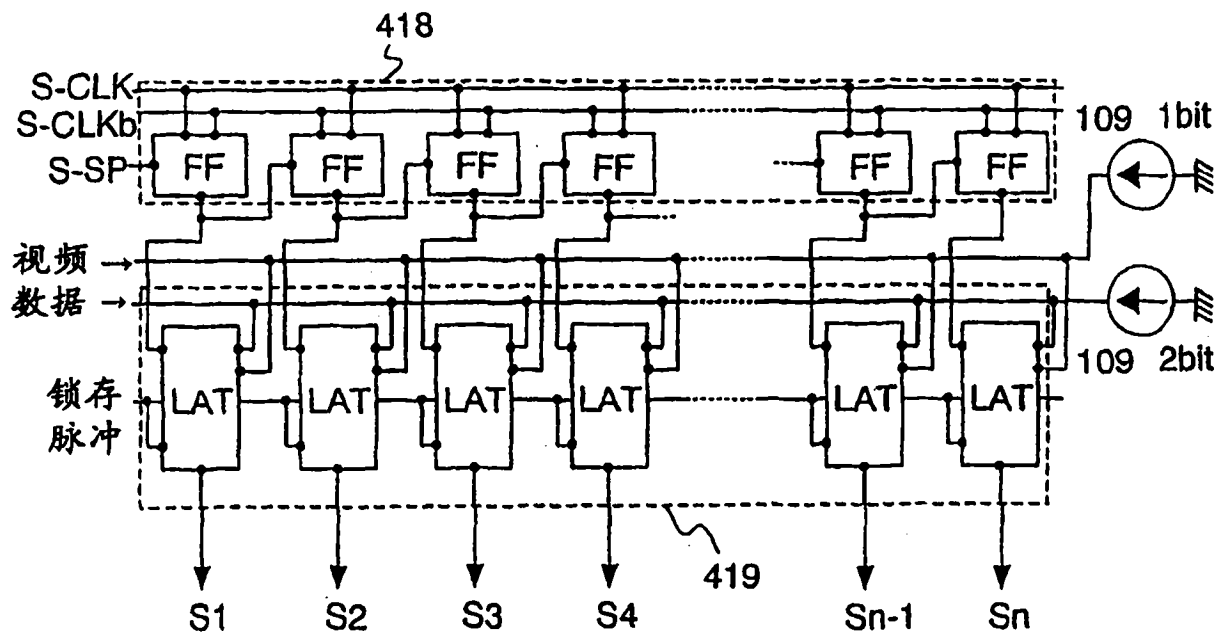


图 3B

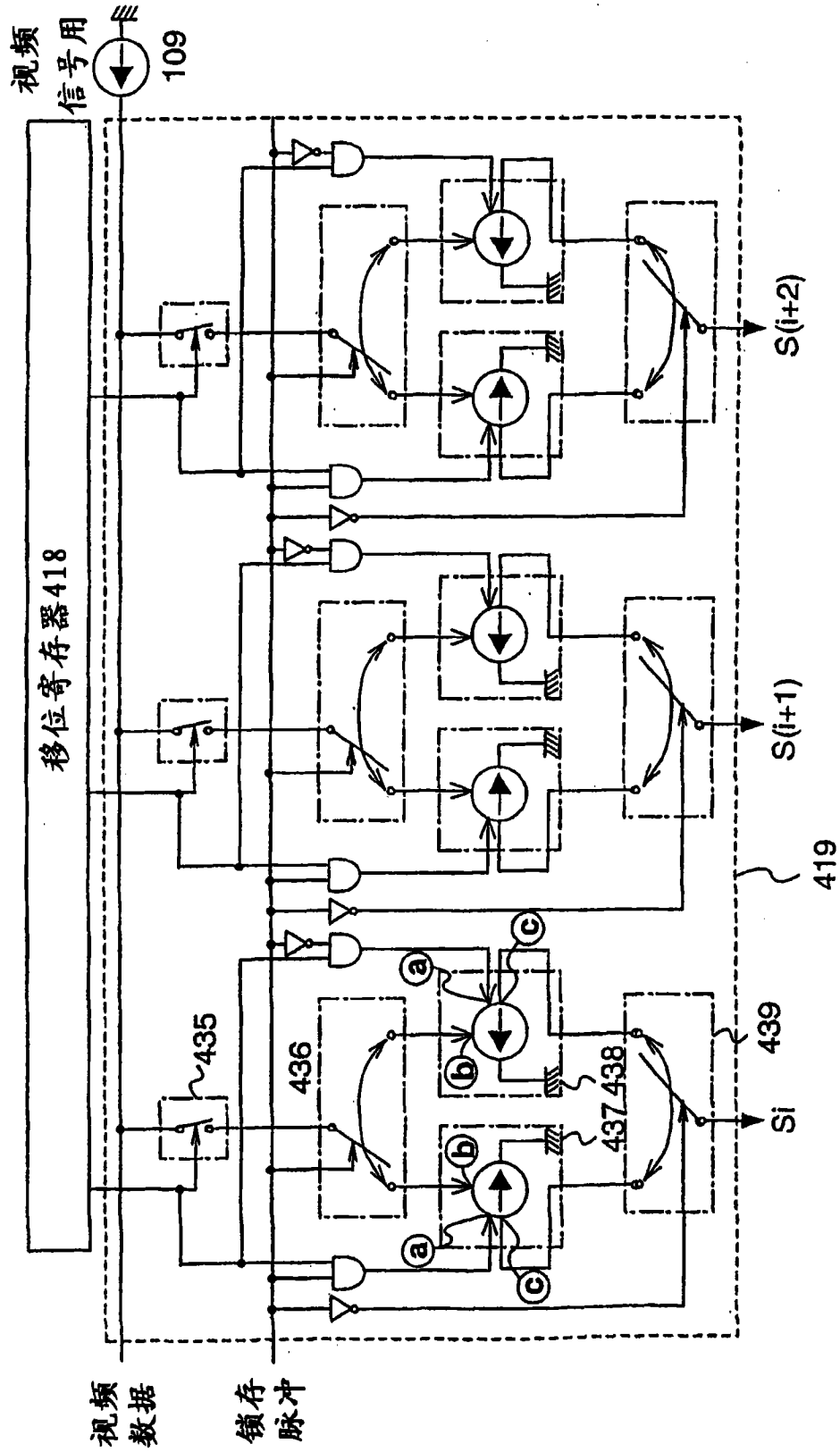


图 4

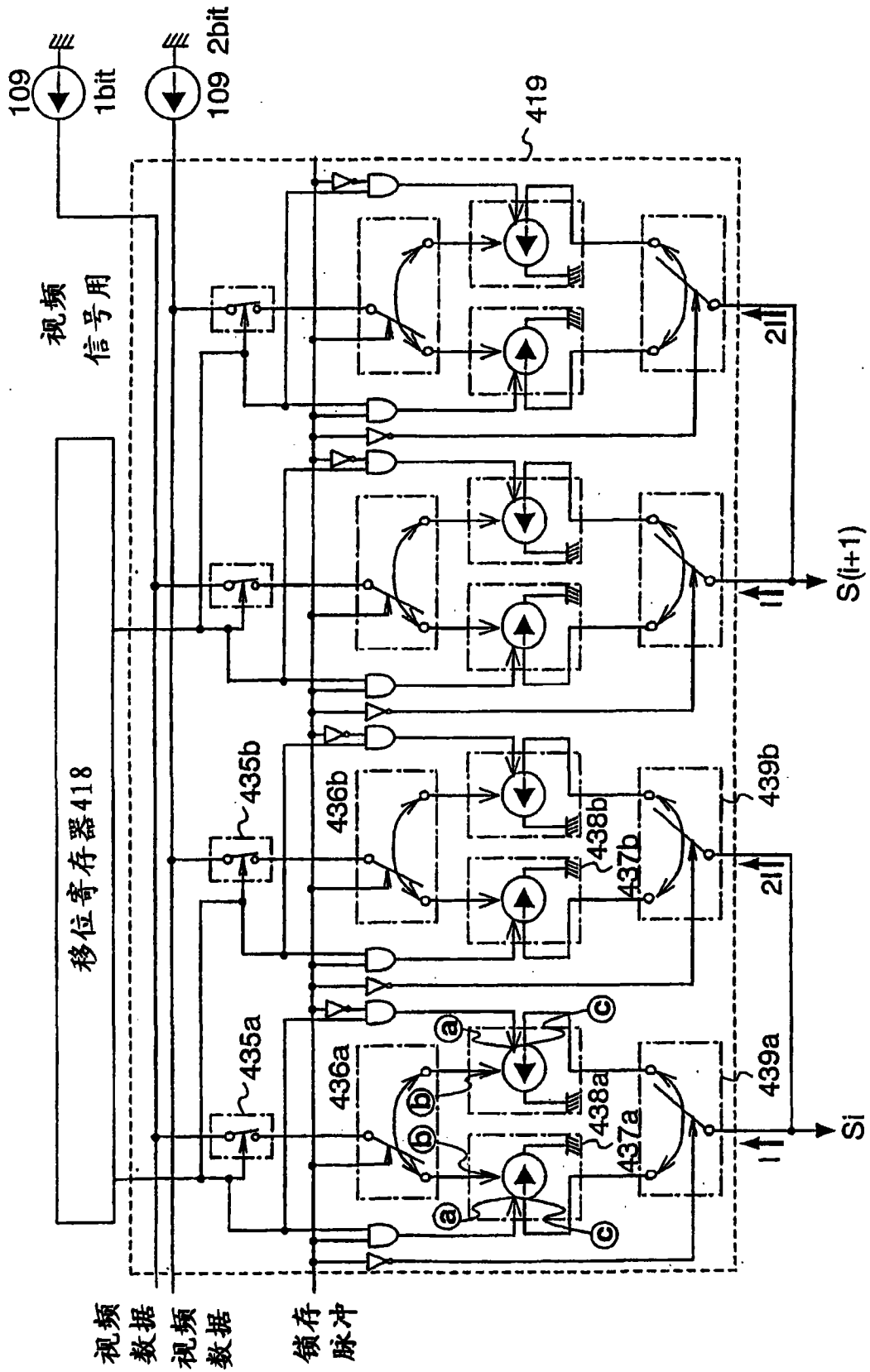


图 5

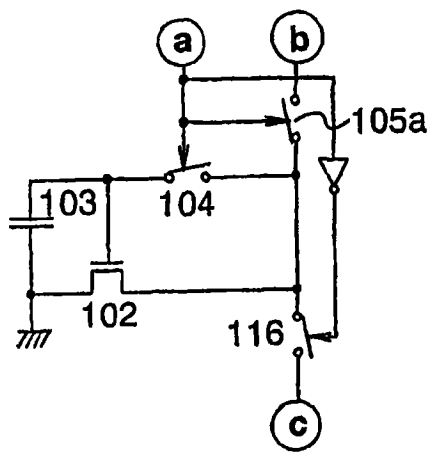


图 6A

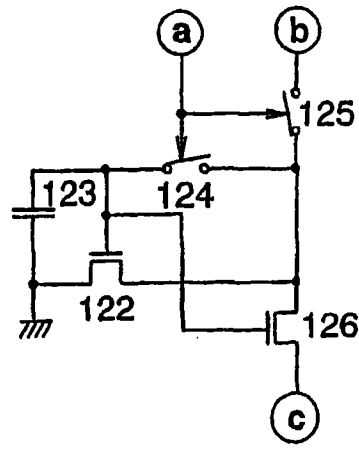


图 6B

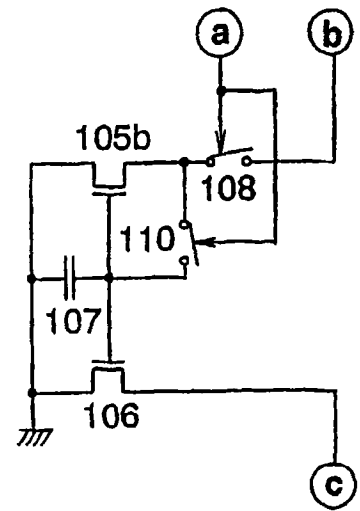


图 6C

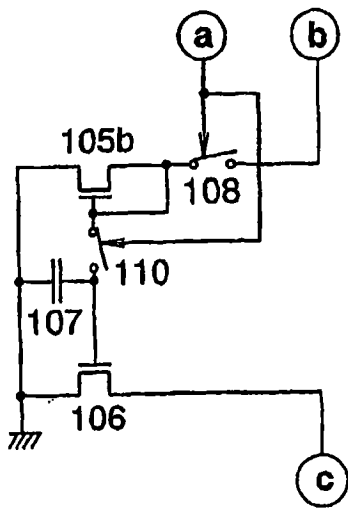


图 6D

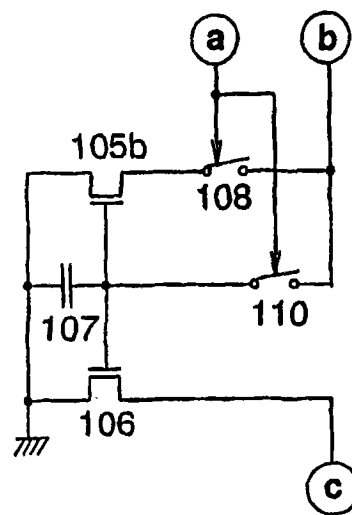


图 6E

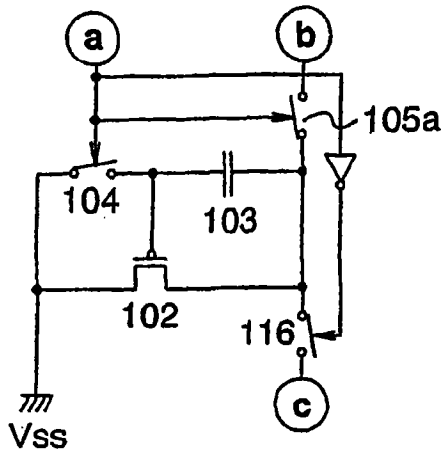


图 7A

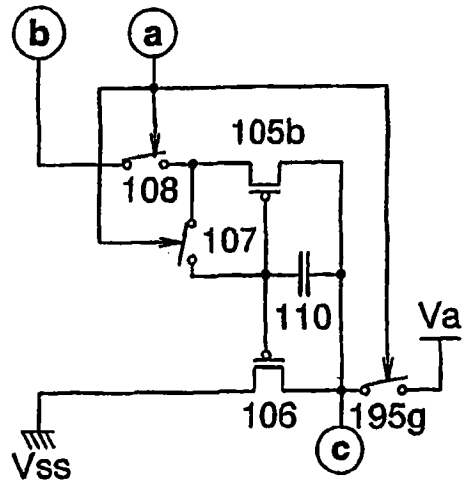


图 7B

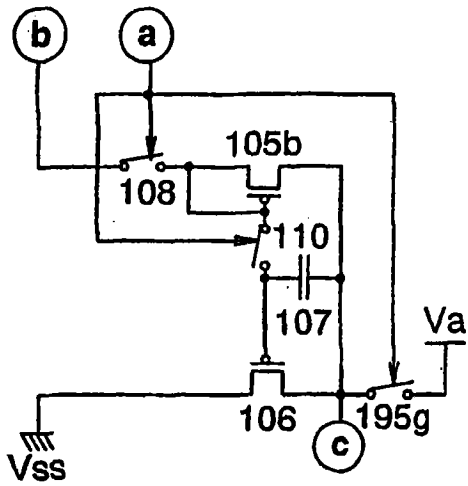


图 7C

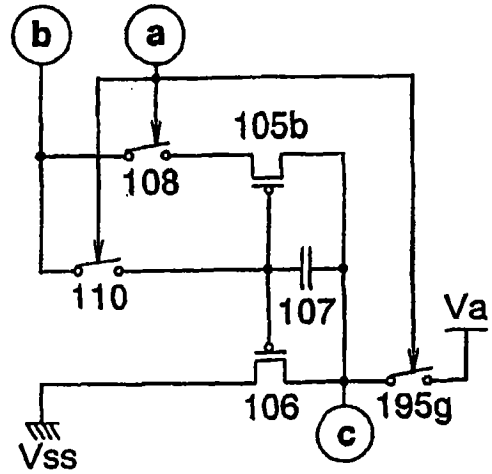


图 7D

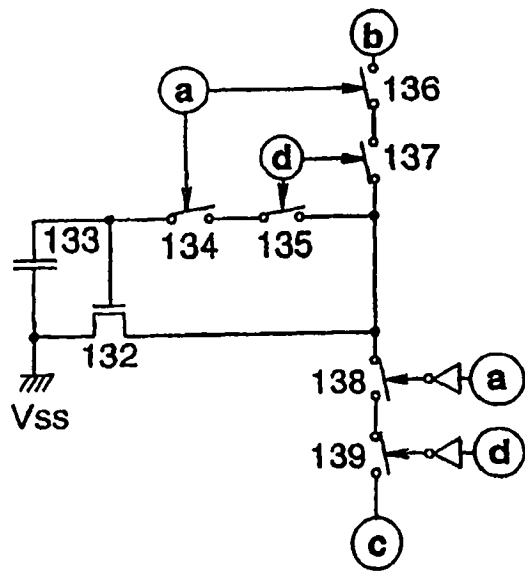


图 8A

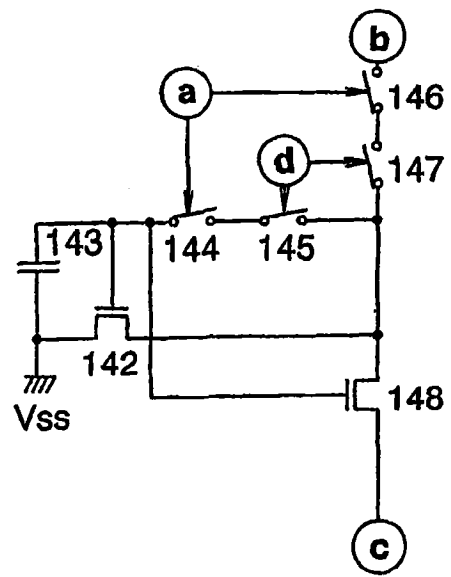


图 8B

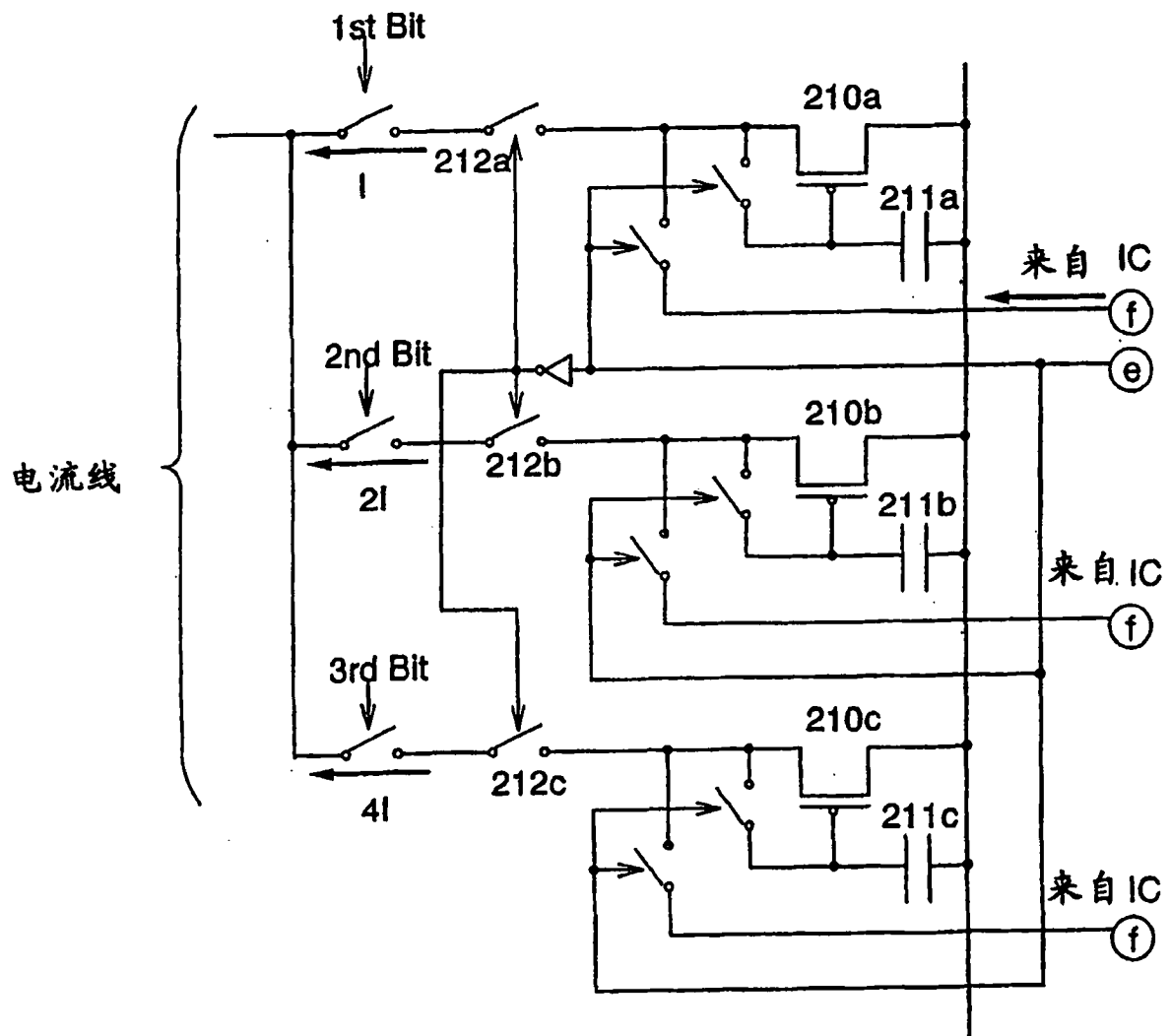


图 9

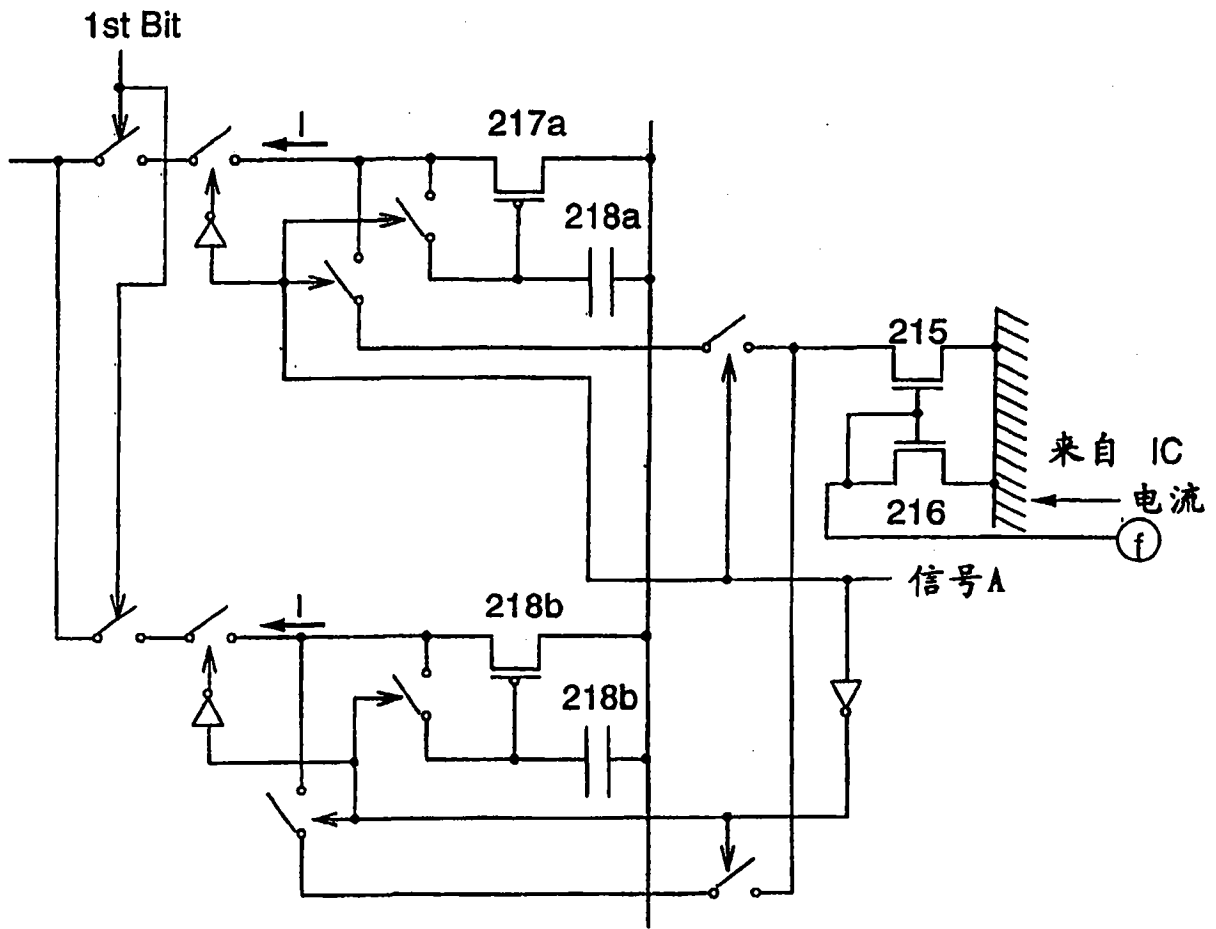


图 10

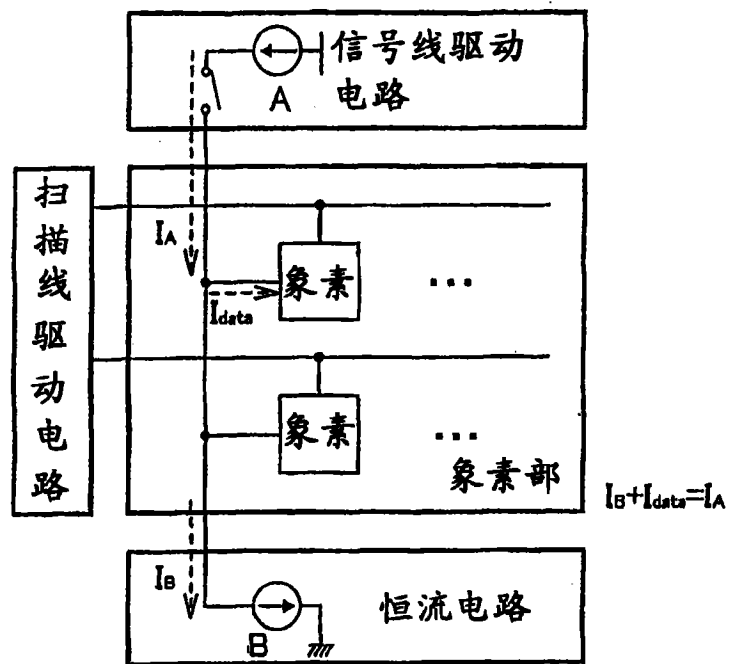


图 11A

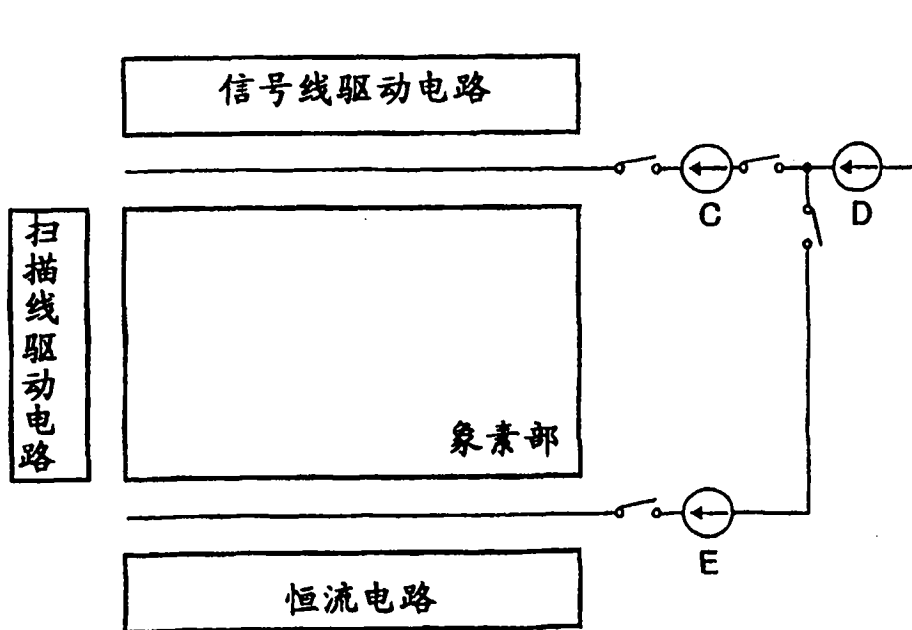


图 11B

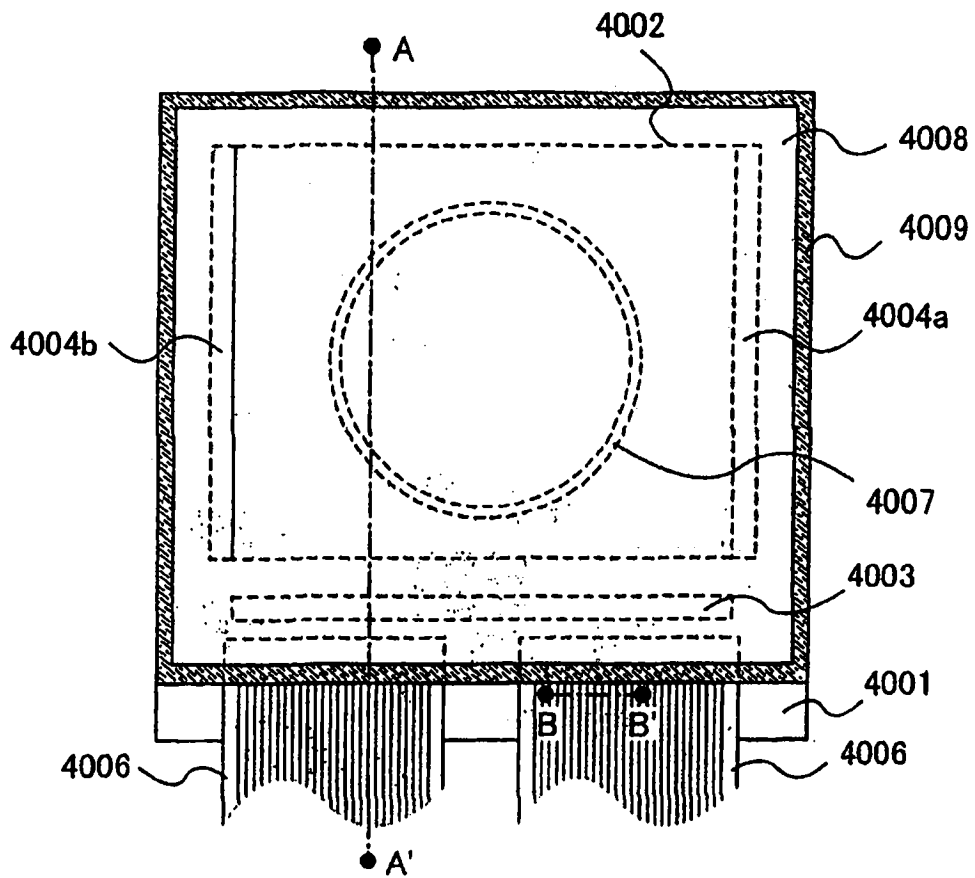


图 12A

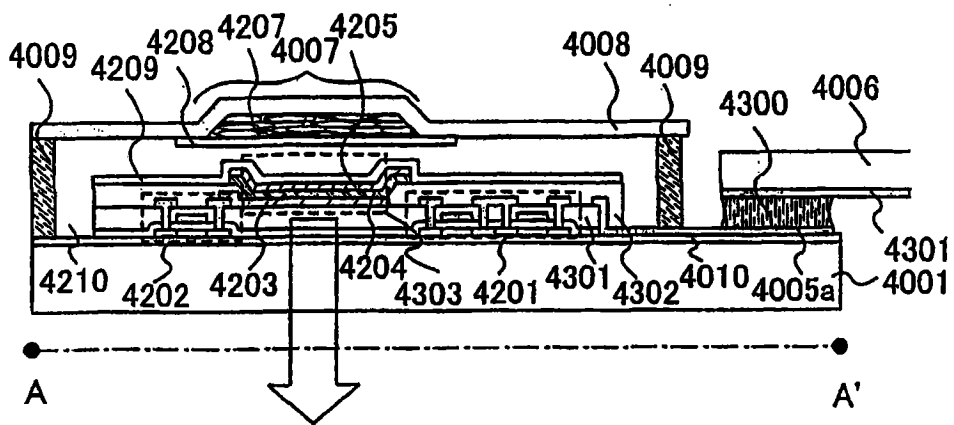


图 12B

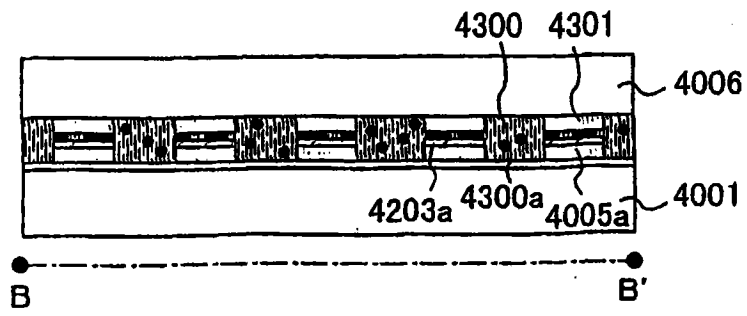


图 12C

图 13A

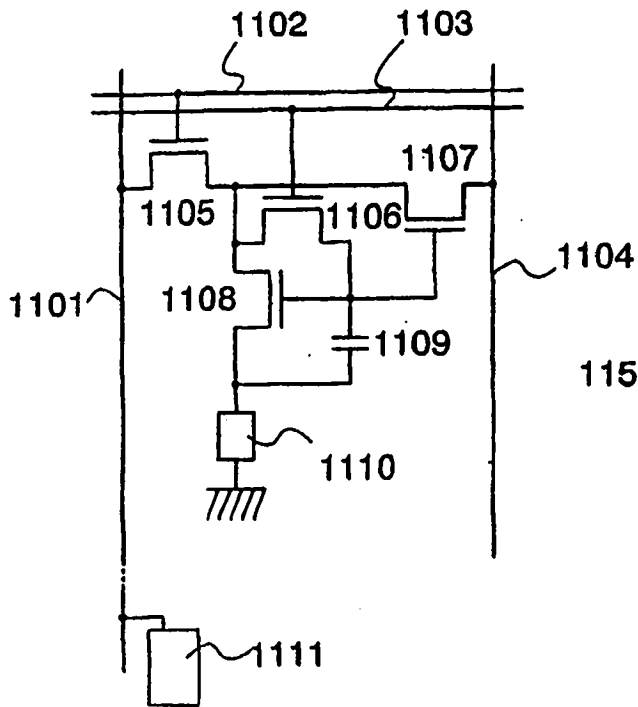
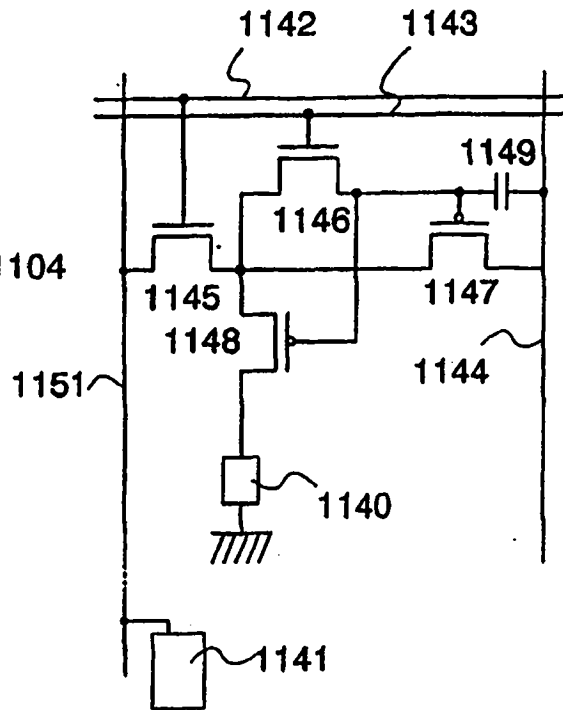


图 13B



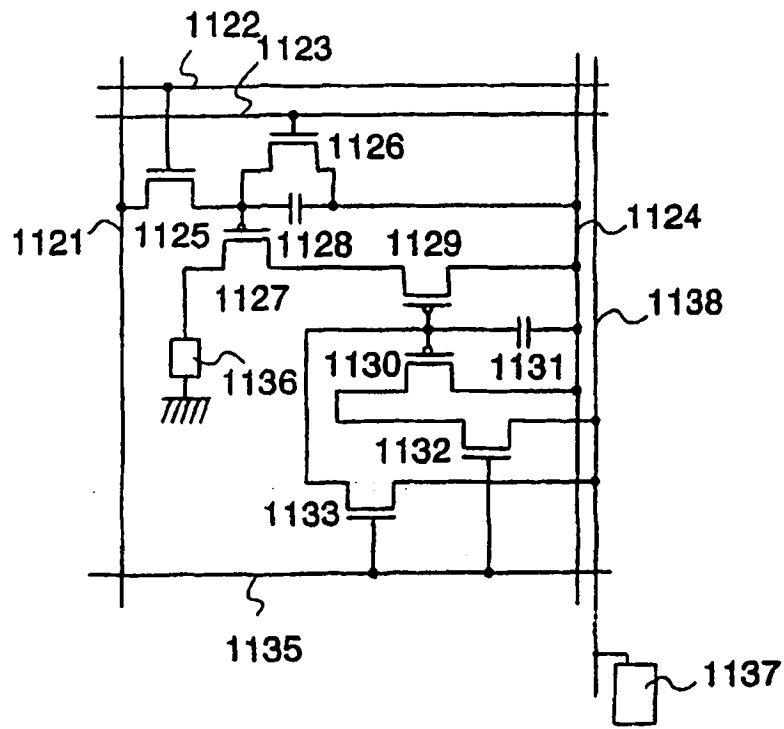
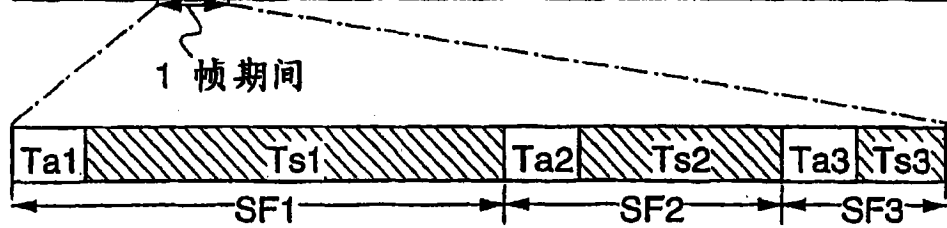


图 13C

图 14 A



图 14 B



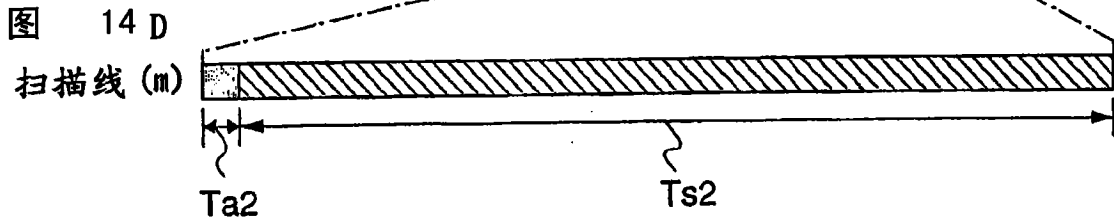
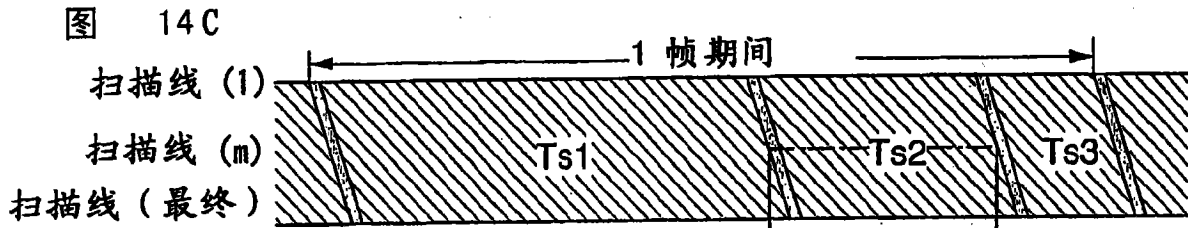


图 15 A

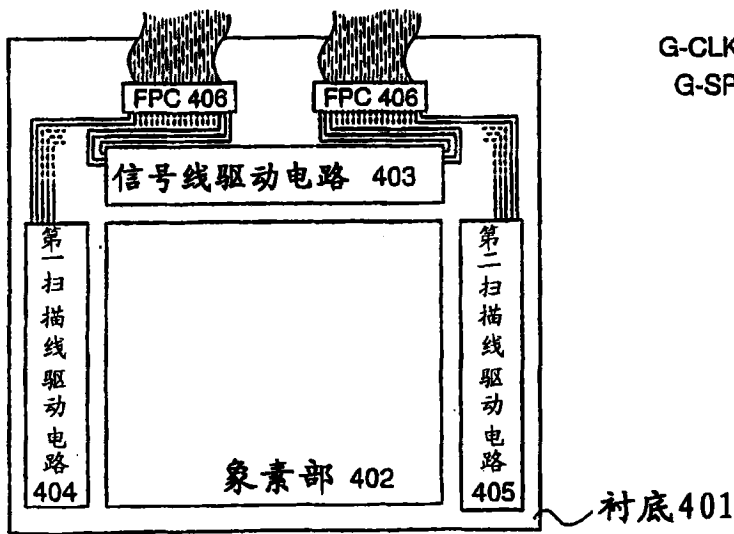
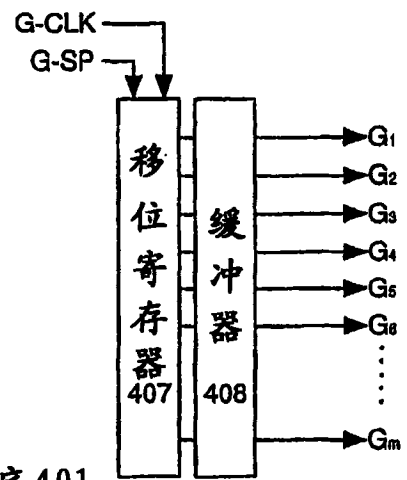


图 15 B



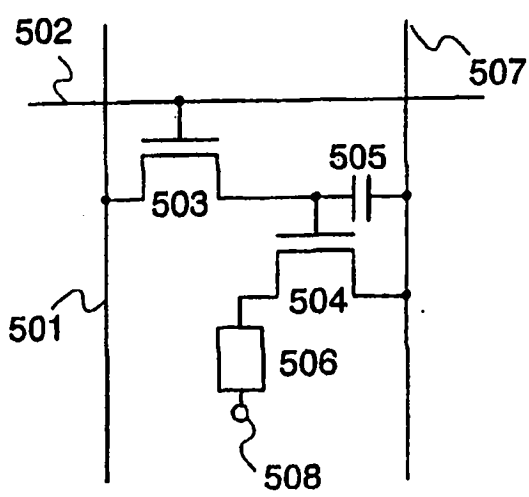


图 16A

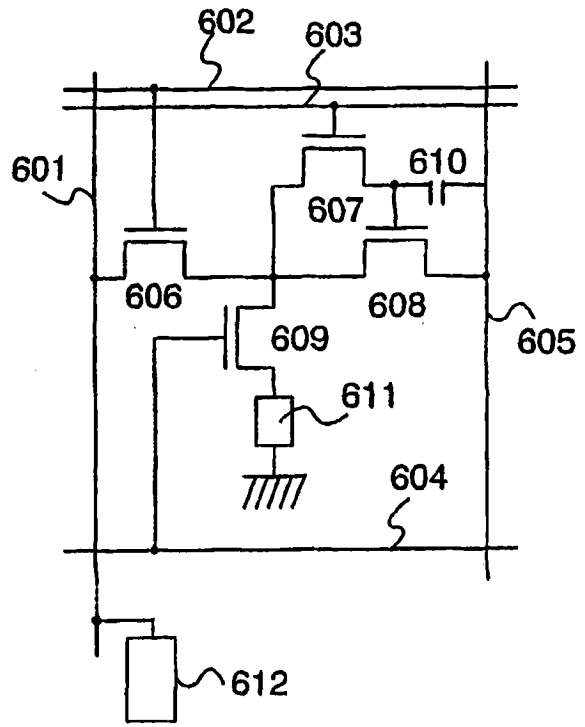


图 16B

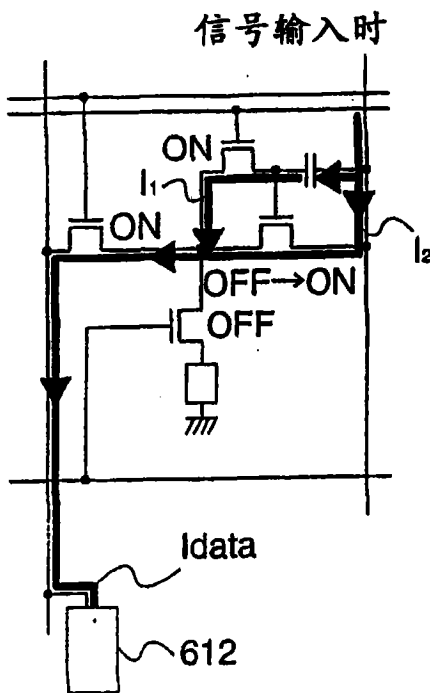


图 17A

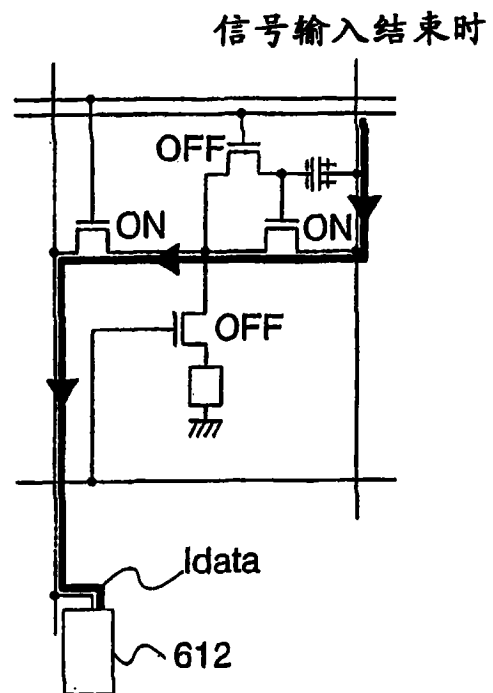


图 17B

图 17C 发光时

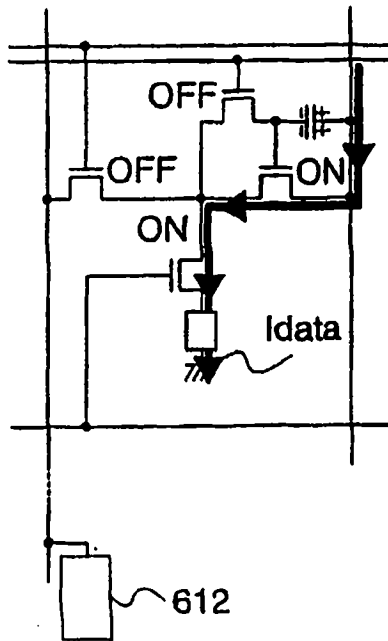


图 17D

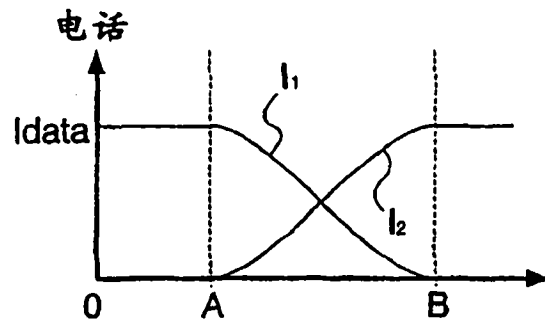


图 17B

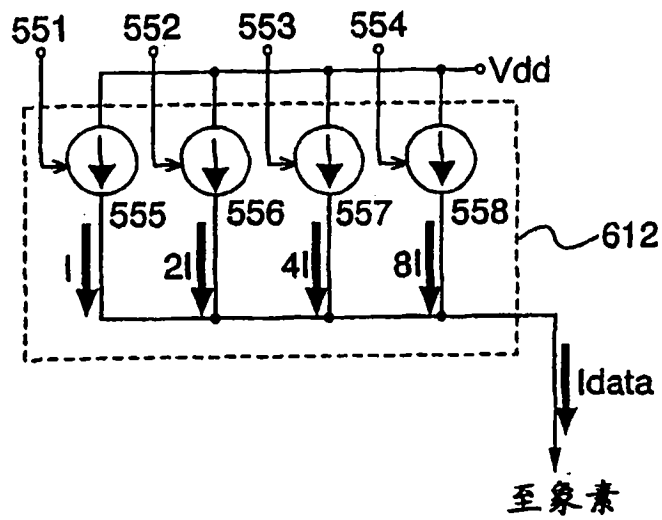
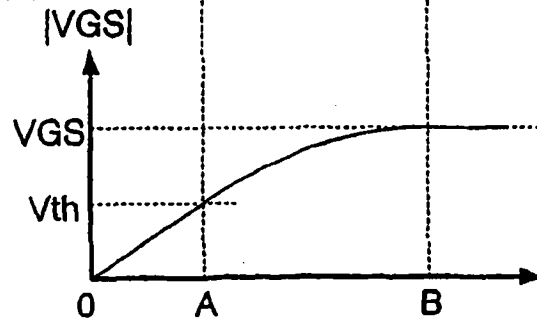


图 18A

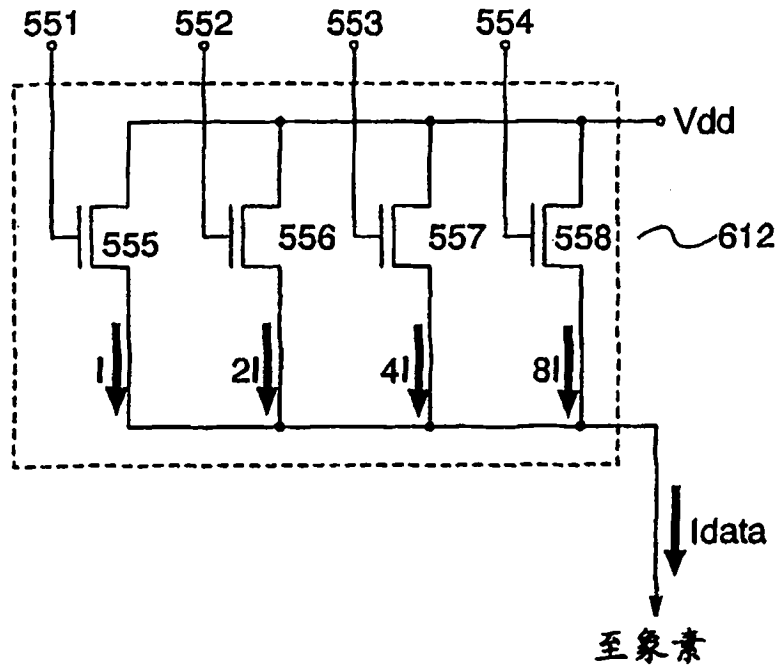


图 18B

图 19 A

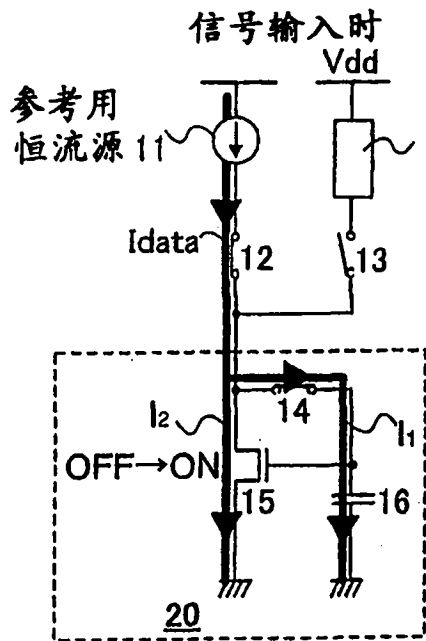


图 19 B

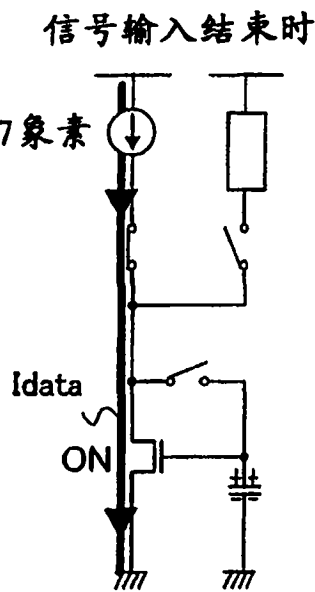
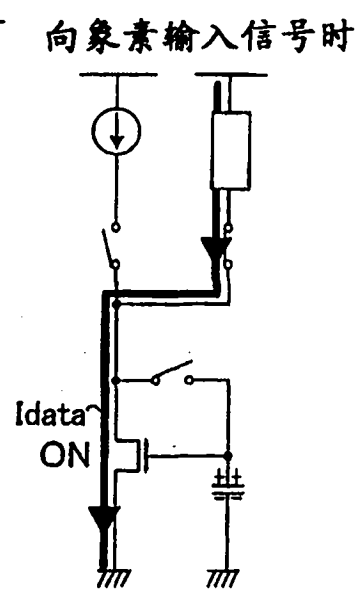


图 19 C



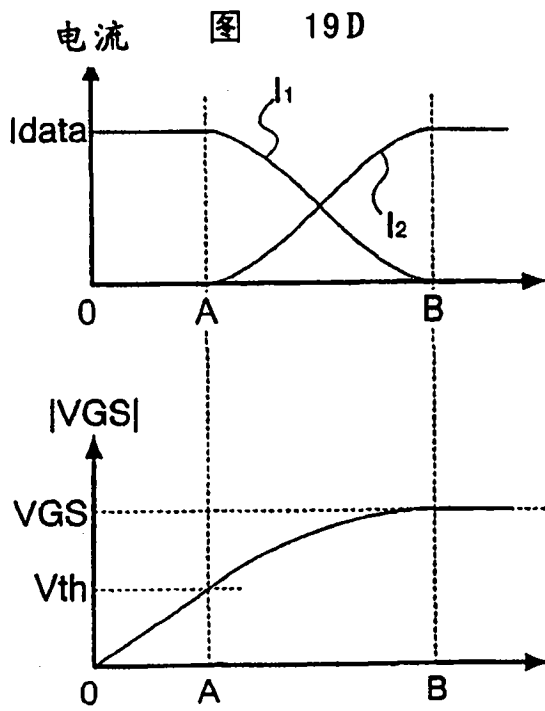


图 19E

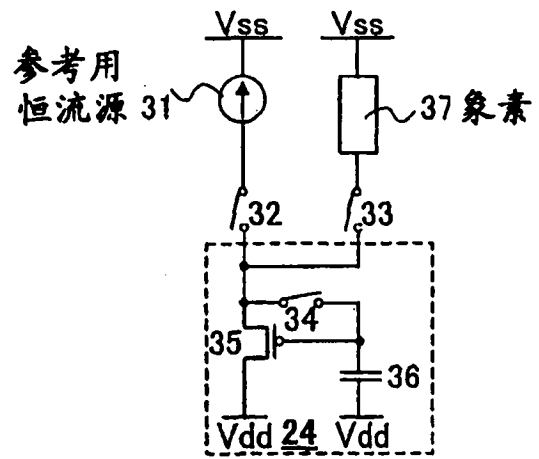


图 19F

图 20A 信号输入时

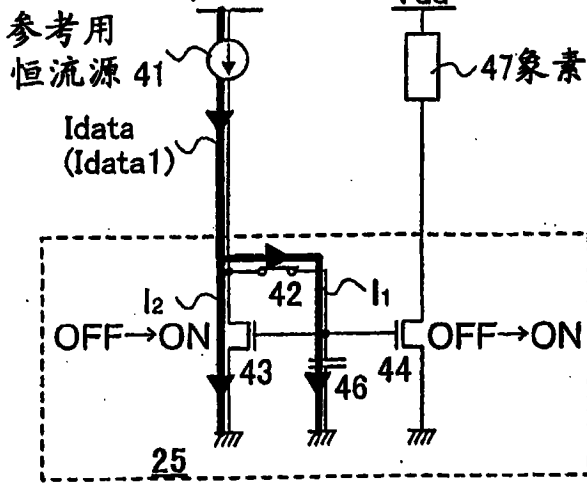


图 20B 信号输入结束时

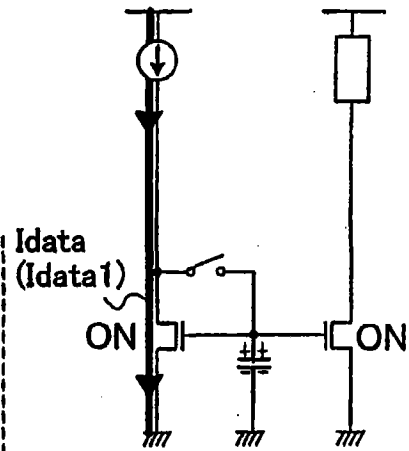


图 20C 向像素输入信号时

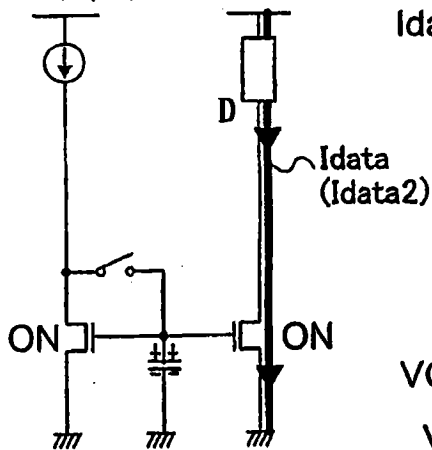


图 20D

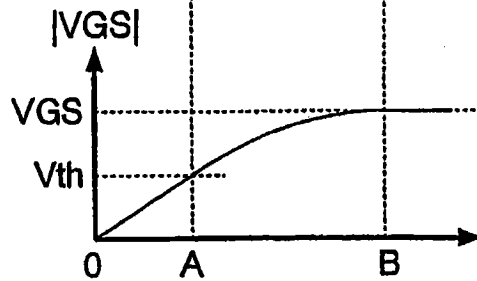
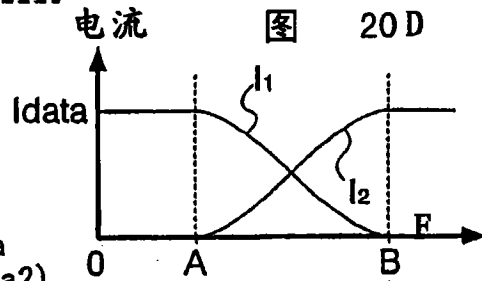


图 20E

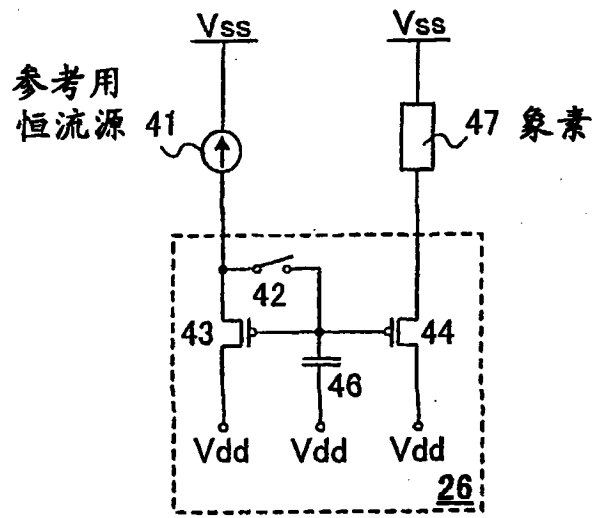


图 21

图 22 A

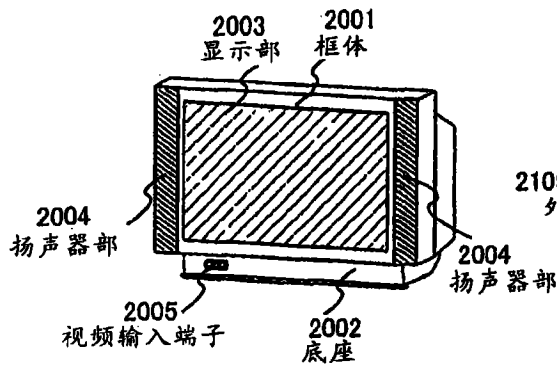


图 22 B

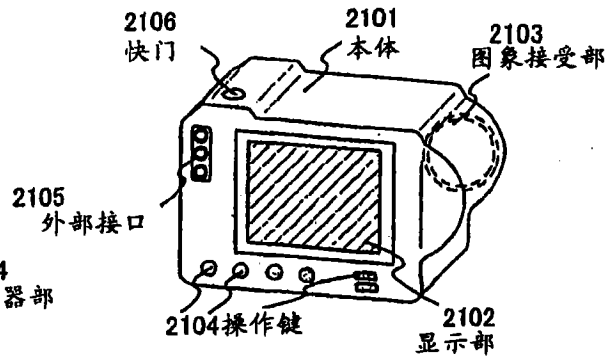


图 22 C

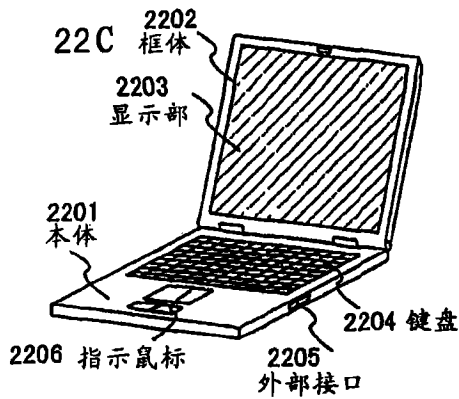


图 22 D

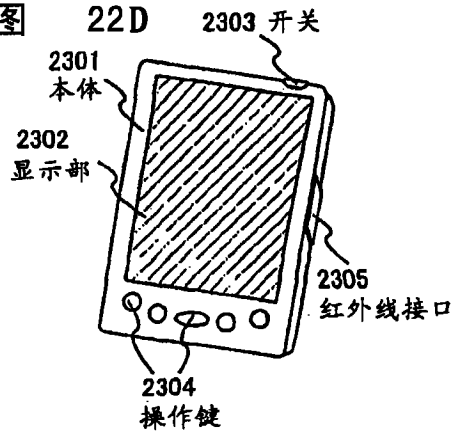


图 22 E

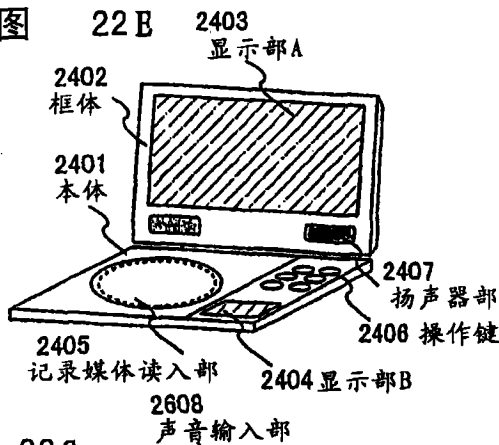


图 22 F

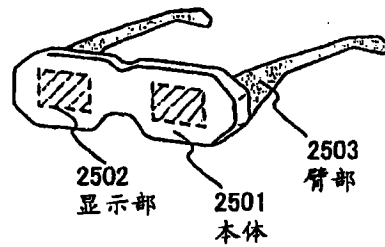


图 22 G

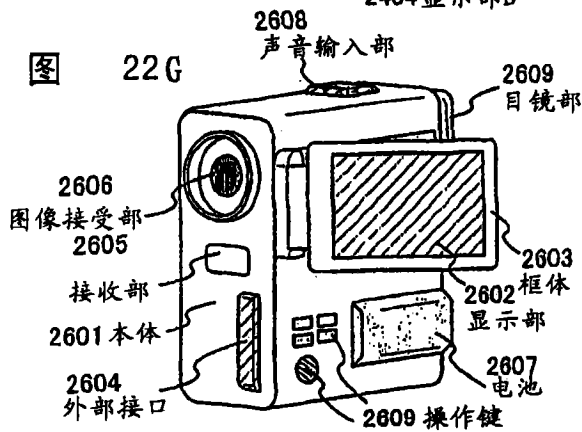
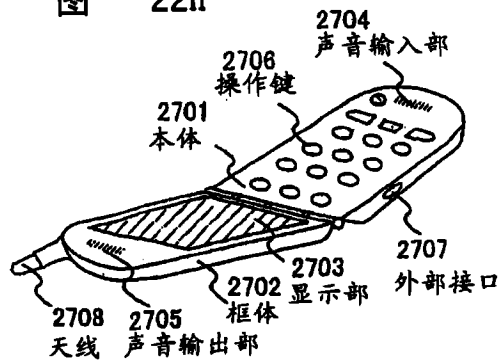


图 22 H



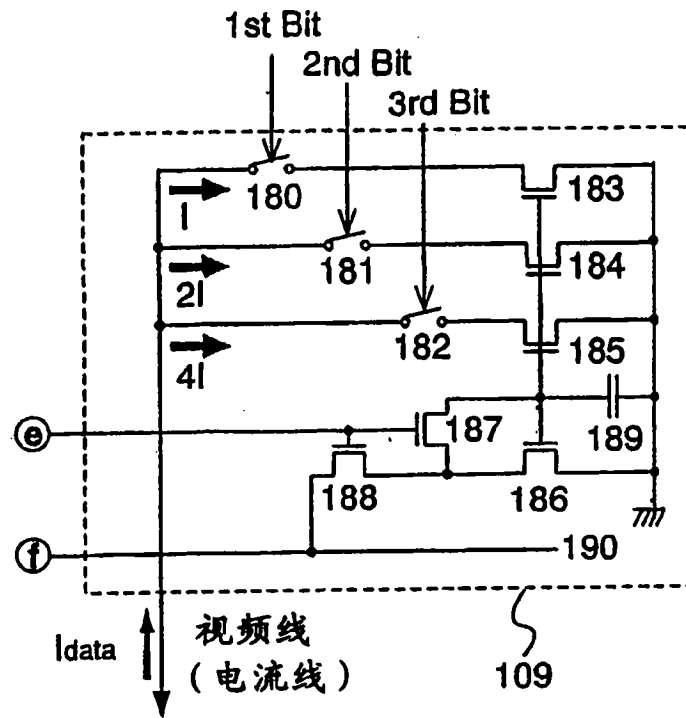


图 23

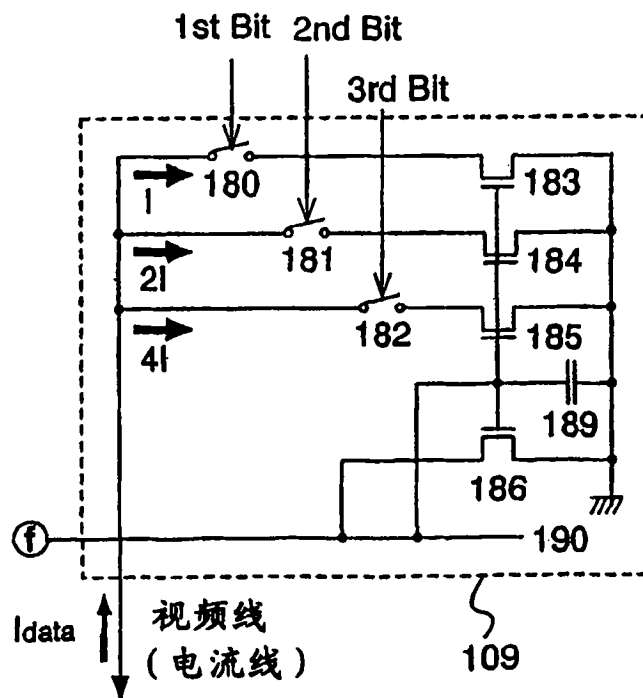


图 24

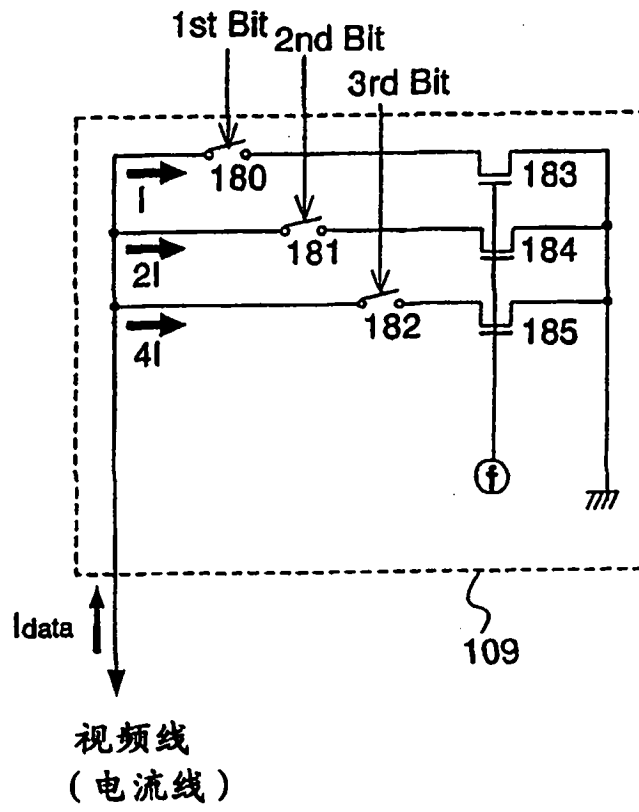


图 25

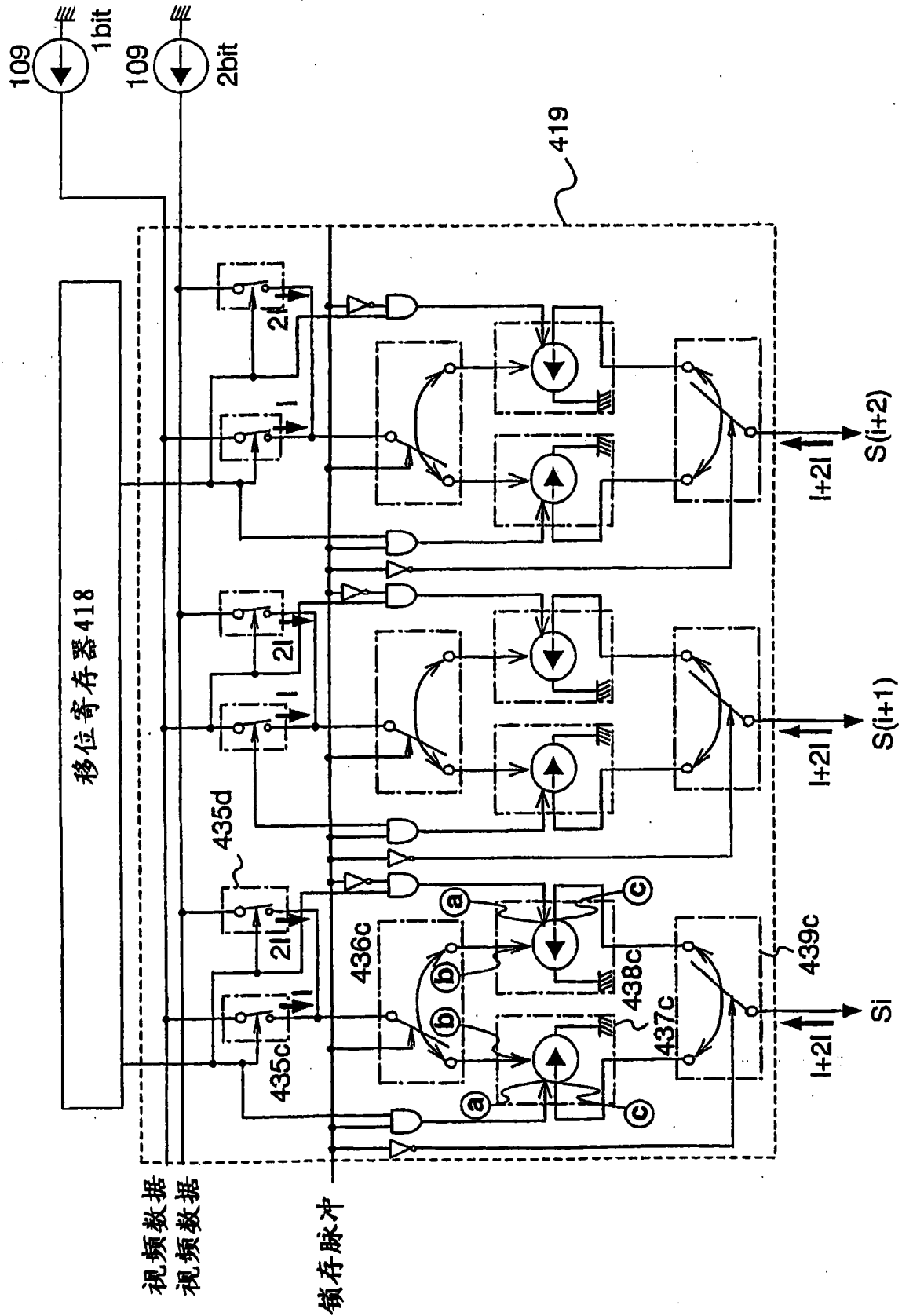


图 26

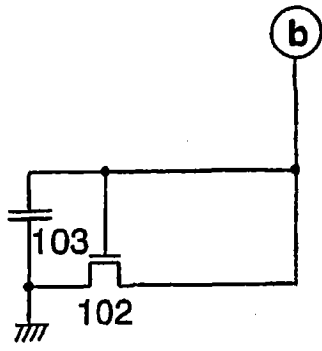


图 27A1

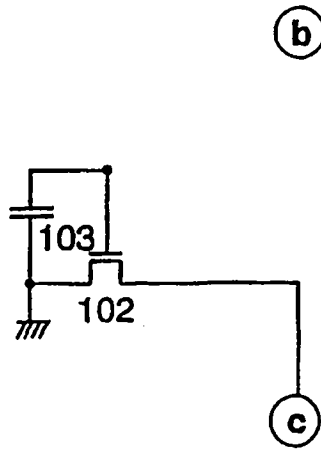


图 27A2

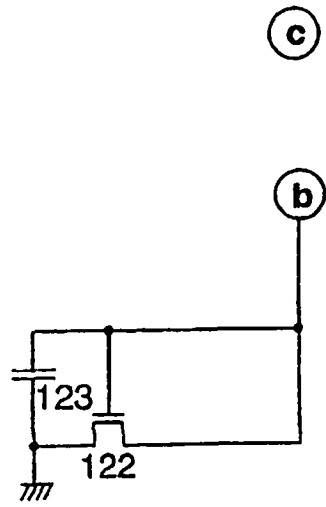


图 27B1

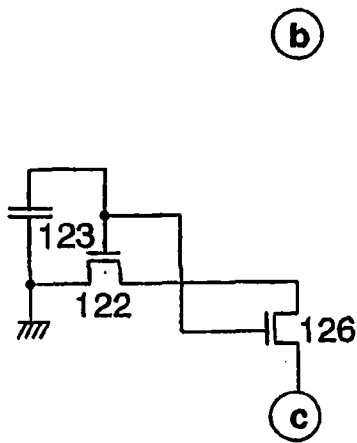


图 27B2

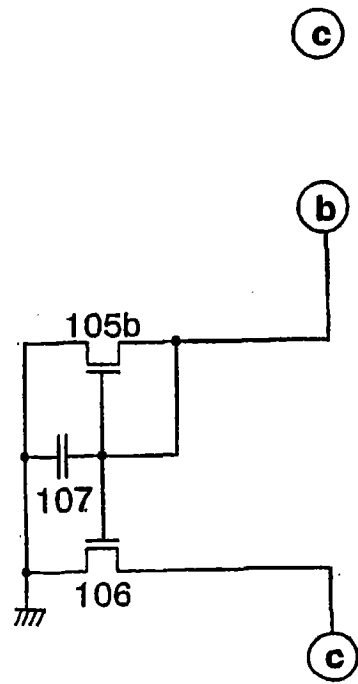


图 27C1

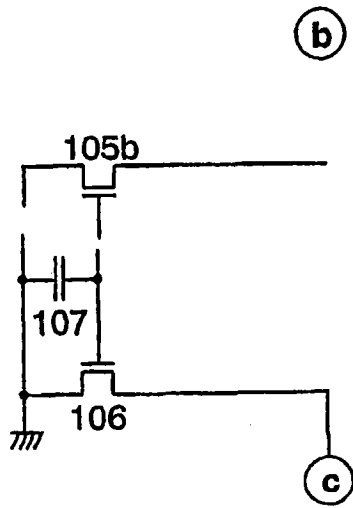


图 27C2

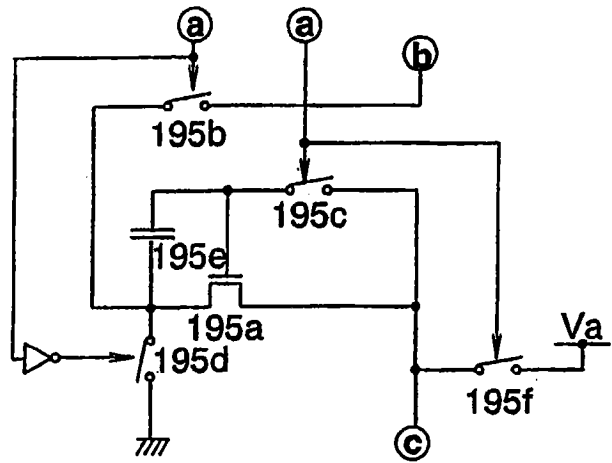


图 28A

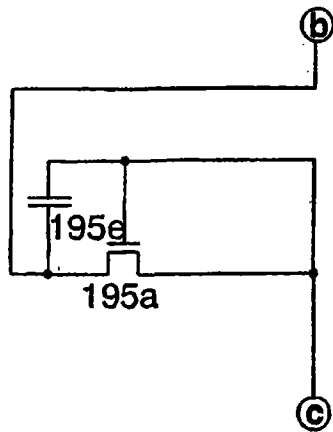


图 28B1

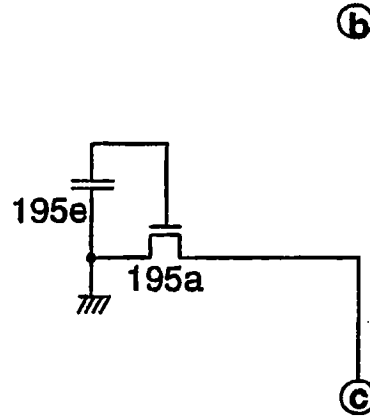


图 28B2

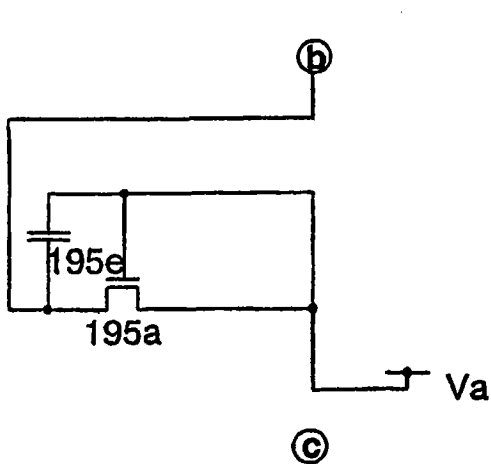


图 28C1

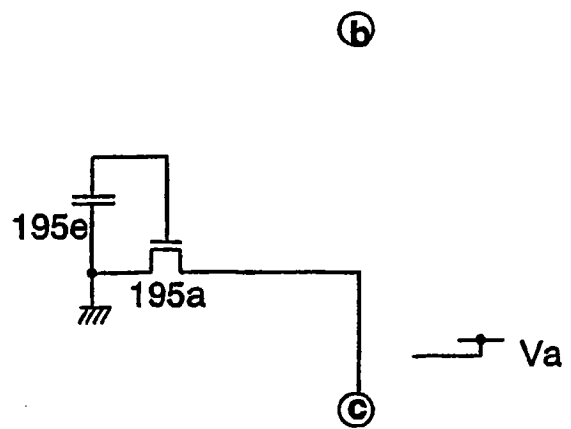


图 28C2

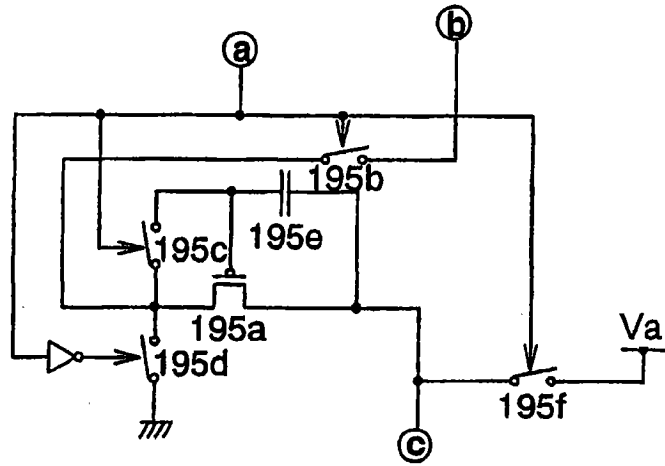


图 29A

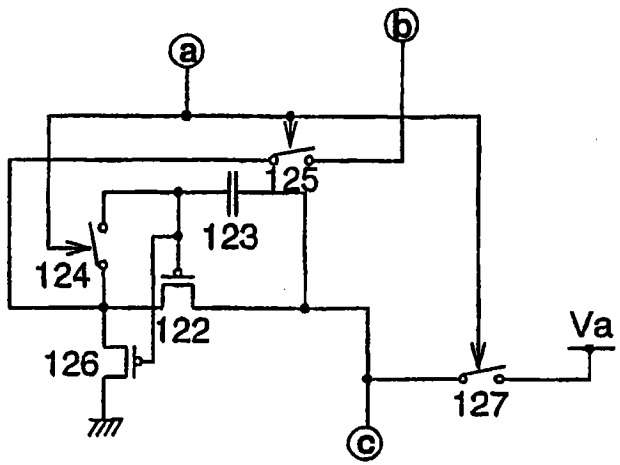


图 29B

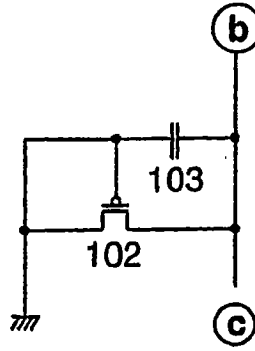


图 30A1

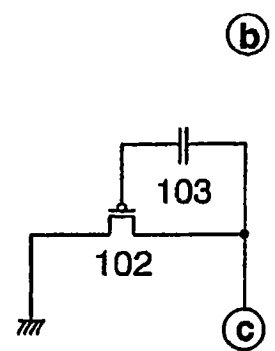


图 30A2

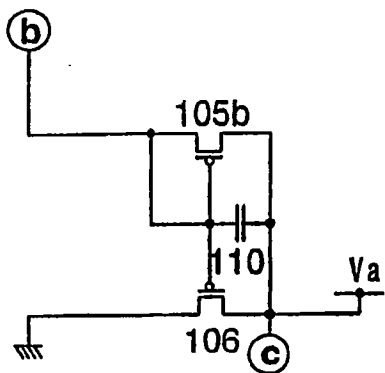


图 30B1

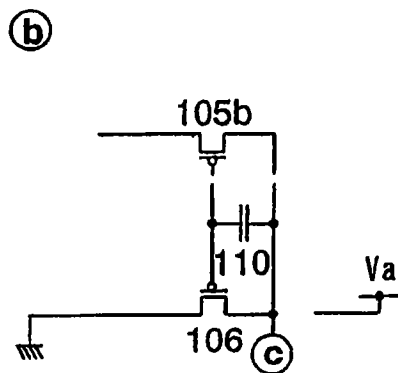


图 30B2

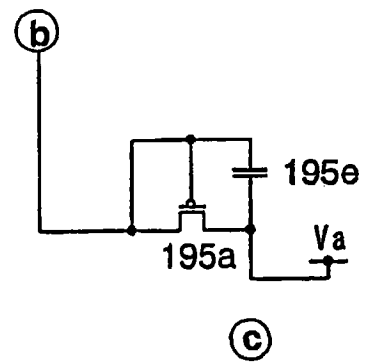


图 30C1

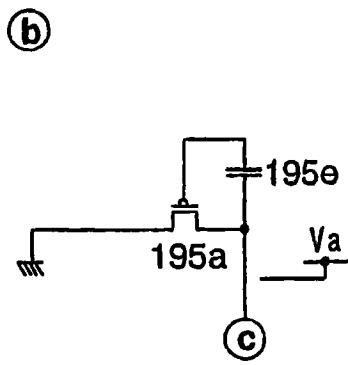


图 30C2

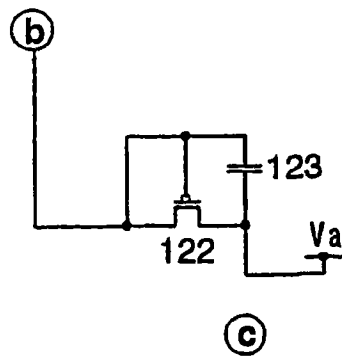


图 30D1

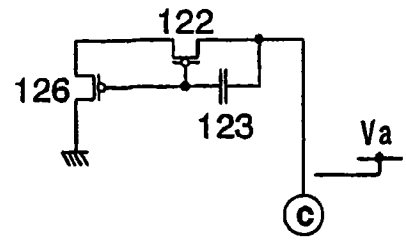


图 30D2

图 31A

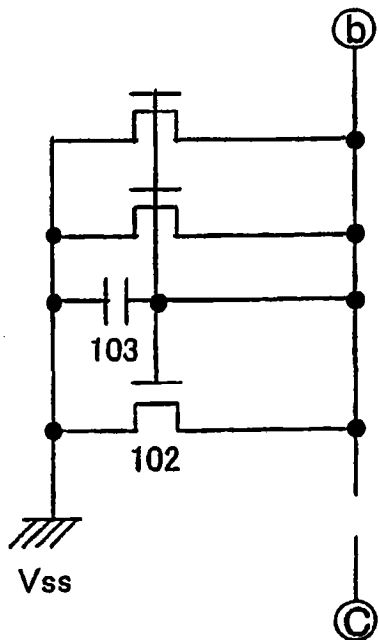
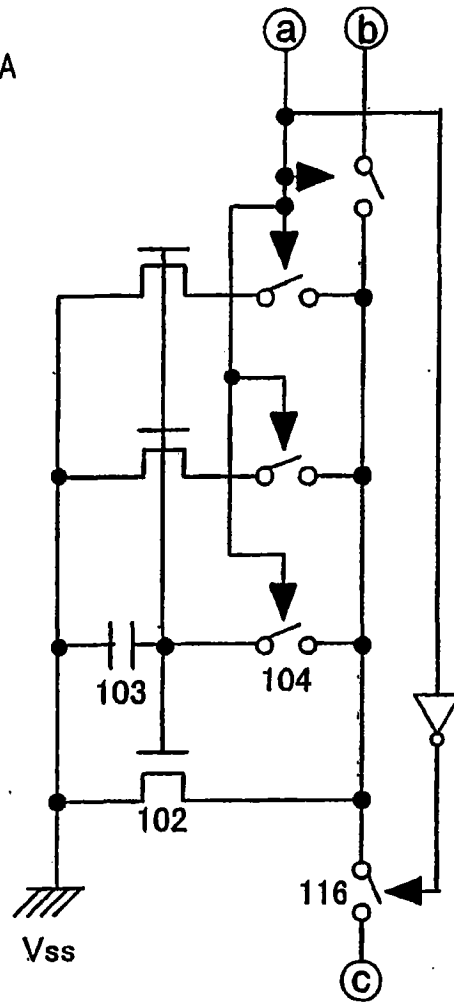


图 31B

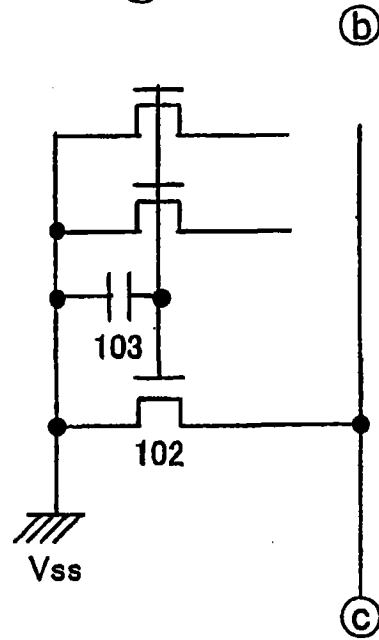


图 31C

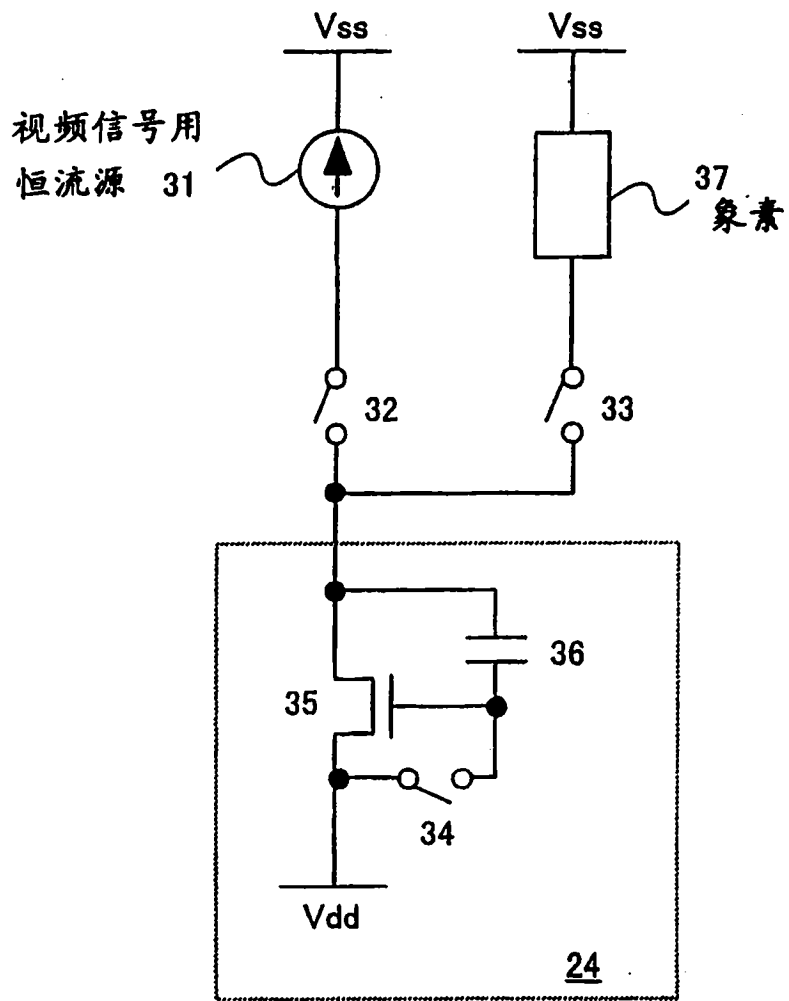


图 32

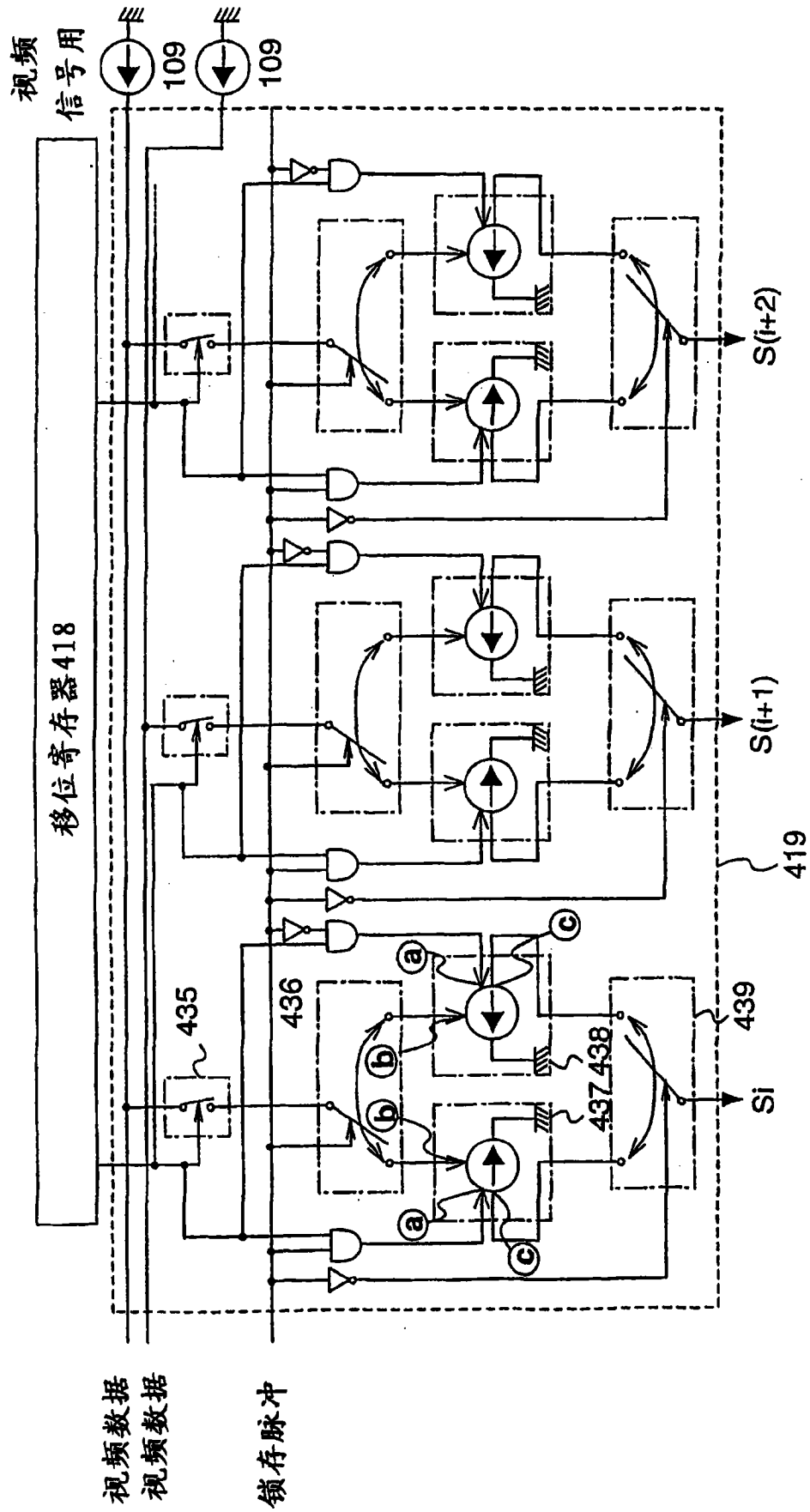


图 33

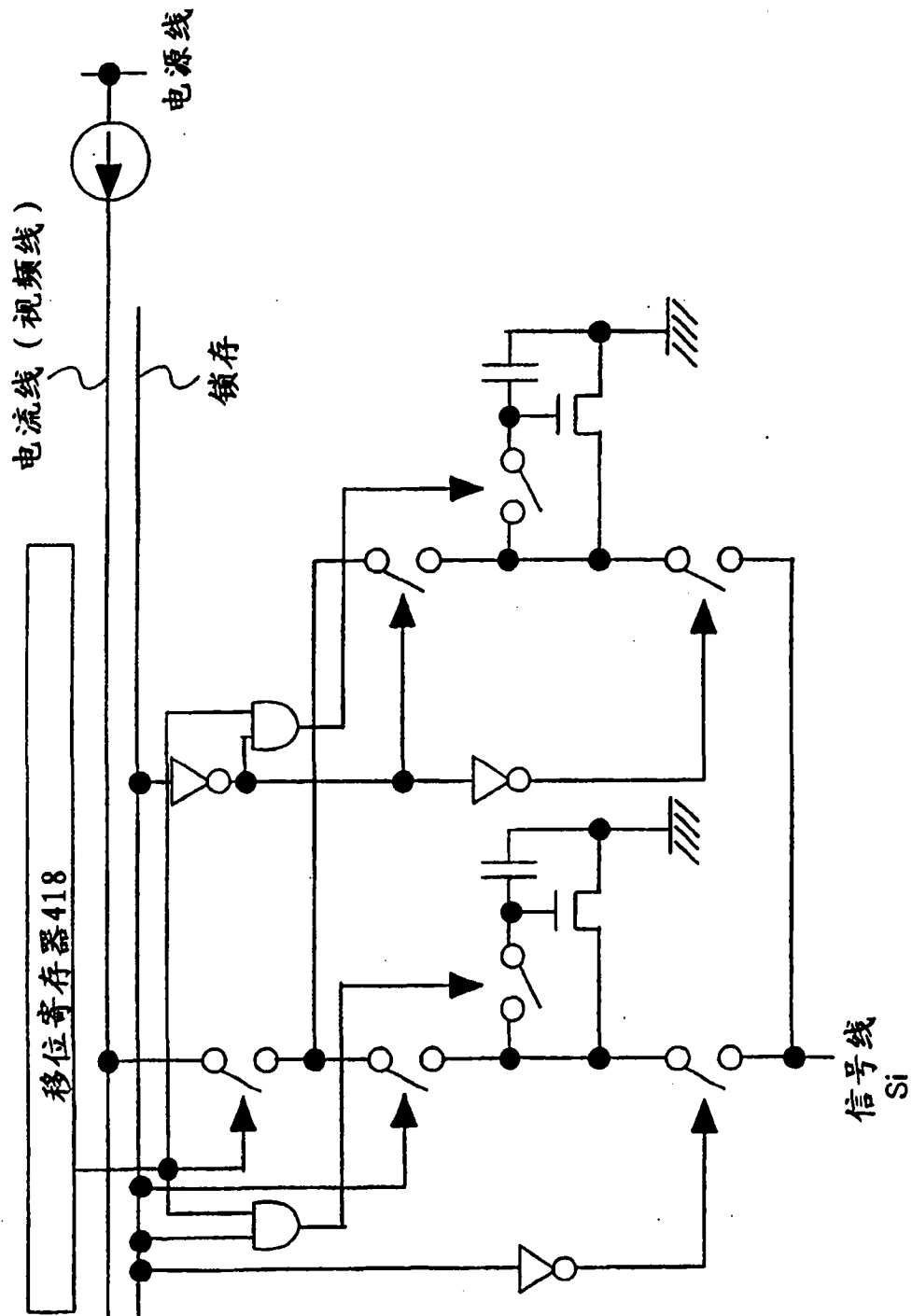


图 34

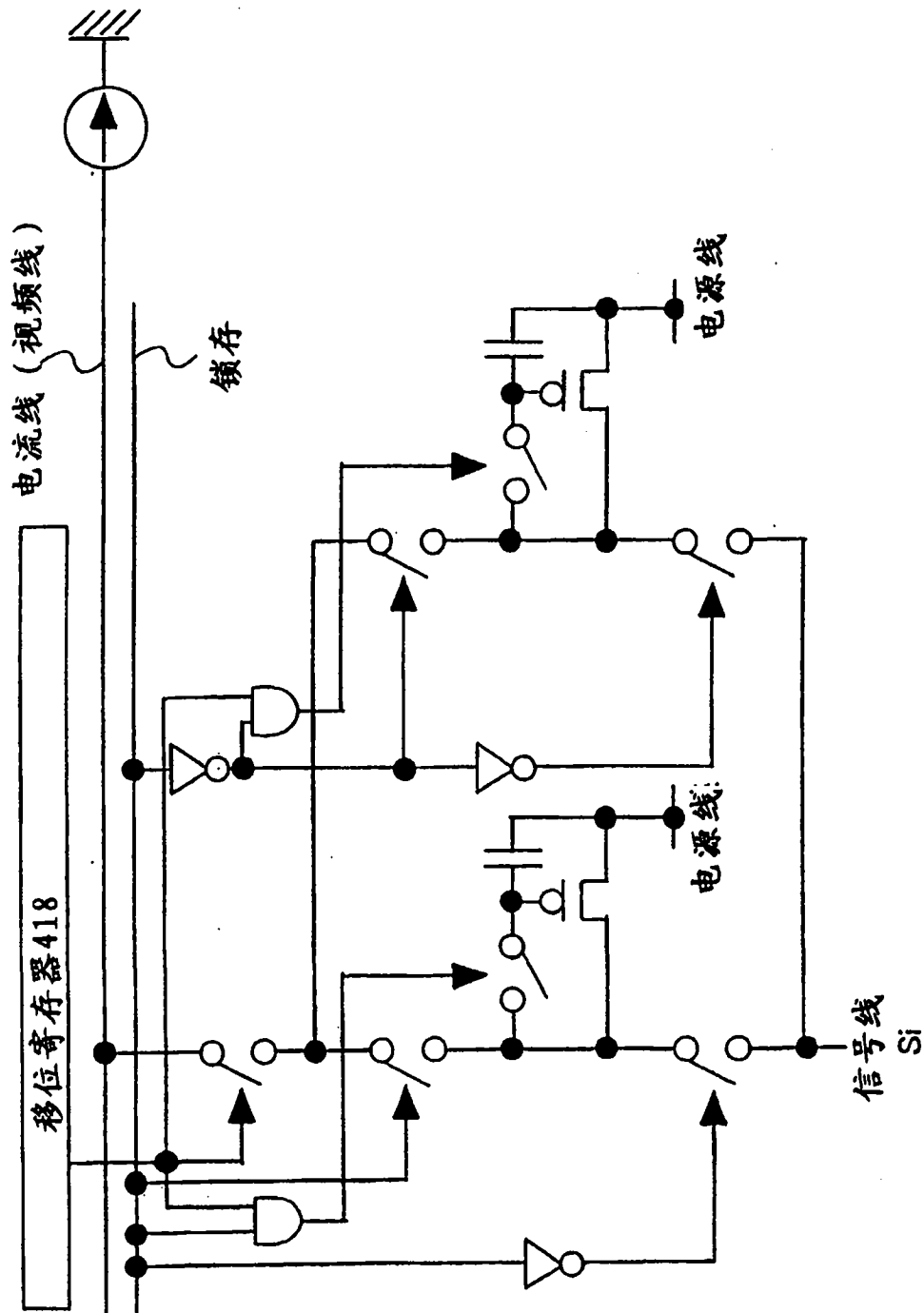


图 35

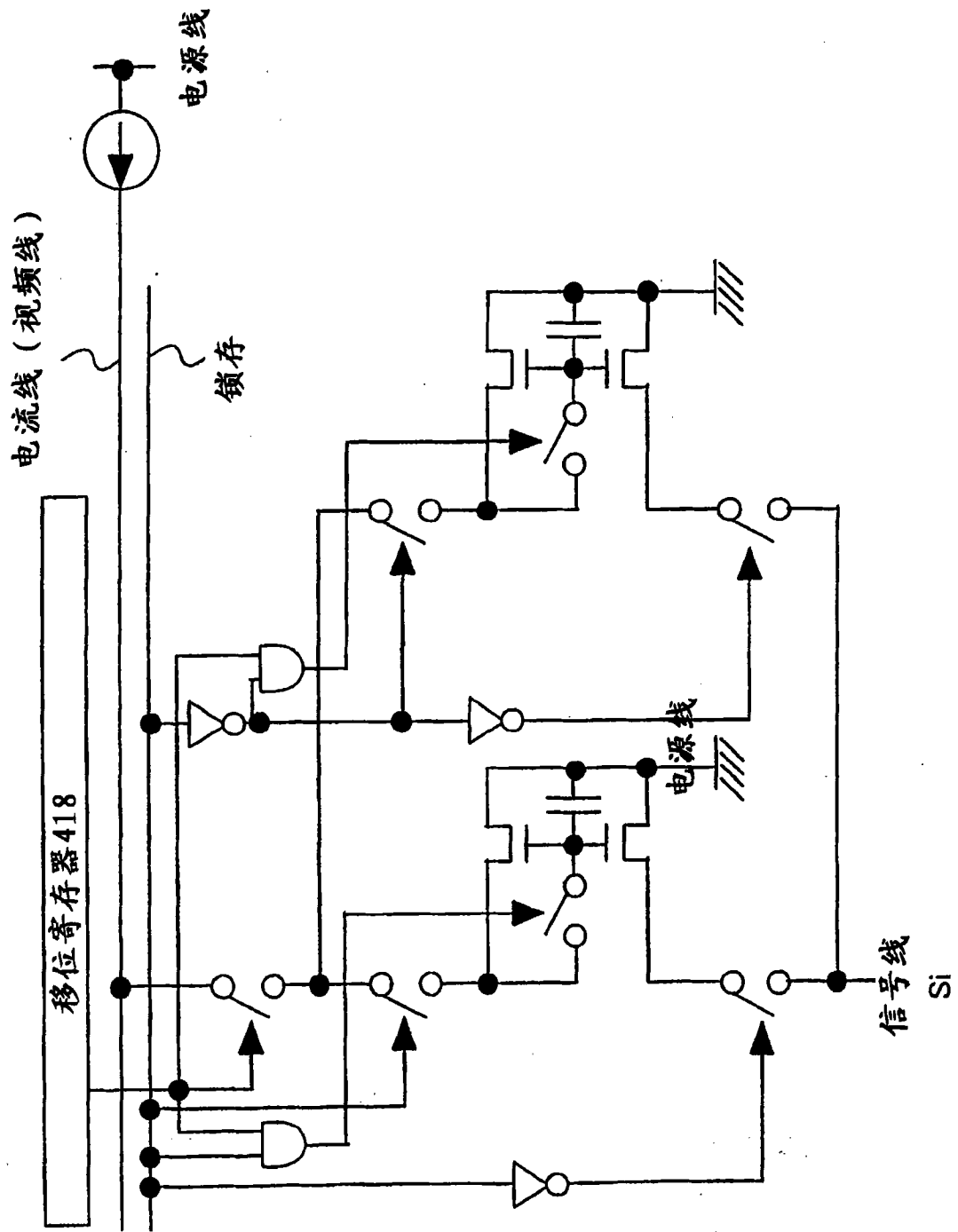


图 36

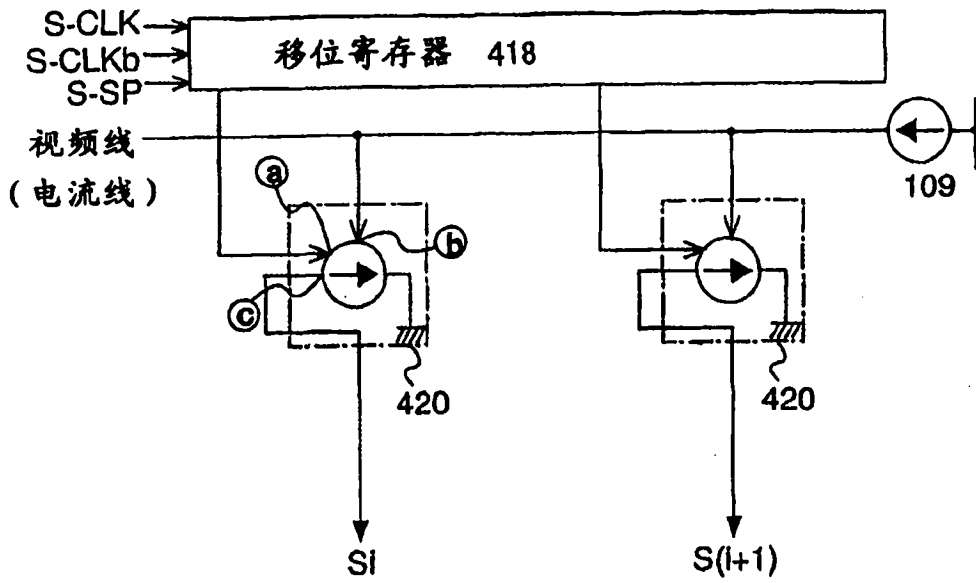


图 37A

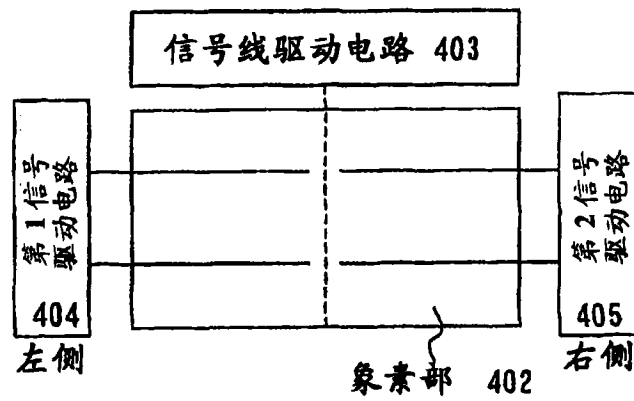


图 37B

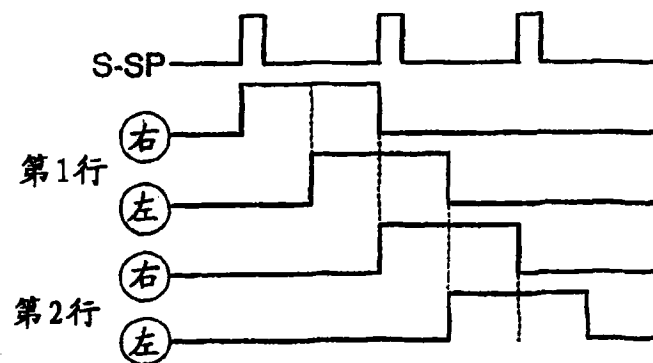


图 37C

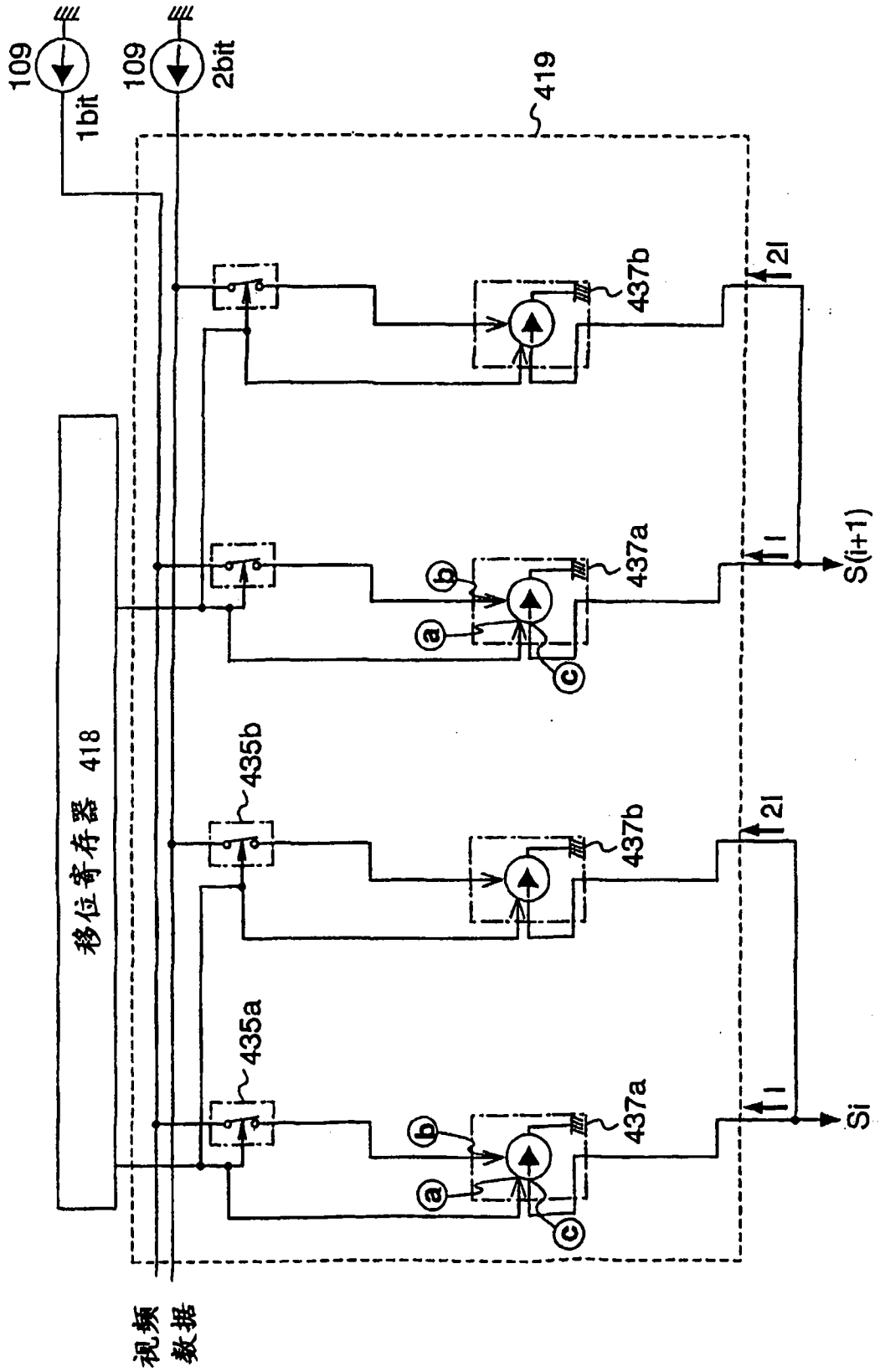


图 38

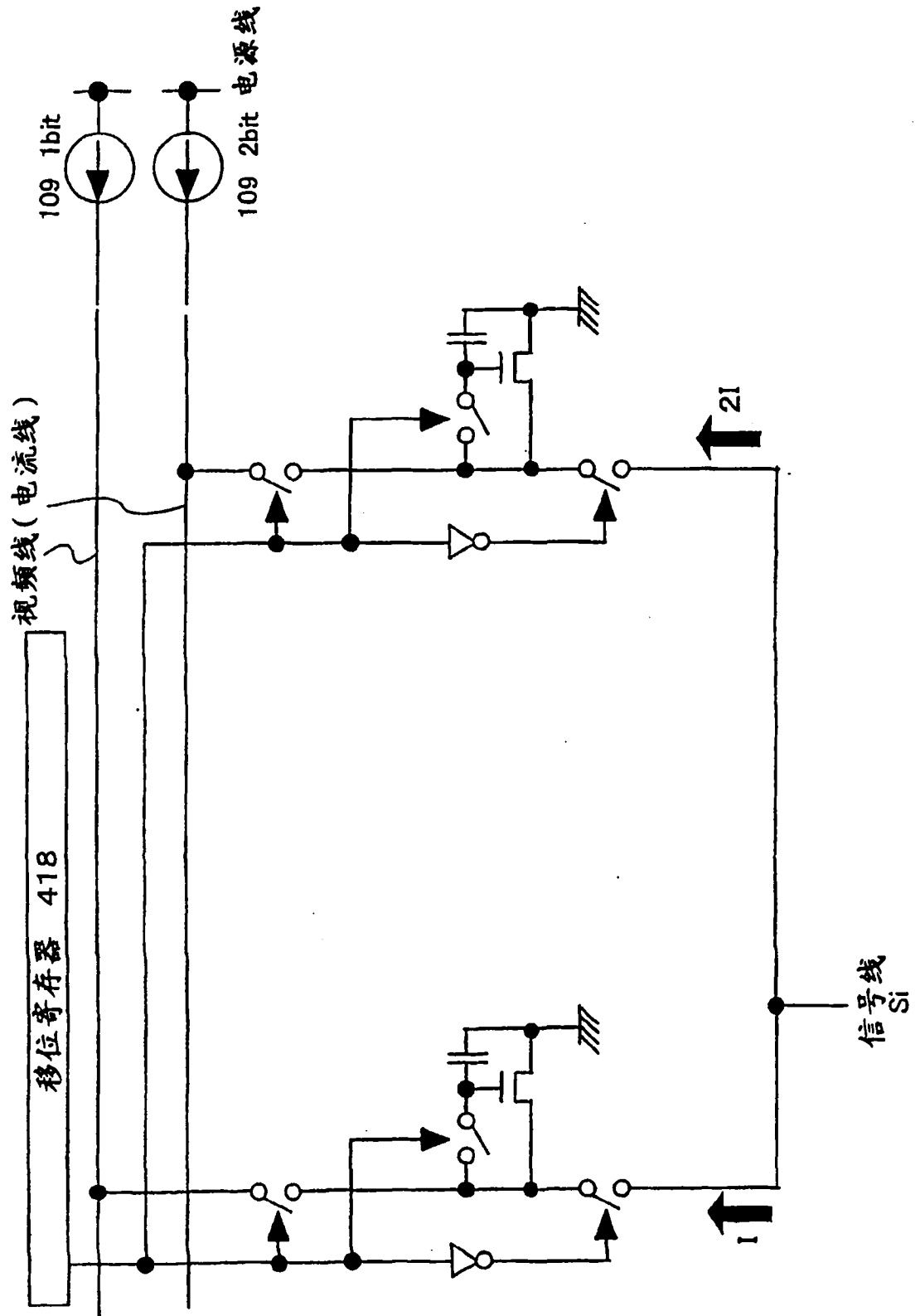


图 39

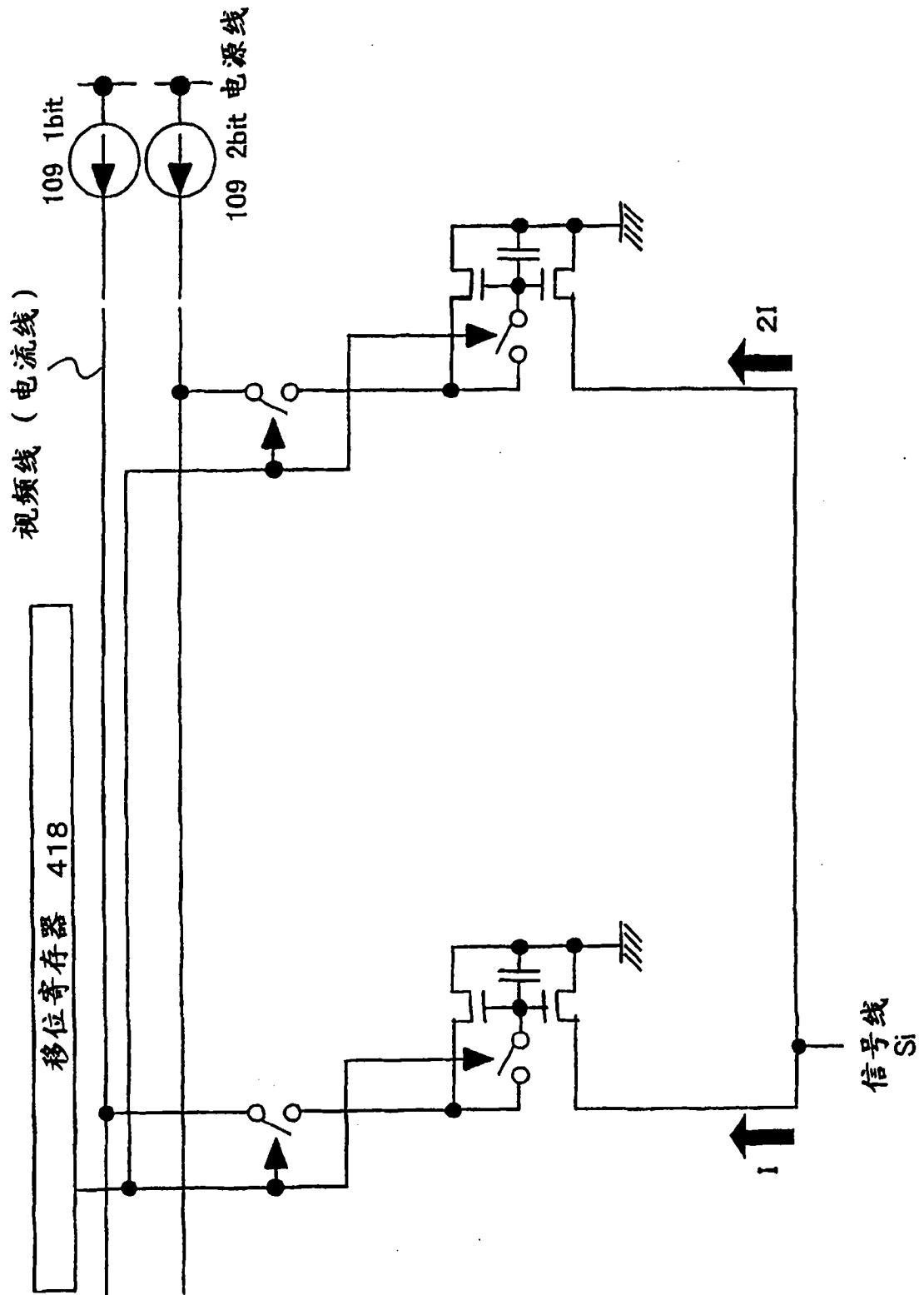


图 40

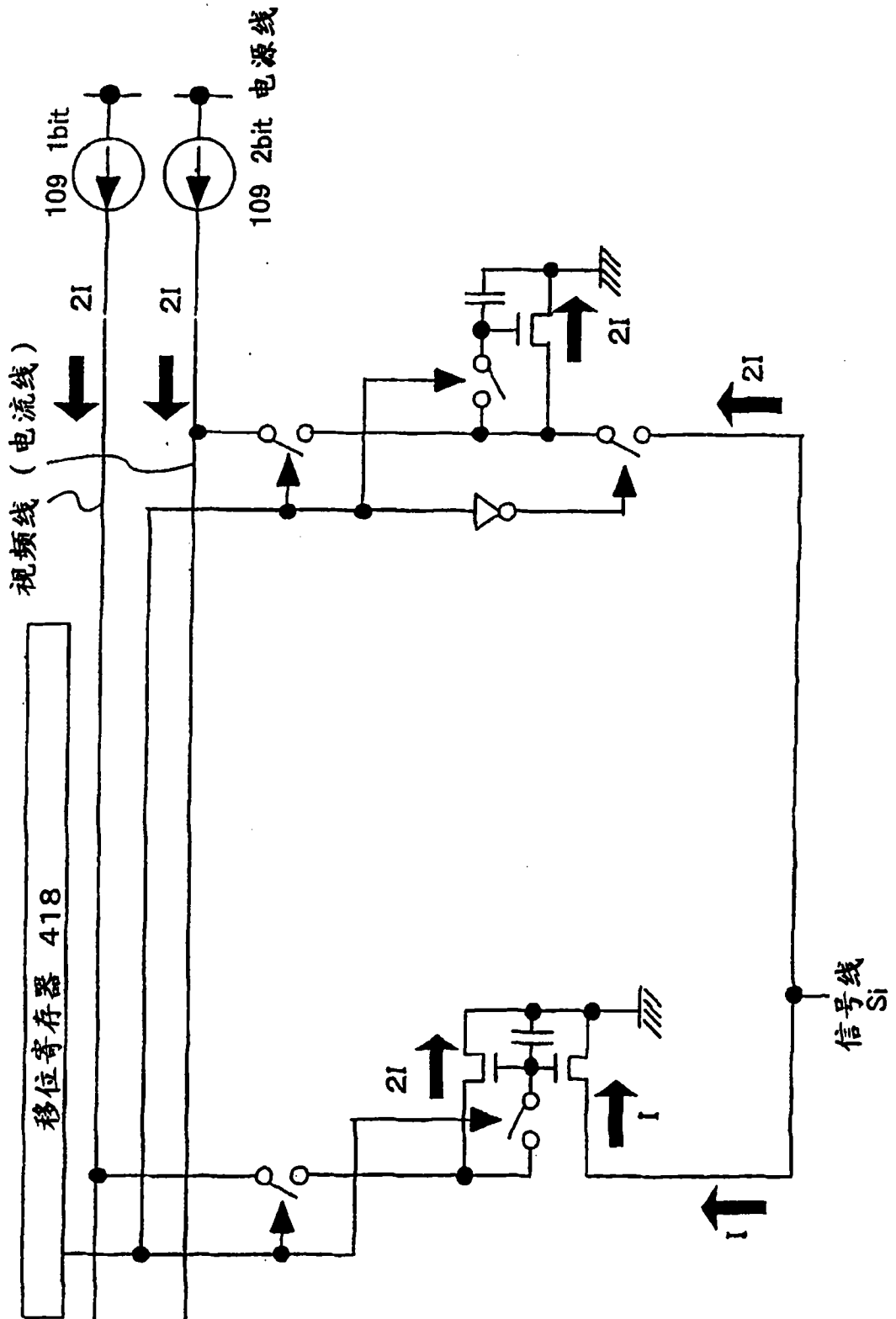


图 41

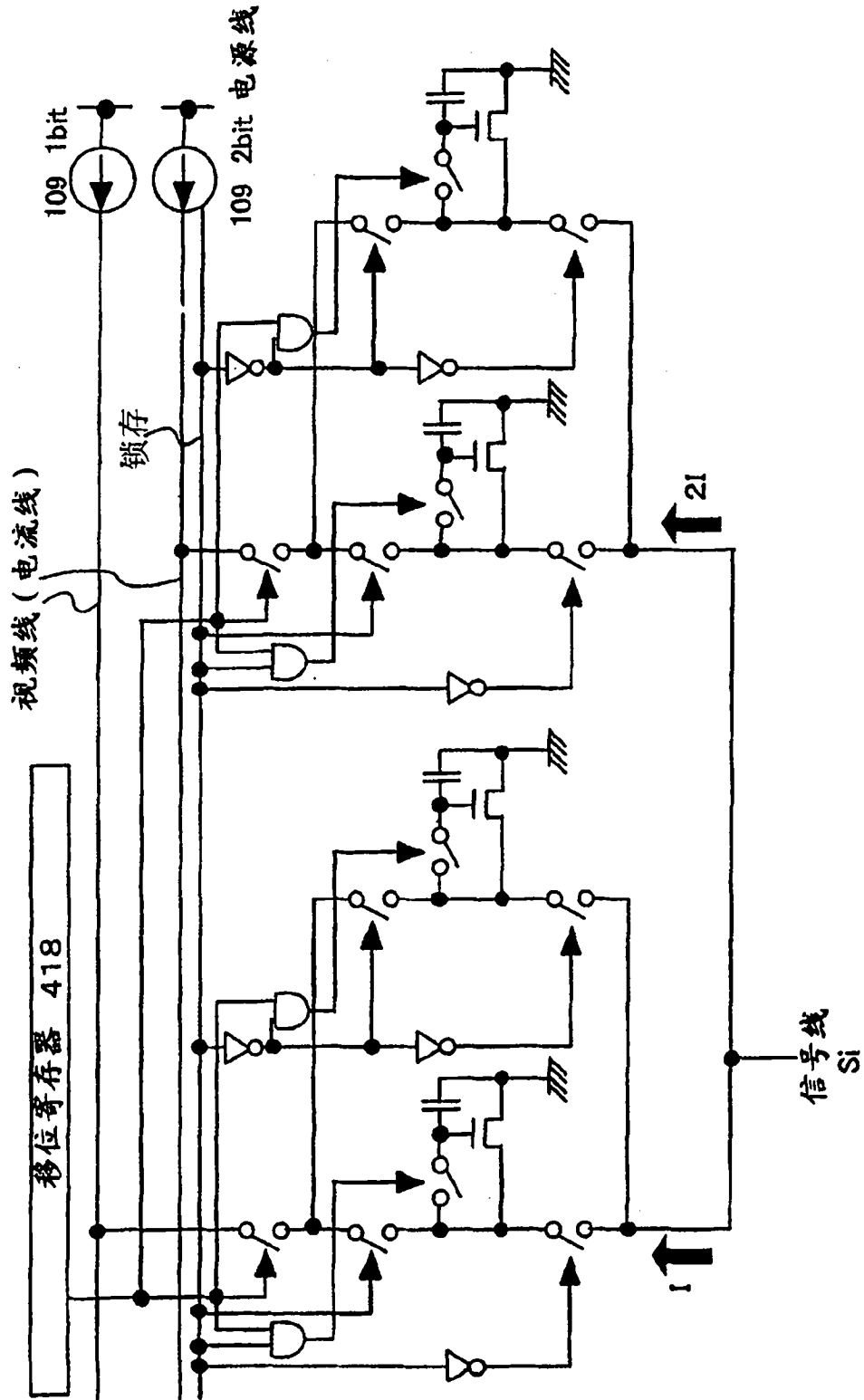


图 42

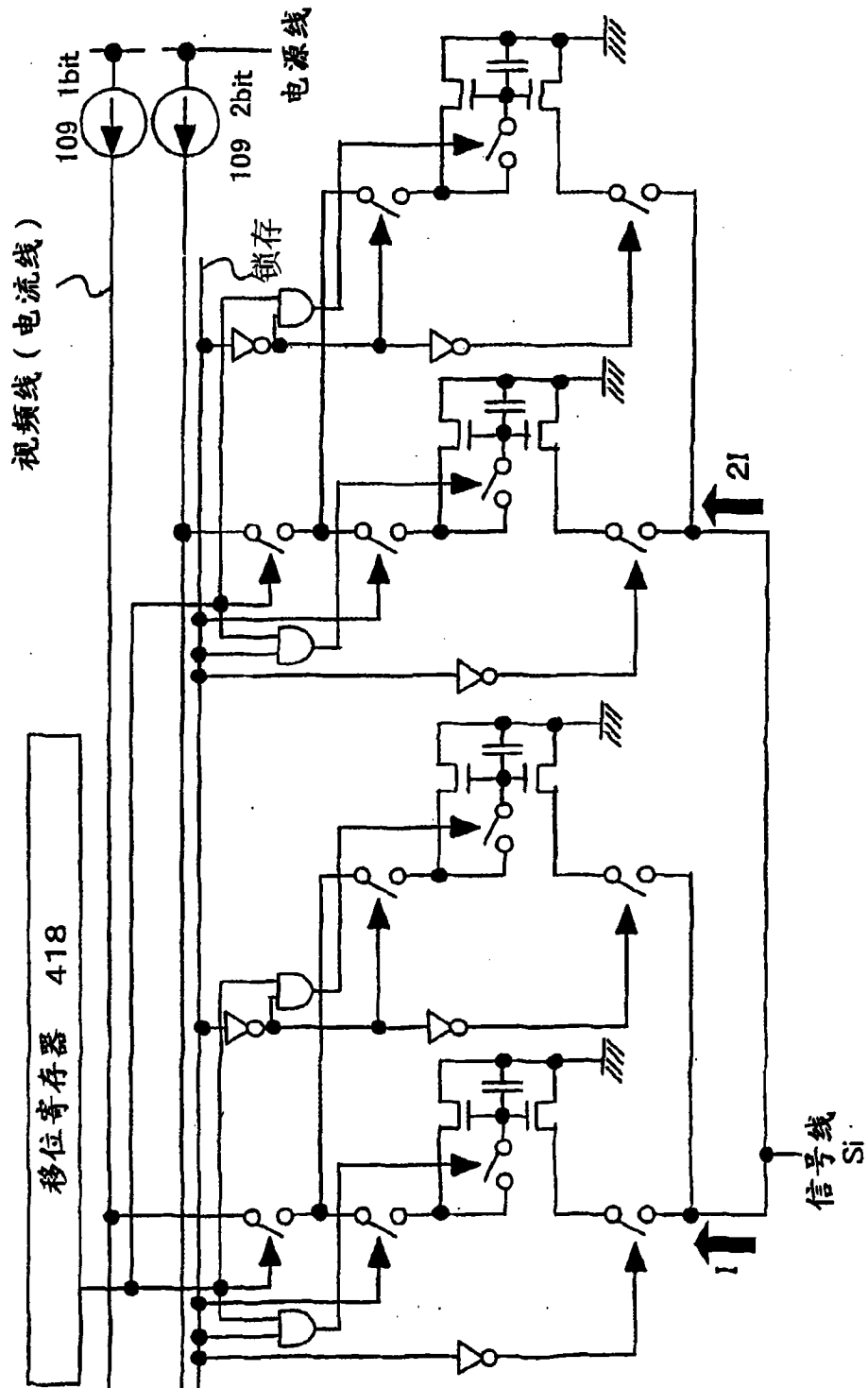


图 43

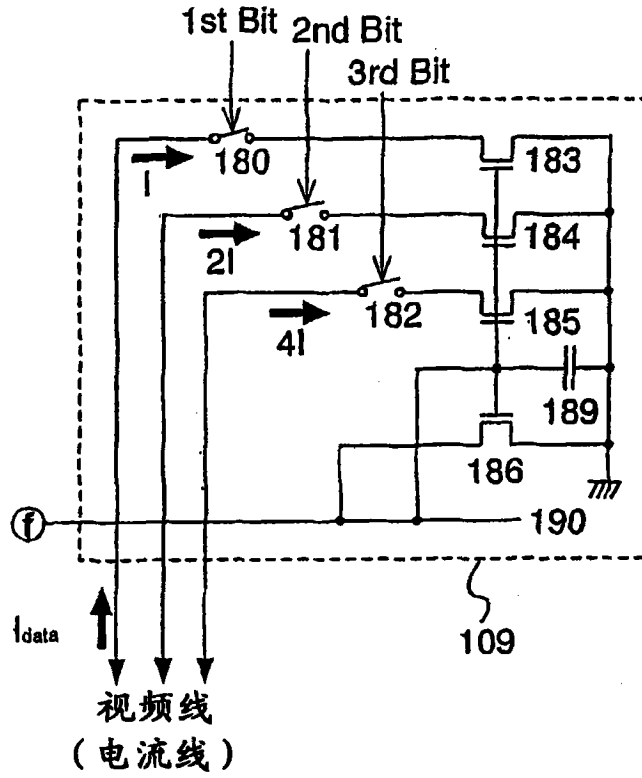


图 44

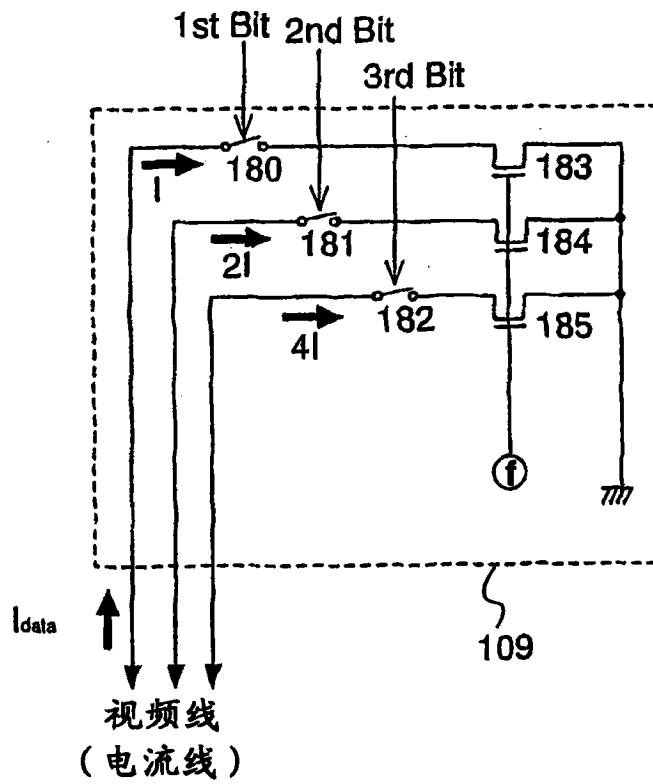


图 45

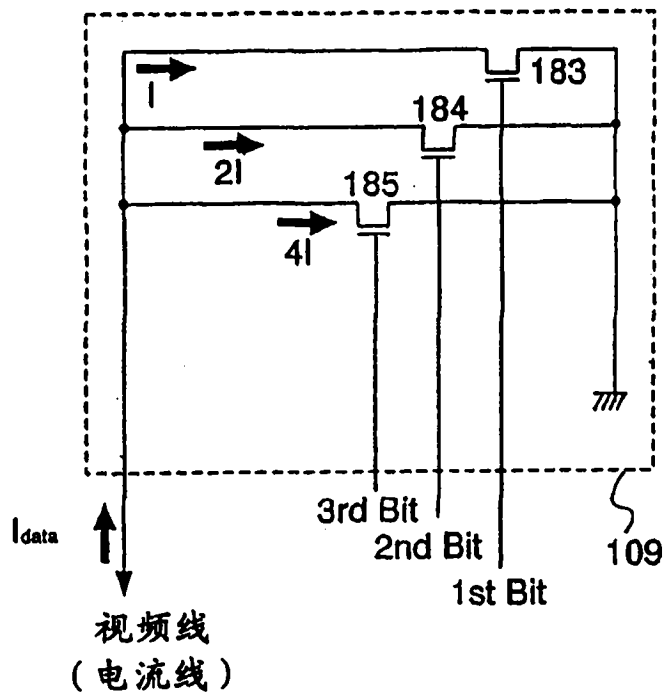


图 46

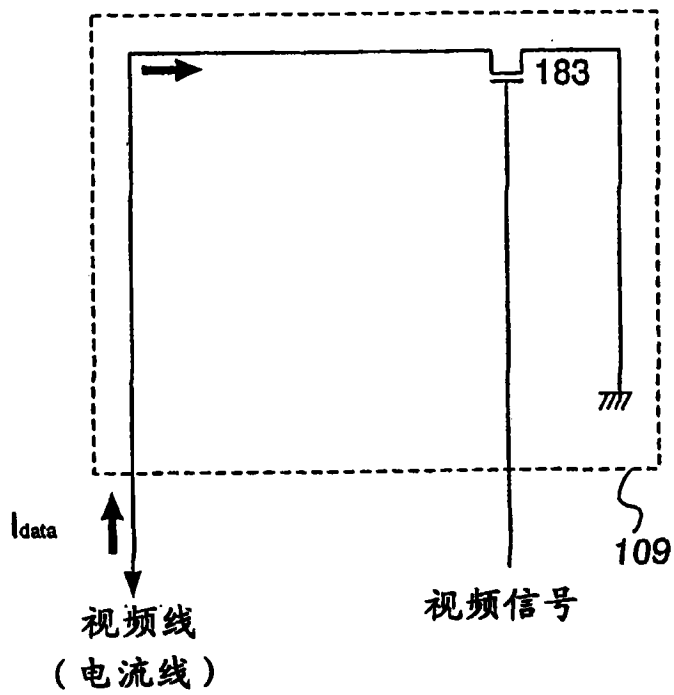


图 47

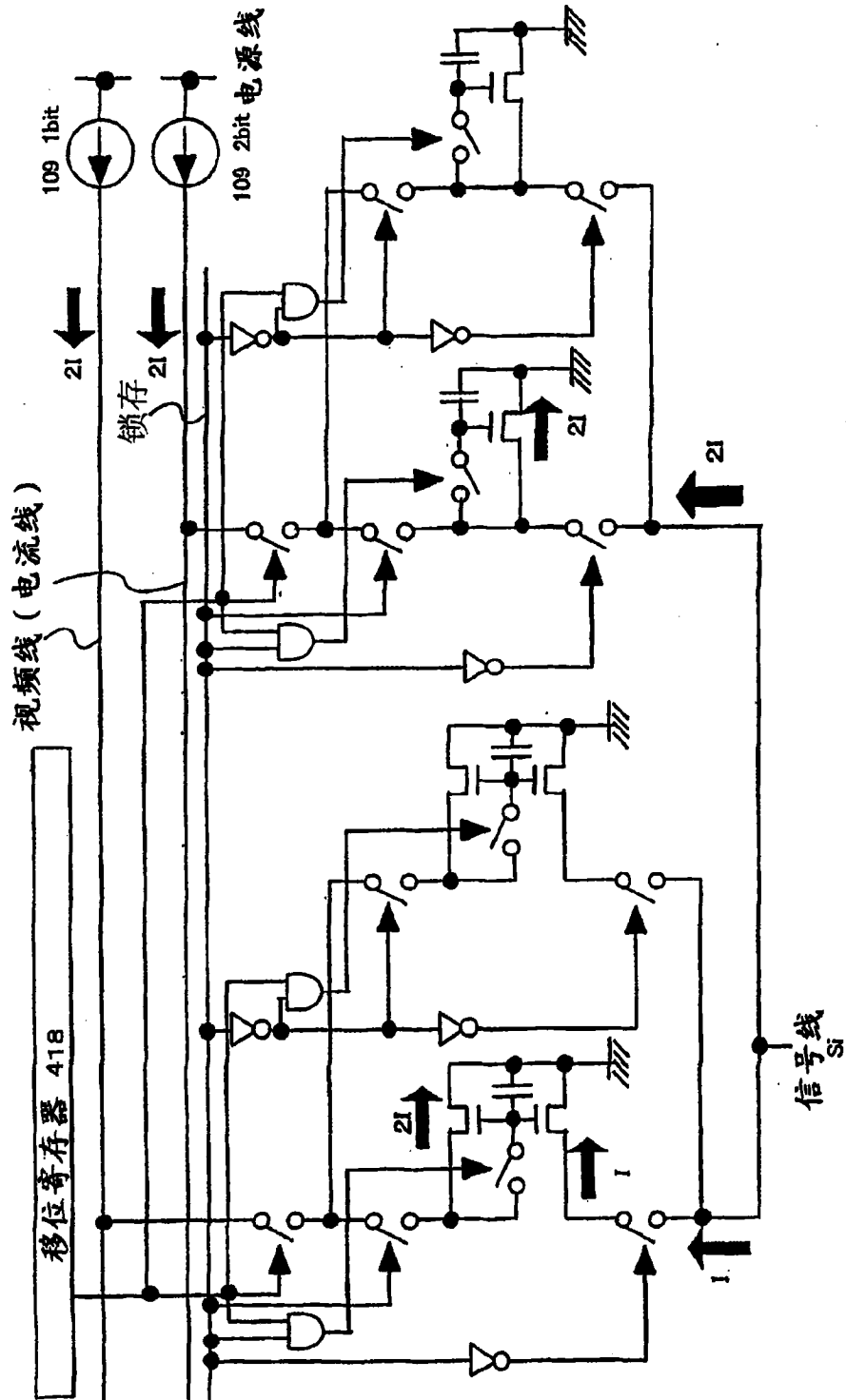


图 48

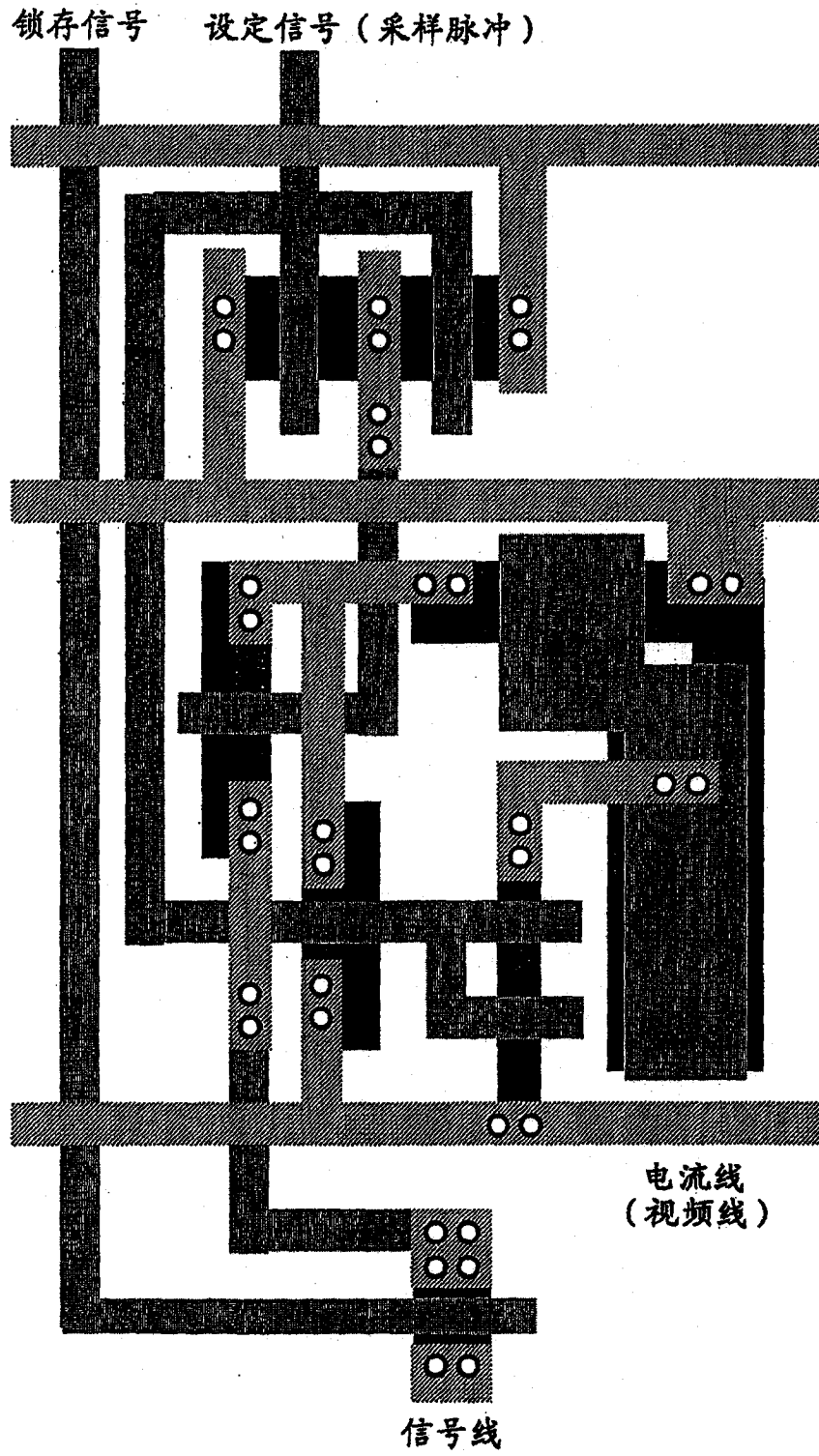


图 49

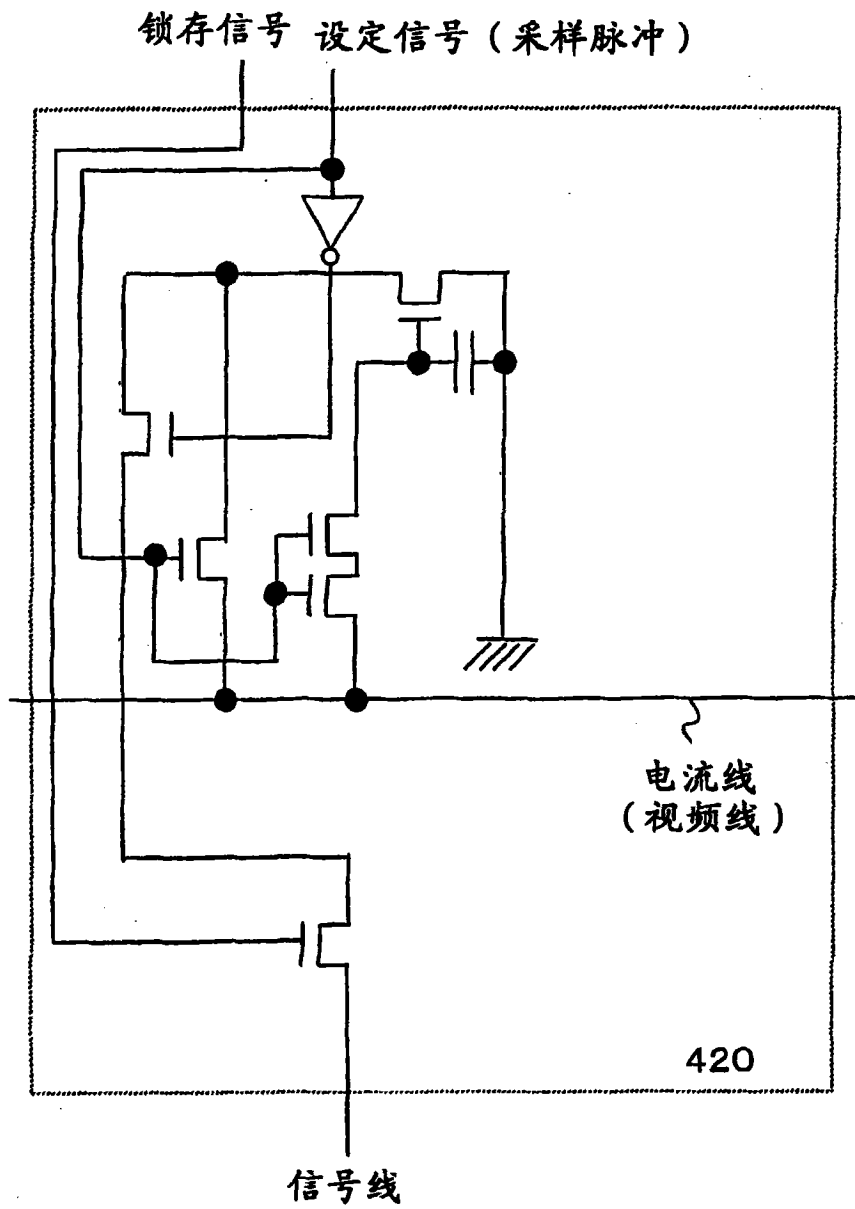


图 50