



(12) 发明专利申请

(10) 申请公布号 CN 103748566 A

(43) 申请公布日 2014. 04. 23

(21) 申请号 201180071429. 4

(22) 申请日 2011. 06. 07

(85) PCT国际申请进入国家阶段日
2013. 12. 06

(86) PCT国际申请的申请数据
PCT/CN2011/000948 2011. 06. 07

(87) PCT国际申请的公布数据
W02012/167396 EN 2012. 12. 13

(71) 申请人 爱立信(中国)通信有限公司
地址 北京市朝阳区利泽东街5号爱立信大厦

(72) 发明人 李文佳 文敢 高同海 王强

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 姜冰 汤春龙

(51) Int. Cl.
G06F 13/00 (2006. 01)

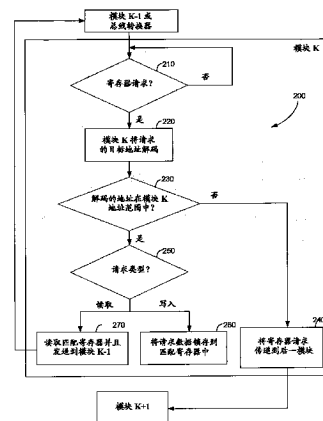
权利要求书3页 说明书5页 附图5页

(54) 发明名称

用于寄存器组的创新结构

(57) 摘要

一种处理电路包括串联连接的多个模块以形成模块流水线。每个模块包括具有在模块的地址范围内对应地址的一个或多个寄存器。包括目标寄存器地址的寄存器请求从一个模块沿模块流水线向下传递到随后的模块，直至在包含目标寄存器的模块接收到寄存器请求。数据被写入目标寄存器或者从其读出。



1. 一种模块流水线中与多个类似模块连接的处理模块所实现的方法,所述方法包括:
通过经内部寄存器总线的第一段而连接到前一模块的第一接口,接收包括目标寄存器地址的寄存器请求;

比较所述目标寄存器地址和所述处理模块的地址范围;

如果所述目标寄存器地址落在所述处理模块的所述地址范围内,则访问所述处理模块中的匹配寄存器以将数据写入所述匹配寄存器或者从所述匹配寄存器读取数据;以及

如果所述目标寄存器地址落在所述寄存器地址范围外,则将所述寄存器请求通过第二接口输出到经所述内部寄存器总线的第二段而连接到所述处理模块的最后一模块。

2. 如权利要求 1 所述的方法,其中所述寄存器请求包括写入请求并且包括写入数据,以及其中访问所述匹配寄存器包括将所述写入数据锁存到所述匹配寄存器中。

3. 如权利要求 2 所述的方法,还包括当所述目标寄存器地址落在所述处理模块的所述寄存器地址范围外时,将所述写入数据通过所述第二接口输出到所述最后一模块以将所述写入数据沿所述模块流水线向下传递。

4. 如权利要求 1 所述的方法,其中所述寄存器请求包括读取请求,以及其中访问所述匹配寄存器包括将读取的数据通过所述第一接口从所述匹配寄存器输出到所述前一模块。

5. 如权利要求 4 所述的方法,还包括通过所述第二接口接收来自所述最后一模块的读取的数据,并且将所述读取的数据通过所述第一接口输出到所述前一模块以便将所述读取的数据沿所述模块流水线上传递。

6. 一种处理电路中的处理模块,连接到多个类似模块,从而形成模块流水线,所述处理模块包括:

第一接口,配置成经内部寄存器总线的第一段连接到前一模块;

第二接口,配置成经所述内部寄存器总线的第二段连接到后一模块;

一个或多个寄存器,用于存储数据,每个寄存器具有在所述处理模块的对应地址范围内相关联的寄存器地址;以及

解码器,配置成:

通过所述第一接口接收寄存器请求,所述寄存器请求包括目标寄存器地址;

比较所述目标寄存器地址和所述处理模块的所述地址范围;

如果所述目标寄存器地址落在所述寄存器地址范围内,则访问所述处理模块中的匹配寄存器以将数据写入所述匹配寄存器或者从所述匹配寄存器读取数据;以及

如果所述目标寄存器地址落在所述处理模块的所述地址范围外,则通过所述第二接口将所述寄存器请求输出到所述最后一模块。

7. 如权利要求 6 所述的处理模块,其中所述寄存器请求包括写入请求并且包括写入数据,以及其中所述解码器配置成将所述写入数据锁存到所述匹配寄存器中。

8. 如权利要求 7 所述的处理模块,其中所述解码器还配置成在所述目标寄存器地址落在所述模块的所述寄存器地址范围外时,将所述写入数据通过所述第二接口输出到所述最后一模块以将所述写入数据沿所述模块流水线向下传递。

9. 如权利要求 6 所述的处理模块,其中所述寄存器请求包括读取请求,以及其中所述解码器配置成通过所述第一接口将读取的数据从所述匹配寄存器输出到所述前一模块。

10. 如权利要求 9 所述的处理模块,其中所述解码器还配置成通过所述第二接口接收

来自所述后一模块的读取的数据并且通过所述第一接口将所述读取的数据输出到所述前一模块以沿所述模块流水线向上传递所述读取的数据。

11. 一种具有多个模块的处理电路所实现的方法,所述多个模块被连接以形成模块流水线,所述方法包括:

按顺序通过经内部寄存器总线而串联连接的所述多个模块来传递包括目标寄存器地址的寄存器请求,所述内部寄存器总线包括连接相邻模块的多个段;

在接收所述寄存器请求的每个模块,比较所述目标寄存器地址和该接收模块的地址范围;

如果所述目标寄存器地址落在该接收模块的所述地址范围内,则访问该接收模块内的匹配寄存器以将数据写入所述匹配寄存器或者从所述匹配寄存器读取数据;以及

如果所述目标寄存器地址落在该接收模块的所述地址范围外,并且如果有后一模块,则通过所述内部寄存器总线将所述寄存器请求传递到所述后一模块。

12. 如权利要求 11 所述的方法,其中所述寄存器请求包括写入请求并且包括写入数据,所述方法还包括将所述写入数据从该接收模块沿所述模块流水线向下传递,直至所述写入数据到达包含匹配寄存器的模块。

13. 如权利要求 12 所述的方法,其中访问所述匹配寄存器包括将所述写入数据锁存到所述匹配寄存器中。

14. 如权利要求 11 所述的方法,其中所述寄存器请求包括读取请求,以及其中访问所述匹配寄存器包括将读取的数据从所述匹配寄存器输出。

15. 如权利要求 14 所述的方法,还包括将所述读取的数据沿所述模块流水线从所述后一模块向上传递到前一模块。

16. 一种处理电路,包括:

多个模块,每个模块包括一个或多个寄存器;

内部寄存器总线,具有串联连接所述多个模块以形成模块流水线的两个或更多段,并且配置成通过所述串联连接的模块传递包括目标寄存器地址的寄存器请求;

用于每个模块的解码器,所述解码器配置成:

比较所述目标寄存器地址和对应模块的寄存器地址范围;

如果所述目标寄存器地址落在所述对应模块的所述寄存器地址范围内,则访问所述模块内的匹配寄存器以将数据写入所述匹配寄存器或者从所述匹配寄存器读取数据;以及

如果所述目标寄存器地址落在所述对应模块的所述寄存器地址范围外,并且如果有后一模块,则将所述寄存器请求传递到所述后一模块。

17. 如权利要求 16 所述的处理电路,其中所述寄存器请求包括写入请求并且包括写入数据,以及其中所述解码器配置成将所述写入数据从所述对应模块沿所述模块流水线向下传递,直至所述写入数据到达包含匹配寄存器的模块。

18. 如权利要求 17 所述的处理电路,其中所述解码器配置成将所述写入数据锁存到所述匹配寄存器中。

19. 如权利要求 16 所述的处理电路,其中所述寄存器请求包括读取请求,以及其中所述解码器还配置成从所述匹配寄存器输出读取的数据。

20. 如权利要求 19 所述的处理电路,其中所述解码器还配置成将读取的数据沿所述模

块流水线从所述后一模块向上传递到前一模块。

用于寄存器组的创新结构

技术领域

[0001] 本发明一般涉及处理电路架构,并且更具体地说,涉及用于具有串联连接以形成模块流水线的多个模块的处理电路的流水线架构。

背景技术

[0002] 用于移动终端或其它装置的处理电路可实现为专用集成电路(ASIC)或现场可编程门阵列(FPGA),其中,不同的功能由不同的模块实现。不同功能在不同模块中的实现使得能够更新或替换一个模块而不影响其它模块的功能。模块用于实现其指派的功能的配置数据、状态信息及其它数据存储于寄存器中。使用用于存储配置数据的寄存器使得模块能够在多种模式中操作和执行多个功能。

[0003] 寄存器在处理电路中的组织是一个设计考虑事项。组织寄存器的一种常规方案是在寄存器单元中集中所有寄存器。每个模块直接被接口于匹配的寄存器。寄存器单元负责将寄存器地址解码并且将存储的值输出到对应模块。

[0004] 此集中式方案具有几个缺点。例如,集中式解决方案要求寄存器单元将所有寄存器地址解码,这通常要求复杂的逻辑并且因此导致定时问题。此外,由于寄存器单元负责将所有寄存器分布到模块,因此,它需要与所有模块进行接口。此一对多接口可导致在寄存器模块组的路由选择拥塞。另外,此解决方案难以更新。例如,如果添加或去除新模块,则要修正寄存器单元和对应逻辑。

[0005] 组织寄存器的另一常规方案是在连接到内部寄存器总线的模块之间分布寄存器。在此方案中,每个模块包括其自己的寄存器组和解码器,并且连接到内部寄存器总线。总线转换器提供到寄存器总线的外部接口,并且将外部接口协议转换成内部寄存器总线协议。所有模块同时监视内部寄存器总线。在断定有寄存器请求时,所有模块将与寄存器请求相关联的目标寄存器地址解码。如果目标寄存器地址指定属于模块的寄存器,则模块将寄存器数据锁存到指定寄存器,或者从其读取寄存器数据。所有其它模块不进行任何操作。

[0006] 虽然内部总线结构消除了与集中式寄存器解决方案相关联的一对多接口和更新问题,但总线结构解决方案将遇到定时问题。具体而言,随着与内部寄存器总线进行接口的模块数量增大,寄存器总线的扇出(fan-out)极高,这产生了大的定时延迟。

[0007] 因此,仍需要消除或降低与常规方案相关联的定时问题的改进的处理电路架构。

发明内容

[0008] 一种处理电路包括经多个寄存器总线段串联连接以形成模块流水线的多个模块。每个模块包括一个或多个寄存器,并且指派有对应的地址范围。包括目标寄存器地址的寄存器请求从一个模块沿模块流水线向下传递到后一模块,直至在包含目标寄存器的模块接收到寄存器请求。

[0009] 本发明的示范实施例包括由模块流水线中与多个类似模块连接的处理模块所实现的方法。在一种示范方法中,通过经内部寄存器总线的第一段连接到前一模块的第一接

口,接收包括目标寄存器地址的寄存器请求。比较目标寄存器地址和处理模块的地址范围。如果目标寄存器地址落在处理模块的地址范围内,则访问处理模块中的匹配寄存器以将数据写入匹配寄存器或者从其读取数据。如果目标寄存器地址落在处理模块的寄存器地址范围外,则将寄存器请求通过第二接口输出到经内部寄存器总线的第二段连接到处理模块的最后一模块。

[0010] 本发明的其它示范实施例包括一种连接到多个类似模块以形成模块流水线的处理电路中的处理模块。一种示范处理模块包括第一接口、第二接口、用于存储数据的一个或多个寄存器及解码器。第一接口经内部寄存器总线的第一段连接到前一模块。第二接口经内部寄存器总线的第二段连接到后一模块。解码器配置成通过第一接口接收寄存器请求,并且比较与寄存器请求相关联的目标寄存器地址和用于处理模块的地址范围。如果目标寄存器地址落在寄存器地址范围内,则解码器访问处理模块中的匹配寄存器以将数据写入匹配寄存器或者从其读取数据。如果目标寄存器地址落在处理模块的地址范围外,则解码器通过第二接口将寄存器请求输出到后一模块。

[0011] 本发明的其它实施例包括一种具有连接以形成模块流水线的多个模块的处理电路所实现的方法。在一种示范方法中,按顺序通过经内部寄存器总线串联连接的多个模块传递包括目标寄存器地址的寄存器请求。内部寄存器总线包括连接相邻模块的多个段。在接收寄存器请求的每个模块,比较目标寄存器地址和接收模块的地址范围。如果目标寄存器地址落在接收模块的地址范围内,则访问接收模块内的匹配寄存器以将数据写入匹配寄存器或者从其读取数据。如果目标寄存器地址落在接收模块的地址范围外,并且如果有后一模块,则通过内部寄存器总线将寄存器请求传递到后一模块。

[0012] 本发明的其它实施例包括带有流水线架构的处理电路。在一个实施例中,处理电路包括多个模块、具有串联连接多个模块以形成模块流水线的两个或更多段的内部寄存器总线及用于每个模块的解码器。每个模块包括一个或多个寄存器。内部寄存器总线配置成通过串联连接的模块传递包括目标寄存器地址的寄存器请求。用于接收模块的解码器配置成比较目标寄存器地址和用于接收模块的寄存器地址范围。如果目标寄存器地址落在接收模块的寄存器地址范围内,则接收模块内的匹配寄存器将数据写入匹配寄存器或者从其读取数据。如果目标寄存器地址落在接收模块的寄存器地址范围外,并且如果有后一模块,则解码器将寄存器请求传递到后一模块。

[0013] 与常规解决方案相比,本文中所述流水线架构和技术提供了改进的定时性能。此外,通过修改现有模块或者添加新模块到流水线,更轻松扩展处理电路。由于寄存器在相应模块内实现,因此,对一个模块的修改不会影响其它模块。

附图说明

[0014] 图 1 示出根据一个示范实施例的具有串联连接的模块的处理电路的框图。

[0015] 图 2 示出用于图 1 的可配置电路的示范模块的框图。

[0016] 图 3 示出由模块执行的示范方法。

[0017] 图 4 示出在三个模块之间的示范接口图。

[0018] 图 5 示出由模块执行的另一示范方法。

具体实施方式

[0019] 图 1 示出根据一个示范实施例的处理电路 5。处理电路 5 例如可包括专用集成电路 (ASIC) 或现场可编程门阵列 (FPGA)。处理电路 5 包括总线转换器 10 和多个模块 20A-G。如下面将更详细描述,每个模块 20 包括用于存储模块 20 使用的配置数据、状态信息或其它数据的一个或多个寄存器 24 (图 2)。总线转换器 10 和模块 20 由内部寄存器总线 30 的段 32 串联连接。内部寄存器总线 30 的每段将一个模块 20 连接到前一模块 20、后一模块 20 和 / 或总线转换器 10 以形成模块流水线。每个模块 20 也连接到数据总线 40 以接收要处理的数据和输出处理后的数据。示范实施例中示出了两个数据总线 40。然而,本领域技术人员将领会,数据总线的数量对本发明不是决定性的。

[0020] 总线转换器 10 提供到内部寄存器总线 30 的外部接口,以使得外部应用能够访问模块 20 内的寄存器。总线转换器 10 通过接口总线(未示出)接收来自外部应用的寄存器请求,并且将寄存器请求从在接口总线上使用的外部接口协议转换成在内部寄存器总线 30 上使用的内部寄存器总线协议。总线转换器 10 将转换的寄存器请求转发到模块流水线中的第一模块 20A。如下面将更详细描述,按顺序将寄存器请求从一个模块 20 传递到后一模块 20,直至它到达包含目标寄存器的模块 20。在接收寄存器请求时,接收模块 20 将目标寄存器地址解码,并且比较解码的地址和其指派的寄存器地址范围以确定目标寄存器是否属于接收模块 20。如果目标寄存器地址落在接收模块 20 的寄存器地址范围内,则模块 20 将寄存器数据锁存到匹配寄存器(即,具有与目标寄存器地址匹配的寄存器地址的寄存器)中或者从其读取寄存器数据。如果目标寄存器地址落在接收模块 20 的寄存器地址范围外,则接收模块 20 将寄存器请求传递到后一模块 20。

[0021] 图 2 示出示范模块 20 的主要功能组件。模块 20 包括寄存器组 22、控制器 26 和数据处理单元 28。寄存器组 22 包括解码器 23 和一个或多个寄存器 24。寄存器 24 存储由模块 20 使用的配置信息、状态信息或其它信息。如下文描述的,解码器 23 将与模块 20 接收的寄存器请求相关联的目标寄存器地址解码。控制器 26 控制模块 20 的操作,并且为数据处理单元 28 提供寄存器组 22 中的寄存器 24 的访问权。数据处理单元 28 执行指派到模块 20 的处理功能。数据处理单元 28 可执行不同的功能或者在不同模式中操作,这取决于寄存器 24 中存储的配置数据。也就是说,通过将配置数据写入寄存器 24 中,能够控制数据处理单元 28 的功能或模式。

[0022] 寄存器组 22 内的每个寄存器 24 具有在用于主机模块 20 的预定的寄存器地址范围内的对应寄存器地址。将领会的是,模块 20 的寄存器地址范围包括指派到模块 20 内寄存器 24 的一个或多个地址,并且寄存器地址范围可以是连续或非连续的。寄存器组 22 具有经一个内部总路线段 32 连接到前一模块 20 或总线转换器 10 的第一接口 21A 和经另一内部总线段 32 连接到后一模块 20 的第二接口 21B。第二接口 21B 未由例如模块 20G 等在模块流水线中的最后模块 20 使用。图 4 中示出并且下面更详细描述了第一和第二接口。

[0023] 为了访问寄存器 24,外部应用将寄存器请求发送到总线转换器 10。总线转换器 10 将寄存器请求转换到内部寄存器总线协议,并且将转换的寄存器请求转发到第一模块 20A。寄存器请求包括指定目标寄存器的目标寄存器地址。寄存器请求可包括写入请求或读取请求。寄存器请求由模块通过第一接口 21A 接收时,解码器 23 将与寄存器请求相关联的目标寄存器地址解码,并且比较目标寄存器地址和其寄存器 24 的地址范围和 / 或各个地址,以

确定目标寄存器是否属于模块 20。如果目标寄存器不属于模块 20,则解码器 23 通过第二接口将寄存器请求输出到流水线中的后一模块 20。如果目标寄存器属于模块 20,则解码器 23 将写入数据锁存到目标寄存器中(写入请求),或者从目标寄存器读取寄存数据(读取请求)。

[0024] 图 3 示出由处理模块 20 实现的示范过程 100。处理模块 20 接收包括在经内部寄存器总线的第一段连接到前一模块 20 或总线转换器 10 的第一接口上目标寄存器地址的寄存器请求(框 110),并且比较目标寄存器地址和用于接收模块 20 的寄存器地址范围(框 120)。如果目标寄存器地址落在处理模块 20 的寄存器地址范围内,则解码器 23 访问匹配寄存器 24 以将数据写入匹配寄存器,或者从其读取数据(框 130)。如果目标寄存器地址落在寄存器地址范围外,则解码器 23 将寄存器请求输出到经第二接口连接到处理模块 20 的后一模块 20 (框 140)。

[0025] 图 4 示出在连接模块 K 到前一模块(模块 K-1)和后一模块(模块 K+1)的内部总线段中包含的示范接口。表 1 识别内部寄存器总线段 32 的各种行,其中,符号“?”表示“i”或“o”,其中,“i”指示用于模块 K 的输入信号,以及“o”指示用于模块 K 的输出信号。

[0026] 表 1:内部寄存器总线接口

标签	定义
Reg_req_?	寄存器请求
Reg_wt1_rd0_?	写入或读取标志
Reg_address_?[*]	指示目标寄存器地址的请求地址总线
Reg_wdata_?[*]	Reg_wt1_rd0_? 指示写入标志时携带写入数据的写数据行
Reg_rd_rdy_?	Reg_wt1_rd0_? 指示读取标志时从目标寄存器读出数据
Reg_rdata_?[*]	Reg_wt1_rd0_? 指示读取标志时从目标寄存器读出数据的有效标志

内部寄存器总线接口包括 6 个接口。表 1 中列出的前 4 个接口将本文中所述寄存器请求提供到接收模块 20,例如,写入 / 读取接口识别寄存器请求是读取请求还是写入请求,以及 Reg_address 接口携带目标寄存器地址。如本文中公开的,剩余的接口有利于读取的数据沿流水线向上传递。

[0027] 图 5 公开由模块 20 (模块 K) 执行的另一示范方法 200。模块 K 监视与前一模块 20 (模块 K-1) 或总线转换器 10 之间的接口,以确定何时接收寄存器请求(框 210),其中,寄存器请求按顺序通过模块 20 传递。模块 K 接收寄存器请求时,模块 K 中的解码器 23 将请求的目标地址解码(框 220)。如果解码的地址不在模块 K 的地址范围中(框 230),则模块 K 将寄存器请求与任何相关联数据传递到后一模块 20 (模块 K+1),以将寄存器请求和相关联数据沿模块流水线向下传递(框 240)。然而,如果解码的地址在模块 K 的地址范围中(框 230),则解码器 230 确定请求类型(框 250)。如果寄存器请求是写入请求,则解码器 23 将与寄存器请求相关联的数据锁存到匹配寄存器(即,模块 K 中具有与目标寄存器地址匹配的寄存器地址的寄存器)中(框 260)。如果寄存器请求是读取请求,则解码器 23 从匹配寄存器读取数据,并且将读取的数据发送到前一模块 20 (模块 K-1),以将读取的数据沿模块流水线向上传递(框 270)。在此情况下,每个模块 20 接收来自后一模块 20 的读取的数据,并且将接收的读取的数据输出到前一模块 20,以将读取的数据沿模块流水线向上传递。

[0028] 本文中公开的处理电路 5、模块 20 和对应方法 100 和 200 具有优于常规实现的几个益处,例如,更佳的定时性能、灵活的更新和降低的功耗。具体而言,由于每个模块 20 只

将其自己的寄存器地址解码,并且内部寄存器总线被分段,因此,避免了常规解决方案的定时问题。此外,通过将新模块 20 连接到寄存器流水线的任何级,可添加新模块,而不要求对处理电路已经实现的逻辑功能进行任何修改。类似地,通过从寄存器流水线断开旧模块 20,可从处理电路去除该旧模块。此外,由于大部分电路功率在切换内部寄存器时被消耗,并且由于使用本文中公开的流水线结构降低了寄存器切换速率(因为该流水线结构在寄存器请求到达包含目标寄存器的模块 20 时终止了该寄存器请求),因此,本文中公开的流水线结构降低了电路功耗。

[0029] 当然,在不脱离本发明基本特性的情况下,本发明可以不同于本文具体所述那些方式外的其它方式中来实现。呈现的实施例在所有方面均要视为说明性的而不是限制性的,并且落在随附权利要求的意义和等同范围内的所有更改旨在被涵盖于其中。

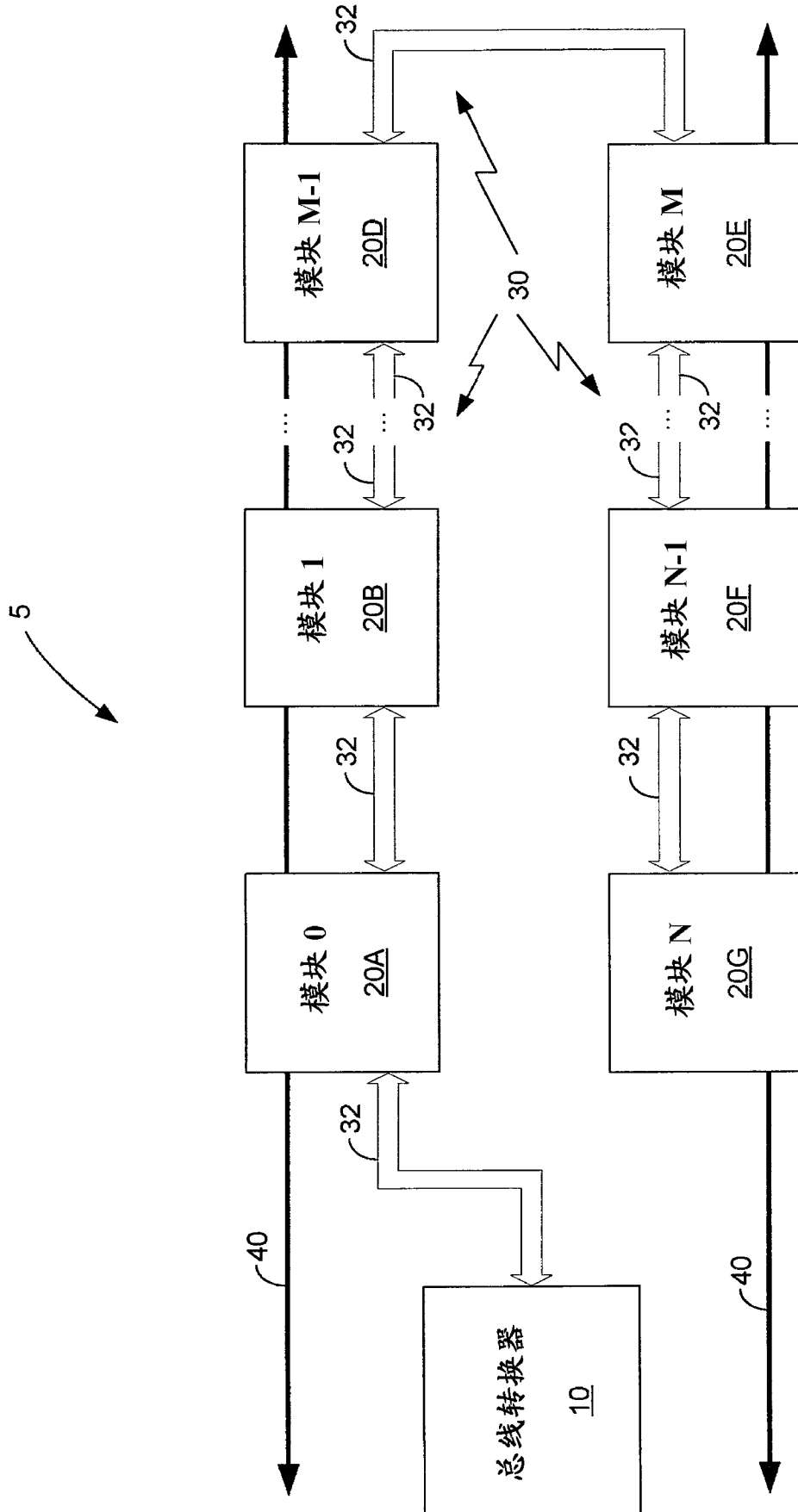


图 1

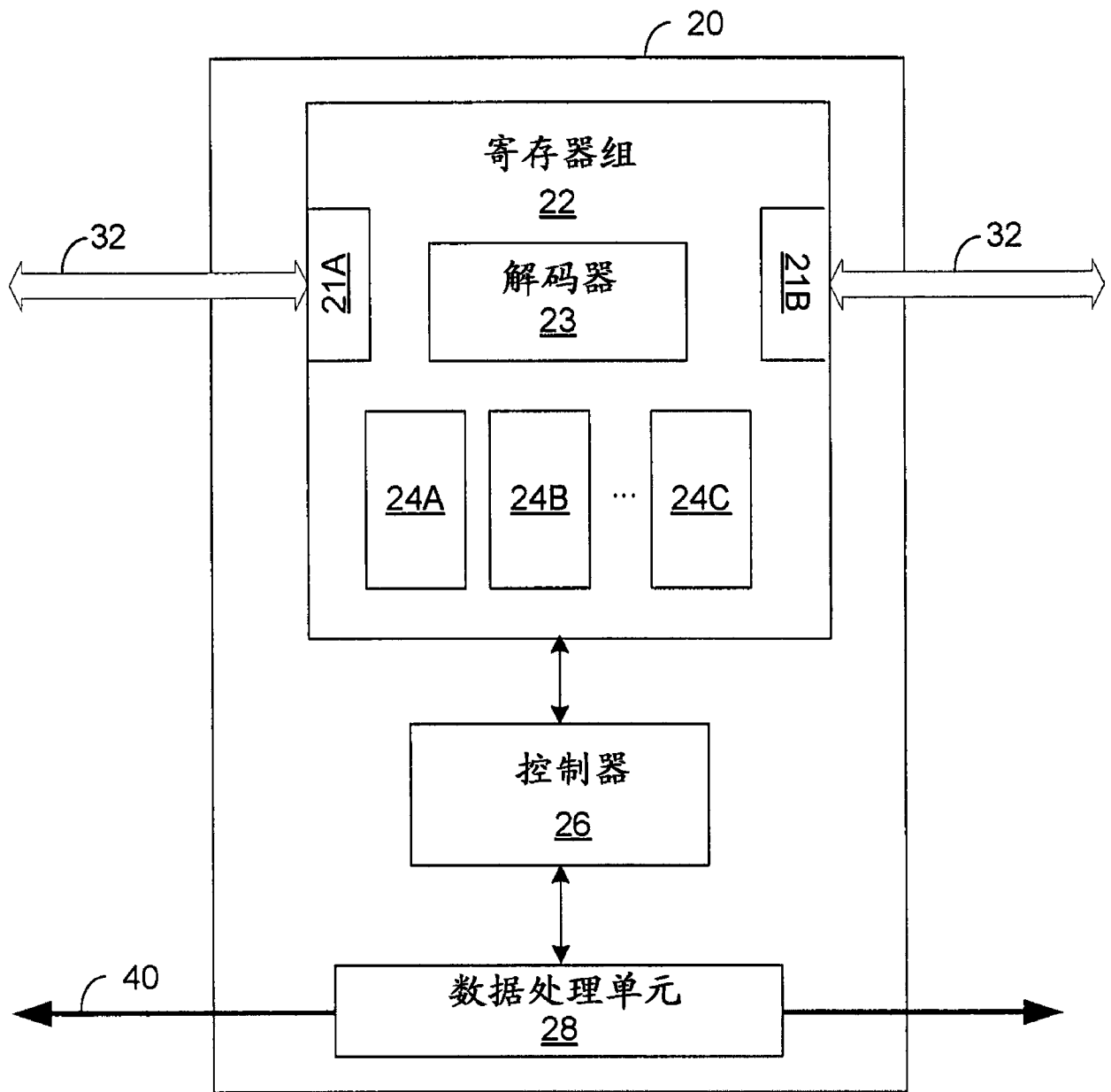


图 2

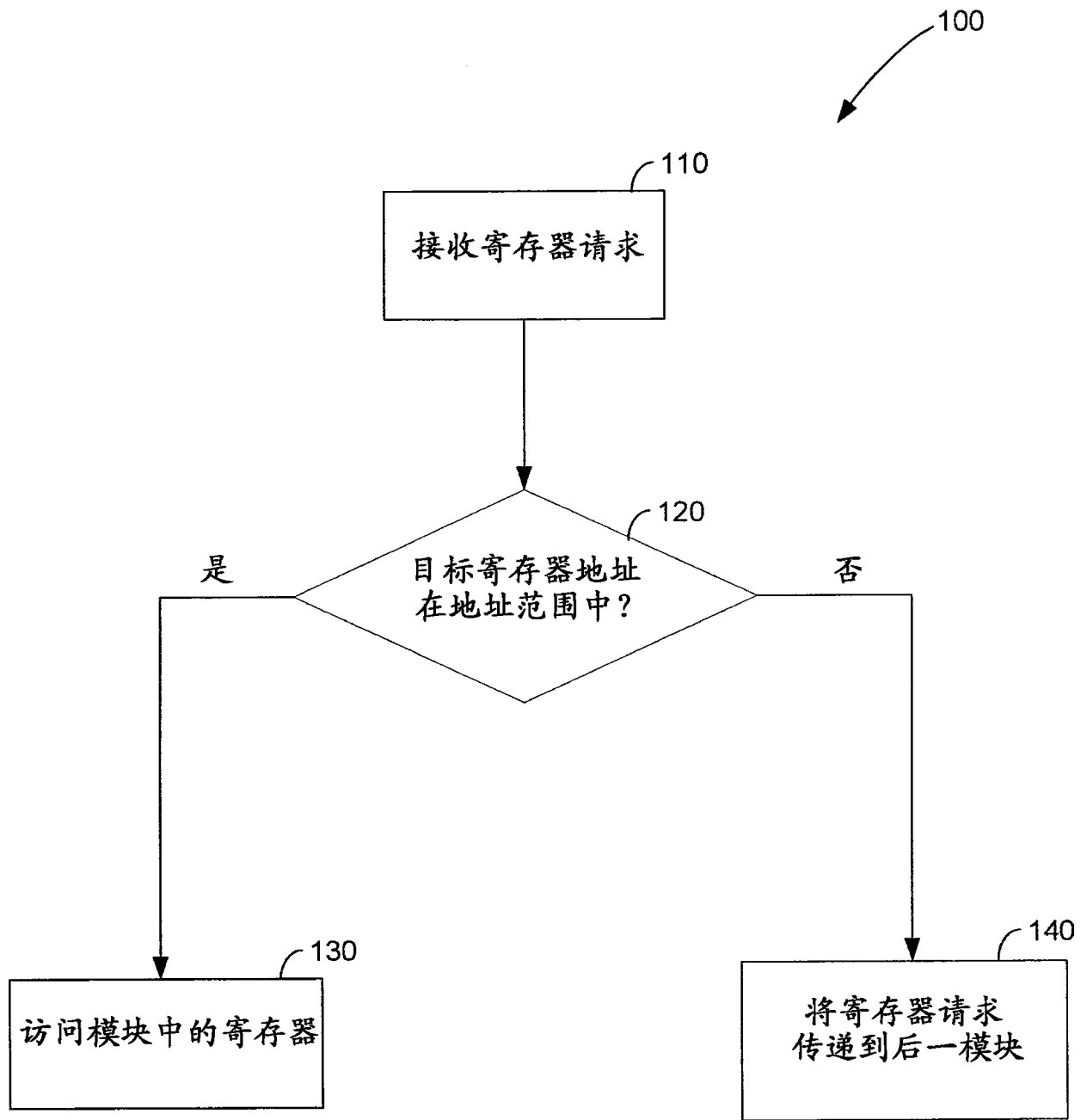


图 3

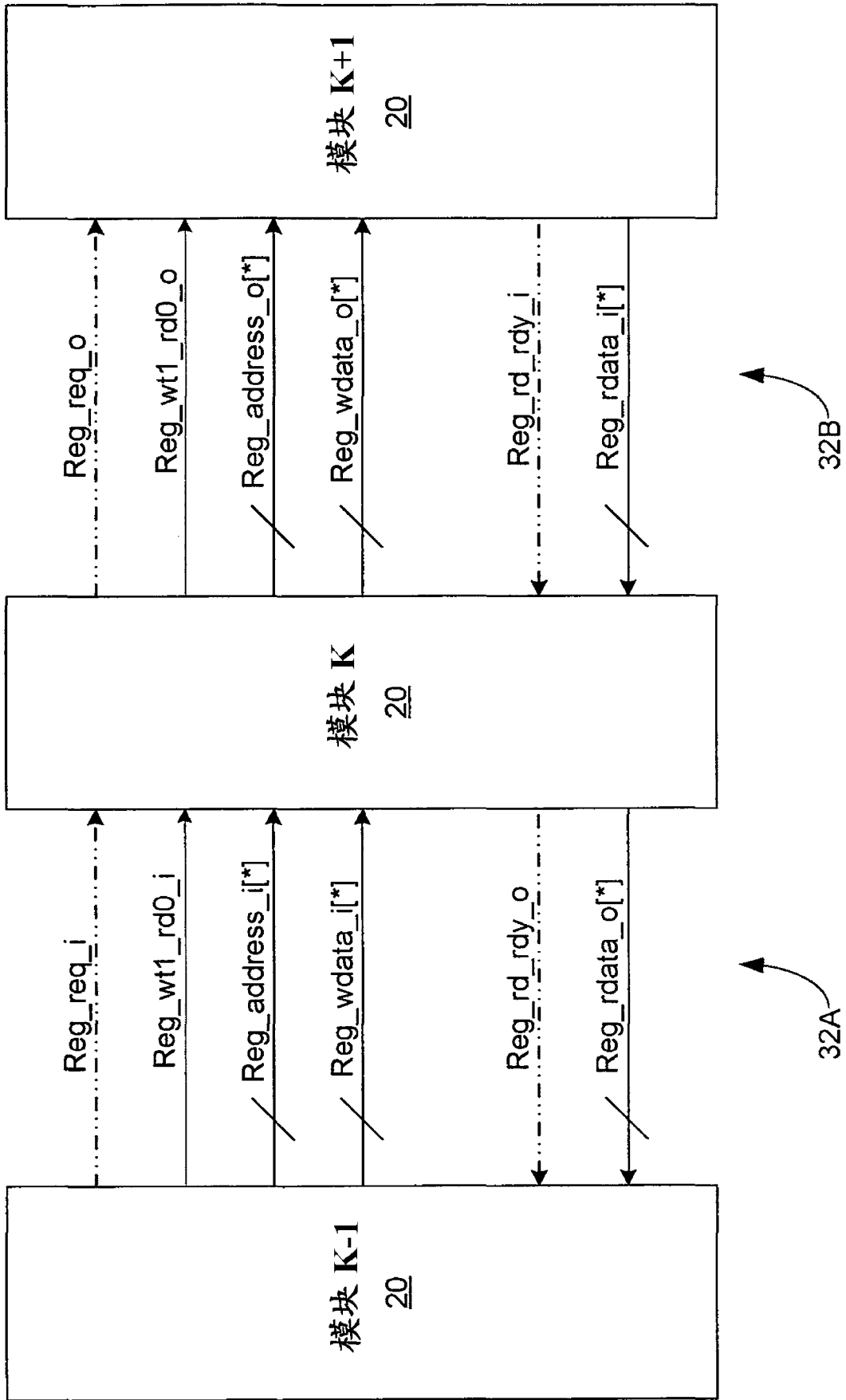


图 4

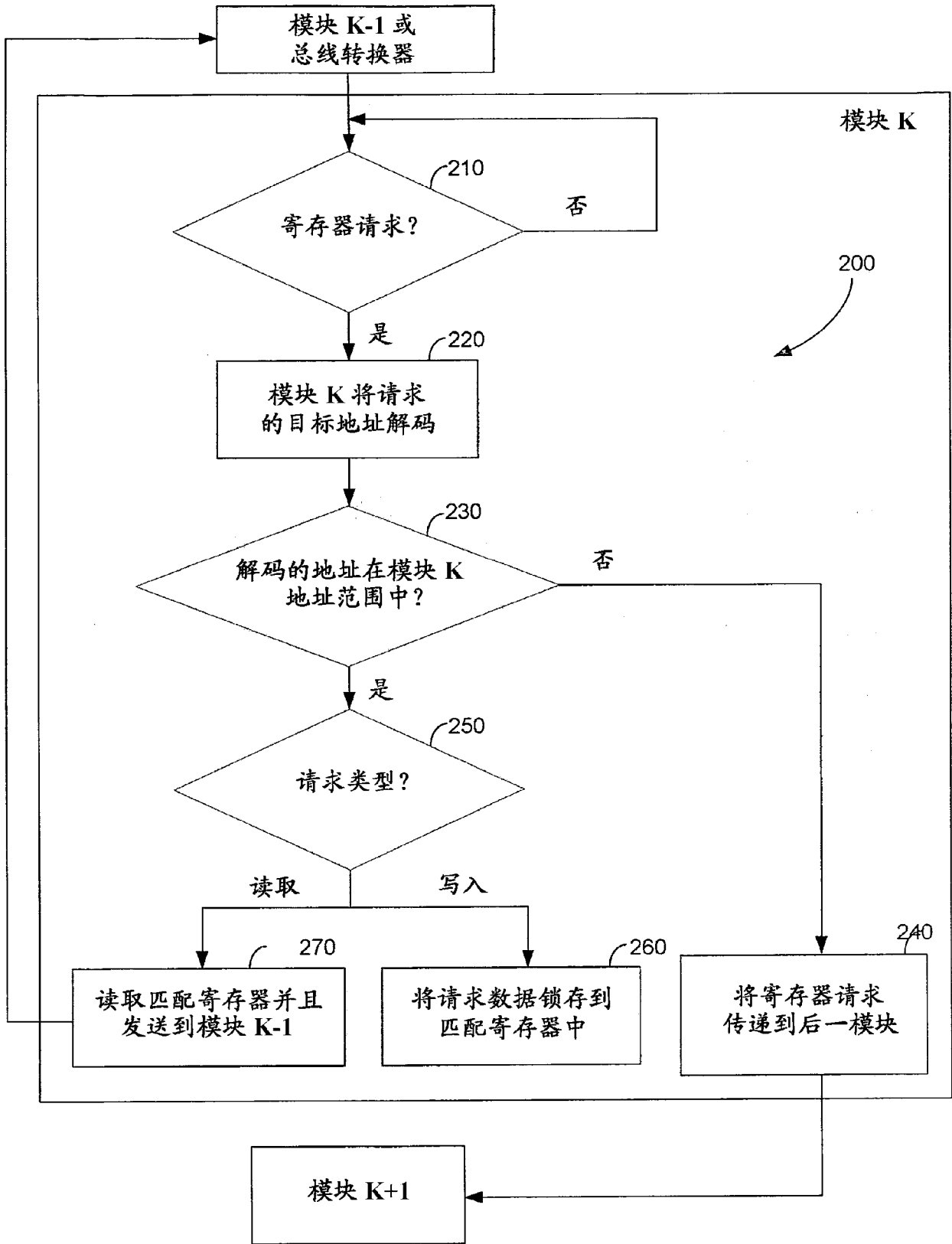


图 5