

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6214924号
(P6214924)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 5 (全 29 頁)

(21) 出願番号	特願2013-106947 (P2013-106947)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成25年5月21日(2013.5.21)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2014-82919 (P2014-82919A)	(72) 発明者	村上 弘志 兵庫県伊丹市瑞原四丁目1番地3 株式会 社ルネサスデザイン内
(43) 公開日	平成26年5月8日(2014.5.8)	(72) 発明者	市野 哲雄 兵庫県伊丹市瑞原四丁目1番地3 株式会 社ルネサスデザイン内
審査請求日	平成28年2月1日(2016.2.1)	(72) 発明者	栗田 茂 兵庫県伊丹市瑞原四丁目1番地3 株式会 社ルネサスデザイン内
(31) 優先権主張番号	特願2012-202837 (P2012-202837)		
(32) 優先日	平成24年9月14日(2012.9.14)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2012-216715 (P2012-216715)		
(32) 優先日	平成24年9月28日(2012.9.28)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 コントローラ及びコントローラを有するシステム

(57) 【特許請求の範囲】

【請求項1】

負荷に電源電圧を供給するところの電圧レギュレータを制御するコントローラであって

、
 負荷に供給される電源電圧に応じた測定電圧を出力する差動アンプと、
 目標電圧が供給される非反転入力端子と前記測定電圧が供給される反転入力端子とを有し、目標電圧と測定電圧とを比較し、前記電圧レギュレータを制御するエラーアンプと、
 負荷に供給される電源電圧の電圧値の変更に応答して、オフセットの値に応じて前記反転入力端子の電圧を下げる補正回路とを具備し、

前記補正回路は、前記電源電圧を前記目標電圧まで下げるとき、前記測定電圧が前記目標電圧に到達するまでは前記オフセットの値を時間とともに増加させ、前記到達後は前記オフセットの値を時間とともに減少させるコントローラ。

【請求項2】

前記補正回路は、デジタル/アナログ変換回路を有し、供給されるデジタルデータに従って、オフセット電圧が変更される請求項1に記載のコントローラ。

【請求項3】

前記デジタル/アナログ変換回路は、デジタルデータをアナログ電流へ変換する電流デジタル/アナログ変換回路であり、変換された前記アナログ電流は、前記エラーアンプの反転入力端子と差動アンプとの間を接続する抵抗素子に供給される請求項2に記載のコントローラ。

【請求項 4】

電源電圧が低下されるとき、前記電流デジタル/アナログ変換回路は、前記抵抗素子から電流を引き抜く請求項 3 に記載のコントローラ。

【請求項 5】

プログラムに従って動作する CPU と、
前記 CPU に供給されるべき電源電圧を形成する電圧レギュレータと、
前記電圧レギュレータを制御するコントローラとを具備するシステムであって、
前記コントローラは、
負荷に供給される電源電圧に応じた測定電圧を出力する差動アンプと、
目標電圧が供給される非反転入力端子と前記測定電圧が供給される反転入力端子とを有し、目標電圧と測定電圧とを比較し、前記電圧レギュレータを制御するエラーアンプと、
負荷に供給される電源電圧の電圧値の変更に応答して、オフセット値に応じて前記反転入力端子の電圧を下げる補正回路とを具備し、
前記補正回路は、前記電源電圧を前記目標電圧まで下げるとき、前記測定電圧が前記目標電圧に到達するまでは前記オフセットの値を時間とともに増加させ、前記到達後は前記オフセットの値を時間とともに減少させるコントローラを具備するシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コントローラ及びコントローラを有するシステムに関し、特に CPU (Central Processing Unit) に供給される電源を制御するコントローラ、及び CPU とそれに供給される電源を制御するコントローラを具備するシステムに適用可能な技術に関する。

【背景技術】

【0002】

特許第 3974449 号公報 (特許文献 1) には、出力電圧応答性を改善した電源装置が、開示されている。また、特許第 3799324 号公報 (特許文献 2) には、誘導加熱調理器に用いられるインバータ出力制御回路を、RISC (Reduced Instruction Set Computer) マイコン若しくは DSP (Digital Signal Processor) によって構成することが、開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 3974449 号公報

【特許文献 2】特許第 3799324 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 の図 1 には、指令電圧 V_{dac} と出力電圧 V_o とを受け、出力電圧の応答性を改善する出力電圧設定補助回路部 40 を有する電源装置が開示されている。しかしながら、出力電圧を低下させる際の波形の落ち込み (Droop) について意識されていない。
また特許文献 2 では、電源を制御するコントローラの消費電力を低減することが意識されていない。

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

一実施の形態によれば、CPU に供給される電源電圧を制御するコントローラは、その非反転入力端子に目標電圧が供給され、その反転入力端子に CPU に供給される電源電圧

に応じた測定電圧が供給され、測定電圧と目標電圧に応じた電圧を、電圧レギュレータに提供するエラーアンプを有する。該コントローラは、電源電圧を低下させるときに、前記エラーアンプの反転入力端子に、オフセットを供給する補正回路が設けられる。

【0006】

他の一実施の形態によれば、所定の時間間隔で、CPUに供給される電源の状態等を測定するところのテレメタリ処理が、DSPにより実施される。DSPは、所定の時間間隔で起動され、起動されるとテレメタリ処理を実施し、テレメタリ処理を実施した後、待機状態（省電力モード）にされる。

【発明の効果】

【0007】

前記一実施の形態によれば、CPUに供給される電源電圧を低下させるときに、電源電圧の波形が落ち込むのを低減することが可能となる。また、CPUに供給される電源の状態を、所定の時間間隔で測定しても、低消費電力化を図ることが可能となる。

【図面の簡単な説明】

【0008】

【図1】コントローラ及びそれを用いたシステムの構成を示すブロック図である。

【図2】MCUとDSPの処理を説明するためのタイミング図である。

【図3】電圧制御動作の処理手順を表わすフローチャート図である。

【図4】パワーステート制御の動作の処理手順を表わすフローチャート図である。

【図5】PMBUSを介した命令を実行する手順を表わすフローチャート図である。

【図6】テレメタリ動作の処理手順を表わすフローチャート図である。

【図7】コントローラおよびそれを用いたシステムのブロックを示す図である。

【図8】図7に示したブロックの動作を説明するための波形図である。

【図9】実施の形態に係るコントローラおよびそれを用いたシステムのブロックを示す図である。

【図10】図9における制御回路の構成を示す回路図である。

【図11】制御回路の変形例を示すブロック図である。

【図12】実施の形態に係わる回路を示す回路図である。

【図13】図12の動作を説明するための波形図である。

【図14】実施の形態の変形例を示す回路図である。

【図15】実施の形態に係わる回路を示す回路図である。

【図16】図11の動作を説明するための波形図である。

【発明を実施するための形態】

【0009】

先ず、以下に述べる実施の形態の概要について、図1および図12を用いて説明する。以下の説明では、同じ機能を果たす部分には同じ記号を付して、繰り返しの説明を避ける様になっている。そのため、説明が省略されている部分については、同じ記号が付されている部分の説明を参照されたい。

【0010】

図1において、25は、図示されていないメモリ（例えば、DDRメモリ）に格納されているプログラムに従って動作するマイクロプロセッサ（以下、CPUと称する）である。特に制限されないが、このCPU25は、所謂ノート型パーソナルコンピュータ（以下、ノートPCと称する）に設けられ、プログラムに従ってアプリケーションを実行する。ノートPCでは、バッテリーでの長時間動作が望まれる。CPU25は、高速にアプリケーションを実行するために、比較的高い周波数で駆動される等のために、消費電力が大きい。例えば、実行すべきアプリケーションに応じて駆動する周波数及びCPU25の電源電圧をきめ細かく制御することにより、ノートPCの駆動時間を長くする等のことが実施される。CPU25に供給される電源電圧をきめ細かく制御するために、コントローラ1が設けられる。CPU25に供給される電源電圧は電圧レギュレータ30-1~30-3により形成される。電圧レギュレータ30-1~30-3をコントローラ1が制御して、電

10

20

30

40

50

圧レギュレータ30-1~30-3の負荷に相当するCPU25に供給される電源電圧がきめ細かく制御される。後に詳細に説明するが、負荷であるCPU25に供給される電源電圧は、コイル28-1~28-3と電圧レギュレータ30-1~30-3とキャパシタ29とにより形成されるが、ここでは、説明を容易にするために、CPU25に供給される電源電圧は電圧レギュレータ30-1~30-3により形成されると記載している。なお、後で詳しく説明するが、電圧レギュレータ30-1~30-3は、互いに同じ構成にされている。そのため、同図では電圧レギュレータ30-3についてのみ、その構成が示されている。

【0011】

(コントローラおよびシステム)

コントローラ1は、例えばフラッシュメモリ7に格納されているプログラムに従って動作するマイクロコントロールユニット(以下、MCUと称する)5を含む。さらに、コントローラ1は、CPU25に供給されているところの電源電圧等の値に応じたデジタルデータを、アナログ/デジタル変換回路(以下、ADCと称する)17から受け、演算処理を実施するデジタル演算処理ユニット(以下、DSPと称する)36を含む。MCU5は、コントローラ1の外部から供給されるコマンドを解釈し、コマンドに応じた処理を実行する。DSP36は、制御回路35からの起動信号にตอบสนองして、メモリ37に格納されているプログラムを読み込み、読み込んだプログラムに従って動作する。すなわち、DSP36は、電源電圧等の値に応じたデジタルデータに対して、所定の演算処理を実行する。制御回路35は、タイマ34から所定の時間間隔で発生される信号に応じて、前記した起動信号を形成する。この起動信号は、この実施の形態においては、DSP36の割り込み信号として作用する。そのため、DSP36は、MCU5とは独立して動作する。後で、図2を用いて説明するが、DSP36は、演算処理を実行した後、待機状態へ移行する。

またコントローラ1は、CPU25に供給される電源電圧を受け、電源電圧に従った測定電圧を形成する差動アンプ24と、目標となる電圧である目標電圧を形成するデジタル/アナログ変換回路(以下、デジタル/アナログ変換をDAと称し、DA回路をDACとも称することがある)22とを含んでいる。また、コントローラ1は、目標電圧と測定電圧との差を検出し、電圧レギュレータ30-1~30-3を制御するエラーアンプ23を含んでいる。このような構成にすることにより、負荷であるCPU25に供給される電源電圧が、目標電圧に従った電圧になるようにフィードバック制御が行われる。コントローラ1には、図1に示したように、上記したブロックだけでなく、他のブロックも含まれているが、他のブロックについては、後で図1等を用いて説明するので、ここでは省略する。

【0012】

図12には、エラーアンプ23、差動アンプ24およびDAC22に関する部分の詳細が示されている。同図において、一点破線で囲まれている回路420は、電流DACである。電流DAC420は、供給されるデジタルデータに従った電流を回路の接地電圧に向けて流す、いわゆるシンク電流(Sink電流)を流すDACである。ノートPCの低消費電力化のために、電源電圧を急速に立ち下げることが要求される。この要求に応えるために、DAC22から出力される目標電圧は、比較的高い電圧値から低い電圧値へ低下される。この低下する目標電圧に対して測定電圧が一致する様に、フィードバック制御が行われるのであるが、フィードバック制御で用いられるエラーアンプ23、差動アンプ24等が有する遅延のため、電源電圧が、低下後の目標電圧に合致した電圧値になった後で、目標電圧に合致した測定電圧がエラーアンプ23の入力ノードに印加される。そのため、電圧レギュレータ30-1~30-3から出力される電圧の波形は、目標電圧に合致した電圧値よりも落ち込み、その後で、目標電圧に合致した電圧値に戻ると言う様な振動を起こす。電流DAC420は、電源電圧を低下させるとき、差動アンプ24の出力電流を回路の接地電圧に引き抜く様に作用する。そのため、差動アンプ24から出力される電圧である測定電圧は、電流DAC420を設けない場合に比べて低くされ、エラーアンプ23の反転入力端子に供給され測定電圧が低くされる。言い換えるならば、電流DAC420

10

20

30

40

50

によって、エラーアンプ 2 3 の反転入力端子にオフセット電圧が加えられる。これにより、オフセット電圧が加えられていない場合に比べて、エラーアンプ 2 3 の非反転入力端子（図では、" + " で表示）と反転入力端子（図では、" - " で表示）間の電圧差が低減され、エラーアンプ 2 3 の出力によって駆動される電圧レギュレータの出力電圧の落ち込みを低減することが可能となる。特に CPU 2 5 の動作下限となるような電源電圧を超えて、電源電圧が落ち込むのを防ぐことにより、ノート PC の誤動作を防ぐことも可能となる。

【 0 0 1 3 】

このようにすることにより、MCU 5 がコマンドの解析或いはコマンドの解析結果に応じた処理を実行している期間においても、DSP 3 6 は CPU 2 5 に供給されている電源電圧等に応じたデジタル信号（ADC 1 7 の出力）を、所定の時間間隔で演算処理することが出来る。これにより、演算処理の結果に基づいた電源電圧等の確認及び制御をきめ細かく実施することが可能となる。また、DSP 3 6 は、演算処理の後は、待機状態へ移行するため、コントローラ 1 の消費電力の低減が図れる。なお、DSP 3 6 の代わりに、MCU 5 により演算処理を実行することも考えられるが、コマンドの解析或いは解析結果に応じた処理と、演算処理とが時間的に重なった場合、いずれか一方の処理が遅くなり、コマンドに対するレスポンスの遅れ或いはきめ細かな制御に制限が生じる。

10

【 0 0 1 4 】

実施の形態

図 1 には、実施の形態に係わるシステムのブロック構成が示されている。この実施の形態に係わるシステムは、コントローラ 1 と、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 と、電圧レギュレータから電圧が供給される CPU 2 5 とを備える。同図において、実線で囲まれたコントローラ 1 は、1 つの半導体チップに形成されている。

20

【 0 0 1 5 】

コントローラ 1 は、PIN 制御部 6、フラッシュメモリ 7、パラメータレジスタ 8、パフォーマンスレジスタ 9、MCU 5、PMBUS (Power Management Bus) インタフェース 1 0、SVID (Serial VID) コマンド判定回路 1 2 を備える。さらに、コントローラ 1 は、ハードロジック電源制御回路 1 3、アナログ電源制御回路 1 1、電源異常監視回路 2、入力部 1 5 2、出力部 1 5 3、DSP 3 6、制御回路 3 5、タイマ 3 4、メモリ 3 7 を備える。

【 0 0 1 6 】

前述した SVID コマンド判定回路 1 2 は、SVIDBUS インタフェース（以下、SVID インタフェースとも称する場合がある）1 4 と、動作モードレジスタ 1 6 と、電圧指示値レジスタ 1 8 と、パワーステート指示値レジスタ 1 9 と、テレメタリレジスタ 1 5 とを備える。また、入力部 1 5 2 には、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 から温度情報（同図では TEMP と記載）と、CPU 2 5 に供給される電源電圧 VSEN 1 が信号線を介して供給される。すなわち、入力部 1 5 2 には CPU に供給される電源電圧をモニターするためのモニター電圧と、温度情報が入力される。出力部 1 5 3 は、コントローラ 1 から電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 へ信号を出力する部分である。CPU 2 5 は、特に制限されないが、1 つの半導体チップで構成され、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 から出力される電圧を電源電圧として受けて、図示されていないメモリに格納されたプログラムに従って様々な処理を行なう。また、CPU 2 5 は、SVID インタフェース 1 4 を通じて、コントローラ 1 に指示を送る。PIN 制御部 6 は、外部の電位固定部 2 6 から複数の電圧が供給される。この複数の固定の電圧の組み合わせを、PIN 制御部 6 は判定し、コントローラ 1 の外部端子（図示しない）が、どのように設定されているかを表わす設定情報を MCU 5 に出力する。すなわち、固定の電圧の組み合わせにより、外部端子の使い方が定められる。また、システム情報の選択も、PIN 制御部 6 に供給される複数の電圧の組み合わせによって行われる。例えば、この複数の電圧の組み合わせにより、後で述べるパフォーマンスレジスタやパラメータレジスタの値が機種毎に変えられる。

30

40

【 0 0 1 7 】

フラッシュメモリ 7 には、MCU 5 が実行するためのプログラム（MCU プログラム）

50

とDSP36が実行するためのプログラム(DSPプログラム)が、予め格納される。例えば電源規格の変更があった場合、フラッシュメモリ7に格納されるプログラムを変更することにより、それに合わせたコントローラ1を提供することが可能となり、デバイスを再開発する手間を省くことができる。また、フラッシュメモリ7は、最大許容電圧値、最大許容温度、および最大許容電流などの初期値を定めた複数のパラメータのテーブルを記憶する。フラッシュメモリ7に格納されたDSPプログラムは、例えばコントローラ1に電源を投入した際に、MCU5がフラッシュメモリ7からメモリ37へ転送する。

【0018】

パラメータレジスタ8は、SVIIDインタフェース14を通じて、デジタルステップ制御でのステップごとの電圧値の変化量(刻み電圧)、および放電モードでの下げたい最終電圧である指示電圧と放電モードを指示電圧に達する前に放電モードを終了するときの目標電圧 V_s との差である V の値などを記憶する。

10

【0019】

パフォーマンスレジスタ9は、フラッシュメモリ7に格納された最大許容電圧値、最大許容温度、および最大許容電流などのデータ受け取り、記憶する。

パフォーマンスレジスタ9に格納される最大許容電圧値は、CPU25に印加することが可能な最大の電源電圧である。また、最大許容温度は、電圧レギュレータ30-1~30-3等で測定される温度と比較される値で、CPU25或いは電圧レギュレータ等が動作する際に許容される最高の温度を意味する。更に、最大許容電流は、電圧レギュレータが供給することが可能な最大の電流値である。パフォーマンスレジスタ9に格納されたところのこれらの値を超えた場合は、コントローラ1はそれらの値を下げるように電圧レギュレータ30-1~30-3などに指示信号を出力する。

20

【0020】

MCU5は、フラッシュメモリ7に格納されたMCUプログラムに基づいた処理を行なう。処理を行う際には、一時的なデータが生じるが、このようなデータは図示されていないメモリに書き込み・読み出しが行われる。

【0021】

PMBUSインタフェース10は、外部のシステム制御部27から信号を受けるとともに、外部のシステム制御部27へ信号を出力する。このとき、信号の授受は、シリアル通信線を介してシリアルに行われる。また、SVIIDインタフェース14は、シリアル通信線を通じて、CPU25からの信号を受けるとともに、CPU25へ信号を出力する。

30

【0022】

動作モードレジスタ16は、現在の動作モードを記憶する。たとえば、動作モードとして、後で説明するが、通常モード、放電モードなどがある。電圧指示値レジスタ18は、電圧制御時の指示電圧の値を記憶する。パワーステート指示値レジスタ19は、パワーステート制御時のパワーステートモードの指定値を記憶する。

【0023】

テレメタリレジスタ15は、電圧レギュレータ30-1~30-3の出力電圧を表わすデジタル信号DV、電圧レギュレータ30-1~30-3内の温度を表わすデジタル信号DT、および電圧レギュレータ30-1~30-3に供給される電流値を表わすデジタル信号DIを記憶する。

40

【0024】

ハードロジック電源制御回路13は、DAC(デジタル/アナログ変換)デジタルステップ制御部20と、位相クロック生成部21とを備える。DACデジタルステップ制御部20は、複数回のステップで指示された電圧に達するように、各ステップでの電圧変化値を決定し、決定した電圧変化値をデジタル信号DVとして出力する。位相クロック生成部21は、動作させる電圧レギュレータ30-1~30-3への制御信号SMODを活性化し、動作させる電圧レギュレータ30-1~30-3へ位相のクロックを出力する。位相クロック生成部21は、停止させる電圧レギュレータ30-1~30-3への制御信号SMODを非活性化する。

50

【 0 0 2 5 】

アナログ電源制御回路 1 1 は、デジタル/アナログ変換回路（以下 D A C と称する） 2 2 と、差動アンプ 2 4 と、エラーアンプ 2 3 と、A D C 1 7 とを備える。D A C 2 2 は、D A C デジタルステップ制御部 2 0 から出力されたデジタル信号 D V をアナログ電圧 V 1 に変換する。差動アンプ 2 4 は、C P U 2 5 の高電位側の電圧 V S E N 1 と低電位側の電圧 V S E N 2 の差を増幅して電圧 V 2 を出力する。すなわち、差動アンプ 2 4 は、C P U 2 5 に供給される電源電圧（高電位側の電圧と低電位側の電圧との差電圧）を増幅して、出力する。エラーアンプ 2 3 は、D A C 2 2 から出力される電圧 V 1 と、差動アンプ 2 4 から出力される電圧 V 2 との差を増幅する。エラーアンプ 2 3 から出力されるものの増幅された電圧は、指定された電圧と C P U 2 5 に現在供給されている電源電圧との差を表わす電圧として、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 へ供給される。A D C 1 7 は、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 の出力電圧及び温度 T E M P を A D（アナログ/デジタル）変換する。

10

【 0 0 2 6 】

電源異常監視回路 2 は、電圧コンパレータ 4 と、電源異常監視部 3 とを備える。電圧コンパレータ 4 は、入力部 1 5 2 から C P U 2 5 に供給されている電源電圧 V S E N 1 をアナログ電圧として受け、所定の電圧（予め設定された電圧で、異常と判断する電圧）との間でアナログ処理により比較を実施する。電源異常監視部 3 は、電圧コンパレータ 4 の出力に従って、C P U 2 5 の電源電圧が異常であるか否かを監視する。

20

【 0 0 2 7 】

電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 は、C P U 2 5 に電源電圧を供給する。この実施の形態では、各電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 のそれぞれは、特に制限されないが、1つの半導体パッケージに収められており、互いに同様な構成を有している。ここでは、代表として電圧レギュレータ 3 0 - 3 についてのみ、その詳細な回路構成を示し、この代表の電圧レギュレータについてのみ動作等の説明をし、他の電圧レギュレータ 3 0 - 1 及び 3 0 - 2 については、その動作等の説明を省略する。

【 0 0 2 8 】

1つの半導体パッケージ（電圧レギュレータ 3 0 - 3）には、3個の半導体チップが封止されており、それぞれの半導体チップに、ハイサイド M O S トランジスタ 1 9 6、ロウサイド M O S トランジスタ 1 9 7、その他の部分（P W M（Pulse Width Modulation）部 1 5 1 と M O S 制御部 1 9 8）が形成されている。なお、ハイサイド M O S トランジスタ 1 9 6 は、電圧レギュレータ 3 0 - 3 の出力と電源電圧（図では丸印で示されている）との間に接続され、ロウサイド M O S トランジスタ 1 9 7 は、電圧レギュレータ 3 0 - 3 の出力と回路の接地電圧との間に接続されている。

30

【 0 0 2 9 】

M O S 制御部 1 9 8 と M O S トランジスタ 1 9 6、1 9 7 とにより、電圧変換を行うため、M O S 制御部 1 9 8 と M O S トランジスタ 1 9 6、1 9 7 とにより、D C - D C 変換器 3 3 が構成されていると見なすこともできる。電圧レギュレータ 3 0 - 3 は、制御信号 S M O D が活性化されると動作し、制御信号 S M O D が非活性化されると動作を停止する。

40

【 0 0 3 0 】

前述した P W M 部 1 5 1 は、P W M 比較器 3 1 と、ラッチ回路 3 2 とを備える。P W M 比較器 3 1 は、エラーアンプ 2 3 の出力である誤差信号をもとに P W M 信号を出力する。ラッチ回路 3 2 のセット端子 S には、P W M 比較器 3 1 の出力が入力される。ラッチ回路 3 2 のリセット端子 R には、位相クロック生成部 2 1 の出力であるクロックが入力される。D C - D C 変換器 3 3 は、ラッチ回路 3 2 の出力を受け、C P U 2 5 へ電源電圧を供給する。すなわち、ラッチ回路 3 2 から出力される P W M 信号により D C - D C 変換器 3 3 が制御される。

【 0 0 3 1 】

ラッチ回路 3 2 から出力される P W M 信号により、ハイサイド M O S トランジスタ 1 9

50

6 がオンされ、ロウサイドMOSトランジスタ197がオフされると、コイル28-3を介して、CPU25の高電位側の電圧VSEN1が上昇する。一方、ハイサイドMOSトランジスタ196がオフされ、ロウサイドMOSトランジスタ197がオンされると、コイル28-3を介して、電圧VSEN1が降下する。なお、キャパシタ29は、電圧VSEN1の安定化を図るために、コイル28-1~28-3の共通接続点に設けられている。

【0032】

(通常モード)

前述した動作モードレジスタ16に動作モードとして、通常モードが設定されていた場合を次に説明する。

10

【0033】

通常モードでは、CPU電圧線の電圧VSEN1が一定の電圧になるように、ハイサイドMOSトランジスタ196とロウサイドMOSトランジスタ197のオン/オフが制御される。つまり、電圧が低い場合はハイサイドMOSトランジスタ196をオンさせて(このときロウサイドMOSトランジスタ197をオフ)、CPU25に供給される電源電圧を上昇させ、該電源電圧が高い場合はロウサイドMOSトランジスタ197をオンさせて(このときハイサイドMOSトランジスタ196をオフ)、電圧を降下させる。

【0034】

この実施の形態では、3個の電圧レギュレータ30-1~30-3の出力がコイル28-1~28-3を介してキャパシタ29に接続される。3個の電圧レギュレータ30のそれぞれにおけるハイサイドMOSトランジスタ196及びロウサイドMOSトランジスタ197のオン/オフの位相(タイミング)が互いに異なる(例えば、120度ずつ異なる)様にすることにより、よりリップルの少ない電源電圧をCPU25へ供給することが可能となる。勿論、3相で有る必要はなく、負荷が比較的高くなるデスクトップPCやサーバPCでは4~8の様に相数が多くても、一方、負荷が比較的低いタブレットPC、ノートPCでは1~3相でも良い。

20

【0035】

(放電モード)

次に動作モードレジスタ16に放電モードが設定されている場合を説明する。

【0036】

放電モードとは、DC-DC変換器33をオフ状態に保ったまま、CPU25などで電荷が放電されていくことで、CPU電圧線の電圧VSEN1を特定の電圧に下げるモードである。言い換えるならば、一定電圧になるように、電源電圧が低い場合はハイサイドMOSトランジスタ196をオンさせて(ロウサイドMOSトランジスタ197はオフ)電圧を上昇させたり、電圧が高い場合はロウサイドMOSトランジスタ197をオンさせて(ハイサイドMOSトランジスタ196はオフ)電圧を降下させたりするものではない。つまりDC-DC変換器33により、MOSトランジスタ196、197をオン/オフさせて、CPU25の電源電圧を一定電圧になるよう制御するものではない。なお、DC-DC変換器33がオフ状態になればよいので、電圧レギュレータ30をオフ状態にすることで、DC-DC変換器33がオフ状態になる様にしても良い。

30

40

【0037】

図1において、36はDSPであり、37はDSP36に接続されたメモリである。また、34はタイマであり、35は制御回路である。メモリ37には、DSP36で実行されるべきプログラムが、フラッシュメモリ7から転送される。

【0038】

コントローラ1の電源が投入されることにより、MCU5は、フラッシュメモリ7に格納されているプログラム(MCU用のプログラム)に従って動作を開始する。この動作の中で、MCU5は、各種レジスタの設定等を実施するとともに、フラッシュメモリ7に格納されているDSP用プログラムを、メモリ37に転送する。また、MCU用プログラムに従って、MCU5は、CPU25に供給される電源電圧を昇圧する様に動作を開始する

50

。昇圧により電源電圧が所定値に達すると、MCU5はDSP36を起動する。これにより、DSP36は、メモリ37に格納されたDSP用プログラムに従って動作を開始する。

【0039】

DSP用プログラムに従って、DSP36は、タイマ34を起動し、起動後、低消費モード（待機状態）へ移行する。タイマ34に設定されたところの所定時間を経過すると、タイマ34から起動信号が発生する。この起動信号を受けて、ADC17が動作を開始する。ADC17が動作を開始することにより、入力部112からのアナログ電圧及びアナログ温度のデジタル信号への変換が行われる。また、タイマ34から発生する起動信号は、制御回路35に供給される。制御回路35はこの起動信号を検出して、DSPへ割り込み要求が発生する。割り込み要求を受けたDSP36は、この割り込み要求により、待機状態（省電力モード）から動作状態へ移行し、当該割り込み要求に応じたDSP用プログラム（メモリ37に格納されている）を実行する。後で、説明するが、このときに実行されるDSP用プログラムは、テレメタリ処理用のプログラムである。DSP36は、テレメタリ処理用のDSPプログラムの実行を完了すると、再び待機状態へ移行し、次に起動信号が制御回路35から供給される迄待機する。また、ADC17についても、起動信号が供給された後、アナログ/デジタル変換が終了すると、アナログ/デジタル変換用のクロック信号の供給が中止され、再び起動信号が供給されるまで、待機状態となる。この様に、DSP36及びADC17は、所定の動作（テレメタリ処理用の動作及びアナログ/デジタル変換動作）が終了すると、待機状態に移行するため、消費電力の低減を図ることが可能となる。一方、タイマ34により、周期的（所定の時間間隔）で起動信号が発生されるため、所定の時間間隔で、テレメタリ処理を実行することが出来る。タイマ34から所定の時間間隔で起動信号が発生する様にするために、所定時間は予めタイマ34に固定値として設定しておいても良いし、DSPプログラム或いはMCUプログラムに、所定時間を組み込んでおき、MCU5によりDSP36が起動されたときに、DSP36によってタイマ34に所定時間を設定しても良いし、MCU5が起動したときにタイマ34を設定しても良い。いずれの場合でも、タイマ34は、所定の時間間隔で周期的に、起動信号が発生する。

【0040】

次にテレメタリ処理について説明する。テレメタリ処理（動作）とは、CPU25の電圧状態などの状態情報を定期的に調べるものであり、そのデータはコントローラ内に保持される。またCPU25或いはシステム制御部27は、コントローラからそのデータを取り出すことできる。細かく電源電圧の状態等を把握するためには、より短い時間間隔で定期的にテレメタリ処理を実施することが望ましい。

【0041】

ADC17は、起動信号に応答して、アナログ/デジタル変換用のクロック信号が供給され、動作を開始する。アナログ/デジタル変換（以下AD変換と称する）用のクロック信号により、 μsec オーダごとの第1のタイミングで入力部152から信号を受け、電圧レギュレータ30-1~30-3の出力電圧（電源電圧VSEN1）をAD変換して、変換により得られたデジタル信号DVをDSP36へ出力する。

【0042】

また、ADC17は、AD用のクロック信号によって、 μsec オーダごとの第2のタイミングでエラーアンプ23からの出力を受け、電圧レギュレータ30-1~30-3に供給される電流値を表わす電圧値（エラーアンプ23から出力される）をAD変換して、得られたデジタル信号DIをDSP36へ出力する。

【0043】

また、ADC17は、AD用のクロック信号によって、 μsec オーダごとの第3のタイミングで入力部152から温度信号（TEMP）を受け、電圧レギュレータ30-1~30-3内の温度チップ（図示せず）から出力される温度を表わす電圧値をAD変換して、得られたデジタル信号DTをDSP36へ出力する。

【 0 0 4 4 】

次に、DSP36は、前記したデジタル信号DV、DI、DTに対して所定の演算処理を実施し、テレメタリレジスタ15内に記憶されているデジタル情報(信号)DV、DI、DTを、最新の情報へ更新する。

【 0 0 4 5 】

CPU25 あるいはMCU5は、必要に応じて、テレメタリレジスタ15のデジタル情報DV、DI、DT(電源電圧に関する情報DV、電流に関する情報DI、温度に関する情報DT)を読出す。

【 0 0 4 6 】

このように、タイマ34及び制御回路35からの起動信号により、電圧レギュレータ30-1~30-3、CPU25の電源電圧等に関する情報を定期的に取り込み、DSP36により定期的に演算処理をしてテレメタリレジスタ15に格納する。また、DSPプログラムを用いて演算処理を行うため、プログラムやパラメータを変更することで、テレメタリ動作の特性を容易に変更できる。たとえば、システムによって管理する温度と実際に実装した場合の温度との間に差が生じることがある。この場合でも、実装した実情に合わせて温度に関するパラメータ、たとえば最高温度を変更することができる。これにより、実際の実装に合わせたテレメタリ動作を設定できる。

10

【 0 0 4 7 】

この実施の形態では、出力電圧、出力電流、温度などの複数の情報を定期的にチェックする例を示したが、勿論、1つの情報を定期的にチェックする様にしても良い。

20

【 0 0 4 8 】

(SVIDBUSインタフェース)

次に、SVIDBUSインタフェースを介した動作を説明する。動作については、電圧制御およびパワーステート制御を述べる。

【 0 0 4 9 】

(電圧制御)

図3は、電圧制御動作の処理手順を表わすフローチャートである。CPU25は、電圧値Vtを指定した電圧制御コマンドをシリアル通信線へ出力する(ステップS801)。SVIDBUSインタフェース14は、シリアル通信線から受信したコマンドを解釈し、電圧制御をDACデジタルステップ制御部20に指示する(ステップS802)。DACデジタルステップ制御部20は、指示された通常指示電圧Vtを目標値とし、この目標値に達するために、次のステップでのデジタル電圧DVを出力する(ステップS803)。DAC22は、デジタル電圧DVをアナログ電圧V1に変換する(ステップS804)。差動アンプ24は、CPU25の高電位側の電圧VSEN1と低電位側の電圧VSEN2の差を増幅して電圧V2を出力する(ステップS805)。エラーアンプ23は、DAC22から出力される電圧V1と、差動アンプ24から出力される電圧V2との差を増幅して、増幅された電圧を、指定された電圧と現在のCPU25の電圧との差を表わす電圧として電圧レギュレータ30-1~30-3へ出力する。電圧レギュレータ30-1~30-3は、エラーアンプ23から出力される電圧に基づいて、出力する電圧を補正する(ステップS806)。

30

40

【 0 0 5 0 】

例えば、通常指示電圧Vtより高電位側の電圧VSEN1が低い場合は、ハイサイドMOSトランジスタ196がオンすることで、高電位側の電圧VSEN1を上昇させる。これに対して、通常指示電圧Vtより高電位側の電圧VSEN1が高い場合は、ロウサイドMOSトランジスタ197がオンすることで、高電位側の電圧VSEN1を降下させる。その後、ステップS803に戻り、処理が繰返される。これにより、高電位側の電圧VSEN1が通常指示電圧Vtになるように制御される。このように、ここでの電圧制御動作は、MCU5を介さず、ハードロジック電源制御回路13を介して動作しているため、速くすることができる。すなわち、高速な動作を実現出来る。

【 0 0 5 1 】

50

(パワーステート制御)

パワーステート制御とは、複数の電圧レギュレータのうち動作させる電圧レギュレータ数を設定して制御するものである。CPUで消費される電流の大小によって、パワーステートモードは切り替えられる。図4は、パワーステート制御の動作の処理手順を表わすフローチャートである。

【 0 0 5 2 】

CPU25は、パワーステート制御コマンドをシリアル通信線へ出力する(ステップS701)。SVIDBUSインタフェース14は、シリアル通信線から受信したコマンドを解釈し、パワーステート制御を位相クロック生成部21に指示する(ステップS702)。位相クロック生成部21は、動作させる電圧レギュレータ30-1~30-3と、動作させる電圧レギュレータ30-1~30-3への位相クロックの位相を決定する。例えば、パワーステートモードに「0」が指定された場合には、これがパワーステート指示値レジスタ19に格納される。位相クロック生成部21は、負荷電流をCPU25に与えるために、複数の動作させる電圧レギュレータ30-1~30-3の選択と、それらの電圧レギュレータ30-1~30-3に与えるクロックの位相を決定する。

10

【 0 0 5 3 】

パワーステートモード「0」が指定される場合は、通常負荷電流が大きく、高精度の電圧の安定性が要求される場合が多い。このため、高速に定期的に処理される。また、パワーステートモードに「1」が指定された場合には、これらがパワーステート指示値レジスタ19に格納される。位相クロック生成部21は、電圧レギュレータ30-1~30-3のうちの動作させる1つの電圧レギュレータを選択し、その電圧レギュレータに与えるクロックの位相を決定する。パワーステートモード「1」が指定される場合は、通常負荷電流が小さい場合が多い。このため、定期的に処理されるものの、パワーステートモードに「0」に比べ電圧レギュレータの消費電力が下がる。パワーステートモードに「2」が指定された場合には、これらがパワーステート指示値レジスタ19に格納される。位相クロック生成部21は、電圧レギュレータ30-1~30-3のうちの動作させる1つの電圧レギュレータを選択する。負荷電流を与えるために、指定電圧(これはCPU25によって別のコマンドによってパラメータレジスタ8内に記憶される)以下となったときに動作させる電圧レギュレータへ与えるクロックの位相を決定する(ステップS703)。パワーステートモード「2」が指定される場合は、通常パワーステートモード「1」よりもさらに負荷電流が小さい場合が多い。このため、不定期で電圧降下時のみ処理され、パワーステートモードに「1」に比べ電圧レギュレータの消費電力が下がる。

20

30

【 0 0 5 4 】

位相クロック生成部21は、動作させる電圧レギュレータ30-1~30-3のいずれか1つまたは複数に対し制御信号SMODを活性化し、動作させる電圧レギュレータ30-1~30-3へ決定された位相のクロックを出力する。電圧レギュレータ30-1~30-3は、活性化された制御信号SMODを受けると、位相クロック生成部21から送られるクロックに基づいて、電圧を出力する(ステップS704)。

【 0 0 5 5 】

位相クロック生成部21は、停止させる電圧レギュレータ30-1~30-3のいずれか1つまたは複数に対し制御信号SMODを非活性化する。電圧レギュレータ30-1~30-3は、非活性化された制御信号SMODを受けると、電圧の出力を停止する(ステップS705)。

40

【 0 0 5 6 】

以上により、パワーステート制御コマンドにตอบสนองして、電圧レギュレータが指定されたパワーステートモードに応じた動作を行う。図4では、SMODを活性化するステップとSMODを非活性化するステップとが、別々のステップ704と705として示してあるが、これは指定されたパワーステートモードにより、動作させる電圧レギュレータと停止させる電圧レギュレータがある場合を示している。すなわち、ステップ704で電圧レギュレータを動作させた後、その電圧レギュレータをステップ705で停止させることを意

50

味しているのでは無い。

【 0 0 5 7 】

(P M B U S インタフェース)

P M B U S インタフェース 1 0 を介した制御を説明する。P M B U S を介した通信は、シリアル通信により行われ、S V I D B U S インタフェース 1 4 による通信と同様に、電源電圧制御、パワーステート制御を実行するためのコマンド等がシステム制御部 2 7 から供給される。なお、図面が複雑になるのを避けるために、図 1 では、M C U 5 とそれ以外との接続は省略されている。

【 0 0 5 8 】

(電圧制御)

図 5 は、P M B U S を介した命令を実行する手順を表わすフローチャートである。システム制御部 2 7 は、電圧値 V_t を指示した電圧制御コマンドを P M B U S へ出力する (ステップ S 4 0 1)。P M B U S インタフェース 1 0 は、P M B U S から受信したコマンドを解釈し、電圧制御を M C U 5 に指示する (ステップ S 4 0 2)。M C U 5 は、電圧制御を D A C デジタルステップ制御部 2 0 に指示する。D A C デジタルステップ制御部 2 0 は、指示された通常指示電圧 V_t を目標値とし、この目標値に達するための、次のステップでのデジタル電圧 $D V$ を出力する (ステップ S 4 0 3)。D A C 2 2 は、デジタル電圧 $D V$ をアナログ電圧 V_1 に変換する (ステップ S 4 0 4)。差動アンプ 2 4 は、C P U 2 5 の高電位側の電圧 V_{SEN1} と低電位側の電圧 V_{SEN2} の差を増幅して電圧 V_2 を出力する。エラーアンプ 2 3 は、D A C 2 2 から出力される電圧 V_1 と、差動アンプ 2 4 から出力される電圧 V_2 との差を増幅して、増幅された電圧を指定された電圧と現在の C P U 2 5 の電圧との差を表わす電圧として電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 へ出力する。電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 は、エラーアンプ 2 3 から出力される電圧に基づいて、出力する電圧を補正する。たとえば、通常指示電圧 V_t より高電位側の電圧 V_{SEN1} が低い場合は、ハイサイド M O S トランジスタ 1 9 6 がオンすることで、高電位側の電圧 V_{SEN1} を上昇させる。また、通常指示電圧 V_t より高電位側の電圧 V_{SEN1} が高い場合は、ロウサイド M O S トランジスタ 1 9 7 がオンすることで、高電位側の電圧 V_{SEN1} を降下させる。その後、ステップ S 4 0 3 に戻り、処理が繰返される。

【 0 0 5 9 】

P M B U S インタフェース 1 0 は、上述した電源電圧制御に用いられるだけでなく、システム制御部 2 7 から M C U 5 にコマンドを供給する働きを有する。このために、P M B U S インタフェース 1 0 は、システム制御部 2 7 から特定の要求があった場合、M C U 5 に対して割り込み要求を発生する。M C U 5 は、この割り込み要求を解釈し、解釈の結果に従った処理を実施する。また、割り込み要求に対してアクノリッジ / 非アクノリッジの回答も P M B U S インタフェース 1 0 を介してシステム制御部 2 7 に行う。複数種類のコマンドが、M C U 5 には供給される。コマンドに応じて実施される処理としては、パフォーマンスレジスタ 9 の書き換え、テレメタリレジスタ 1 5 の読み出し、電圧指示値レジスタ 1 8 の書き換え、パワーステート指示値レジスタ 1 9 の書き換え処理等の各レジスタからのパラメータの読み出し、書き換え等がある。勿論、使用者の要望に応じてコマンドの種類は追加されることもある。これらの処理は、S V I D B U S インタフェース 1 4 を用いた電源電圧制御等が実施されているときであっても、システム制御部 2 7 から不定期に発生する。

【 0 0 6 0 】

(テレメタリ動作)

図 6 は、テレメタリ動作の処理手順を表わすフローチャートである。A D C 1 7 は、 μ sec オーダごとの第 1 のタイミングで、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 の出力電圧を A D 変換して、デジタル信号 $D V$ を D S P 3 6 へ出力する。また、A D C 1 7 は、 μ sec オーダごとの第 2 のタイミングで、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 に供給される電流値を表わす電圧値を A D 変換して、デジタル信号 $D I$ を D S P 3 6 へ出力する。また、A D C 1 7 は、 μ sec オーダごとの第 3 のタイミングで、電圧レギュレータ 3 0 -

10

20

30

40

50

1 ~ 30 - 3内の温度チップから出力される温度を表わす電圧値をAD変換して、デジタル信号DT をDSP36へ出力する(ステップS501)。

【0061】

次に、DSP36は、デジタル信号DV に対して、メモリ37に格納されているプログラムに従い所定の演算を実行し、実行結果を、最新のデジタル信号DVとしてテレメタリレジスタ15へ出力する。DSP36は、デジタル信号DI に対して、メモリ37に格納されているプログラムに従い所定の演算を実行し、実行結果を、最新のデジタル信号DIとしてテレメタリレジスタ15へ出力する。DSP36は、デジタル信号DT に対して、メモリ37に格納されているプログラムに従い所定の演算を実行し、実行結果を、最新のデジタル信号DTとしてテレメタリレジスタ15へ出力する(ステップS502)。
。演算の実行結果をテレメタリレジスタ15へ出力した後、プログラムに従ってDSP36は、省電力モードへ移行する。

10

【0062】

次に、テレメタリレジスタ15に格納されたところのデジタル信号DV、デジタル信号DI、およびデジタル信号DTは、SVIDBUSを介してCPU25により読み込まれたり、或いは上述した様に、MCU5がテレメタリレジスタ15の値を読み、それをPMBUSインタフェース10を介してシステム制御部27へ供給する(ステップS503)

【0063】

図2は、テレメタリ演算とPMBUSインタフェース10からMCU5へ供給される割り込み処理との関係を示すタイミング図である。

20

【0064】

DSP36は、前述した様に、制御回路35から周期的に割り込み信号が供給される。この割り込み信号により、図2においてテレメタリ演算と示されている演算処理(ADC17から供給されるデータDV、DI、DTのそれぞれに対して)を実施する。一方、MCU5は、PMBUSインタフェース10から供給される要求を受けて、図2においてPMBUSコマンドと示されている割り込み要求に対応した処理を実施する。この実施の形態によれば、MCU5とDSP36は分離(例えば、図1に示されている様に、MCU5のバスとDSP36のバスは分離)され、それぞれ独立に動作する様にされている。すなわち、MCU5はフラッシュメモリ7に格納されているプログラムに従って動作し、DSP36はメモリ37に格納されているプログラムに従って動作する。そのため、図2に示されている様に、システム制御部27から供給されるPMBUSコマンドの解析およびその実行とテレメタリ演算とが、時間的に重なっても、それぞれの処理を実施することができる。これにより、システム制御部27へのアクリッジが遅れることによる通信エラーの発生を防ぐことが可能となる。また、システム制御部27からの要求を、テレメタリ演算の処理よりも、高い優先度となる様に設定しても、テレメタリ演算を周期的に実施することができ、より正確な電源電圧、電源電流および温度を測定することが可能となる。なお、PMBUSコマンドの例としては、先の述べた様な各レジスタ(例えば、動作モードレジスタ16)への書き込み/読み出し用のコマンド、およびPMBUSを用いて電圧制御を実施する際のコマンド等がある。

30

40

【0065】

また、DSP36は、システム制御部27からの割り込み要求を受け、テレメタリ演算を実施した後は、省電力モードへ移行する様に、そのプログラムが作成されている。そのため、図2に示されているように、処理が終了すると、DSP36は省電力モードへ移行する。また、ADC17についても、DSP36が省電力モードへ移行するのに合わせて、AD変換用のクロックの供給が中止され、ADC17の消費電力も低減される。一方、MCU5は、テレメタリ演算を実施しないため、PMBUSコマンドに応じた処理を実施した後、省電力モードへ移行する様に、そのプログラムが作成されている。これにより、MCU5も、コマンドに応じた処理を実行した後、図2に示されている様に省電力モードへ移行し、MCU5での消費電力も低減される。

50

【 0 0 6 6 】

図7には、実施の形態に係るコントローラ1およびそれを用いたシステムのブロックが示されている。図7に示したコントローラ1は、図1に示したコントローラ1における一部を変更したものである。図7において、図1と同じ符号が付されている部分は、図1と同じであるので、詳細な説明は省略する。以下、図1と異なるところについて説明をする。

【 0 0 6 7 】

図7において、103はモードコントロール回路であり、SVIDコマンド判定回路12を介してCPU25から指令が供給される。101は、検出比較回路(検出回路)であり、モードコントロール回路103により、その動作が制御される。また、位相クロック生成部21も、図7に示した実施の形態においては、モードコントロール回路103により、その動作が制御される。検出比較回路101は、モードコントロール回路103によって動作状態にされると、所定の電圧102とエラーアンプ23の出力電圧とを比較し、比較結果を位相クロック生成部21およびMCU5に供給する。なお、CPU25からモードコントロール回路103への指示も、シリアル通信線を介して供給される。

【 0 0 6 8 】

104は、エラーアンプ23の出力電圧を電流に変換する電流センス回路である。電流センス回路104は、PWM部151(図1)でハイサイドMOSFET196(図1)およびロウサイドMOSFET197(図1)を駆動しているときに、エラーアンプ23の出力電圧を電流に変換する。これにより、PWM信号でDC-DC変換器33(図1)が動作しているときの駆動電流に応じた電流がADC17を介してDSP36に供給される。DSP36は、供給された駆動電流に応じた電流に対応するデジタルデータに所定の演算を行い、演算の結果をコマンド判定回路12内のレジスタ(たとえば前述したテレメタリレジスタ15)に書き込む。MCU5は、このレジスタに書き込まれた値を判定し、レジスタ(たとえば前述したパラメータレジスタ8)の値を変更する。このレジスタの値に従って、DACデジタルステップ制御部20がDAC22を制御する。

【 0 0 6 9 】

次に図8を用いて、上述した通常モードから放電モードへ移行する際の動作を説明する。図8には、DAC11の出力電圧(目標電圧)、CPU25に供給される電源電圧、エラーアンプ23の出力電圧、電圧レギュレータ30-1に供給されるクロック信号のそれぞれの波形が示されている。なお、同図では、横軸は時間を示し、縦軸は電圧を示している。

【 0 0 7 0 】

シリアル通信線を介して、CPU25から動作モードレジスタに、PWM信号を用いた上記通常モードが指定されると、DAC22からは、希望の電源電圧(図8の(A)では電圧V1)に応じた目標電圧が出力される。このとき、CPU25の電源電圧は、センスアンプ24により検出され、測定電圧としてエラーアンプ23に供給される。エラーアンプ23は、DAC22からの目標電圧と測定電圧との差を検出し、電圧レギュレータ30-1~30-3に供給する。また、このとき、位相クロック生成部21は、図8の(C)に示されているように、周期的なクロック信号Clockを形成し、図1に示したPWM部151へ供給する。この周期的なクロック信号Clockとエラーアンプ23からの出力により、ハイサイドMOSFET196およびロウサイドMOSFET197を駆動するPWM信号が形成される。このようにして、図8に示されているように、電源電圧が、希望の電圧V1となるようにフィードバック制御される。

【 0 0 7 1 】

次に、時刻t1において、シリアル通信線を介して、CPU25から動作モードレジスタに、放電モードが指定されると、モードコントロール回路103により、位相クロック生成部21によるクロック信号Clockの生成が中止される。また、モードコントロール回路103によって、検出比較回路101が動作状態とされる。上記したエラーアンプ23の出力電圧の値は、負荷電流によって決まる。この負荷電流によって決まる電圧を中

10

20

30

40

50

心して、測定電圧と目標電圧の差（誤差量）に従って上下に電圧が変化する。そのため、目標電圧を大きく変更（低下）させた場合、誤差量が大きくなり、後で説明するが時刻 t_3 で電源電圧が希望の値に到達しても、エラーアンプ 23 の応答遅れにより、電源電圧が更に低下するという状況が起こる。

【0072】

一方、動作モードレジスタに、放電モードが指定されると、MCU5は、DACデジタルステップ制御部20に対して、所定の刻み（ステップ）で、目標電圧が下がるようにDAC22に供給されるDACデジタルステップ制御部20の出力であるデジタルデータを変化させるように指示をする。これにより、図8の(A)に2点破線で示されているように、DAC22から出力される目標電圧は段階的に低下する。これにより、エラーアンプ23の出力電圧の値は、上記した中心の電圧近辺に滞在することになり、エラーアンプの遅延によるフィードバックの遅れを低減することが可能となる。

10

【0073】

時刻 t_1 において、DAC22から出力されている目標電圧が低下すると、低下した時点では、センスアンプ24の出力電圧（測定電圧）は目標電圧（第3目標電圧）よりも低くなるため、エラーアンプ23の出力電圧は、中心電圧（所定の電圧102）よりも低い値となる。前記したように、放電モードでは、ハイサイドMOSFET196およびロウサイドMOSFET197から給電が行われない。そのため、CPU25に供給されている電源電圧は、容量29等に蓄えられている電荷が放電することにより、次第に低下する。電源電圧が、放電により低下すると、エラーアンプ23に供給されている電圧間の差が小さくなり、その出力電圧が、所定の電圧102に向けて上昇をする。この上昇により、エラーアンプ23の出力電圧が、所定の電圧102に到達すると、検出比較回路101の出力が反転し、一致したことが検出され、MCU5に伝えられる。

20

【0074】

MCU5は、検出比較回路101から一致の指示を受けると、コマンド判定回路12を介してDACデジタルステップ制御部20に対して、DAC22に供給されるデジタルデータを変更する様に指示する。この指示により、DACデジタルステップ制御部20は、DAC22から出力される目標電圧が1ステップ低下する様なデジタルデータを出力し、これを受けて、DAC22は、図8の(A)に2点破線で示されている様に、目標電圧を1ステップ低下させる。エラーアンプ23は、1ステップ低下された目標電圧（第4目標電圧）と、センスアンプ24から出力されている測定電圧とを比較する。前述したのと同様に、エラーアンプ23の出力電圧は、一旦所定の電圧102より低い電圧となり、その後で、所定の電圧102に到達する様に上昇する。以後、上述した動作が繰り返される。

30

【0075】

放電モードにおいて、CPU25に供給されるべき電源電圧が、希望の電源電圧V2に到達（図8の(A)において時刻 t_3 ）すると、MCU5は、モードコントロール回路103に対して、PFM(Pulse Frequency Modulation)制御を実行させるように指示を行う。PFM制御の指示を受けることにより、モードコントロール回路103は、位相クロック生成部21が、検出比較回路101からの出力電圧に従った位相を有するクロック信号Clockを生成する様に、位相クロック生成部21を制御する。これにより、電圧レギュレータ30-1~30-3内のハイサイドMOSFETとロウサイドMOSFETは、目標電圧（希望の電源電圧V2に対応した目標電圧）と測定電圧との差に従って、オン/オフ制御される。なお、PFM制御は、PWM制御と異なり、たとえばハイサイドMOSFETをオン状態にしているパルス幅（時間軸上でのパルス幅）が変わるのではなく、オン状態にしている周波数が変わる。すなわち、位相クロック生成部21から出力されるクロック信号Clockの周波数が、目標電圧と測定電圧との差に従って変化することにより、希望の電源電圧V2になるように制御される。このように、PFM制御にすることにより、CPU25の電源電圧を低く（V2）したときの電圧レギュレータでの消費電力を低減することが可能となる。

40

【0076】

50

また、P F M制御へ移行する際、エラーアンプ23から検出比較回路101へ供給されている電圧は、参照電圧として供給されている所定の電圧102から比較的離れた電圧値ではなく、比較的に近い電圧値となっている。そのため、P F M制御へ移行した際に、電圧レギュレータの出力電圧が比較的大きく変化することを防ぐことが可能となり、電源電圧が希望の電圧値に収束する時間を短くすることが可能となる。

【0077】

放電モードにおいて、電源電圧が希望の電源電圧V2に到達したか否かは、D A C 2 2から出力されている目標電圧に対応したデジタルデータの値が、コマンド判定回路12のレジスタに保持されているため、この値をM C U 5で判定することで、判断することが可能である。

10

【0078】

放電モードの途中で、たとえば、C P U 2 5から電源電圧の値を変更する指示(図8の(A)において電圧Vx)が供給された場合(図8の(A)において時刻t2)、S V I Dコマンド判定回路12から、D A Cデジタルステップ制御部20に対して出力するデジタルデータの変更が指示される。この場合も、時刻t2における目標電圧に対応したデジタルデータが、D A Cデジタルステップ制御部20から出力されているため、変更の指示を受けた際のデジタルデータとの差分を把握することができる。すなわち、上昇を指示された時点での起点の電圧値と、上昇させるべき電圧値を知ることができ、同図の(A)において、破線で示されている様に、時刻t2から上昇させることができる。上昇させる場合は、モードコントロール回路103を介して、位相クロック生成部21に対して周期的なクロック信号を形成させるようにして、P W M制御を実施してもよいし、目標電圧と測定電圧に従った周波数のクロック信号を形成する様にして、P F M制御を実施してもよい。

20

【0079】

上記したステップで低下させる電圧値は、固定値でも良いし、電源電圧を低下させる前、たとえば放電モードに移行する前における電流センス回路104からの電流値に従って決定してもよい。電流センス回路104からの電流値に従って決定する場合には、A D C 1 7を介してD S P 3 6に供給される電流センス回路104の出力に従って、M C U 5が、1ステップで低下させる電圧値に応じたデジタルデータを形成し、コマンド判定回路12を介してD A Cデジタルステップ制御部20に保持させる。D A Cデジタルステップ制御部20は、この保持したデジタルデータに従って、ステップ毎に低下させたデジタルデータをD A C 2 2に供給して、目標電圧を形成する。また、ステップ毎に、低下させる電圧値は、異なるようにしてもよい。たとえば、放電モードにおいて、負荷(たとえばC P U 2 5)変動により、電源電圧の低下速度に合わせて、ステップ毎の低下電圧を変えるようにしてもよい。このためには、検出比較回路101からの出力をM C U 5に割り込み信号として供給するようにし、所定時間よりも割り込み信号が短い期間で供給される場合には、D A Cデジタルステップ制御部20に格納されているデジタルデータをインクリメントし、1つのステップで低下させる目標電圧の値を大きくするようにしてもよい。これにより、より短時間で希望の電源電圧V2への低下を検出することができる。

30

【0080】

上記した第3目標電圧は、図8からも理解されるように、電源電圧を低下させる前の電圧V1に対応した第1目標電圧と低下させた後の電圧V2に対応した第2目標電圧との間の電圧であって、上記第4目標電圧は上記第3目標電圧と第2目標電圧との間の電圧である。このように、D A C 2 2は、D A Cデジタルステップ制御部20からのデジタルデータに従って電圧を形成するため、電圧発生回路と理解することもできる。また、検出比較回路101は、目標電圧と測定電圧との間の差電圧が、ほぼ0Vになったとき、言い換えるならばエラーアンプ23の出力電圧が所定の電圧102に到達したか否かを、所定の電圧102と比較することにより、検出している。従って、検出比較回路101は、検出回路と見なすことができる。また、エラーアンプ23の出力に従ってD A C 2 2に供給されるデジタルデータを形成するところのA D C 1 7、S V I Dコマンド判定回路12、D S

40

50

P 3 6、D A C デジタルステップ制御部 2 0、および M C U 5 は、デジタル制御部を構成していると思なすこともできる。

【 0 0 8 1 】

なお、電圧レギュレータは、たとえば、時刻 t 1 までは、3 個の電圧レギュレータを活性化し、P W M 制御で電圧を供給する様にし、時刻 t 3 以降は、1 個の電圧レギュレータ (たとえば、3 0 - 1) のみを活性化し、P F M 制御で電圧を供給する様にしてもよい。

【 0 0 8 2 】

図 9 には、図 7 で説明したコントローラ 1 の一部を変更した実施の形態が示されている。図 9 において、図 7 と同じ符号が付されている部分は、同じ機能を果たす部分であり、その説明は省略する。図 7 に示した実施の形態と異なる部分について、以下に説明をする。なお、図 9 では、図 7 に示したコントローラの構成のうちでも、この実施の形態を説明するのに必要でない部分は、図面が複雑になるのを避けるために、省略されている、

【 0 0 8 3 】

低消費電力化を図るために、C P U 2 5 の動作状態に応じて C P U 2 5 に供給される電源電圧を急速に変更することがある。たとえば、C P U 2 5 に対して高い負荷状態を短時間で実行させ、軽負荷状態を比較的長くするようなこと (いわゆる、P o w e r - b o o s t) が考えられる。このような場合、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 を駆動するクロック信号は比較的高くし、容量 2 9 は比較的小さいことが望まれる。しかしながら、クロック信号の周波数を高くし、容量を小さくすると、C P U 2 5 の動作状態の変化あるいは変動により、電圧レギュレータの出力電圧の波形が大きく変化することが生じる。

【 0 0 8 4 】

C P U 2 5 が高負荷状態から低負荷状態へ推移するとき、たとえば図 8 に示したように、コントローラ 1 および電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 により、電源電圧は電圧 V 1 から V 2 へ変化させられる。この場合、コントローラ 1 は、電圧 V 1 を給電するために、電圧レギュレータを P W M 制御で駆動し、電圧 V 2 を給電するために、電圧レギュレータを P F M 制御で駆動する。このように P W M 制御と P F M 制御とを使い分けることにより、電源効率の向上を図ることができる。

【 0 0 8 5 】

P W M 制御と P F M 制御の遷移は、一例を図 7 および図 8 で説明したが、図 9 に示されているシリアル通信線を介して S V I D コマンド判定回路 1 2 へコマンドを供給することにより行われる。M C U 5 は、S V I D コマンド判定回路 1 2 を介して供給されたコマンドに従って、モードコントロール回路 1 0 3 を制御する。モードコントロール回路 1 0 3 は、P F M 制御が指示された場合、検出比較回路 1 0 1 を動作させる。図 9 では、M C U 5 により、モードコントロール回路 1 0 3 を制御する例を示しているが、図 7 と同様に、S V I D コマンド判定回路 1 2 によりモードコントロール回路 1 0 3 を制御する様にしてもよい。

【 0 0 8 6 】

これにより、P F M 制御においては、検出比較回路 1 0 1 は、エラーアンプ 2 3 の出力電圧が所定の電圧 1 0 2 に達したことを検出し、それを位相クロック生成部 2 1 に伝える。位相クロック生成部 2 1 は、伝えられたタイミングでクロック信号 C l o c k を形成し、電圧レギュレータ 3 0 - 1 ~ 3 0 - 3 に供給する。電圧レギュレータにおいては、クロック信号 C l o c k のタイミングに合わせて、固定時間だけ、ハイサイド M O S F E T またはロウサイド M O S F E T をオン状態にする。エラーアンプ 2 3 の出力電圧が所定の電圧に到達するタイミングは、目標電圧と測定電圧との差によって変化するため、ハイサイド M O S F E T / ロウサイド M O S F E T をオン状態にする周波数が、目標電圧と測定電圧との差によって変わることになる。すなわち、C P U 2 5 に供給される電流変動は、ハイサイド M O S F E T / ロウサイド M O S F E T をオン / オフさせる周波数によって補償される。低負荷状態では、C P U 2 5 に供給される電流が少なくなるため、周波数を抑えることにより、コントローラ 1 および電圧レギュレータでの消費電力を抑えることが可能

10

20

30

40

50

となる。P F M制御による電力供給を、以下ではP S 2モードと称する場合がある。

【0087】

一方、P W M制御においては、エラーアンプ23の出力電圧のレベルが、P W M比較器321で検出され、その検出結果に従ってパルス発生回路322が動作し、パルス発生回路322によって、ハイサイドM O S F E TおよびロウサイドM O S F E Tを駆動するP W M波形が形成される。このように、P W M制御においては、C P U 25へ供給する電流に応じて、ハイサイドM O S F E T /ロウサイドM O S F E Tのオン / オフしている時間が変わる(周期は一定)。なお、図9において、P W M比較器321は、図1に示したP W M比較器31に相当し、パルス発生回路322は、図1に示したラッチ回路32とM O S制御部198とを含んでいると理解させたい。上記P S 2モードと区別するために、P W M制御による電力供給を、以下ではP S 1モードと称する場合がある。

10

【0088】

P S 2モードにおいては、検出比較回路101が使われるが、この比較のための参照電圧である所定の電圧102を高く設定すると、エラーアンプ25の出力電圧が、この参照電圧に到達するまでに時間がかかるため、ハイサイドM O S F E T /ロウサイドM O S F E Tをオン / オフする周波数が、低くなる。その結果として、コントローラおよび電圧レギュレータの消費電力の低減を図ることは可能となるが、電源電圧におけるリップルが増え、またピーク電流が増加し、ハイサイドM O S F E Tの導通損失が大きくなる。一方、参照電圧である所定の電圧102を低く設定すると、ハイサイドM O S F E T /ロウサイドM O S F E Tをオン / オフする周波数が、高くなる。そのため、この場合には、電圧レギュレータでの損失が増大する。

20

【0089】

参照電圧である所定の電圧102の値は、上記したリップルの増加、ピーク電流の増加、導通損失および損失を考慮して設定される。P S 1モードからP S 2モードへ移行する場合を考えた場合、P S 1モードでの電流供給の能力が低下され、続いてP S 2モードへ移行すると考えられる。P S 1モードで、電流供給の能力を低下する場合、ハイサイドM O S F E Tのオン時間を短くするように、エラーアンプ23の出力電圧の値は、低くなる。一方、P S 2モードでの参照電圧は、上記した事項(リップルの増加、電圧レギュレータの損失増加等)を考慮して決定される。そのため、P S 1モードからP S 2モードへ移行するときに、検出比較回路101に供給される参照電圧とエラーアンプ23の出力電圧との間に比較的大きな電位差が生じる。たとえば、この移行時において、参照電圧に比べてエラーアンプ23の出力電圧が低いと言う様な状態が生じる。このような状態が生じると、移行直後においては、検出比較回路101は一致を検出しないことになり、位相クロック生成部21がクロック信号C l o c kを形成せず、電圧レギュレータ30-1~30-3が動作せずに、C P U 25の電源電圧が一時的に低下(D r o o p)する。上記した様に、低消費電力化のために容量29が小さくされた場合には、モード変更時に、特に電源電圧が比較的大きく低下することが考えられ、電源電圧がC P U 25の動作下限電圧を下回るような状況が発生することが危惧される。

30

【0090】

図9に示された実施の形態においては、参照電圧である所定の電圧102が供給される検出比較回路101の入力ノードに制御回路106が接続されている。制御回路106は、モードコントロール回路103からの信号により制御される。モードコントロール回路103は、P W M制御からP F M制御へ移行するとき(たとえば、P S 1モードからP S 2モードへ移行するとき)、制御回路106に対して、その出力を変更するように指示を発生する。後で図10を用いて説明するが、この指示を受けて、制御回路106は、参照電圧を一時的に変更する(たとえば、参照電圧を低下させる)。これにより、P S 1モードからP S 2モードへ移行するとき、参照電圧である所定の電圧102を低下させることができ、モード移行時に検出比較回路101の一对の入力ノード間に印加される電圧差(エラーアンプ25の出力電圧と、制御回路106により変更された参照電圧との間の電圧差)を減らすことができる。そのため、P F M制御に移行したとき、位相クロック生成部

40

50

21によるクロック信号Clockの生成の遅延を低減することが可能となり、電源電圧が大きく低下するのを防ぐことが可能となる。

【0091】

図10は、制御回路106の回路図である。同図において、400、403、404は抵抗素子であり、401および402はMOSFETであり、405は容量素子である。抵抗素子403と404を電源Vcと回路の接地電圧Veとの間に直列に接続することにより、電源電圧Vcを抵抗素子403と404とで分圧し、参照電圧である所定の電圧102を形成する。抵抗素子404と並列接続された容量素子405は、参照電圧の安定化をはかるために設けられており、形成された参照電圧は、図9の検出比較回路101の入力ノードに供給される。抵抗素子400とMOSFET401は、インバータ接続され、その出力がMOSFET402のゲートに供給されている。MOSFET402は、抵抗素子404と並列接続され、スイッチ素子として機能する。MOSFET401のゲートに図9のモードコントロール回路103からの信号が供給される。

10

【0092】

PWM制御からPFM制御へ移行する際に、モードコントロール回路103からは、ハイレベルからロウレベルへ変化し、所定時間後にロウレベルからハイレベルへ戻る制御信号が供給される。これにより、PWM制御からPFM制御へ移行する際、MOSFET402が上記の所定時間だけオン状態となり、参照電圧が低下される。

【0093】

図9と図10との対応関係を述べておくと、抵抗素子400とMOSFET401、402により制御回路106が構成され、抵抗素子403、404および容量素子405によって所定の電圧102が構成されている。

20

【0094】

図11には、制御回路106の変形例が示されている。図11において、図10と同じ部分には、同じ符号を付しており、その説明は省略する。図11において、制御回路106は、モードコントロール回路103からの制御信号によってスイッチ制御されるスイッチ406、アンプ407およびDAC408を有する。PWM制御（たとえば、PS1モード）のとき、モードコントロール回路103によってスイッチ406は、オン状態にされている。これにより、DAC408からのアナログ電圧はアンプ407により増幅され、検出比較回路101の入力ノードに供給される。このとき、抵抗素子403および容量素子405により形成された参照電圧も検出比較回路101の入力ノードに供給されているが、アンプ407の出力電圧の値によって検出比較回路101の入力ノードの電圧はクランプされる。PWM制御からPFM制御へ移行する際に、スイッチ406はモードコントロール回路103からの制御信号により、オフ状態にされる。これにより、検出比較回路101の入力ノードにおける電圧は、クランプされた電圧から、参照電圧（抵抗素子403と抵抗素子404による分圧電圧）へ変化する。このようにすることにより、PWM制御からPFM制御へ移行する際、参照電圧よりも低いクランプ電圧が検出比較回路101の入力ノードに印加され、時間経過とともに入力ノードの電圧は、参照電圧に向けて変化する。この変形例においては、アンプ407の増幅率とDAC408に与えるデジタルデータにより、クランプ電圧を変更することができる。なお、DAC408に与えるデジタルデータは、MCU5により変更してもよいし、固定にしてもよい。

30

40

【0095】

図7に示した実施の形態に図9に示した実施の形態を適用した他の実施の形態がある。この実施の形態においては、図7に示した検出比較回路101の入力ノードに、図9に示した制御回路106の出力が接続される。すなわち、検出比較回路101（図7）と所定の電圧102（図7）との接続ノードに、制御回路106の出力が接続される。また、制御回路106の入力は、モードコントロール回路103（図7）に接続される。この場合も、PWM制御により電源電圧を形成しているPS2モードから、PFM制御により電源電圧を形成するPS1モードへ変更するとき、所定の電圧102（図7）の電圧が制御回路106によって一時的に低下される。

50

【 0 0 9 6 】

図 1 2 には、図 1 に示したコントローラ 1 の一部を変更した実施の形態が示されている。この実施の形態においては、図 1 に示したコントローラ 1 のうち、エラーアンプ 2 3、D A C 2 2 および差動アンプ 2 4 の部分に変更されている。図 1 2 では、コントローラ 1 は破線で示されており、コントローラ 1 において、図 1 2 に示されていない部分は、図 1 のコントローラ 1 の部分と同じであるので、その詳細な説明は省略する。

【 0 0 9 7 】

同図において、T 1、T 2、F B、E 1、E 0 は、コントローラ 1 の外部端子を示している。外部端子 T 1 および T 2 には、C P U 2 5 の電源電圧 V S E N 1 および V S E N 2 が供給され、外部端子 E 0 は、図 1 に示した P W M 比較器 3 1 の反転入力端子に接続される。外部端子 E 1 と E 0 との間には、抵抗素子 4 2 6 および容量素子 4 2 7、4 2 8 により構成されたループフィルタが接続されている。また、外部端子 F B と外部端子 E 1 との間には、差動アンプ 2 4 の出力とエラーアンプ 2 3 の反転入力端子との間を接続する負荷抵抗素子 4 2 5 が接続されている。

10

【 0 0 9 8 】

図 1 では、詳細に示されていないが、差動アンプ 2 4 の反転入力端子 (-) には、帰還抵抗素子 4 2 4 を介してその出力が帰還され、抵抗素子 4 2 3 を介して C P U 2 5 の電源電圧 V S E N 2 が供給される。また、差動アンプ 2 4 の非反転入力端子 (+) には、バイアス用の抵抗素子 4 2 1 を介して電源電圧 V c が供給され、抵抗素子 4 2 2 を介して C P U 2 5 の電源電圧 V S E N 1 が供給される。周知のように、差動アンプ 2 4 の増幅率は、これらの抵抗素子 4 2 1 ~ 4 2 4 の値により定められる。差動アンプ 2 4 の出力は、負荷抵抗素子 4 2 5 を介して、エラーアンプ 2 3 の反転入力端子 (-) に供給され、エラーアンプ 2 3 の非反転入力端子 (+) には目標電圧を形成する D A C 2 2 の出力が供給される。D A C 2 2 は、D A C デジタルステップ制御部 2 0 (図 1) からのデジタルデータに従って、目標電圧を形成する。

20

【 0 0 9 9 】

同図において、一点破線は電流 D A C を示しており、D A C デジタルステップ制御部 2 0 からの信号に従って動作を開始し、D A C デジタルステップ制御部 2 0 からのデジタルデータに従った電流を形成する。電流 D A C の出力は、エラーアンプ 2 3 の反転入力端子 (-) に接続されており、デジタルデータに従ったシンク電流が負荷抵抗素子 4 2 5 を介して差動アンプ 2 4 に供給される。電流 D A C 4 2 0 は、それぞれのソースが回路の接地電圧に接続され、ゲートが共通接続された M O S F E T 4 2 9 ~ 4 3 2 を有する。M O S F E T 4 2 9 のゲートはさらにそのドレインに接続され、ドレインと電源電圧 V c との間には定電流回路 4 3 6 が設けられている。M O S F E T 4 3 0 ~ 4 3 2 のそれぞれのドレインと電流 D A C 4 2 0 の出力との間には、スイッチ回路 4 3 3 ~ 4 3 5 が接続されており、それぞれのスイッチ回路 4 3 3 ~ 4 3 5 は、D A C デジタルステップ制御部 2 0 からのデジタルデータに従ってオン/オフ状態にされる。M O S F E T 4 2 9 ~ 4 3 2 によりカレントミラー回路が構成されており、M O S F E T 4 2 9 に対する各 M O S F E T 4 3 0 ~ 4 3 2 のそれぞれのサイズ比を設定することにより、定電流回路 4 3 6 の電流とサイズ比に沿った電流を、スイッチ回路 4 3 3 ~ 4 3 5 のオン/オフにより、電流 D A C 4 2 0 から出力 (引き抜く) される。すなわち、D A C デジタルステップ制御部 2 0 からのデジタルデータに従った値のシンク電流が負荷抵抗素子 4 2 5 に供給される。

30

40

【 0 1 0 0 】

図 1 3 には、D A C 2 2 の出力電圧および C P U 2 5 の電源電圧の波形が示されている。図 1 3 において、横軸は時間を示しており、縦軸は電圧を示している。また、同図において、実線は D A C 2 2 の出力電圧の波形を示し、一点破線は C P U 2 5 に供給される電源電圧の波形を示している。図 1 3 の (C) に示されている二点破線は、エラーアンプ 2 3 の出力電圧を示している。

【 0 1 0 1 】

図 1 3 の (A) は、電流 D A C 4 2 0 を設けない場合の波形を示している。図 1 3 では

50

、目標電圧が電源電圧と同じ値の例が示されている。目標電圧は、電源電圧と異なる電圧値であってもよい。たとえば、電源電圧を分圧することのより測定電圧を形成するようにした場合、測定電圧および目標電圧の電圧値は、電源電圧と異なる値となる。ここでは、説明を容易にするために、目標電圧と電源電圧とが同じ値の場合を例として説明する。

【0102】

CPU25から、コントローラ1に対して電源電圧を、電圧V1からV2へ低下させるコマンドが供給されると、このコマンドに回答して、電圧指示値レジスタ18が変更される。この変更は、DACデジタルステップ制御部20に伝えられ、DACデジタルステップ制御部20から、DAC22に対して、目標電圧を、電圧指示値レジスタ18に格納された値に変更する旨の指示が、時刻t1で発行される。これにより、時刻t1において、DAC22は、電圧V1からV2へ低下する目標電圧を出力する。時刻t2において、DAC22から出力される目標電圧は、指示された電圧V2に到達する。しかしながら、電源電圧は、一点破線で示されている様に電圧V2よりもさらに低下し、また電圧V2に戻るような振動をする。時刻t3以降は、電源電圧の振動も収束する。

10

【0103】

図13の(B)には、DAC22から出力される目標電圧にオフセット電圧を設けた波形の例が示されている。すなわち、DAC22からは、時刻t2までは電圧V2よりも高い電圧を目標電圧として出力させ、時刻t3以降で、電圧V2を目標電圧とし出力させている。このようにすることにより、電源電圧は、一点破線で示されている様に、時刻t1で電圧V2近辺まで低下し、時刻t3以降で電圧V2迄低下する。そのため、電源電圧が目標電圧V2に到達するのに時間を要することになるが、電源電圧の波形が電圧V2よりも落ち込むことを低減することは可能となる。

20

【0104】

図13の(C)には、図12に示した回路の動作波形が示されている。図13の(A)と同じように、CPU25からのコマンドに従って、時刻t1からDAC22の出力電圧が(目標電圧)が、V1からV2へ変更される。この時刻t1において、電流DAC420も、動作状態にされる。この実施の形態においては、電流DAC420から出力されるシンク電流は、時間に沿って、その値が変化するように、DACデジタルステップ制御部20から、DAC420へ供給されるデジタルデータが変化される。すなわち、時刻t1において、所定のシンク電流を電流DAC420が負荷抵抗素子425に供給する様にされ、電源電圧が電圧V2に到達する時刻t2になるまで、シンク電流が増加する様なデジタルデータが形成され、DAC420へ供給される。シンク電流が増加するにしたがって、オフセット電圧は大きくなる。電源電圧が電圧V2に到達すると、DACデジタルステップ制御部20は、シンク電流を減少させる様なデジタルデータを形成し、DAC22に供給する、これにより、オフセット電圧は低下する。図1で述べた様に、電源電圧は、たとえば、ADC17により検出され、MCU5あるいはDSPにより、電圧V2に到達したか否かの判断が実施される。MCU5あるいはDSPにより、電源電圧が電圧V2に到達したことを判断したタイミングで、DACデジタルステップ制御部20から出力されるデジタルデータを変更するようにすれば、上記のように、シンク電流を増加させ、その後で減少させることが出来る。このようにすることにより、電源電圧の波形は電圧V2よりも落ち込むことを防ぐことが可能となる。また、図13の(B)のように、DAC22の目標電圧を途中で変更しなくてもよいため、収束の時間を短くすることも可能である。さらに、DAC22の目標電圧を途中で変更する場合、変更する電圧ステップの幅(電圧値)を小さくするのに制限が生じる。これに対して、電流DAC420を設けることにより、電圧ステップの幅をDAC22とは別に設定することが出来、電源電圧の波形をより細かく制御することが可能となる。なお、電源電圧が電圧V2に到達したか否かの判定は、テレメンタリ処理あるいは図7に示した例を用いて判定してもよい。

30

40

【0105】

図13の(C)からも理解されるように、電流DAC420は、測定電圧を補正するものであり、補正回路と見なすこともできる。

50

【 0 1 0 6 】

図 1 4 には、補正回路の変形例が示されている。図 1 2 では、補正回路である電流 D A C 4 2 0 を半導体チップ内に設けるようにしていたが、図 1 4 の補正回路は半導体チップの外部に設けられる。もちろん、図 1 4 の様に、補正回路をコントローラ 1 の外に設けた場合は、電流 D A C 4 2 0 は不要となる。図 1 4 に示した補正回路は、定電流回路 4 5 0 を受けるダイオード接続の M O S F E T 4 5 9 と、M O S F E T 4 5 9 とカレントミラーを構成する M O S F E T 4 5 8 と、電源電圧を低下させることを表す指示信号 S i により制御される M O S F E T 4 5 7 とを有している。電源電圧を低下させる指示が M O S F E T 4 5 7 に供給されると、M O S F E T 4 5 7 はオン状態となり、カレントミラーにより、定電流回路 4 5 0 の電流に従った電流がバイポーラトランジスタ 4 5 6 のエミッタに供給される。バイポーラトランジスタ 4 5 6 は、そのコレクタとベースが接続され、コレクタは抵抗素子 4 5 2 を介して電源 V c に接続されている。また、このトランジスタ 4 5 6 のベースは、バイポーラトランジスタ 4 5 4 のベースに接続されている。トランジスタ 4 5 4 のエミッタは、抵抗素子 4 5 1 を介して接地電圧に接続され、そのコレクタは上記外部端子 E 1 (図 1 2) に接続されている。トランジスタ 4 5 6 と 4 5 4 はカレントミラーを構成しており、トランジスタ 4 5 6 に流れる電流に従った電流が、トランジスタ 4 5 4 を介して外部端子 E 1 から回路の接地電圧へ流れる。そのため、M O S F E T 4 5 7 をオン状態とすることにより、外部端子 E 1 に接続された負荷抵抗素子 4 2 5 (図 1 2) から電流を引き抜くところのシンク電流が形成される。トランジスタ 4 5 6 のエミッタと回路の接地電圧との間に接続された容量 4 6 0 は、M O S F E T 4 5 7 がオフ状態のときに、エミッタの電位を定めるために設けられている。

10

20

【 0 1 0 7 】

図 1 5 には、図 1 に示したコントローラ 1 の他の実施の形態が示されている。図 1 2 と同様に、図 1 5 には、差動アンプ 2 4、D A C 2 2 およびエラーアンプ 2 3 の部分が示されており、他の部分は図 1 と同じであるため、省略されている。また、図 1 5 において、図 1 2 と同じ部分には、同じ符号を付してあり、同じ符号が付してある部分については、その説明を省略する。図 1 5 に示した実施の形態と、図 1 2 に示した実施の形態と異なるところは、エラーアンプ 2 3 の反転入力端子 (-) に、電流 D A C 5 0 0 が接続されていることである。

【 0 1 0 8 】

電流 D A C 5 0 0 は、電源 V c に、それぞれのソースが接続された M O S F E T 5 0 1 ~ 5 0 4 と、M O S F E T 5 0 2 ~ 5 0 4 のそれぞれのドレインと電流 D A C 5 0 0 の出力との間に接続されたスイッチ回路 5 0 6 ~ 5 0 8 を有する。また、電流 D A C 5 0 0 は、定電流回路 5 0 5 を有している。スイッチ回路 5 0 6 ~ 5 0 8 のそれぞれは、D A C デジタルステップ制御部 2 0 (図 1) からのデジタルデータによってスイッチ制御される。M O S F E T 5 0 1 は、そのドレインとゲートが接続されており、そのドレインに定電流回路 5 0 5 が接続され、M O S F E T 5 0 1 ~ 5 0 4 のゲートは共通に接続されている。M O S F E T 5 0 1 ~ 5 0 4 は、カレントミラー回路として動作する。そのため、デジタルデータに従ってスイッチ回路がオン状態にされると、M O S F E T 5 0 1 ~ 5 0 4 のサイズ比に従って電流が形成され、電流 D A C 5 0 0 から出力される。電流 D A C 5 0 0 は、負荷抵抗素子 4 2 5 に対して電流を供給する方向の電流であるため、ソース電流が、電流 D A C 5 0 0 から負荷抵抗素子 4 2 5 に供給されると理解されたい。

30

40

【 0 1 0 9 】

図 1 6 には、図 1 5 の動作波形が示されている。C P U 2 5 から電源電圧を電圧 V 1 から V 2 へ上昇させる旨のコマンドがコントローラ 1 に供給されると、電圧指示値レジスタ (図 1) の値が変更される。これにより、時刻 t 1 において、D A C デジタルステップ制御部 2 0 から、目標電圧を電圧 V 2 へ上昇させるデジタルデータが出力され、目標電圧である D A C 2 2 の出力電圧が、図 1 6 の (A) において実線で示されている様に上昇する。C P U 2 5 の電源電圧は、フィードバック制御によって、目標電圧に整合する様に上昇する。このとき、電流 D A C 5 0 0 が設けられていない場合、エラーアンプ 2 3 等が有す

50

る動作遅延のため、電源電圧の波形は、図16の(A)において、一点破線で示されている様に変化する。すなわち、動作遅延等により、電圧レギュレータの出力電圧は電圧V2を超えてします(オーバーシュート)。この実施の形態によれば、電源電圧が電圧V2に達したときに(時刻t2)、電流DAC500が動作状態にされる。これにより、ソース電流が負荷抵抗素子425に供給され、測定電圧にオフセット電圧が加えられる。測定電圧はエラーアンプ23の反転入力端子(-)に印加されるため、エラーアンプ23は、その出力電圧を低下させる方向に動作をし、図16の(A)に二点破線で示されている様に、電源電圧が電圧V2を超える電圧を低減する様に動作する。従って、CPU25に供給される電源電圧のオーバーシュートを低減することが可能となる。

【0110】

電流DAC500の出力波形は、図16の(B)に示されている。時刻t2から時刻t3迄の電流加算をしている期間は、たとえば、DACデジタルステップ制御部20に、レジスタの設け、このレジスタに設定する様にしてもよいし、固定値としてもよい。また、この期間に印加される電流値は、電流DAC500に設けられているスイッチ回路506~508のいずれをオン状態にするかによって決まる。いずれのスイッチ回路をオン状態にするかは固定にしてもよいし、レジスタをADCデジタルステップ制御部20に設け、変更できるようにしてもよい。また、電源電圧は、ADC17によりデジタルに変換されるため、MCU5あるいはDSPにより、電源電圧が電圧V2に到達したか否かは判定され、ADCデジタルステップ制御部20を介して、電流DAC500に動作開始の指示をすることが出来る。なお、電源電圧が電圧V2に到達したか否かの判定は、テレメンタリ

【0111】

この場合においても、オーバーシュートを低減するために、測定電圧を補正することから電流DAC500は、補正回路と見なすこともできる。

【0112】

他の実施の形態として、図示はしないが、図12に示した電流DAC420を図15の実施の形態に加えたコントローラ1がある。この実施の形態によれば、電源電圧波形の落ち込みおよびオーバーシュートを低減することが可能となる。

【0113】

以上複数の図面を用いて複数の実施の形態を説明したが、複数の実施の形態は互いに組み合わせても良いことは言うまでもない。

【0114】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【符号の説明】

【0115】

- 1 コントローラ
- 5 MCU
- 7 フラッシュメモリ
- 17 ADC
- 22 DAC
- 23 エラーアンプ
- 24 センスアンプ
- 25 CPU
- 30 - 1 ~ 30 - 3 電圧レギュレータ
- 34 タイマ
- 35 制御回路
- 36 DSP
- 37 メモリ

10

20

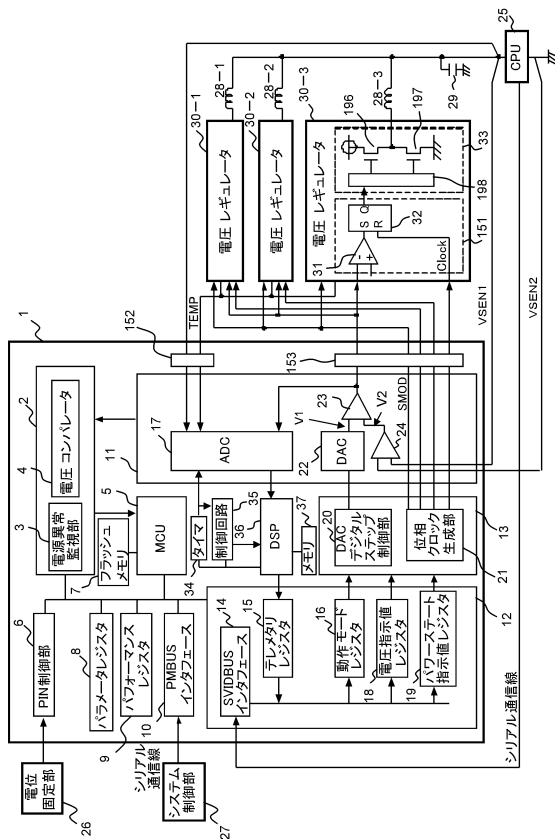
30

40

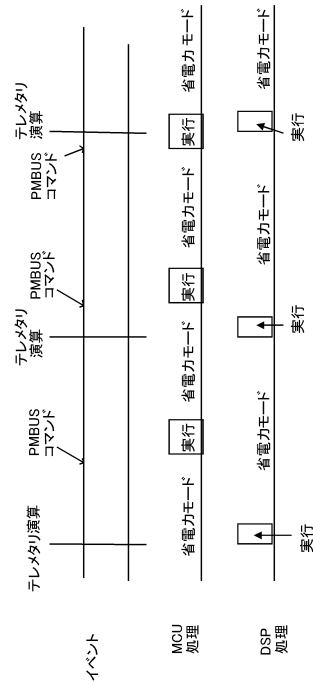
50

- 1 0 1 検出比較回路
- 1 0 3 モードコントロール回路
- 1 0 6 制御回路
- 4 2 0、5 0 0 電流DAC

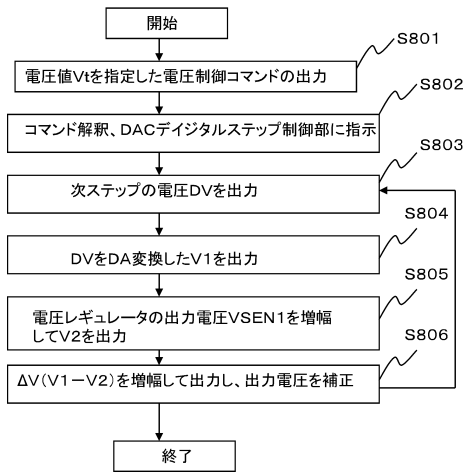
【 図 1 】



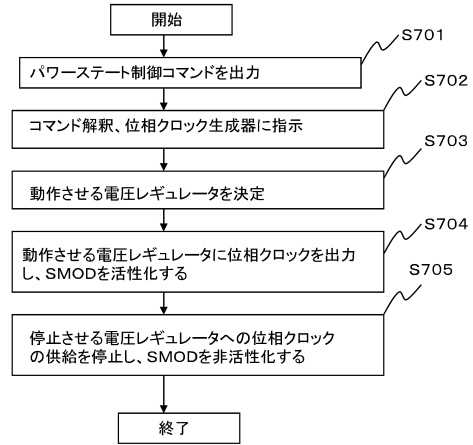
【 図 2 】



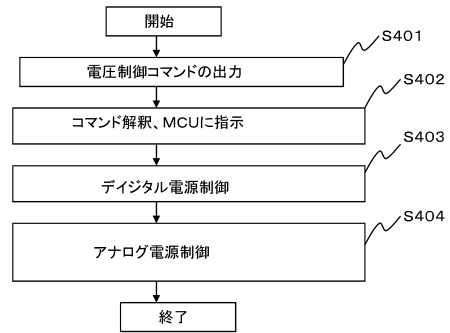
【図3】



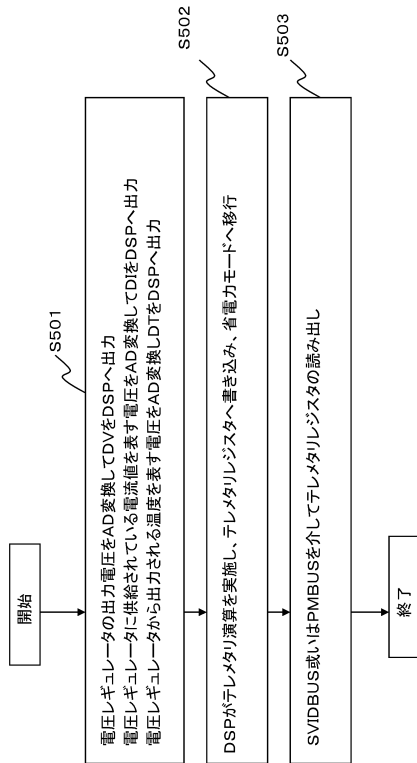
【図4】



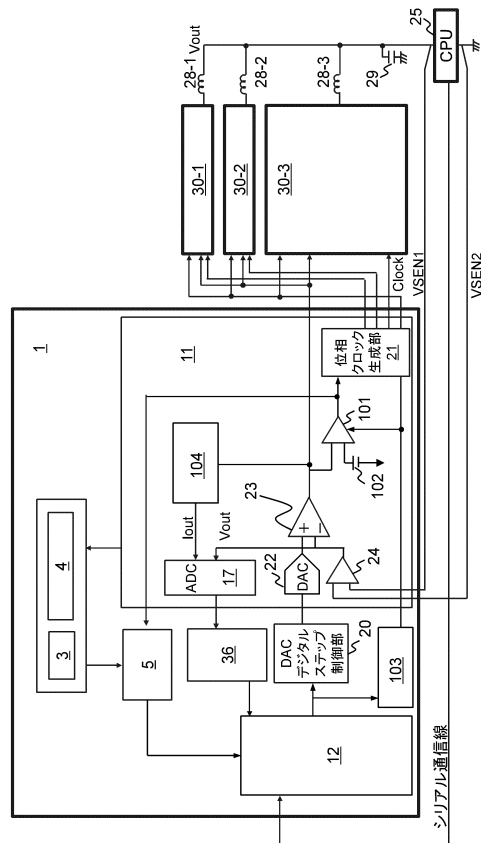
【図5】



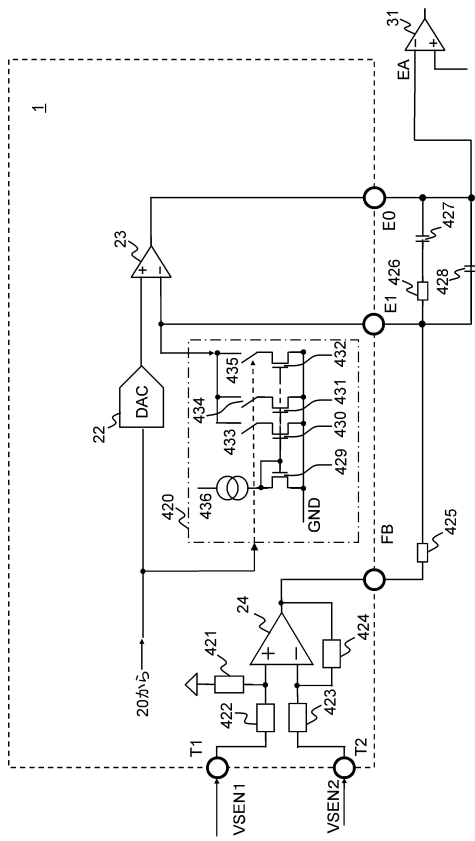
【図6】



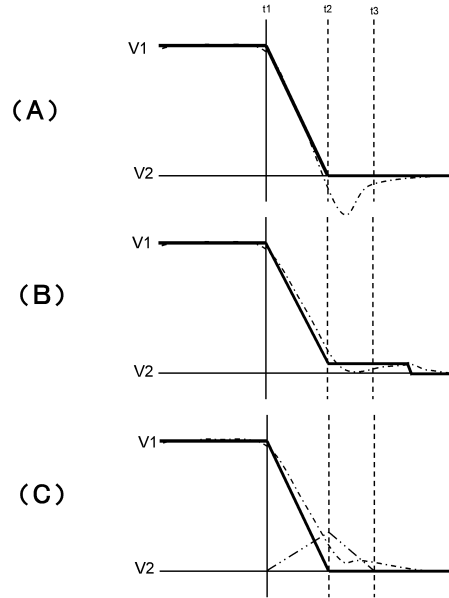
【図7】



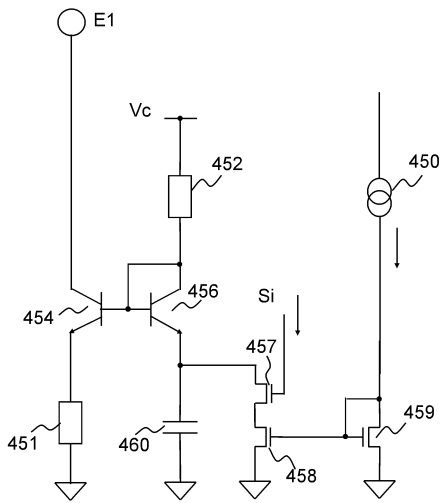
【 図 1 2 】



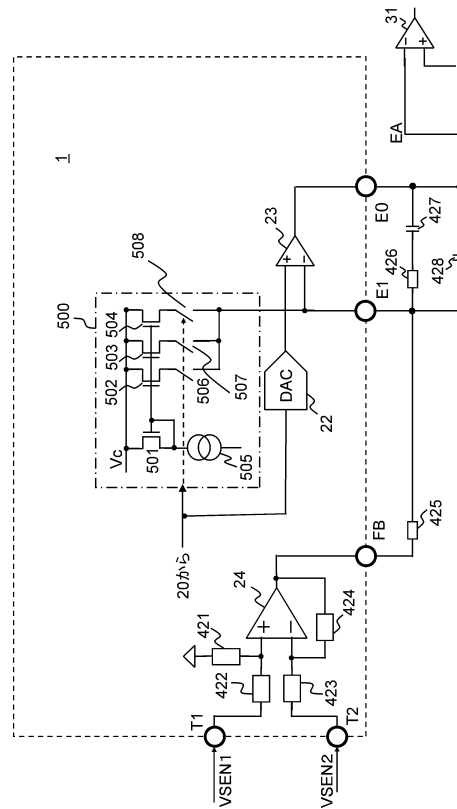
【 図 1 3 】



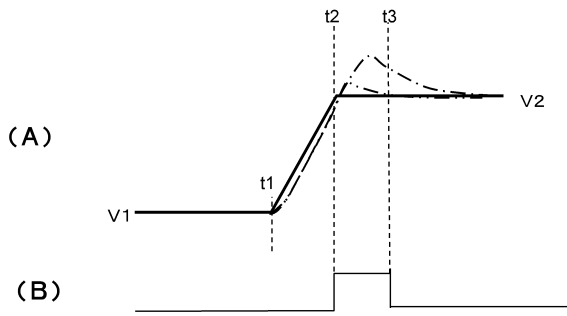
【 図 1 4 】



【 図 1 5 】



【 16 】



フロントページの続き

- (72)発明者 長澤 俊夫
兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内
- (72)発明者 牧瀬 拓也
兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内

審査官 東 昌秋

- (56)参考文献 米国特許出願公開第2011/0316518 (US, A1)
国際公開第2012/101822 (WO, A1)
米国特許出願公開第2001/0045815 (US, A1)
特開2009-219184 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|------|
| H02M | 3/00 |
| G06F | 1/00 |