

【發明說明書】

【中文發明名稱】 執行編程操作的非揮發性記憶體裝置及其操作方法

【英文發明名稱】 NONVOLATILE MEMORY DEVICE PERFORMING

PROGRAM OPERATION AND OPERATION METHOD THEREOF

【技術領域】

【0001】 本發明的示例性實施例關於一種半導體設計技術，並且更具體地，關於一種執行編程操作的非揮發性記憶體裝置。

【先前技術】

【0002】 由於近來計算環境的變化，便攜式電子設備（諸如行動電話、數位相機和筆記型電腦）的使用迅速增加。這些便攜式電子設備通常使用具有記憶體裝置（即，資料儲存裝置）的記憶體系統。資料儲存裝置被用來作為便攜式電子設備的主記憶體裝置或輔助記憶體裝置。

【0003】 使用記憶體裝置的資料儲存裝置由於沒有行動組件而提供良好的穩定性、耐用性、高資訊存取速度和低功耗。具有這些優點的資料儲存裝置的示例包括通用序列匯流排（USB）記憶體裝置、具有各種介面的記憶卡以及固態硬碟（SSD）。

【發明內容】

【0004】 各種實施例針對一種非揮發性記憶體裝置，其能夠抑制由於在編程操作中產生的邊際場而由鄰近字元線之間的區域中俘獲的電荷引起的單元閾值電壓的移位（即，Z-干擾）。

【0005】 在一個實施例中，一種非揮發性記憶體裝置包括：層疊的複數個字元線；垂直通道區，其適用於與字元線一起形成單元串；以及電壓供應器，其適用於供應對字元線的編程操作所需的複數個偏壓，其中，在施加到選中的字元線的編程電壓的脈衝區段的端部處，負偏壓被施加到與選中的字元線相鄰設置的鄰近字元線。

【0006】 在一個實施例中，一種用於操作具有形成單元串的複數個字元線的非揮發性記憶體裝置的方法包括：將編程電壓施加到選中的字元線並且將通過電壓施加到未選中的字元線；以及在將編程電壓施加到選中的字元線的同時，將負偏壓施加到未選中的字元線之中與選中的字元線相鄰設置的鄰近字元線。

【0007】 相關申請案的交叉引用：

本申請案請求於 2017 年 6 月 29 日提交的名稱為 “PROGRAMMING METHOD FOR REDUCING CHARGE-TRAPPING BETWEEN ADJACENT WORD LINES” 的美國臨時專利申請案 No.62/526,632 的優先權，其透過引用整體合併於此。

【圖式簡單說明】

【0008】

圖1是示出根據一個實施例的包括記憶體系統的資料處理系統的示圖。

圖2是示出圖1所示的記憶體系統中的記憶體裝置的示圖。

圖3是示出根據一個實施例的記憶體裝置中的記憶體區塊的電路圖。

圖4至圖11是示意性地示出圖2所示的記憶體裝置的示圖。

圖12是示出根據本發明的一個實施例的非揮發性記憶體裝置的編程操作中的線偏置的示圖。

圖13A是示出圖12所示的編程操作中的偏置波形的示圖。

圖13B是示出根據本發明的一個實施例的非揮發性記憶體裝置的編程操作的流程圖。

圖14至圖22是示意性地示出根據本發明的各種實施例的圖1所示的資料處理系統的示例性應用的示圖。

【實施方式】

【0009】 下面將參考圖式更詳細地描述各種實施例。然而，本發明可以以不同的形式來實施，並且不應該被解釋為限於本文所闡述的實施例。相反，提供這些實施例使得本發明將是透徹和完整的，並且將本發明的範圍充分地傳達給本領域技術人員。貫穿本發明，在本發明的各個圖式和實施例中，相同的圖式標記代表相同的組件。

【0010】 圖 1 是示出根據一個實施例的包括記憶體系統的資料處理系統的方塊圖。

【0011】 參考圖 1，資料處理系統 100 可以包括主機 102 和記憶體系統 110。

【0012】 主機 102 可以包括：例如，諸如行動電話、MP3 播放器和膝上型電腦的便攜式電子設備，或者諸如桌上型電腦、遊戲機、電視機和投影機的電子設備。

【0013】 記憶體系統 110 可以回應於來自主機 102 的請求而操作，並且具體地，儲存要由主機 102 存取的資料。即，記憶體系統 110 可以作為主機 102 的主記憶體系統或輔助記憶體系統。根據與主機 102 電耦接的主機介面的協定，記憶體系統 110 可以用各種儲存裝置中的任意一種來實現。記憶體系統 110 可以用各種記憶體裝置（諸如固態硬碟（SSD）、多媒體卡（MMC）、嵌入式 MMC（eMMC）、縮小尺寸 MMC（RS-MMC）和微型 MMC、安全數位（SD）卡、迷你 SD、微型 SD、通用序列匯流排（USB）儲存裝置、通用快閃記憶體儲存（UFS）裝置、緊湊式快閃記憶體（CF）卡、智慧媒體（SM）卡、記憶棒等）中的任何一種來實現。

【0014】 用於記憶體系統 110 的儲存裝置可以用揮發性記憶體裝置（諸如：動態隨機存取記憶體（DRAM）和靜態隨機存取記憶體（SRAM））或者非揮發性記憶體裝置（諸如：唯讀記憶體（ROM）、掩模 ROM（MROM）、可編程 ROM（PROM）、可擦除可編程 ROM（EPROM）、電可擦除可編程 ROM（EEPROM）、鐵電式隨機存取記憶體（FRAM）、相變 RAM（PRAM）、磁阻式 RAM（MRAM）和電阻式 RAM（RRAM））來實現。

【0015】 記憶體系統 110 可以包括儲存要由主機 102 存取的資料的記憶體裝置 150 以及可以控制記憶體裝置 150 中的資料的儲存的控制器 130。

【0016】 控制器 130 和記憶體裝置 150 可以被集成到一個半導體裝置中。例如，控制器 130 和記憶體裝置 150 可以被集成到一個半導體裝置中而配置固態硬碟（SSD）。當記憶體系統 110 被用來作為 SSD 時，與記憶體系統 110 電耦接的主機 102 的操作速度可以顯著增加。

【0017】 控制器 130 和記憶體裝置 150 可以被集成到一個半導體裝置中而配置記憶卡。控制器 130 和記憶體裝置 150 可以被集成到一個半導體裝置中而配置記憶卡(諸如個人電腦記憶卡國際協會(PCMCIA)卡、緊湊型快閃記憶體(CF)卡、智慧媒體(SM)卡(SMC)、記憶棒、多媒體卡(MMC)、RS-MMC、微型 MMC、安全數位(SD)卡、迷你 SD、微型 SD、SDHC 和通用快閃記憶體儲存(UFS)裝置)。

【0018】 又例如，記憶體系統 110 可以配置電腦、超行動 PC(UMPC)、工作站、小筆電、個人數位助理(PDA)、便攜式電腦、網路平板電腦、平板電腦、無線電話、行動電話、智慧型手機、電子書、便攜式多媒體播放器(PMP)、便攜式遊戲機、導航設備、黑匣子、數位相機、數位多媒體廣播(DMB)播放器、三維(3D)電視、智慧電視、數位錄音機、數位音訊播放器、數位圖片記錄器、數位圖片播放器、數位錄影機、數位視訊播放器、配置資料中心的儲存器、能夠在無線環境下發送和接收資訊的設備、配置家用網路的各種電子設備之一、配置電腦網路的各種電子設備之一、配置遠端資訊處理網路的各種電子設備之一、RFID 設備或者配置計算系統各種組成元件之一。

【0019】 記憶體系統 110 的記憶體裝置 150 可以在電源中斷時保留所儲存的資料，並且具體地，在寫入操作期間儲存從主機 102 提供的資料，並且在讀取操作期間將所儲存的資料提供給主機 102。記憶體裝置 150 可以包括複數個記憶體區塊，記憶體區塊 152、記憶體區塊 154 和記憶體區塊 156。記憶體區塊 152、記憶體區塊 154 和記憶體區塊 156 中的每個記憶體區塊可以包括複數個頁。每個頁可以包括電耦接到複數個字元線(WL)的複數個記憶體單元。記憶體裝置 150 可以是非揮發性記憶體裝置(例如，快閃記憶體)。快閃記憶體可以具有三維

(3D) 層疊結構。稍後將參考圖 2 至圖 11 來詳細描述記憶體裝置 150 的結構和記憶體裝置 150 的三維 (3D) 層疊結構。

【0020】 記憶體系統 110 的控制器 130 可以回應於來自主機 102 的請求而控制記憶體裝置 150。控制器 130 可以將從記憶體裝置 150 讀取的資料提供給主機 102，並且將從主機 102 提供的資料儲存到記憶體裝置 150 中。因此，控制器 130 可以控制記憶體裝置 150 的整體操作（諸如讀取操作、寫入操作、編程操作和擦除操作）。

【0021】 具體地，控制器 130 可以包括主機介面單元 132、處理器 134、錯誤校正碼 (ECC) 單元 138、電源管理單元 140 (PMU)、NAND 快閃記憶體控制器 142 (NFC) 以及記憶體 144。

【0022】 主機介面單元 132 可以處理從主機 102 提供的命令和資料，並且可以透過各種介面協定（諸如通用序列匯流排 (USB)、多媒體卡 (MMC)、周邊元件互連快速 (PCI-E)、序列附接 SCSI (SAS)、序列先進技術附件 (SATA)、平行先進技術附件 (PATA)、小型電腦系統介面 (SCSI)、增強型小型磁碟介面 (ESDI) 以及整合裝置電路 (IDE)) 中的至少一種與主機 102 進行通訊。

【0023】 ECC 單元 138 可以在讀取操作期間檢測並校正從記憶體裝置 150 讀取的資料中的錯誤。當錯誤位元的數量大於或等於可校正錯誤位元的閾值數量時，ECC 單元 138 可以不校正錯誤位元，並且可以輸出指示校正錯誤位元失敗的錯誤校正失敗信號。

【0024】 ECC 單元 138 可以基於編碼調製 (諸如低密度同位檢查 (LDPC) 碼、博斯-喬赫里-霍克文黑姆 (BCH) 碼、渦輪碼、里德-所羅門 (RS) 碼、卷積碼、遞迴系統碼 (RSC)、網格編碼調製 (TCM)、分組編碼調製 (BCM)

等) 來執行錯誤校正操作。ECC 單元 138 可以包括用於錯誤校正操作的所有電路、系統或設備。

【0025】 PMU 140 可以提供並且管理用於控制器 130 的電源(即, 用於控制器 130 中包括的組成元件的電源)。

【0026】 NFC 142 可以作為控制器 130 與記憶體裝置 150 之間的記憶體介面以允許控制器 130 回應於來自主機 102 的請求而控制記憶體裝置 150。NFC 142 可以產生針對記憶體裝置 150 的控制信號, 並且當記憶體裝置 150 為快閃記憶體時, 並且具體地, 當記憶體裝置 150 為 NAND 快閃記憶體時, NFC 142 可以在處理器 134 的控制下處理資料。

【0027】 記憶體 144 可以作為記憶體系統 110 和控制器 130 的工作記憶體, 並且儲存用於驅動記憶體系統 110 和控制器 130 的資料。控制器 130 可以回應於來自主機 102 的請求而控制記憶體裝置 150。例如, 控制器 130 可以將從記憶體裝置 150 讀取的資料提供給主機 102, 並將從主機 102 提供的資料儲存在記憶體裝置 150 中。當控制器 130 控制記憶體裝置 150 的操作時, 記憶體 144 可以針對此種操作(諸如讀取操作、寫入操作、編程操作和擦除操作)儲存由控制器 130 和記憶體裝置 150 使用的資料。

【0028】 記憶體 144 可以用揮發性記憶體來實現。記憶體 144 可以用靜態隨機存取記憶體(SRAM)或動態隨機存取記憶體(DRAM)來實現。如上所述, 記憶體 144 可以針對讀取操作和寫入操作儲存由主機 102 和記憶體裝置 150 使用的資料。為了儲存資料, 記憶體 144 可以包括編程記憶體、資料記憶體、寫入緩衝器、讀取緩衝器、映射緩衝器等。

【0029】 回應於來自主機 102 的寫入請求或讀取請求，處理器 134 可以控制記憶體系統 110 的整體操作以及用於記憶體裝置 150 的寫入操作或讀取操作。處理器 134 可以驅動韌體（其被稱為快閃轉換層（FTL））以控制記憶體系統 110 的整體操作。處理器 134 可以用微處理器或中央處理單元（CPU）來實現。

【0030】 管理單元（未示出）可以被包括在處理器 134 中，並且可以執行記憶體裝置 150 的壞塊管理。管理單元可以發現記憶體裝置 150 中包括的壞記憶體區塊（其在進一步使用中處於令人不滿意的狀態），並且對壞記憶體區塊執行壞塊管理。當記憶體裝置 150 為快閃記憶體（例如，NAND 快閃記憶體）時，由於 NAND 邏輯功能的特性，可能在寫入操作期間（例如，在編程操作期間）發生編程故障。在壞塊管理期間，編程失敗的記憶體區塊或壞記憶體區塊的資料可以被編程到新記憶體區塊中。另外，由於編程失敗而導致的壞記憶體區塊嚴重劣化了具有 3D 層疊結構的記憶體裝置 150 的利用率和記憶體系統 100 的可靠性，並且因此需要可靠的壞塊管理。

【0031】 圖 2 是示出圖 1 所示的記憶體裝置 150 的示意圖。

【0032】 參考圖 2，記憶體裝置 150 可以包括複數個記憶體區塊，例如第 0 塊到第 (N-1) 塊 210~240。複數個記憶體區塊 210~240 中的每個記憶體區塊可以包括複數個頁，例如， 2^M 數量的頁（ 2^M 頁），本發明不限於此。複數個頁中的每個頁可以包括電耦接到複數個字元線的複數個記憶體單元。

【0033】 此外，根據每個記憶體單元中可以儲存或表達的位元的數量，記憶體裝置 150 可以包括複數個記憶體區塊，如單位準單元（SLC）記憶體區塊和多位準單元（MLC）記憶體區塊。SLC 記憶體區塊可以包括用每個記憶體單元能夠儲存 1 位元資料的複數個記憶體單元來實現的複數個頁。MLC 記憶體區塊

可以包括用每個記憶體單元能夠儲存多位元資料（例如，兩位元資料或更多位元資料）的複數個記憶體單元來實現的複數個頁。包括用每個記憶體單元能夠儲存 3 位元資料的複數個記憶體單元來實現的複數個頁的 MLC 記憶體區塊可以被定義為三位準單元（TLC）記憶體區塊。

【0034】 複數個記憶體區塊 210~240 中的每個記憶體區塊可以在寫入操作期間儲存從主機 102 提供的資料，並且可以在讀取操作期間將所儲存的資料提供給主機 102。

【0035】 圖 3 是示出圖 1 所示的複數個記憶體區塊 152~156 中的一個記憶體區塊的電路圖。

【0036】 參考圖 3，記憶體裝置 150 的記憶體區塊 152 可以包括分別電耦接到位元線 BL0~BLm-1 的複數個單元串 340。每行的單元串 340 可以包括至少一個汲極選擇電晶體 DST 和至少一個源極選擇電晶體 SST。複數個記憶體單元或複數個記憶體單元電晶體 MC0~MCn-1 可以串聯電耦接在選擇電晶體 DST 與選擇電晶體 SST 之間。各個記憶體單元 MC0~MCn-1 可以由多位準單元(MLC)來配置，每個多位準單元儲存複數個位元的資料資訊。串 340 可以分別電耦接到對應的位元線 BL0~BLm-1。作為參考，在圖 3 中，「DSL」表示汲極選擇線、「SSL」表示源極選擇線以及「CSL」表示公共源極線。

【0037】 雖然圖 3 作為示例示出由 NAND 快閃記憶體單元配置的記憶體區塊 152，應注意的是，根據該實施例的記憶體裝置 150 的記憶體區塊 152 不限於 NAND 快閃記憶體，並且可以由 NOR 快閃記憶體、組合至少兩種記憶體單元的混合快閃記憶體或者控制器被內建在記憶體晶片中的單 NAND 快閃記憶體來實現。半導體裝置的操作特性不僅可以應用於其中電荷儲存層由導電浮動閘來配

置的快閃記憶體裝置，而且可以應用於其中電荷儲存層由電介質層來配置的電荷俘獲快閃記憶體（CTF）。

【0038】 記憶體裝置 150 的電壓供應器 310 可以提供根據操作模式而要供應到相應字元線的字元線電壓（例如，編程電壓、讀取電壓和通過電壓）以及要供應到塊體（例如，形成記憶體單元的阱區）的電壓。電壓供應器 310 可以在控制電路（未示出）的控制下執行電壓產生操作。電壓供應器 310 可以產生複數個可變讀取電壓以產生複數個讀取資料，在控制電路的控制下選擇記憶體單元陣列中的記憶體區塊或區段中的一個，選擇選中的記憶體區塊的字元線中的一個，並且將字元線電壓提供給選中的字元線和未選中的字元線。

【0039】 記憶體裝置 150 的讀取/寫入電路 320 可以由控制電路來控制，並且可以根據操作模式而作為感測放大器或寫入驅動器。在驗證/正常讀取操作期間，讀取/寫入電路 320 可以作為用於從記憶體單元陣列讀取資料的感測放大器。此外，在編程操作期間，讀取/寫入電路 320 可以作為根據待儲存在記憶體單元陣列中的資料而驅動位元線的寫入驅動器。在編程操作期間，讀取/寫入電路 320 可以從緩衝器（未示出）接收待寫入記憶體單元陣列中的資料，並且可以根據所輸入的資料而驅動位元線。讀取/寫入電路 320 可以包括分別與行或位元線或者成對的行或成對的位元線相對應的複數個頁緩衝器，頁緩衝器 322、頁緩衝器 324 和頁緩衝器 326，並且複數個鎖存器（未示出）可以被包括在頁緩衝器 322、頁緩衝器 324 和頁緩衝器 326 的每個頁緩衝器中。

【0040】 圖 4 至圖 11 是示出圖 1 所示的記憶體裝置 150 的示意圖。

【0041】 圖 4 是示出圖 1 所示的記憶體裝置 150 的複數個記憶體區塊 152~156 的示例的方塊圖。

【0042】 參考圖 4，記憶體裝置 150 可以包括複數個記憶體區塊 BLK0~BLKN-1，並且記憶體區塊 BLK0~BLKN-1 中的每個記憶體區塊可以以三維（3D）結構或者垂直結構來實現。各個記憶體區塊 BLK0~BLKN-1 可以包括在第一方向至第三方向（例如，x 軸方向、y 軸方向和 z 軸方向）上延伸的結構。

【0043】 各個記憶體區塊 BLK0~BLKN-1 可以包括在第二方向上延伸的複數個 NAND 串 NS。可以在第一方向和第三方向上設置複數個 NAND 串 NS。每個 NAND 串 NS 可以電耦接到位元線 BL、至少一個源極選擇線 SSL、至少一個接地選擇線 GSL、複數個字元線 WL、至少一個虛設字元線 DWL 以及公共源極線 CSL。即，各個記憶體區塊 BLK0~BLKN-1 可以電耦接至複數個位元線 BL、複數個源極選擇線 SSL、複數個接地選擇線 GSL、複數個字元線 WL、複數個虛設字元線 DWL 以及複數個公共源極線 CSL。

【0044】 圖 5 是圖 4 所示的複數個記憶體區塊 BLK0~BLKN-1 中的一個記憶體區塊 BLK_i 的立體圖。圖 6 是沿著圖 5 所示的記憶體區塊 BLK_i 的線 I-I' 截取的截面圖。

【0045】 參考圖 5 和圖 6，記憶體裝置 150 的複數個記憶體區塊之中的記憶體區塊 BLK_i 可以包括在第一方向至第三方向上延伸的結構。

【0046】 可以提供基底 5111。基底 5111 可以包括摻雜有第一類型雜質的矽材料。基底 5111 可以包括摻雜有 p 型雜質的矽材料，或者可以是 p 型阱（例如袋狀 p 阱），並且包括包圍 p 型阱的 n 型阱。雖然假設基底 5111 是 p 型矽，但應該注意，基底 5111 不限於是 p 型矽。

【0047】 可以在基底 5111 之上設置有在第一方向上延伸的複數個摻雜區 5311~5314。複數個摻雜區 5311~5314 可以包含與基底 5111 不同的第二類型的

雜質。複數個摻雜區 5311~5314 可以摻雜有 n 型雜質。儘管在該實施例中第一摻雜區 5311 至第四摻雜區 5314 是 n 型的，但應該注意，第一摻雜區 5311 至第四摻雜區 5314 不限於 n 型。

【0048】 在基底 5111 之上的第一摻雜區 5311 與第二摻雜區 5312 之間的區域中，在第一方向上延伸的複數個電介質材料 5112 可以在第二方向上被依序地設置。電介質材料 5112 和基底 5111 可以在第二方向上彼此分開預定距離。電介質材料 5112 可以在第二方向上彼此分開預定距離。電介質材料 5112 可以包括諸如氧化矽的電介質材料。

【0049】 在基底 5111 之上的第一摻雜區 5311 與第二摻雜區 5312 之間的區域中，可以設置在第一方向上依序地佈置並且在第二方向上穿過電介質材料 5112 的複數個柱體 5113。複數個柱體 5113 可以分別穿過電介質材料 5112 並且可以與基底 5111 電耦接。每個柱體 5113 可以由多種材料構成。每個柱體 5113 的表面層 5114 可以包括摻雜有第一類型雜質的矽材料。每個柱體 5113 的表面層 5114 可以包括摻雜有與基底 5111 相同類型的雜質的矽材料。雖然本文中假設每個柱體 5113 的表面層 5114 可以包括 p 型矽，但是每個柱體 5113 的表面層 5114 不限於是 p 型矽。

【0050】 每個柱體 5113 的內層 5115 可以由電介質材料形成。每個柱體 5113 的內層 5115 可以由諸如氧化矽的電介質材料來填充。

【0051】 在第一摻雜區 5311 與第二摻雜區 5312 之間的區域中，可以沿著電介質材料 5112、柱體 5113 和基底 5111 的暴露表面來設置電介質層 5116。電介質層 5116 的厚度可以比電介質材料 5112 之間的距離的一半小。即，可以佈置除了電介質材料 5112 和電介質層 5116 之外的材料的區域可以被設置在 (i) 設

置於電介質材料 5112 的第一電介質材料的底表面上方的電介質層 5116 與 (ii) 設置於電介質材料 5112 的第二電介質材料的頂表面上方的電介質層 5116 之間。電介質材料 5112 位於第一電介質材料的下方。

【0052】 在第一摻雜區 5311 與第二摻雜區 5312 之間的區域中，導電材料 5211~5291 可以被設置在電介質層 5116 的暴露表面的上方。在第一方向上延伸的導電材料 5211 可以設置在與基底 5111 相鄰的電介質材料 5112 與基底 5111 之間。具體地，在第一方向上延伸的導電材料 5211 可以被設置在 (i) 設置於基底 5111 上方的電介質層 5116 與 (ii) 設置於與基底 5111 相鄰的電介質材料 5112 的底表面上方的電介質層 5116 之間。

【0053】 在第一方向上延伸的導電材料可以被設置在 (i) 設置於電介質材料 5112 中的一個電介質材料的頂表面上方的電介質層 5116 與 (ii) 設置於電介質材料 5112 的另一個電介質材料的底表面上方的電介質層 5116 之間，該導電材料被佈置在某個電介質材料 5112 上方。在第一方向上延伸的導電材料 5221~5281 可以被設置在電介質材料 5112 之間。在第一方向上延伸的導電材料 5291 可以被設置在最上面的電介質材料 5112 上方。在第一方向上延伸的導電材料 5211~5291 可以是金屬材料。在第一方向上延伸的導電材料 5211~5291 可以是諸如多晶矽的導電材料。

【0054】 在第二摻雜區 5312 與第三摻雜區 5313 之間的區域中，可以設置有與第一摻雜區 5311 和第二摻雜區 5312 之間的結構相同的結構。例如，在第二摻雜區 5312 與第三摻雜區 5313 之間的區域中，可以設置有在第一方向上延伸的複數個電介質材料 5112、在第一方向上依序地佈置並且在第二方向上穿過複數個電介質材料 5112 的複數個柱體 5113、設置在複數個電介質材料 5112 和複數

個柱體 5113 的暴露表面上方的電介質層 5116 以及在第一方向上延伸的複數個導電材料 5212~5292。

【0055】 在第三摻雜區 5313 與第四摻雜區 5314 之間的區域中，可以設置有與第一摻雜區 5311 和第二摻雜區 5312 之間的結構相同的結構。例如，在第三摻雜區 5313 與第四摻雜區 5314 之間的區域中，可以設置有在第一方向上延伸的複數個電介質材料 5112、在第一方向上依序地佈置並且在第二方向上穿過複數個電介質材料 5112 的複數個柱體 5113、設置在複數個電介質材料 5112 和複數個柱體 5113 的暴露表面上方的電介質層 5116 以及在第一方向上延伸的複數個導電材料 5213~5293。

【0056】 汲極 5320 可以分別設置在複數個柱體 5113 上方。汲極 5320 可以是摻雜有第二類型雜質的矽材料。汲極 5320 可以是摻雜有 n 型雜質的矽材料。儘管在該實施例中汲極 5320 包括 n 型矽，但是應該注意，汲極 5320 不限於是 n 型矽。此外，每個汲極 5320 的寬度可以比每個對應的柱體 5113 的寬度大。每個汲極 5320 可以在每個對應的柱體 5113 的頂表面上方以焊盤的形狀來設置。

【0057】 在第三方向上延伸的導電材料 5331~5333 可以被設置在汲極 5320 上方。導電材料 5331~5333 可以在第一方向上依序地佈置。各個導電材料 5331~5333 可以與對應區域的汲極 5320 電耦接。汲極 5320 和在第三方向上延伸的導電材料 5331~5333 可以透過接觸插塞電耦接。在第三方向上延伸的導電材料 5331~5333 可以是金屬材料。在第三方向上延伸的導電材料 5331~5333 可以是諸如多晶矽的導電材料。

【0058】 在圖 5 和圖 6 中，各個柱體 5113 可以與電介質層 5116 以及在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料

5213~5293 一起形成串。各個柱體 5113 可以與電介質層 5116 以及在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 一起形成 NAND 串 NS。每個 NAND 串 NS 可以包括複數個電晶體結構 TS。

【0059】 圖 7 是圖 6 所示的電晶體結構 TS 的截面圖。

【0060】 參考圖 7，在圖 6 所示的電晶體結構 TS 中，電介質層 5116 可以包括第一子電介質層 5117、第二子電介質層 5188 和第三子電介質層 5119。

【0061】 每個柱體 5113 中的 p 型矽的表面層 5114 可以作為主體。與柱體 5113 相鄰的第一子電介質層 5117 可以作為隧穿電介質層，並且可以包括熱氧化層。

【0062】 第二子電介質層 5118 可以作為電荷儲存層。第二子電介質層 5118 可以作為電荷捕獲層，並且可以包括氮化物層或金屬氧化物層（諸如氧化鋁層、氧化鉛層等）。

【0063】 與導電材料 5233 相鄰的第三子電介質層 5119 可以作為阻擋電介質層。與在第一方向上延伸的導電材料 5233 相鄰的第三子電介質層 5119 可以被形成為單層或多層。第三子電介質層 5119 可以是高 k 電介質層（諸如氧化鋁層、氧化鉛層等），該高 k 電介質層具有比第一子電介質層 5117 和第二子電介質層 5118 大的介電常數。

【0064】 導電材料 5233 可以作為閘極或控制閘極。即，閘極或控制閘極 5233、阻擋電介質層 5119、電荷儲存層 5118、隧穿電介質層 5117 和主體 5114 可以形成電晶體或記憶體單元電晶體結構。例如，第一子電介質層 5117 至第三子電介質層 5119 可以形成氧化物-氮化物-氧化物（ONO）結構。在本實施例中，

為了方便起見，每個柱體 5113 中的 p 型矽的表面層 5114 在第二方向上將被稱為主體。

【0065】 記憶體區塊 BLKi 可以包括複數個柱體 5113。即，記憶體區塊 BLKi 可以包括複數個 NAND 串 NS。具體地，記憶體區塊 BLKi 可以包括在第二方向或垂直於基底 5111 的方向上延伸的複數個 NAND 串 NS。

【0066】 每個 NAND 串 NS 可以包括在第二方向上佈置的複數個電晶體結構 TS。每個 NAND 串 NS 的複數個電晶體結構 TS 中的至少一個電晶體結構可以作為串源極電晶體 SST。每個 NAND 串 NS 的複數個電晶體結構 TS 中的至少一個電晶體結構可以作為接地選擇電晶體 GST。

【0067】 閘極或控制閘極可以對應於在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293。即，閘極或控制閘極可以在第一方向上延伸並且形成字元線、至少兩個選擇線、至少一個源極選擇線 SSL 和至少一個接地選擇線 GSL。

【0068】 在第三方向上延伸的導電材料 5331~5333 可以電耦接至 NAND 串 NS 的一端。在第三方向上延伸的導電材料 5331~5333 可以作為位元線 BL。即，在一個記憶體區塊 BLKi 中，複數個 NAND 串 NS 可以電耦接到一個位元線 BL。

【0069】 在第一方向上延伸的第二類型摻雜區 5311~5314 可以被設置到 NAND 串 NS 的另一端。在第一方向上延伸的第二類型摻雜區 5311~5314 可以作為公共源極線 CSL。

【0070】 此外，記憶體區塊 BLKi 可以包括在垂直於基底 5111 的方向（諸如，第二方向）上延伸的複數個 NAND 串 NS，並且可以作為例如電荷捕獲型記

憶體的 NAND 快閃記憶體區塊，其中複數個 NAND 串 NS 電耦接到一個位元線 BL。

【0071】 儘管在圖 5 至圖 7 中示出了在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 被設置為 9 層，但是應注意的是，在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 並不限於被設置為 9 層。例如，在第一方向上延伸的導電材料可以被設置為 8 層、16 層或任意多層。即，在一個 NAND 串 NS 中，電晶體的數量可以是 8、16 或更多。

【0072】 儘管在圖 5 至圖 7 中示出了將 3 個 NAND 串 NS 電耦接到一個位元線 BL，但是應注意的是，該實施例不限於具有電耦接到一個位元線 BL 的 3 個 NAND 串 NS。在記憶體區塊 BLKi 中，m 個 NAND 串 NS 可以電耦接到一個位元線 BL，m 是正整數。根據電耦接到一個位元線 BL 的 NAND 串 NS 的數量，在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 的數量和公共源極線 5311~5314 的數量也可以被控制。

【0073】 此外，儘管在圖 5 至圖 7 中示出了 3 個 NAND 串 NS 電耦接到在第一方向上延伸的一個導電材料，但是應注意的是，該實施例不限於具有電耦接到在第一方向上延伸的一個導電材料的 3 個 NAND 串 NS。例如，n 個 NAND 串 NS 可以電耦接到在第一方向上延伸的一個導電材料，n 是正整數。根據電耦接到在第一方向上延伸的一個導電材料的 NAND 串 NS 的數量，位元線 5331~5333 的數量也可以被控制。

【0074】 圖 8 是示出具有參考圖 5 至圖 7 描述的第一結構的記憶體區塊 BLKi 的等效電路圖。

【0075】 參考圖 8，在具有第一結構的記憶體區塊 BLK_i 中，NAND 串 NS₁₁~NS₃₁ 可以設置在第一位元線 BL₁ 與公共源極線 CSL 之間。第一位元線 BL₁ 可以對應於圖 5 和圖 6 中的在第三方向上延伸的導電材料 5331。NAND 串 NS₁₂~NS₃₂ 可以設置在第二位元線 BL₂ 與公共源極線 CSL 之間。第二位元線 BL₂ 可以對應於圖 5 和圖 6 中的在第三方向上延伸的導電材料 5332。NAND 串 NS₁₃~NS₃₃ 可以被設置在第三位元線 BL₃ 與公共源極線 CSL 之間。第三位元線 BL₃ 可以對應於圖 5 和圖 6 中的在第三方向上延伸的導電材料 5333。

【0076】 每個 NAND 串 NS 的源極選擇電晶體 SST 可以電耦接到對應的位元線 BL。每個 NAND 串 NS 的接地選擇電晶體 GST 可以電耦接到公共源極線 CSL。記憶體單元 MC 可以被設置在每個 NAND 串 NS 的源極選擇電晶體 SST 與接地選擇電晶體 GST 之間。

【0077】 在這個示例中，NAND 串 NS 可以由行和列的單位來定義，並且電耦接到一個位元線的 NAND 串 NS 可以形成一行。電耦接到第一位元線 BL₁ 的 NAND 串 NS₁₁~NS₃₁ 可以對應於第一行，電耦接到第二位元線 BL₂ 的 NAND 串 NS₁₂~NS₃₂ 可以對應於第二行，並且電耦接到第三位元線 BL₃ 的 NAND 串 NS₁₃~NS₃₃ 可以對應於第三行。電耦接到一個源極選擇線 SSL 的 NAND 串 NS 可以形成一列。電耦接到第一源極選擇線 SSL₁ 的 NAND 串 NS₁₁~NS₁₃ 可以形成第一列，電耦接到第二源極選擇線 SSL₂ 的 NAND 串 NS₂₁~NS₂₃ 可以形成第二列，並且電耦接到第三源極選擇線 SSL₃ 的 NAND 串 NS₃₁~NS₃₃ 可以形成第三列。

【0078】 在每個 NAND 串 NS 中，可以定義高度。在每個 NAND 串 NS 中，與接地選擇電晶體 GST 相鄰的記憶體單元 MC₁ 的高度可以具有值「1」。在每

個 NAND 串 NS 中，由於從基底 5111 測量時記憶體單元更接近源極選擇電晶體 SST，因此記憶體單元的高度可以增加。在每個 NAND 串 NS 中，與源極選擇電晶體 SST 相鄰的記憶體單元 MC6 的高度可以是 7。

【0079】 同一列中的 NAND 串 NS 的源極選擇電晶體 SST 可以共享源極選擇線 SSL。不同列中的 NAND 串 NS 的源極選擇電晶體 SST 可以分別電耦接到不同的源極選擇線 SSL1、源極選擇線 SSL2 和源極選擇線 SSL3。

【0080】 同一列中的 NAND 串 NS 中在相同高度處的記憶體單元 MC 可以共享字元線 WL。即，在相同高度處，與不同列中的 NAND 串 NS 的記憶體單元 MC 電耦接的字元線 WL 可以電耦接。同一列的 NAND 串 NS 中在相同高度處的虛設記憶體單元 DMC 可以共享虛設字元線 DWL。即，在相同高度或相同位準處，與不同列中的 NAND 串 NS 的虛設記憶體單元 DMC 電耦接的虛設字元線 DWL 可以電耦接。

【0081】 位於相同位準或相同高度或相同層處的字元線 WL 或虛設字元線 DWL 可以在設置有在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 的層處彼此電耦接。在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 可以透過接觸共同電連接至上層。在上層處，在第一方向上延伸的導電材料 5211~5291、導電材料 5212~5292 和導電材料 5213~5293 可以電耦接。同一列中的 NAND 串 NS 的接地選擇電晶體 GST 可以共享接地選擇線 GSL。此外，不同列中的 NAND 串 NS 的接地選擇電晶體 GST 可共享接地選擇線 GSL。即，NAND 串 NS11~NS13、NAND 串 NS21~NS23 和 NAND 串 NS31~NS33 可以電耦接到接地選擇線 GSL。

【0082】 公共源極線 CSL 可以電耦接到 NAND 串 NS。在主動區上方和基底 5111 上方，第一摻雜區 5311 至第四摻雜區 5314 可以電耦接。第一摻雜區 5311 至第四摻雜區 5314 可以透過接觸電耦接至上層，並且在上層處，第一摻雜區 5311 至第四摻雜區 5314 可以電耦接。

【0083】 如圖 8 所示，相同高度或相同位準的字元線 WL 可以電耦接。因此，當選擇在特定高度處的字元線 WL 時，可以選擇與字元線 WL 電耦接的所有 NAND 串 NS。不同列中的 NAND 串 NS 可以電耦接到不同的源極選擇線 SSL。因此，在與相同字元線 WL 電耦接的 NAND 串 NS 之中，透過選擇源極選擇線 SSL1~SSL3 中的一個源極選擇線，在未選中的列中的 NAND 串 NS 可以與位元線 BL1~BL3 電隔離。換言之，透過選擇源極選擇線 SSL1~SSL3 中的一個源極選擇線，可以選擇一列 NAND 串 NS。此外，透過選擇位元線 BL1~BL3 中的一個位元線，可以以行為單位選擇選中的列中的 NAND 串 NS。

【0084】 在每個 NAND 串 NS 中，可以設置虛設記憶體單元 DMC。在圖 8 中，虛設記憶體單元 DMC 可以被設置在每個 NAND 串 NS 中的第三記憶體單元 MC3 與第四記憶體單元 MC4 之間。即，第一記憶體單元 MC1 至第三記憶體單元 MC3 可以被設置在虛設記憶體單元 DMC 與接地選擇電晶體 GST 之間。第四記憶體單元 MC4 至第六記憶體單元 MC6 可以被設置在虛設記憶體單元 DMC 與源極選擇電晶體 SST 之間。每個 NAND 串 NS 的記憶體單元 MC 可以由虛設記憶體單元 DMC 來劃分成記憶體單元組。在已劃分的記憶體單元組中，與接地選擇電晶體 GST 相鄰的記憶體單元（例如，MC1 至 MC3）可以被稱為下記憶體單元組，而與源極選擇電晶體 SST 相鄰的記憶體單元（例如，MC4 至 MC6）可以被稱為上記憶體單元組。

【0085】在下文中，將參考圖 9 至圖 11 進行詳細描述，該圖 9 至圖 11 示出了根據一個實施例的記憶體系統中用與第一結構不同的三維（3D）非揮發性記憶體裝置實現的記憶體裝置。

【0086】圖 9 是示意性地示出用與上面參考圖 5 至圖 8 描述的第一結構不同的三維（3D）非揮發性記憶體裝置實現的記憶體裝置的立體圖，並且示出了圖 4 的複數個記憶體區塊中的記憶體區塊 BLK_j。圖 10 是示出沿著圖 9 的線 VII-VII' 截取的記憶體區塊 BLK_j 的截面圖。

【0087】參考圖 9 和圖 10，圖 1 的記憶體裝置 150 的複數個記憶體區塊之中的記憶體區塊 BLK_j 可以包括在第一方向至第三方向上延伸的結構。

【0088】可以提供基底 6311。例如，基底 6311 可以包括摻雜有第一類型雜質的矽材料。例如，基底 6311 可以包括摻雜有 p 型雜質的矽材料或者可以是 p 型阱（例如，袋狀 p 阱），並且包括圍繞 p 型阱的 n 型阱。儘管在該實施例中基底 6311 是 p 型矽，但是應該注意，基底 6311 不限於是 p 型矽。

【0089】在 x 軸方向和 y 軸方向上延伸的第一導電材料 6321 至第四導電材料 6324 可以被設置在基底 6311 上方。第一導電材料 6321 至第四導電材料 6324 可以在 z 軸方向上被分開預定距離。

【0090】在 x 軸方向和 y 軸方向上延伸的第五導電材料 6325 至第八導電材料 6328 可以被設置在基底 6311 上方。第五導電材料 6325 至第八導電材料 6328 可以在 z 軸方向上被分開預定距離。第五導電材料 6325 至第八導電材料 6328 可以在 y 軸方向上與第一導電材料 6321 至第四導電材料 6324 分開。

【0091】可以設置穿過第一導電材料 6321 至第四導電材料 6324 的複數個下柱體 DP。每個下柱體 DP 在 z 軸方向上延伸。此外，可以設置穿過第五導電

材料 6325 至第八導電材料 6328 的複數個上柱體 UP。每個上柱體 UP 在 z 軸方向向上延伸。

【0092】 下柱體 DP 和上柱體 UP 中的每個柱體可以包括內部材料 6361、中間層 6362 和表面層 6363。中間層 6362 可以作為單元電晶體的通道。表面層 6363 可以包括阻擋電介質層、電荷儲存層和隧穿電介質層。

【0093】 下柱體 DP 和上柱體 UP 可以經由管道閘 PG 電耦接。管道閘 PG 可以被設置在基底 6311 中。例如，管道閘 PG 可以包括與下柱體 DP 和上柱體 UP 相同的材料。

【0094】 在 x 軸方向和 y 軸方向上延伸的第二類型的摻雜材料 6312 可以被設置在下柱體 DP 上方。例如，第二類型的摻雜材料 6312 可以包括 n 型矽材料。第二類型的摻雜材料 6312 可以作為公共源極線 CSL。

【0095】 汲極 6340 可以被設置在上柱體 UP 上方。汲極 6340 可以包括 n 型矽材料。在 y 軸方向上延伸的第一上導電材料 6351 和第二上導電材料 6352 可以被設置在汲極 6340 上方。

【0096】 第一上導電材料 6351 和第二上導電材料 6352 可以在 x 軸方向上被分開。第一上導電材料 6351 和第二上導電材料 6352 可以由金屬形成。第一上導電材料 6351 和第二上導電材料 6352 以及汲極 6340 可以透過接觸插塞電耦接。第一上導電材料 6351 和第二上導電材料 6352 分別作為第一位元線 BL1 和第二位元線 BL2。

【0097】 第一導電材料 6321 可以作為源極選擇線 SSL，第二導電材料 6322 可以作為第一虛設字元線 DWL1，並且第三導電材料 6323 和第四導電材料 6324 分別作為第一主字元線 MWL1 和第二主字元線 MWL2。第五導電材料 6325 和

第六導電材料 6326 分別作為第三主字元線 MWL3 和第四主字元線 MWL4，第七導電材料 6327 可以作為第二虛設字元線 DWL2，並且第八導電材料 6328 可以作為汲極選擇線 DSL。

【0098】 下柱體 DP 以及與下柱體 DP 相鄰的第一導電材料 6321 至第四導電材料 6324 形成下串。上柱體 UP 以及與上柱體 UP 相鄰的第五導電材料 6325 至第八導電材料 6328 形成上串。下串和上串可以經由管道閘 PG 電耦接。下串的一端可以電耦接到作為公共源極線 CSL 的第二類型的摻雜材料 6312。上串的一端可以透過汲極 6340 電耦接到對應的位元線。一個下串和一個上串形成一個單元串，該單元串電耦接在作為公共源極線 CSL 的第二類型的摻雜材料 6312 與作為位元線 BL 的上導電材料層 6351 和上導電材料層 6352 中的對應一個之間。

【0099】 即，下串可以包括源極選擇電晶體 SST、第一虛設記憶體單元 DMC1 以及第一主記憶體單元 MMC1 和第二主記憶體單元 MMC2。上串可以包括第三主記憶體單元 MMC3 和第四主記憶體單元 MMC4、第二虛設記憶體單元 DMC2 和汲極選擇電晶體 DST。

【0100】 在圖 9 和圖 10 中，上串和下串可以形成 NAND 串 NS，並且 NAND 串 NS 可以包括複數個電晶體結構 TS。由於上面參考圖 7 詳細描述了圖 9 和圖 10 中的 NAND 串 NS 包括的電晶體結構，因此本文中將省略其詳細描述。

【0101】 圖 11 是示出了如上參考圖 9 和圖 10 所述的具有第二結構的記憶體區塊 BLK_j 的等效電路的電路圖。為了方便起見，僅示出了在第二結構的記憶體區塊 BLK_j 中形成一對的第一串和第二串。

【0102】 參考圖 11，在記憶體裝置 150 的複數個記憶體區塊之中的具有第二結構的記憶體區塊 BLK_j 中，單元串可以以限定複數個對的方式來設置，其中

每個單元串由如上參考圖 9 和圖 10 所述的經由管道閘 PG 電耦接的一個上串和一個下串來實現。

【0103】 即，在具有第二結構的某個記憶體區塊 BLK_j 中，沿第一通道 $CH1$ （未示出）層疊的記憶體單元 $CG0\sim CG31$ （例如至少一個源極選擇閘極 $SSG1$ 和至少一個汲極選擇閘極 $DSG1$ ）可以形成第一串 $ST1$ ，並且沿第二通道 $CH2$ （未示出）層疊的記憶體單元 $CG0\sim CG31$ （例如，至少一個源極選擇閘極 $SSG2$ 和至少一個汲極選擇閘極 $DSG2$ ）可以形成第二串 $ST2$ 。

【0104】 第一串 $ST1$ 和第二串 $ST2$ 可以電耦接到相同的汲極選擇線 DSL 和相同的源極選擇線 SSL 。第一串 $ST1$ 可以電耦接到第一位元線 $BL1$ ，而第二串 $ST2$ 可以電耦接到第二位元線 $BL2$ 。

【0105】 儘管在圖 11 中描述了第一串 $ST1$ 和第二串 $ST2$ 電耦接到相同的汲極選擇線 DSL 和相同的源極選擇線 SSL ，但是可以設想第一串 $ST1$ 和第二串 $ST2$ 可以電耦接到相同的源極選擇線 SSL 和相同的位元線 BL ，第一串 $ST1$ 可以電耦接到第一汲極選擇線 $DSL1$ ，而第二串 $ST2$ 可以電耦接到第二汲極選擇線 $DSL2$ 。此外，可以設想，第一串 $ST1$ 和第二串 $ST2$ 可以電耦接到相同的汲極選擇線 DSL 和相同的位元線 BL ，第一串 $ST1$ 可以電耦接到第一源極選擇線 $SSL1$ ，而第二串 $ST2$ 可以電耦接到第二源極選擇線 $SSL2$ 。

【0106】 圖 12 示出根據本發明的一個實施例的非揮發性記憶體裝置的編程操作中的線偏置，並且示出在 3D NAND 單元串中形成電晶體的柱體結構的垂直截面。本文中，儘管如圖 5 和圖 6 所示的具有垂直通道區的 3D NAND 快閃記憶體被作為示例來描述，但是本發明的概念和精神可以不限於此。

【0107】 參考圖 12，根據本發明的實施例的非揮發性記憶體裝置的 3D NAND 單元串可以包括層疊在源極選擇線 SSL 與汲極選擇線 DSL 之間的複數個字元線 WL，並且垂直通道區 CH 在垂直方向上穿過字元線。本文中，可以在垂直通道區 CH 與層疊線之間插入閘極電介質結構 GD，並且閘極電介質結構 GD 可以包括在從字元線 WL 朝向垂直通道區 CH 的方向上依序地層疊的阻擋電介質層/電荷俘獲層/隧穿電介質層。

【0108】 通常，當選擇 3D NAND 單元串並且執行編程操作時，可以從靠近源極選擇線 SSL 設置的字元線到靠近汲極選擇線 DSL 設置的字元線依序地執行編程操作。當然，並非選中的單元串的所有字元線都可以被編程。當選擇 3D NAND 單元串時，源極選擇線 SSL 可以利用接地電壓 GND 來偏置，而汲極選擇線 DSL 可以利用汲極選擇電壓 VDSL 來偏置。

【0109】 在編程操作期間，編程電壓 V_{pgm} 可以被施加到編程目標字元線（例如，第 N 個 WL），而通過電壓 V_{pass} 可以被施加到剩餘的字元線。本文中，從垂直通道區 CH 進入的電荷可以在與正在執行編程操作的字元線（即，第 N 個 WL）重疊的閘極電介質結構 GD 中被俘獲，並且所俘獲的電荷可以增加對應單元的閾值電壓。這可以說是單元被編程。然而，由編程電壓 V_{pgm} 引起的強電場可能導致邊際場，並且該邊際場可以無意中導致電荷俘獲入正被編程的字元線（第 N 個 WL）與鄰近字元線（第 N+1 個 WL）之間的區域。同時，在兩個字元線（第 N 個 WL 和第 N+1 個 WL）之間的區域（其中該區域由圖式中的虛線來表示）中俘獲的電荷可以影響對後續字元線（第 N+1 個 WL）的編程操作並且導致單元閾值電壓的無意移位，該無意移位通常以單元閾值電壓分佈被

擴大的形式來出現。這種干擾現象通常被稱為 Z 干擾，並且它是 3D NAND 快閃記憶體中最關鍵的干擾模式之一。

【0110】 根據本發明的實施例，當對字元線（第 N 個 WL）執行編程操作時（即，在編程電壓 V_{pgm} 被施加到鄰近字元線（第 N+1 個）WL 的區段中），負偏壓 V_{nega} 被另外施加到通過電壓 V_{pass} 。該負偏壓 V_{nega} 可以被施加到編程電壓 V_{pgm} 的脈衝區段的端部，並且在施加負偏壓 V_{nega} 的區段期間，編程目標字元線（第 N 個 WL）可以被放電，直到所有字元線被預充電。本文中，上述編程操作中針對每個線的偏壓可以由圖 3 中所示的電壓供應器 310 來提供。由負偏壓 V_{nega} 引起的電場可以基於編程電壓 V_{pgm} 來補償正邊際場，並且在兩個相鄰字元線（第 N 個 WL 和第 N+1 個 WL）之間的區域（在圖式中由虛線來表示）中俘獲的電荷可以被放電或被抑制在該區域中的俘獲。

【0111】 圖 13A 是示出圖 12 所示的編程操作中的偏置波形的示圖，而圖 13B 是示出根據本發明的一個實施例的非揮發性記憶體裝置的編程操作的流程圖。

【0112】 當存在來自非揮發性記憶體裝置的外部（例如，主機）的寫入請求時，記憶體控制器可以基於記憶體區塊來執行擦除操作，然後基於頁（例如，字元線）來執行編程操作。從單元串的角度看，可以基於與命令一起輸入的資料而從靠近源極選擇線 SSL 的字元線朝向靠近汲極選擇線 DSL 的字元線來依序地執行編程操作。圖 13A 和圖 13B 示出選擇包括在單元串中的字元線之中的第 N 個字元線（第 N 個 WL）的情況。

【0113】 首先，在步驟 S100，可以將編程電壓 V_{pgm} 施加到選中的字元線（第 N 個 WL），並且同時，可以將通過電壓 V_{pass} 施加到剩餘的未選中的字元

線。本文中，在利用編程電壓 V_{pgm} 或通過電壓 V_{pass} 來偏置每個字元線之前，每個字元線可以利用例如接地電壓 GND 位準來預充電。另外，在施加編程電壓 V_{pgm} 和通過電壓 V_{pass} 時，可以使用多步驟上升法。在編程電壓 V_{pgm} 的情況下，首先，可以施加通過電壓位準，然後將電壓位準逐漸升高到預定的編程電壓位準，並且該位準被維持預定的時間。在未選中的字元線之中與正在執行編程操作的字元線（第 N 個 WL ）相鄰的字元線（第 $N-1$ 個 WL 和第 $N+1$ 個 WL ）的情況下，可以施加具有比預定的通過電壓位準更低的位準的初始通過電壓位準，並且在選中的字元線（第 N 個 WL ）維持預定的編程電壓位準的區段內，可以施加預定的通過電壓位準。透過使用多步驟上升法，可以減小由字元線 WL 的來自電壓供應器 310 的負載值中的差值引起的字元線偏置位準差值。同時，對於未選中的字元線（第 $N-2$ 個 WL 、第 $N+2$ 個 WL 等），除了與正在執行編程操作的字元線（第 N 個 WL ）相鄰設置的字元線（第 $N-1$ 個 WL 和第 $N+1$ 個 WL ）之外，可以直接施加預定的通過電壓位準而不使用多步驟上升法。

【0114】 隨後，在步驟 S110，在編程電壓 V_{pgm} 的脈衝區段的端部處，可以將負偏壓 V_{nega} 施加到與正在執行編程操作的字元線（第 N 個 WL ）相鄰設置的字元線，其中選中的字元線（第 N 個 WL ）維持預定的編程電壓位準。根據本發明的實施例，在與執行編程操作的字元線（第 N 個 WL ）相鄰設置的字元線（第 $N-1$ 個 WL 和第 $N+1$ 個 WL ）之中，可以將負偏壓 V_{nega} 僅施加到按照編程操作的順序來依序地編程的鄰近字元線（第 $N+1$ 個 WL ）。在字元線（第 $N-1$ 個 WL ）的情況下，施加負偏壓 V_{nega} 可以改變前一個編程的狀態。同時，負偏壓 V_{nega} 可以具有比接地電壓 GND 更低的位準，並且位準越低，可以形成的補償電場越強。另外，施加負偏壓 V_{nega} 的區段變得越長，其越有利。然而，

在這種情況下，整個編程時間可能會過度增加。因此，區段的長度可能必須以適當的長度來確定。

【0115】 隨後，在步驟 S120，可以對每個字元線 WL 進行預充電。在預充電操作的情況下，可以使用同時停止供應施加到字元線 WL 的偏壓的方法。此外，可以應用各種其他預充電方法。圖 13A 示出了應用將利用編程電壓 V_{pgm} 偏置的字元線（第 N 個 WL）放電至接地電壓 GND 位準的方法的情況。

【0116】 首先，在步驟 S122，在選中的字元線（第 N 個 WL）維持預定的編程電壓位準的區段中，可以將字元線放電到接地電壓 GND 位準。本文中，可以將負偏壓 V_{nega} 施加到鄰近字元線（第 N+1 個 WL），並且可以透過兩個字元線（第 N 個 WL 和第 N+1 個 WL）的耦接來降低負偏壓 V_{nega} 的位準。該字元線放電操作可以防止通常在與選中的字元線（第 N 個 WL）重疊的閘極電介質結構 GD 中俘獲的電荷的重新分佈。

【0117】 隨後，在步驟 S124，可以將施加到各個字元線 WL 的電壓均衡到相同的位準（例如，預定的通過電壓 V_{pass} 的位準），然後可以重置各個字元線電壓。當重置字元線電壓時，可以將字元線降低到預充電位準（例如，接地電壓 GND 位準）。

【0118】 如上所述，在本發明的實施例中，相對於選中的字元線（第 N 個 WL），在編程電壓 V_{pgm} 的脈衝區段的端部處，可以將負偏壓 V_{nega} 施加到鄰近字元線（第 N+1 個 WL）。由負偏壓 V_{nega} 引起的電場可以基於編程電壓 V_{pgm} 來補償正邊際場，以對在兩個相鄰字元線（第 N 個 WL 和第 N+1 個 WL）之間的區域中俘獲的電荷進行放電或者抑制在該區域中電荷的俘獲。換言之，可以減輕 Z 干擾，這意味著單元閾值電壓分佈可以保持狹窄。

【0119】雖然在該實施例中示出了編程電壓 V_{pgm} 被脈衝一次（如圖 13A 所示），本發明的技術也可以應用於以下情況：在編程操作期間也使用增量步進脈衝編程（ISPP）方法。換言之，在將編程電壓 V_{pgm} 增加步進電壓 ΔV 的同時，可以重複編程循環，直到耦接到字元線的記憶體單元被編程到期望的位準。在這種情況下，不管每個編程電壓 V_{pgm} 的每個脈衝的位準上升如何，都可以在恆定位準處施加負偏壓 V_{nega} 。每當編程電壓 V_{pgm} 的每個脈衝的位準增加時，也可以使用將負偏壓 V_{nega} 的位準降低預定位準的方法。

【0120】雖然在此實施例中，具有垂直通道區的 3D NAND 快閃記憶體作為示例來描述，但本發明的概念和精神可以適用於非揮發性記憶體裝置（例如，塊體型 NAND 快閃記憶體），該非揮發性記憶體裝置具有形成單元串的複數個字元線並且對字元線進行依序地編程。

【0121】圖 14 至圖 22 是示意性地示出圖 1 的資料處理系統的示例性應用的示圖。

【0122】圖 14 是示意性地示出包括根據本實施例的記憶體系統的資料處理系統的示例的示圖。圖 14 示意性地示出了應用根據本實施例的記憶體系統的記憶卡系統。

【0123】參考圖 14，記憶卡系統 6100 可以包括記憶體控制器 6120、記憶體裝置 6130 和連接器 6110。

【0124】更具體地，記憶體控制器 6120 可以連接到由非揮發性記憶體實施的記憶體裝置 6130，並且可以存取記憶體裝置 6130。例如，記憶體控制器 6120 可以控制記憶體裝置 6130 的讀取操作、寫入操作、擦除操作和後臺操作。記憶體控制器 6120 可以提供記憶體裝置 6130 與主機之間的介面連接並且用於控制

記憶體裝置 6130 的驅動韌體。即，記憶體控制器 6120 可以對應於參考圖 1 描述的記憶體系統 110 的控制器 130，並且記憶體裝置 6130 可以對應於參考圖 1 描述的記憶體系統 110 的記憶體裝置 150。

【0125】 因此，記憶體控制器 6120 可以包括 RAM、處理單元、主機介面、記憶體介面和錯誤校正單元。

【0126】 記憶體控制器 6120 可以透過連接器 6110 與外部設備（例如，圖 1 的主機 102）通訊。例如，如參考圖 1 所描述的，記憶體控制器 6120 可以透過各種通訊協定（諸如通用序列匯流排（USB）、多媒體卡（MMC）、嵌入式 MMC（eMMC）、周邊元件互連（PCI）、PCI 快速（PCIe）、先進技術附件（ATA）、序列 ATA、平行 ATA、小型電腦系統介面（SCSI）、增強型小磁碟介面（EDSI）、整合裝置電路（IDE）、火線、通用快閃記憶體儲存器（UFS）、WIFI 和藍牙）中的一種或更多種來與外部設備通訊。因此，根據本實施例的記憶體系統和資料處理系統可以應用於有線/無線電子設備或行動電子設備。

【0127】 記憶體裝置 6130 可以由非揮發性記憶體來實現。例如，記憶體裝置 6130 可以由各種非揮發性記憶體裝置（諸如可擦除可編程 ROM（EPROM）、電可擦除可編程 ROM（EEPROM）、NAND 快閃記憶體、NOR 快閃記憶體、相變 RAM（PRAM）、電阻式 RAM（ReRAM）、鐵電式 RAM（FRAM）和自旋力矩轉移磁性 RAM（STT-RAM））來實現。記憶體裝置 6130 可以包括如圖 1 的記憶體裝置 150 中的複數個晶粒。

【0128】 記憶體控制器 6120 和記憶體裝置 6130 可以被集成到單個半導體裝置中。例如，記憶體控制器 6120 和記憶體裝置 6130 可以透過被集成到單個半導體裝置中來構建固態硬碟（SSD）。此外，記憶體控制器 6120 和記憶體裝置

6130 可以構建記憶卡（諸如 PC 卡（PCMCIA：個人電腦記憶卡國際協會）、緊湊型快閃記憶體（CF）卡、智慧媒體卡（例如 SM 和 SMC）、記憶棒、多媒體卡（例如，MMC、RS-MMC、MMC 微型和 eMMC）、SD 卡（例如 SD、迷你 SD、微型 SD 和 SDHC）以及通用快閃記憶體儲存器（UFS））。

【0129】圖 15 是示意性地示出包括根據本實施例的記憶體系統的資料處理系統的另一個示例的示圖。

【0130】參考圖 15，資料處理系統 6200 可以包括具有一個或更多個非揮發性記憶體的記憶體裝置 6230 和用於控制記憶體裝置 6230 的記憶體控制器 6220。圖 15 所示的資料處理系統 6200 可以作為如參考圖 1 所述的儲存媒介（諸如記憶卡（CF、SD、微型 SD 等））或 USB 裝置。記憶體裝置 6230 可以對應於圖 1 所示的記憶體系統 110 中的記憶體裝置 150，並且記憶體控制器 6220 可以對應於圖 1 所示的記憶體系統 110 中的控制器 130。

【0131】記憶體控制器 6220 可以回應於主機 6210 的請求來控制記憶體裝置 6230 的讀取操作、寫入操作或擦除操作，並且記憶體控制器 6220 可以包括一個或更多個 CPU 6221、緩衝記憶體（諸如 RAM）6222、ECC 電路 6223、主機介面 6224 和記憶體介面（諸如 NVM 介面）6225。

【0132】CPU 6221 可以控制記憶體裝置 6230 的整體操作，諸如讀取操作、寫入操作、檔案系統管理操作和壞頁管理操作。RAM 6222 可以根據 CPU 6221 的控制來操作，並且作為工作記憶體、緩衝記憶體或快取記憶體。當 RAM 6222 被用來作為工作記憶體時，由 CPU 6221 處理的資料可以暫時儲存在 RAM 6222 中。當 RAM 6222 被用來作為緩衝記憶體時，RAM 6222 可以用於緩衝從主機 6210 發送到記憶體裝置 6230 或從記憶體裝置 6230 發送到主機 6210 的資料。當

RAM 6222 被用來作為快取記憶體時，RAM 6222 可以輔助低速記憶體裝置 6230 以高速操作。

【0133】 ECC 電路 6223 可以對應於圖 1 中所示的控制器 130 的 ECC 單元 138。如參考圖 1 所述，ECC 電路 6223 可以產生用於校正從記憶體裝置 6230 提供的資料的失敗位元或錯誤位元的錯誤校正碼（ECC）。ECC 電路 6223 可以對提供給記憶體裝置 6230 的資料執行錯誤校正編碼，從而使用具有同位檢查位元的資料。同位檢查位元可以被儲存在記憶體裝置 6230 中。ECC 電路 6223 可以對從記憶體裝置 6230 輸出的資料執行錯誤校正解碼。此時，ECC 電路 6223 可以使用同位檢查位元來校正錯誤。例如，如參考圖 1 所述，ECC 電路 6223 可以使用 LDPC 碼、BCH 碼、渦輪碼、里德-索羅門碼、卷積碼、RSC 或諸如 TCM 或 BCM 的編碼調製來校正錯誤。

【0134】 記憶體控制器 6220 可以透過主機介面 6224 向/從主機 6210 發送/接收資料，並且透過 NVM 介面 6225 向/從記憶體裝置 6230 發送/接收資料。主機介面 6224 可以透過 PATA 匯流排、SATA 匯流排、SCSI、USB、PCIe 或 NAND 介面而連接到主機 6210。記憶體控制器 6220 可以利用諸如 WiFi 或長期演進（LTE）的行動通訊協定而具有無線通訊功能。記憶體控制器 6220 可以連接到外部設備（例如，主機 6210 或另一個外部設備），然後向/從外部設備發送/接收資料。具體地，因為記憶體控制器 6220 可以透過各種通訊協定中的一種或更多種與外部設備通訊，所以根據本實施例的記憶體系統和資料處理系統可以應用於有線/無線電子設備或特別是行動電子設備。

【0135】圖 16 是示意性地示出包括根據本發明的一個實施例的記憶體系統的資料處理系統的另一個示例的示圖。圖 16 示意性地示出應用了根據本實施例的記憶體系統的 SSD。

【0136】參考圖 16，SSD 66300 可以包括控制器 66320 和包括複數個非揮發性記憶體的記憶體裝置 66340。控制器 66320 可以對應於圖 1 的記憶體系統 110 中的控制器 130，並且記憶體裝置 66340 可以對應於圖 1 的記憶體系統中的記憶體裝置 150。

【0137】更具體地，控制器 66320 可以透過複數個通道 CH1~CHi 連接至記憶體裝置 66340。控制器 66320 可以包括一個或更多個處理器 66321、緩衝記憶體 66325、ECC 電路 66322、主機介面 66324 和記憶體介面（例如，非揮發性記憶體介面）66326。

【0138】緩衝記憶體 66325 可以暫時儲存從主機 66310 提供的資料或從記憶體裝置 66340 中包括的複數個快閃記憶體 NVM 提供的資料，或暫時儲存複數個快閃記憶體 NVM 的元資料（例如，包括映射表的映射資料）。緩衝記憶體 66325 可以由諸如 DRAM、SDRAM、DDR SDRAM、LPDDR SDRAM 和 GRAM 的揮發性記憶體或者諸如 FRAM、ReRAM、STT-MRAM 和 PRAM 的非揮發性記憶體來實施。為了便於描述，圖 16 示出緩衝記憶體 66325 存在於控制器 66320 中。然而，緩衝記憶體 66325 可以存在於控制器 66320 的外部。

【0139】ECC 電路 66322 可以在編程操作期間計算要被編程到記憶體裝置 66340 的資料的 ECC 值、在讀取操作期間基於 ECC 值對從記憶體裝置 66340 讀取的資料執行錯誤校正操作以及在故障資料恢復操作期間對從記憶體裝置 66340 恢復的資料執行錯誤校正操作。

【0140】 主機介面 66324 可以提供與外部設備（例如，主機 66310）的介面連接功能，並且非揮發性記憶體介面 66326 可以提供與透過複數個通道連接的記憶體裝置 66340 的介面連接功能。

【0141】 此外，可以提供應用圖 1 的記憶體系統 110 的複數個 SSD 66300 以實施資料處理系統（例如，獨立磁碟冗餘陣列（RAID）系統）。此時，RAID 系統可以包括複數個 SSD 66300 和用於控制複數個 SSD 66300 的 RAID 控制器。當 RAID 控制器回應於從主機 66310 提供的寫入命令而執行編程操作時，RAID 控制器可以根據複數個 RAID 位準（即，從 SSD 66300 中的主機 66310 提供的寫入命令的 RAID 位準資訊）而選擇一個或更多個記憶體系統或 SSD 66300，並且將與寫入命令相對應的資料輸出到選中的 SSD 66300。此外，當 RAID 控制器回應於從主機 66310 提供的讀取命令而執行讀取操作時，RAID 控制器可以根據複數個 RAID 位準（從 SSD 66300 中的主機 66310 提供的讀取命令的 RAID 位準資訊）來選擇一個或更多個記憶體系統或 SSD 66300，並且將從選中的 SSD 66300 讀取的資料提供給主機 66310。

【0142】 圖 17 是示意性地示出包括根據本發明的一個實施例的記憶體系統的資料處理系統的另一示例的示圖。圖 17 示意性地示出了應用根據本實施例的記憶體系統的嵌入式多媒體卡（eMMC）。

【0143】 參考圖 17，eMMC 6400 可以包括控制器 6430 和由一個或更多個 NAND 快閃記憶體實施的記憶體裝置 6440。控制器 6430 可以對應於圖 1 的記憶體系統 110 中的控制器 130，並且記憶體裝置 6440 可以對應於圖 1 的記憶體系統 110 中的記憶體裝置 150。

【0144】更具體地，控制器 6430 可以透過複數個通道連接到記憶體裝置 6440。控制器 6430 可以包括一個或更多個核心 6432、主機介面 6431 和記憶體介面（例如，NAND 介面 6433）。

【0145】核心 6432 可以控制 eMMC 6400 的整體操作，主機介面 6431 可以提供控制器 6430 與主機 6410 之間的介面連接功能，並且 NAND 介面 6433 可以提供記憶體裝置 6440 與控制器 6430 之間的介面連接功能。例如，主機介面 6431 可以作為並聯介面（例如，參考圖 1 所述的 MMC 介面）。此外，主機介面 6431 可以作為串聯介面（例如，超高速（UHS-I/UHS-II）介面）。

【0146】圖 18 至圖 21 是示意性地示出包括根據本發明的一個實施例的記憶體系統的資料處理系統的其他示例的示圖。圖 18 至圖 21 示意性地示出了應用根據本實施例的記憶體系統的通用快閃記憶體儲存器（UFS）系統。

【0147】參考圖 18 至圖 21，UFS 系統 6500、UFS 系統 6600、UFS 系統 6700 和 UFS 系統 6800 可以分別包括主機 6510、主機 6610、主機 6710 和主機 6810、UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 以及 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830。主機 6510、主機 6610、主機 6710 和主機 6810 可以作為有線/無線電子設備或特別是行動電子設備的應用處理器，UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 可以作為嵌入式 UFS 裝置，並且 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830 可以作為外部嵌入式 UFS 裝置或可移動 UFS 卡。

【0148】在相應的 UFS 系統 6500、UFS 系統 6600、UFS 系統 6700 和 UFS 系統 6800 中的主機 6510、主機 6610、主機 6710 和主機 6810、UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 以及 UFS 卡 6530、UFS 卡 6630、

UFS 卡 6730 和 UFS 卡 6830 可以透過 UFS 協定與外部設備（例如，有線/無線電子設備或行動電子設備）進行通訊，並且 UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 以及 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830 可以透過圖 1 所示的記憶體系統 110 來實施。例如，在 UFS 系統 6500、UFS 系統 6600、UFS 系統 6700 和 UFS 系統 6800 中，UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 可以以參考圖 15 至圖 17 所述的資料處理系統 6200、SSD 66300 或 eMMC 6400 的形式來實施，並且 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830 可以以參考圖 14 所述的記憶卡系統 6100 的形式來實施。

【0149】此外，在 UFS 系統 6500、UFS 系統 6600、UFS 系統 6700 和 UFS 系統 6800 中，主機 6510、主機 6610、主機 6710 和主機 6810、UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 以及 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830 可以透過 UFS 介面（例如，行動產業處理器介面（MIPI）中的統一協定（MIPI M-PHY 和 MIPI UniPro））來彼此通訊。此外，UFS 裝置 6520、UFS 裝置 6620、UFS 裝置 6720 和 UFS 裝置 6820 以及 UFS 卡 6530、UFS 卡 6630、UFS 卡 6730 和 UFS 卡 6830 可以透過除了 UFS 協定以外的各種協定（例如，UFD、MMC、SD、迷你 SD 和微型 SD）來彼此通訊。

【0150】在圖 18 所示的 UFS 系統 6500 中，主機 6510、UFS 裝置 6520 和 UFS 卡 6530 中的每個可以包括 UniPro。主機 6510 可以執行切換操作以便與 UFS 裝置 6520 和 UFS 卡 6530 通訊。具體地，主機 6510 可以透過鏈路層切換（例如，在 UniPro 處的 L3 切換）與 UFS 裝置 6520 或 UFS 卡 6530 通訊。此時，UFS 裝置 6520 和 UFS 卡 6530 可以透過在主機 6510 的 UniPro 處的鏈路層切換來彼此

通訊。在本實施例中，為了便於描述，已經示例了其中一個 UFS 裝置 6520 和一個 UFS 卡 6530 連接到主機 6510 的配置。然而，複數個 UFS 裝置和 UFS 卡可以並聯或以星形的形式連接到主機 6510，並且複數個 UFS 卡可以並聯或以星形的形式連接到 UFS 裝置 6520，或者串聯或以鏈的形式連接到 UFS 裝置 6520。

【0151】 在圖 19 所示的 UFS 系統 6600 中，主機 6610、UFS 裝置 6620 和 UFS 卡 6630 中的每個可以包括 UniPro，並且主機 6610 可以透過執行切換操作的切換模組 6640（例如，透過在 UniPro 處執行鏈路層切換（例如 L3 切換）的切換模組 6640）與 UFS 裝置 6620 或 UFS 卡 6630 通訊。UFS 裝置 6620 和 UFS 卡 6630 可以透過在 UniPro 處的切換模組 6640 的鏈路層切換來彼此通訊。在本實施例中，為了便於描述，已經示例了其中一個 UFS 裝置 6620 和一個 UFS 卡 6630 連接到切換模組 6640 的配置。然而，複數個 UFS 裝置和 UFS 卡可以並聯或以星形的形式連接到切換模組 6640，而複數個 UFS 卡可以串聯或以鏈的形式連接到 UFS 裝置 6620。

【0152】 在圖 20 所示的 UFS 系統 6700 中，主機 6710、UFS 裝置 6720 和 UFS 卡 6730 中的每個可以包括 UniPro，並且主機 6710 可以透過執行切換操作的切換模組 6740（例如，透過在 UniPro 處執行鏈路層切換（例如，L3 切換）的切換模組 6740）與 UFS 裝置 6720 或 UFS 卡 6730 通訊。此時，UFS 裝置 6720 和 UFS 卡 6730 可以透過在 UniPro 處的切換模組 6740 的鏈路層切換來彼此通訊，並且切換模組 6740 可以與 UFS 裝置 6720 作為一個模組被集成在 UFS 裝置 6720 的內部或外部。在本實施例中，為了便於描述，已經示例了其中一個 UFS 裝置 6720 和一個 UFS 卡 6730 連接到切換模組 6740 的配置。然而，每個模組包括切換模組 6740 和 UFS 裝置 6720 的複數個模組可以並聯或以星形的形式連接到主

機 6710，或者串聯或以鏈的形式彼此連接。此外，複數個 UFS 卡可以並聯或以星形的形式連接到 UFS 裝置 6720。

【0153】 在圖 21 所示的 UFS 系統 6800 中，主機 6810、UFS 裝置 6820 和 UFS 卡 6830 中的每個可以包括 M-PHY 和 UniPro。UFS 裝置 6820 可以執行切換操作以便與主機 6810 和 UFS 卡 6830 通訊。具體地，UFS 裝置 6820 可以透過在 M-PHY 和用於與主機 6810 通訊的 UniPro 模組之間的切換操作以及在 M-PHY 和用於與 UFS 卡 6830 通訊的 UniPro 模組之間的切換操作（例如，透過目標識別碼（ID）切換操作）與主機 6810 或 UFS 卡 6830 通訊。此時，主機 6810 和 UFS 卡 6830 可以透過在 M-PHY 和 UFS 裝置 6820 的 UniPro 模組之間的目標 ID 切換來彼此通訊。在本實施例中，為了便於描述，已經示例了其中一個 UFS 裝置 6820 連接主機 6810 並且一個 UFS 卡 6830 連接到 UFS 裝置 6820 的配置。然而，複數個 UFS 裝置可以並聯或以星形的形式連接到主機 6810，或者串聯或以鏈的形式連接到主機 6810，而複數個 UFS 卡可以並聯或以星形的形式連接到 UFS 裝置 6820，或者串聯或以鏈的形式連接到 UFS 裝置 6820。

【0154】 圖 22 是示意性地示出包括根據本發明的一個實施例的記憶體系統的資料處理系統的另一個示例的示圖。圖 22 是示意性地示出應用了根據本實施例的記憶體系統的使用者系統的示圖。

【0155】 參考圖 22，使用者系統 6900 可以包括應用處理器 6930、記憶體模組 6920、網路模組 6940、儲存器模組 6950 和使用介面 6910。

【0156】 更具體地，應用處理器 6930 可以驅動使用者系統 6900 中包括的組件（例如，作業系統（OS）），並且包括控制使用者系統 6900 中包括的組件的控制器、介面和圖形引擎。應用處理器 6930 可以被設置為系統單晶片（SoC）。

【0157】 記憶體模組 6920 可以作為使用者系統 6900 的主記憶體、工作記憶體、緩衝記憶體或快取記憶體。記憶體模組 6920 可以包括揮發性 RAM（諸如 DRAM、SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、LPDDR SDRAM、LPDDR3 SDRAM 或 LPDDR3 SDRAM）或者非揮發性 RAM（例如 PRAM、ReRAM、MRAM 或 FRAM）。例如，應用處理器 6930 和記憶體模組 6920 可以基於層疊式封裝（PoP）來封裝和安裝。

【0158】 網路模組 6940 可以與外部設備進行通訊。例如，網路模組 6940 不僅可以支持有線通訊，還可以支持各種無線通訊協定（諸如分碼多重存取（CDMA）、全球行動通訊系統（GSM）、寬頻 CDMA（WCDMA）、CDMA-2000、時分多重存取（TDMA）、長期演進（LTE）、全球微波接入互操作性（Wimax）、無線區域網路（WLAN）、超寬頻（UWB）、藍牙、無線顯示器（WI-DI）），從而與有線/無線電子設備或特別是行動電子設備進行通訊。因此，根據本發明實施例的記憶體系統和資料處理系統可以應用於有線/無線電子設備。在應用處理器 6930 中可以包括網路模組 6940。

【0159】 儲存器模組 6950 可以儲存資料（例如，從應用處理器 6930 接收的資料），然後可以將所儲存的資料發送到應用處理器 6930。儲存器模組 6950 可以由非揮發性半導體記憶體裝置（諸如相變 RAM（PRAM）、磁性 RAM（MRAM）、電阻式 RAM（ReRAM）、NAND 快閃記憶體、NOR 快閃記憶體和 3D NAND 快閃記憶體）來實施，並且被設置為使用者系統 6900 的可移動儲存媒介（諸如記憶卡或外部磁碟機）。儲存器模組 6950 可以對應於參考圖 1 描述的記憶體系統 110。此外，儲存器模組 6950 可以被實施為如上參考圖 16 至圖 21 所述的 SSD、eMMC 和 UFS。

【0160】 使用者介面 6910 可以包括用於將資料或命令輸入到應用處理器 6930 或者將資料輸出到外部設備的介面。例如，使用者介面 6910 可以包括使用者輸入介面（諸如鍵盤、小鍵盤、按鈕、觸控面板、觸控螢幕、觸控板、觸控球、照相機、麥克風、陀螺儀感測器、振動感測器和壓電元件）和使用者輸出介面（諸如液晶顯示器（LCD）、有機發光二極體（OLED）顯示設備、主動矩陣 OLED（AMOLED）顯示設備、LED、揚聲器和電機）。

【0161】 此外，當圖 1 的記憶體系統 110 被應用於使用者系統 6900 的行動電子設備時，應用處理器 6930 可以控制行動電子設備的整體操作，並且網路模組 6940 可以作為用於控制與外部設備的有線/無線通訊的通訊模組。使用者介面 6910 可以將由處理器 6930 處理的資料顯示在行動電子設備的顯示/觸控模組上，或者支持從觸控面板接收資料的功能。

【0162】 雖然已經出於說明性目的描述了各種實施例，但是對於本領域技術人員來說顯而易見的是，在不脫離如所附申請專利範圍中所限定的本發明的精神和範圍的情況下，可以進行各種改變和改進。

【符號說明】

【0163】

100	資料處理系統
102	主機
110	記憶體系統
130	控制器
132	主機介面單元

134	處理器
138	錯誤校正碼單元
140	電源管理單元
142	NAND快閃記憶體控制器
144	記憶體
150	記憶體裝置
152	記憶體區塊
154	記憶體區塊
156	記憶體區塊
210~240	記憶體區塊
310	電壓供應器
320	讀取/寫入電路
322	頁緩衝器
324	頁緩衝器
326	頁緩衝器
340	單元串
5111	基底
5112	電介質材料
5113	柱體
5114	表面層
5115	內層
5116	電介質層
5117	第一子電介質層
5188	第二子電介質層

5119	第三子電介質層
5211~5291	導電材料
5212~5292	導電材料
5213~5293	導電材料
5320	汲極
5311~5314	第一摻雜區~第四摻雜區
5331~5333	導電材料
6100	記憶卡系統
6110	連接器
6120	記憶體控制器
6130	記憶體裝置
6200	資料處理系統
6220	記憶體控制器
6221	CPU
6222	緩衝記憶體
6223	ECC電路
6224	主機介面
6225	記憶體介面
6230	記憶體裝置
6311	基底
6312	摻雜材料
6321~6328	第一導電材料至第八導電材料
6340	汲極
6351	第一上導電材料

6352	第二上導電材料
6361	內部材料
6362	中間層
6363	表面層
66300	SSD
66310	主機
66320	控制器
66321	處理器
66322	ECC電路
66324	主機介面
66325	緩衝記憶體
66326	記憶體介面
66340	記憶體裝置
6400	eMMC
6410	主機
6430	控制器
6431	主機介面
6432	核心
6433	NAND介面
6440	記憶體裝置
6500	UFS系統
6510	主機
6520	UFS裝置
6530	UFS卡

6600	UFS系統
6610	主機
6620	UFS裝置
6630	UFS卡
6700	UFS系統
6710	主機
6720	UFS裝置
6730	UFS卡
6800	UFS系統
6810	主機
6820	UFS裝置
6830	UFS卡
6900	使用者系統
6910	使用者介面
6920	記憶體模組
6930	應用處理器
6940	網路模組
6950	儲存器模組
BL	位元線
BL0	位元線
BL1	位元線
BLm-1	位元線
BL0~BLm-1	位元線
BLK0~BLKN-1	記憶體區塊

BLKi	記憶體區塊
BLKj	記憶體區塊
CG0~CG31	記憶體單元
CH	垂直通道區
CH1~Chi	通道
CSL	公共源極線
DMC	虛設記憶體單元
DMC1	第一虛設記憶體單元
DMC2	第二虛設記憶體單元
DP	下柱體
DSG1	汲極選擇閘極
DSG2	汲極選擇閘極
DSL	汲極選擇線
DST	汲極選擇電晶體
DWL	虛設字元線
DWL1	第一虛設字元線
DWL2	第二虛設字元線
DST	汲極選擇電晶體
DWL	虛設字元線
GD	閘極電介質結構
GND	接地電壓
GSL	接地選擇線
GST	接地選擇電晶體
MC	記憶體單元

MC0~MCn-1	記憶體單元
MC0	記憶體單元
MC1	記憶體單元
MCn-2	記憶體單元
MCn-1	記憶體單元
MMC1	第一主記憶體單元
MMC2	第二主記憶體單元
MMC3	第三主記憶體單元
MMC4	第四主記憶體單元
MWL1	第一主字元線
MWL2	第二主字元線
MWL3	第三主字元線
MWL4	第四主字元線
NS	NAND串
NS11~NS31	NAND串
NS12~NS32	NAND串
NS13~NS33	NAND串
NVM	快閃記憶體
PB	頁緩衝器
PG	管道閘
S100~S124	步驟
SSG1	源極選擇閘極
SSG2	源極選擇閘極
SSL	源極選擇線

SSL1	源極選擇線
SSL2	源極選擇線
SSL3	源極選擇線
SST	串源極電晶體
SST	源極選擇電晶體
ST1	串
ST2	串
TS	電晶體結構
UP	上柱體
VDSL	汲極選擇電壓
Vnega	負偏壓
Vpass	通過電壓
Vpgm	編程電壓
WL	字元線
WL0	字元線
WL1	字元線
WL n-2	字元線
WL n-1	字元線
WL N+2	字元線
WL N+1	字元線
WL N	字元線
WL N -1	字元線

【生物材料寄存】

【0164】 無



201909182

申請日：

IPC 分類：

【發明摘要】

【中文發明名稱】 執行編程操作的非揮發性記憶體裝置及其操作方法

【英文發明名稱】 NONVOLATILE MEMORY DEVICE PERFORMING

PROGRAM OPERATION AND OPERATION METHOD THEREOF

【中文】一種非揮發性記憶體裝置包括：層疊的複數個字元線；垂直通道區，其適用於與字元線一起形成單元串；以及電壓供應器，其適用於供應對字元線的編程操作所需的複數個偏壓，其中，在施加到選中的字元線的編程電壓的脈衝區段的端部處，負偏壓被施加到與選中的字元線相鄰設置的鄰近字元線。

【英文】 A nonvolatile memory device includes: a plurality of word lines that are stacked; a vertical channel region suitable for forming a cell string along with the word lines; and a voltage supplier suitable for supplying a plurality of biases required for a program operation on the word lines, where a negative bias is applied to neighboring word lines disposed adjacent to a selected word line at an end of a pulsing section of a program voltage which is applied to the selected word line.

【指定代表圖】 圖12

【代表圖之符號簡單說明】

CH	垂直通道區
DSL	汲極選擇線
GD	閘極電介質結構

GND	接地電壓
SSL	源極選擇線
VDSL	汲極選擇電壓
Vnega	負偏壓
Vpass	通過電壓
Vpgm	編程電壓
WL N+2	字元線
WL N+1	字元線
WL N	字元線
WL N -1	字元線

【特徵化學式】 無

【發明申請專利範圍】

【第1項】一種非揮發性記憶體裝置，包括：

層疊的複數個字元線；

垂直通道區，其適用於與字元線一起形成單元串；以及

電壓供應器，其適用於供應對字元線的編程操作所需的複數個偏壓，

其中，在施加到選中的字元線的編程電壓的脈衝區段的端部處，負偏壓被施加到與選中的字元線相鄰設置的鄰近字元線。

【第2項】如請求項1所述的非揮發性記憶體裝置，其中，在與選中的字元線相鄰設置的鄰近字元線之中，負偏壓被施加到繼選中的字元線之後要被編程的字元線。

【第3項】如請求項1所述的非揮發性記憶體裝置，其中，負偏壓被施加到與選中的字元線相鄰設置的鄰近字元線之中的字元線。

【第4項】如請求項2所述的非揮發性記憶體裝置，其中，在負偏壓被施加到繼選中的字元線之後要被編程的字元線之前，單元串中的所有未選中的字元線利用通過電壓來偏置。

【第5項】如請求項2所述的非揮發性記憶體裝置，其中，在施加負偏壓之後，選中的字元線被放電。

【第6項】如請求項5所述的非揮發性記憶體裝置，其中，選中的字元線利用接地電壓位準來放電。

【第7項】如請求項4所述的非揮發性記憶體裝置，其中，包括被放電的選中的字元線和被施加負偏壓的鄰近字元線的單元串中的所有字元線利用通過電壓來均衡，並且所有字元線電壓被重置。

【第8項】如請求項1所述的非揮發性記憶體裝置，其中，施放到選中的字元線的編程電壓以多步驟上升法來施加。

【第9項】如請求項8所述的非揮發性記憶體裝置，其中，施放到與選中的字元線相鄰設置的鄰近字元線的通過電壓以多步驟上升法來施加。

【第10項】一種用於操作具有形成單元串的複數個字元線的非揮發性記憶體裝置的方法，包括：

將編程電壓施放到選中的字元線並且將通過電壓施放到未選中的字元線；以及

在將編程電壓施放到選中的字元線的同時，將負偏壓施放到未選中的字元線之中與選中的字元線相鄰設置的鄰近字元線。

【第11項】如請求項10所述的方法，其中，在與選中的字元線相鄰設置的鄰近字元線之中，負偏壓被施放到繼選中的字元線之後要被編程的字元線。

【第12項】如請求項10所述的方法，其中，將負偏壓施放到與選中的字元線相鄰設置的鄰近字元線之中的字元線。

【第13項】如請求項11所述的方法，還包括：

在施加負偏壓之後，對單元串中包括的所有字元線進行預充電。

【第14項】如請求項11所述的方法，還包括：

在施加負偏壓之後，對選中的字元線進行放電。

【第15項】如請求項14所述的方法，還包括：

在對選中的字元線進行放電之後，利用通過電壓來均衡包括被放電的選中的字元線和被施加負偏壓的鄰近字元線的單元串中的所有字元線，然後重置所有字元線電壓。

【第16項】如請求項10所述的方法，其中，施加到選中的字元線的編程電壓以多步驟上升法來施加。

【第17項】如請求項16所述的方法，其中，在將通過電壓施加到未選中的字元線時，

施加到未選中的字元線之中與選中的字元線相鄰設置的鄰近字元線的通過電壓以多步驟上升法來施加。

【第18項】一種非揮發性記憶體裝置，包括：

複數個字元線，其形成單元串；以及

電壓供應器，其適用於供應對字元線的編程操作所需的複數個偏壓，

其中，在施加到選中的字元線的編程電壓的脈衝區段的端部處，負偏壓被施加到與選中的字元線相鄰設置的鄰近字元線。

【第19項】如請求項18所述的非揮發性記憶體裝置，其中，在與選中的字元線相鄰設置的鄰近字元線之中，負偏壓被施加到繼選中的字元線之後要被編程的字元線。

【第20項】如請求項19所述的非揮發性記憶體裝置，其中，在負偏壓被施加到繼選中的字元線之後要被編程的字元線之前，單元串中的所有未選中的字元線利用通過電壓來偏置。

