



(12)发明专利申请

(10)申请公布号 CN 109756207 A

(43)申请公布日 2019.05.14

(21)申请号 201811390164.4

(22)申请日 2018.11.21

(71)申请人 西北工业大学

地址 710072 陕西省西安市友谊西路127号

(72)发明人 高武 葛兴 刘媛

(74)专利代理机构 西北工业大学专利中心

61204

代理人 王鲜凯

(51)Int.Cl.

H03K 3/012(2006.01)

H03K 3/021(2006.01)

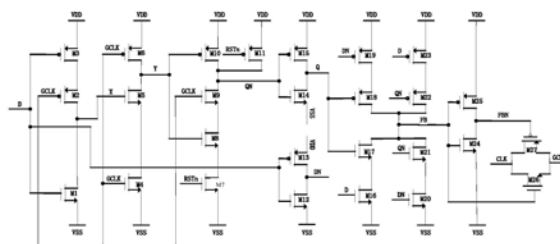
权利要求书1页 说明书3页 附图4页

(54)发明名称

一种具有自动反馈门控时钟的TSPC边沿触发器

(57)摘要

本发明涉及一种具有自动反馈门控时钟的TSPC边沿触发器,将自动反馈门控时钟电路集成在TSPC边沿触发器内部电路中,使用电路拓扑结构实现了异或逻辑,并使用传输门代替与门逻辑,形成了一种具有自动反馈门控时钟功能的低功耗TSPC边沿触发器。与标准的TSPC触发器相比,本发明的触发器动态功耗更低,且对时钟频率变化不敏感。在数字电路规模相同的情况下,使用本发明提出的TSPC边沿触发器与已有门控时钟单元技术相比,生成的数字集成电路版图面积更小,还可以减少后端设计复杂度。



1. 一种具有自动反馈门控时钟的TSPC边沿触发器,其特征在于包括27个MOS管,M1~M11组成了一个带复位的TSPC边沿触发器,M12和M13,M14和M15分别组成两个反相器,M16~M23构成了异或逻辑单元,M24和M25组成反相器,M26和M27组门控传输门单元;M1源极接VSS,漏极与M2漏极连接,M2源极与M3漏极连接,M3源极连接VDD;M4源极接VSS,漏极与M5源极连接,M5漏极与M6漏极连接,M6源极连接VDD;M7源极接VSS,漏极与M8源极连接,M8漏极与M9源极连接,M9漏极与M10漏极连接,M10源极连接VDD;M12源极接VSS,漏极与M13漏极连接,M13源极连接VDD;M14源极接VSS,M14漏极与M15漏极连接,M15源极连接VDD;M16源极接VSS,漏极与M17源极连接,M17漏极与M18漏极连接,M18源极与M19漏极连接,M19源极连接VDD;M20源极接VSS,漏极与M21源极连接,M21漏极与M22漏极连接,M22源极与M23漏极连接,M23源极连接VDD;M24源极接VSS,漏极与M25漏极连接,M25源极连接VDD;M1、M3、M12、M13、M16和M23栅极并联后与输入D信号连接,M1漏极与M5栅极连接,M5漏极与M8和M10栅极连接,M9漏极与M11漏极以及M14、M15、M20和M21栅极连接,M14漏极与M17和M18栅极连接,M17和M21漏极与M25、M24和M26的栅极连接;M24漏极与M27栅极连接;M26与M27源极并联后与M9、M4、M6和M2栅极连接;M26与M27的漏极连接,输出CLK信号;M12漏极与M19和M20的栅极并联与DN;M7与M11栅极并联与RST连接。

一种具有自动反馈门控时钟的TSPC边沿触发器

技术领域

[0001] 本发明属于超大规模数字集成电路中数字标准单元领域,涉及一种具有自动反馈门控时钟的TSPC边沿触发器,是一种新型低功耗D触发器。

背景技术

[0002] TSPC边沿触发器的电路拓扑结构如图1所示,见文献:B.Razavi,“TSPC Logic-A Circuit for All Seasons,”IEEE Solid-State Circuits Magazine,vol.8,no.4,pp.10-13,2016;第一级为一个PMOS管钟控的反相器,第二级为动态反相器,第三级是由NMOS管钟控的反相器。具体工作原理如下:当CLK为低电平时,输入反相器在节点X上采样反相的D输入。第二级的动态反相器处于预充电状态。在CLK上升沿到来时,第二级反相器求值。如果X在CLK上升沿处是高电平,那么节点Y放电。在CLK为高电平时,第三级反相器求值,Y节点上的值输出到QN。通过第四级反相器得到Q。

[0003] 相对于普通主从结构的D触发器,TSPC边沿触发器结构更简单,速度更快。但工作时这种边沿触发器对时钟斜率要求较高,因为变化慢的时钟会使钟控PMOS和NMOS管同时导通,从而增加动态功耗。

[0004] 为了降低基于TSPC边沿触发器的数字电路的动态功耗,一般采用门控时钟单元。门控时钟可以主动关闭触发器工作时钟,以使其在不需要的状态下不进行翻转,最终达到降低动态功耗的目的。门控时钟单元可分为不含锁存器的门控时钟单元和基于锁存器的门控时钟单元。不含锁存器的门控时钟电路中,由一个与门/或门实现,电路简单,但是信号容易产生毛刺。这个问题可用基于锁存器的门控时钟单元电路来解决。文献[2]中公开了一种反馈门控结构,如图2所示,见文献:阿恩·万维克·维纳斯,“一种数字电路部分,”中国,2015.;也采用标准异或门和与门实现。实际使用时,这些门控时钟单元都是门级电路,在数字电路后端综合时,可将门控时钟单元电路制作成数字标准单元库的一部分,通过脚本实现数字电路模块的门控策略。加入门控时钟单元后,数字电路的后端设计需要重新布局布线和后仿真,是的数字电路设计的工作量增大。

发明内容

[0005] 要解决的技术问题

[0006] 为了避免现有技术的不足之处,本发明提出一种具有自动反馈门控时钟的TSPC边沿触发器,能够进一步降低功耗,并简化后端设计流程。

[0007] 技术方案

[0008] 一种具有自动反馈门控时钟的TSPC边沿触发器,其特征在于包括27个MOS管,M1~M11组成了一个带复位的TSPC边沿触发器,M12和M13,M14和M15分别组成两个反相器,M16~M23构成了异或逻辑单元,M24和M25组成反相器,M26和M27组门控传输门单元;M1源极接VSS,漏极与M2漏极连接,M2源极与M3漏极连接,M3源极连接VDD;M4源极接VSS,漏极与M5源极连接,M5漏极与M6漏极连接,M6源极连接VDD;M7源极接VSS,漏极与M8源极连接,M8漏极与

M9源极连接,M9漏极与M10漏极连接,M10源极连接VDD;M12源极接VSS,漏极与M13漏极连接,M13源极连接VDD;M14源极接VSS,M14漏极与M15漏极连接,M15源极连接VDD;M16源极接VSS,漏极与M17源极连接,M17漏极与M18漏极连接,M18源极与M19漏极连接,M19源极连接VDD;M20源极接VSS,漏极与M21源极连接,M21漏极与M22漏极连接,M22源极与M23漏极连接,M23源极连接VDD;M24源极接VSS,漏极与M25漏极连接,M25源极连接VDD;M1、M3、M12、M13、M16和M23栅极并联后与输入D信号连接,M1漏极与M5栅极连接,M5漏极与M8和M10栅极连接,M9漏极与M11漏极以及M14、M15、M20和M21栅极连接,M14漏极与M17和M18栅极连接,M17和M21漏极与M25、M24和M26的栅极连接;M24漏极与M27栅极连接;M26与M27源极并联后与M9、M4、M6和M2栅极连接;M26与M27的漏极连接,输出CLK信号;M12漏极与M19和M20的栅极并联与DN;M7与M11栅极并联与RST连接。

[0009] 有益效果

[0010] 本发明提出的一种具有自动反馈门控时钟的TSPC边沿触发器,将自动反馈门控时钟电路集成在TSPC边沿触发器内部电路中,使用电路拓扑结构实现了异或逻辑,并使用传输门代替与门逻辑,形成了一种具有自动反馈门控时钟功能的低功耗TSPC边沿触发器。与标准的TSPC触发器相比,本发明的触发器动态功耗更低,且对时钟频率变化不敏感。在数字电路规模相同的情况下,使用本发明提出的TSPC边沿触发器与已有门控时钟单元技术相比,生成的数字集成电路版图面积更小,还可以减少后端设计复杂度。

[0011] 本发明的创新点主要包括:1)采用简化的8管异或门电路拓扑结构,代替传统10管异或门电路,缩小了单元电路的面积。2)采用传输门单元代替与门单元,进一步缩小了单元电路的面积。3)将新设计的时钟门控封装在TSPC边沿触发器中,通过提取该单元的连线和电气信息,可以制作成标准数字电路单元,用于数字集成集成电路的后端综合。通过调用新型TSPC触发器单元,可使低功耗的数字集成电路后端设计更加简便。

附图说明

[0012] 图1为TSPC D触发器;

[0013] 图2为一种数字电路部分(2015);

[0014] 图3为本发明提出的带有自动门控时钟的TSPC边沿触发器原理图;

[0015] 图4为标准TSPC边沿触发器的和本发明的TSPC边沿触发器瞬态仿真结果;

[0016] 图5为D翻转频率50MHz时,两种D触发器功耗对比;

[0017] 图6为时钟频率为1GHz时,两种D触发器功耗对比。

具体实施方式

[0018] 现结合实施例、附图对本发明作进一步描述:

[0019] 本发明权衡了面积、功耗和设计难度等方面的因素,提出了一种带有自动反馈门控时钟的TSPC边沿触发器新电路结构,其原理图如图3所示。

[0020] 连接关系为:

[0021] M1源极接VSS,漏极与M2漏极连接,M2源极与M3漏极连接,M3源极连接VDD;M4源极接VSS,漏极与M5源极连接,M5漏极与M6漏极连接,M6源极连接VDD;M7源极接VSS,漏极与M8源极连接,M8漏极与M9源极连接,M9漏极与M10漏极连接,M10源极连接VDD;M12源极接VSS,

漏极与M13漏极连接,M13源极连接VDD;M14源极接VSS,M14漏极与M15漏极连接,M15源极连接VDD;M16源极接VSS,漏极与M17源极连接,M17漏极与M18漏极连接,M18源极与M19漏极连接,M19源极连接VDD;M20源极接VSS,漏极与M21源极连接,M21漏极与M22漏极连接,M22源极与M23漏极连接,M23源极连接VDD;M24源极接VSS,漏极与M25漏极连接,M25源极连接VDD;M1、M3、M12、M13、M16和M23栅极并联后与输入D信号连接,M1漏极与M5栅极连接,M5漏极与M8和M10栅极连接,M9漏极与M11漏极以及M14、M15、M20和M21栅极连接,M14漏极与M17和M18栅极连接,M17和M21漏极与M25、M24和M26的栅极连接;M24漏极与M27栅极连接;M26与M27源极并联后与M9、M4、M6和M2栅极连接;M26与M27的漏极连接,输出CLK信号;M12漏极与M19和M20的栅极并联与DN;M7与M11栅极并联与RST连接。

[0022] 本发明的工作原理为:

[0023] 1、M1~M11组成了一个带复位的TSPC边沿触发器,其中D是输入信号,GCLK为内部工作时钟。在RSTn为低电平时,该触发器复位,QN为高电平;当RSTn为高电平时,在GCLK的上升沿,将D端的数据写入到寄存器中,使得 $QN = \bar{D}$ 。

[0024] 2、M12和M13,M14和M15组成两个反相器,分别得到 $Q = \overline{QN}$ 和 $DN = \bar{D}$ 。

[0025] 3、M16~M23共8个MOS管构成了异或逻辑单元,输入信号分别为D,DN,Q,QN,通过电路运算得到反馈控制信号FB,使得 $FB = D \oplus Q$ 。真值表如表1所示:

[0026] 表1反馈控制信号FB真值表

[0027]

D	(DN)	Q	(QN)	FB	MOS工作状态
0	1	0	1	0	M20和M21导通
0	1	1	0	1	M22和M23导通
1	0	0	1	1	M18和M19导通
1	0	1	0	0	M16和M17导通

[0028] 4、M24和M25组成反相器,使得 $FBN = \overline{FB}$ 。

[0029] 5、M26和M27组门控传输门单元,输入时钟为CLK,输出时钟为GCLK,控制信号分别为FB和FBN。当FB为高电平且FBN为低电平时,GCLK=CLK,TSPC边沿触发器正常工作;当FB为低电平且FBN为高电平时,传输门关闭,TSPC边沿触发器各节点保持上一个状态的值,不发生翻转;

[0030] 综上所述,在本发明提出的TSPC边沿触发器能够自动检测触发器输入端和输出端信号电平,当输入端D和输出端Q的信号电平相同时,产生关闭传输门信号FB和FBN,使内部工作时钟GCLK失效;当输入端D和输出端Q的信号电平不同时,产生导通传输门信号FB和FBN,使内部工作时钟和外部驱动时钟相同。这种机制避免了D触发器内部电路不必要的翻转,进而降低了功耗。使用这种D触发器,也能使寄存器传输级(RTL)组合逻辑电路不发生翻转,从而降低整个数字电路的功耗。

[0031] 本发明针对数字电路低功耗设计的需求,提出一种新型TSPC边沿触发器的电路拓扑结构,在该触发器中集成自动反馈门控时钟电路,其目的是进一步降低TSPC边沿触发器的动态功耗,从而降低基于TSPC触发器数字集成电路的整体功耗。同时,将反馈门控时钟电路封装在TSPC边沿触发器中,简化数字集成电路后端设计流程。

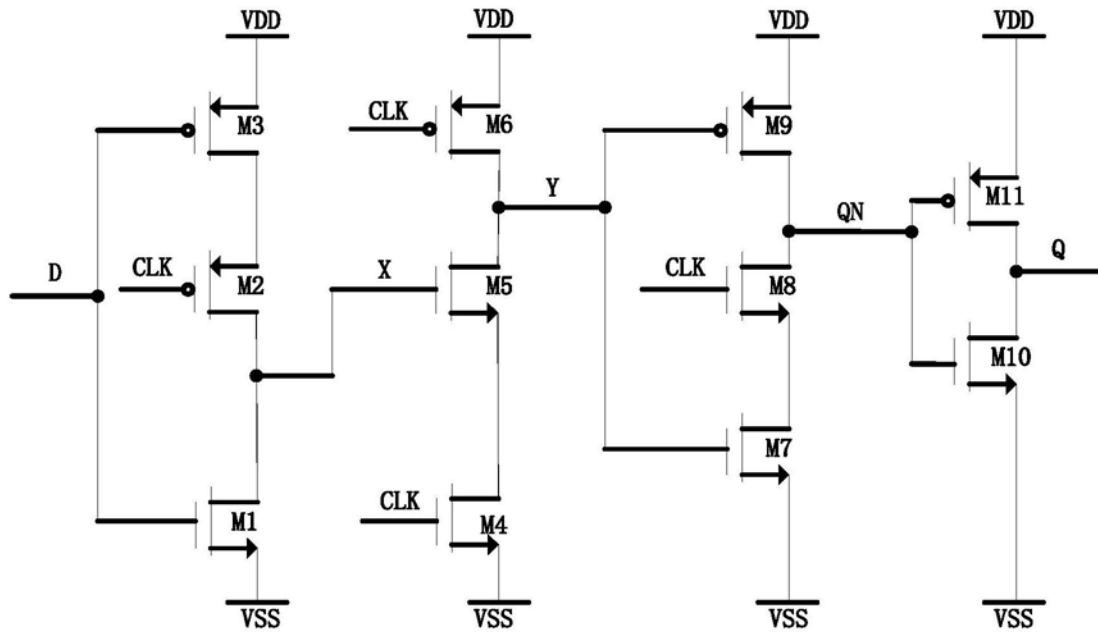


图1

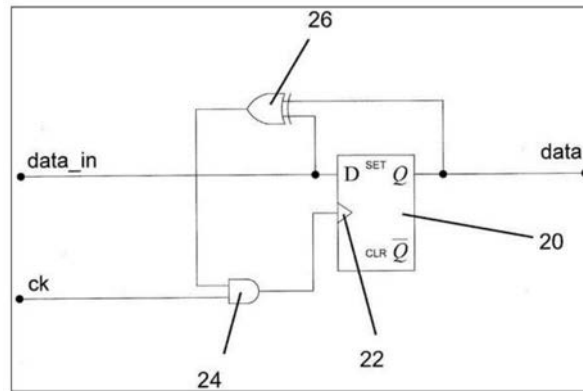


图2

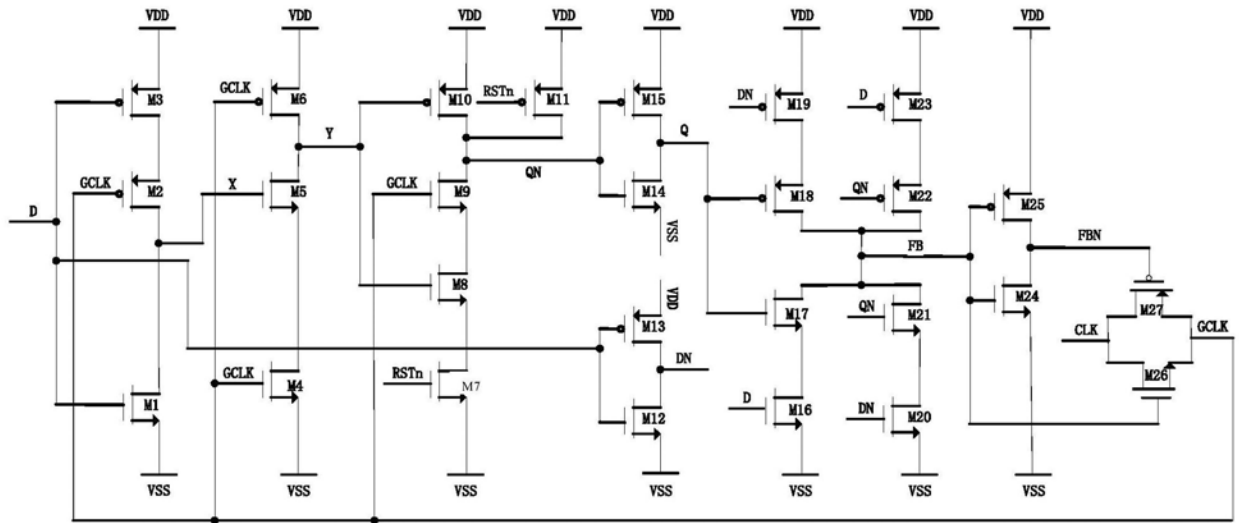


图3

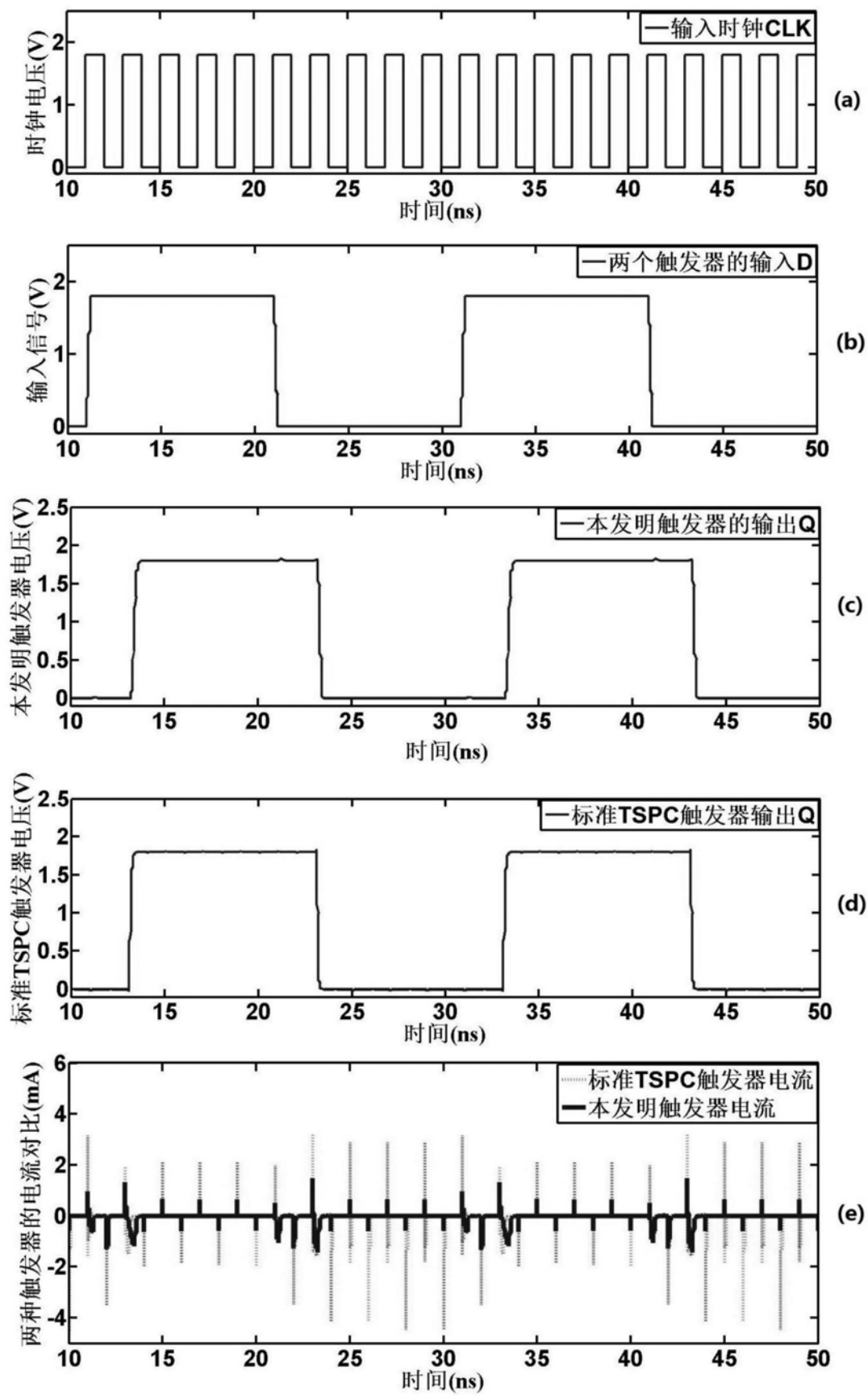


图4

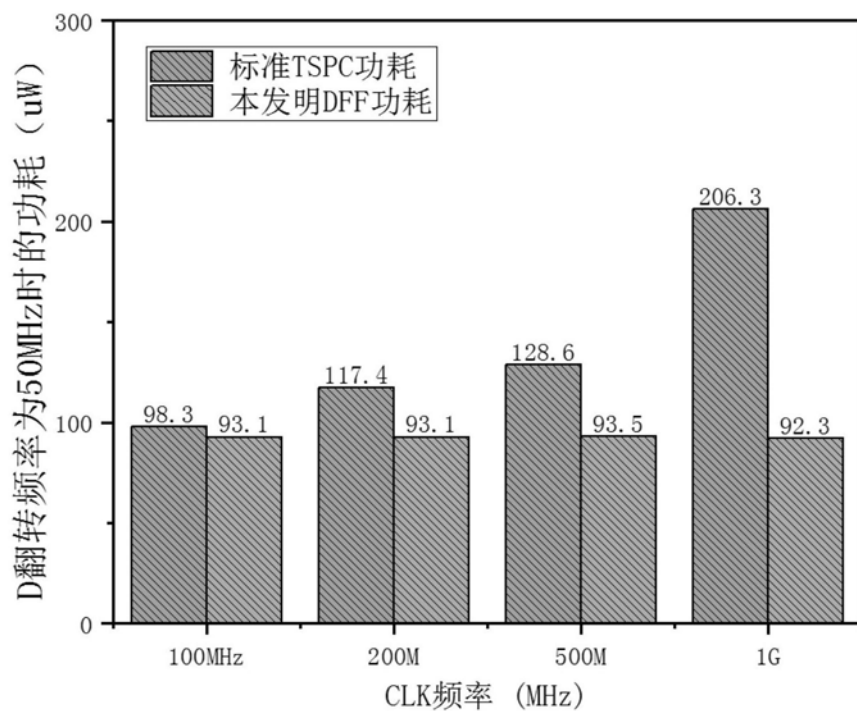


图5

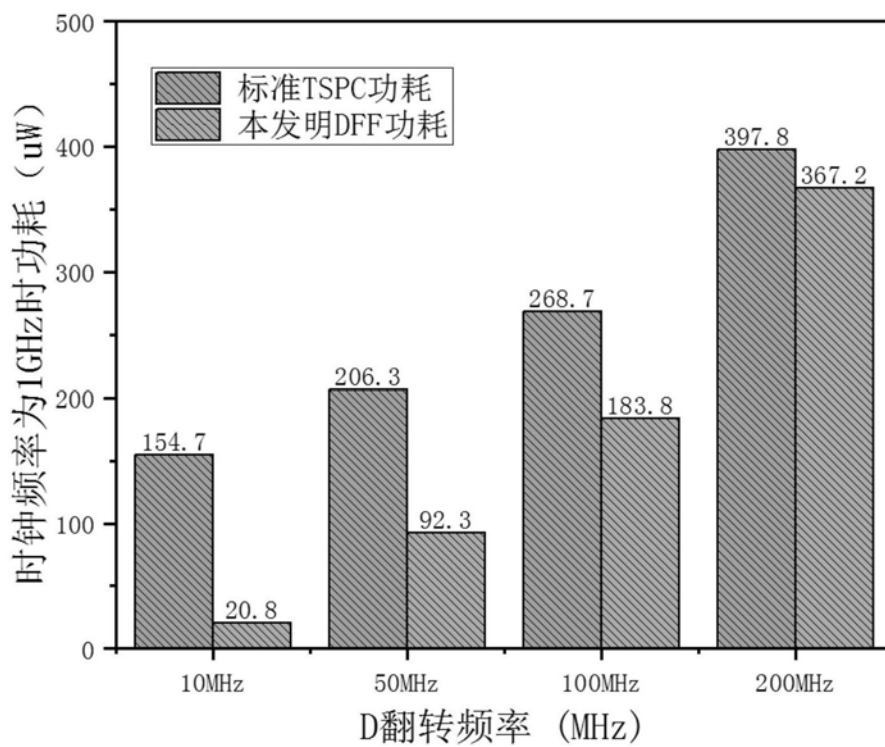


图6