

公告本

申請日期	87.2.24
案 號	87102595
類 別	G06F ¹³ / ₀₀

A4
C4

494302

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型		
一、發明 新型 名稱	中 文	封包通訊系統及其共享緩衝器之準迫出封
	英 文	包拋棄法
二、發明 創作 人	姓 名	林于勝
	國 籍	中華民國
	住、居所	300 新竹科學工業園區研新三路一號
三、申請人	姓 名 (名稱)	智邦科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	300 新竹科學工業園區研新三路一號
	代 表 人 姓 名	金世添

經濟部中央標準局員工消費合作社印製

裝

訂

線

五、發明說明 ()

1. 發明領域

本發明係有關一種封包通訊系統(packet communication system)，特別是關於使用共享緩衝器(shared buffer)封包通訊排隊(queueing)及選擇性迫出(selective pushout)之方法及裝置者。

2. 發明背景

在封包通訊領域中，基於共享緩衝器記憶體之架構(shared-buffer-memory-based architecture)被用來實現封包處理(packet processing)，例如，非同步傳輸模式(Asynchronous Transfer Mode; ATM)封包交換(switching)。此一架構使用共用的記憶體作為緩衝器，提供許多佇列(queue)讓不同的輸入/輸出埠(I/O port)儲存封包。

基於臨限值的封包丟棄法(threshold-based packet discarding discipline)使用佇列長度臨限值來達到丟棄控制，當佇列長度超過臨限值，便丟棄佇列中的封包。此一方式於每一丟棄事件(discarding event)僅須進行一次佇列長度比較，因此很容易施行(implementation)。不過，其封包丟棄可能發生在共享記憶體仍有空間時，因此，它是非空間保存的(non-space-conserving)，共享記憶體並未被充分利用，封包損失性能(packet loss performance)不佳。尤其是交通出現暴量(burst)時，其共享記憶體利用率較差。

五、發明說明()

迫出(pushout)法可以獲得較佳的封包損失性能。其係在共享緩衝記憶體被填滿後，從最長的佇列丟棄封包以騰出空間，俾便存入新到達的封包。因此，它是空間保存的，能夠改善封包損失性能，同時，所有輸出佇列的記憶體用量亦獲得平衡。然而，排序(sorting)找出最長的佇列須耗費多次比較運算，極可能成為速度的瓶頸，若佇列數量多，則迫出法幾乎不可能施行。尤其現代的通訊走向高速及大量，迫出法因而無法達到實用的目的。

職是，有必要針對封包丟棄方式提出較佳之解決方案，以改善習知技藝之缺失。

3. 發明目的與概述

本發明之主要目的即在提出一種利用共享緩衝記憶體封包丟棄法，其係藉一準最長(quasi-longest)佇列指標(pointer)指向可能具有最大長度的佇列，並在封包進入或離開佇列後，比較目的佇列或輸出佇列與準最長佇列的長度，據以保持準最長佇列指標儘可能地指向最長的佇列。由於本發明僅須在封包進入或離開佇列時進行一次佇列長度比較，因此大幅減少佇列長度的比較次數，卻仍保有迫出法的較佳封包損失性能。此一方式稱為準迫出(Quasi-PushOut; QPO)。

本發明亦揭露一種為排隊及選擇性迫出的封包通訊系統，其包括有封包通訊模組(module)連接單一或更多輸入

五、發明說明 ()

埠，從此處接收進入封包；封包通訊模組亦連接單一或更多輸出埠，以便傳送封包。輸入埠及輸出埠連接輸入/輸出電路(I/O circuitry)，後者耦合處理器及記憶體，記憶體被當作共享緩衝器。處理器含有準最長佇列指標，指向記憶體當中的某一佇列，稱為準最長佇列，其具有準最大長度的特性。處理器在封包進入或離開佇列時執行一次佇列長度比較，據以維護準最長佇列指標。

藉由底下的實施例配合所附的圖示，當更容易明瞭本發明之內容及特點。

4. 圖式簡單說明

4-1 圖式說明

第一圖係一封包通訊模組。

第二圖係一多輸入多輸出封包通訊模組之緩衝器邏輯圖。

4-2 圖號說明

10	封包通訊模組	12	輸入埠
14	輸出埠	16	輸入/輸出電路
18	處理器	20	記憶體
22	準最長佇列指標	24	緩衝記憶體

5. 較佳實施例之詳細說明

在封包處理系統中，封包係資料單位(unit of data

五、發明說明()

)之定義，其可能為任何一種長度，而同一系統中，封包可能具有固定長度，或不大於某特定最大值的任意長度。

此處所描述者係一具有多輸入埠及多輸出埠，且使用固定長度封包之封包交換機(switch)，例如ATM交換機。在此實施例中，具有固定長度的封包稱為胞元(cell)，而在其他場合，例如較高協定層(protocol layer)，封包可能具有較大長度，且被稱為訊息(message)，並再經過分割產生許多胞元進行ATM交換(switching)。本發明應該被瞭解為，亦可應用於其他不同長度封包或使用變化長度封包之其他實施例。

在不同實施例中，本發明可能被應用於具有多輸入單輸出封包系統，例如多工器(multiplexer)，或單輸入多輸出封包系統，例如解多工器(demultiplexer)。

現在請參閱第一圖，封包通訊模組10被連接至單一或更多輸入埠12，從此處封包通訊模組10接收進入封包。封包通訊模組10亦連接單一或更多輸出埠14，以便傳送交換封包。輸入埠12及輸出埠14連接輸入/輸出電路16，後者並耦合處理器18及記憶體20。

ATM交換機係習知技藝，當封包通訊模組10被解釋為ATM交換機之實施例時，輸入/輸出電路16可能包含例如相位對準電路(phase-alignment circuitry)、串列至平行(serial-to-parallel)或平行至串列(parallel-to-serial)位移暫存器(shift register)等機構。從輸入埠

五、發明說明 ()

12接收的封包，其標頭(header)被複製並經輸入/輸出電路16送至處理器18，其內容則被輸入/輸出電路16送至記憶體20儲存。記憶體20被當作共享緩衝器使用，其可以是被埋入的一個或多個隨機存取記憶體(RAM)。

處理器18含有準最長佇列指標22，指向記憶體20當中的某一佇列，稱為準最長佇列，其極可能(但未必真的)是當時記憶體20當中最長的佇列，換言之，準最長佇列指標22所指示的佇列具有準最大長度的特性，其至少是長度接近最大長度的佇列。

準最長佇列指標22於封包進入或離開記憶體20後進行一次維護。第二圖顯示記憶體20之邏輯圖，可以幫助瞭解共享記憶體之運作，但實體構造可能與此圖不相同。緩衝記憶體24包含有佇列1至佇列N共N個佇列，佇列中的資料單位為胞元，其堆疊成先進先出(First-In-First-Out; FIFO)的資料結構。每一胞元進入緩衝記憶體24當中的佇列後，該目的佇列的長度發生改變，將其改變後的長度與準最長佇列的長度加以比較，若該目的佇列較長，便修改準最長佇列指標22指向該目的佇列。同樣地，每一胞元離開緩衝記憶體24當中的佇列後，亦進行一次比較以維護準最長佇列指標22。經由此種方式，準最長佇列指標22所指示的佇列即可保持具有準最大長度的特性。

當緩衝記憶體24被完全佔滿時，丟棄胞元係從準最長佇列中迫出。本發明僅在胞元進入或離開佇列後，立即進

五、發明說明()

行一次長度比較，即輸入比較(input-comparison)及輸出比較(output-comparison)，並從準最長佇列迫出，而不找出實際上最長之佇列，因此免除大量的比較運算，系統的複雜性被大幅降低，趨近臨限值法，胞元損失性能則明顯改善，並且與迫出法幾乎相同。

前述程序可以表示為下列步驟：

```

for i=1 to N{
  if(input port i active){
    j=destination[i];
    if(buffer full)
      QL[Max]=QL[Max]-1;          /*pushout*/
    QL[j]=QL[j]+1;  /*buffering input cell*/
    if(QL[Max]<QL[j])
      Max=j;          /*input comparison*/
  }
  QL[i]=QL[i]-1; /*delivering output cell*/
  if(QL[Max]<QL[i])
    Max=i;          /*output comparison*/
}

```

其中，destination[]表示目的佇列，QL[]表示佇列長度，Max表示準最長佇列指標。

上述較佳實施例在每一埠被處理時包括二次佇列長度比較，即輸入比較及輸出比較，仍為臨限值法的兩倍，若

五、發明說明()

為進一步減少運算，輸入比較及輸出比較可以省略其中之一，分別成為唯輸入準迫出(input-only QPO)及唯輸出準迫出(output-only QPO)，前者僅比較目的佇列與準最長佇列，後者僅比較輸出佇列與準最長佇列。

顯然地，較少的比較導致準最長佇列非真正最長佇列的次佳處境(suboptimal situation)期間較長。於唯輸出準迫出時，每一佇列週期地被伺候，因此次佳期間乃是有上界的(upper-bounded)。而在唯輸入準迫出，常擊埠(hot-spot port)很容易被追蹤(tracked)，因為他們經常有胞元到達。

比較二種變化的準迫出，唯輸入準迫出擁有較低的追蹤能力(tracking capability)，因為胞元目的地隨機分配不能保證完整地檢查到所有佇列；另一方面，唯輸出準迫出週期地檢查所有佇列，其追蹤能力與準迫出幾乎相同。然而，當常擊埠的負載或數量增加時，這些常擊埠變得更常有胞元到達，因此唯輸入準迫出變得較唯輸出準迫出更為有利。

一般而言，所有準迫出方式皆具有與迫出法幾乎相同的胞元損失性能。當常擊埠的負載成長至較大時，唯輸出法可能無法因應過載(overload)，進而導致較迫出法或準迫出法稍高的胞元損失。反之，唯輸入法較常檢查常擊埠，因而能夠達到與迫出法或準迫出法相同的胞元損失。

除不同的常擊狀況外，對於不同的暴漲長度(burst

五、發明說明()

length)或緩衝器大小，所有準迫出方式與迫出法之差異並不明顯。

本發明提出準最長佇列的觀念，而不確實地找出真正最長的佇列，因而能夠避免大量的佇列長度比較，進而簡化系統，卻仍保持較佳的性能。惟，以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍當中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

封包通訊系統及其共享緩衝器之準迫出封包丟棄法

本發明提出一種為封包通訊隊及選擇性迫出之方法及系統，其係於封包通訊模組設準最長佇列指標，指向共享緩衝器之準最長佇列，以便執行選擇性迫出。當封包進入或離開共享緩衝器之佇列後，根據目的佇列或輸出佇列與準最長佇列二者之長度比較而維護準最長佇列指標，俾使後者保持具有指向準最大長度佇列之特性。本發明使得封包通訊系統執行迫出封包丟棄時，能夠大幅減少佇列長度之比較次數，進而同時獲得較佳之封包損失性能及執行效率。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種唯輸入準迫出封包丟棄方法，係應用於封包通訊之共享記憶體排隊及選擇性迫出者，其包括下列步驟：

於封包進入該共享記憶體排隊時，若該共享記憶體已經被佔滿，便從準最長佇列迫出一封包，並修改該準最長佇列之長度，再讓該進入之封包置入其目的佇列中排隊，並修改該目的佇列之長度，其中該共享記憶體提供至少一佇列，且該準最長佇列係被一準最長佇列指標指示者；

比較上述目的佇列與準最長佇列二者之長度，若準最長佇列之長度較小，便令該準最長佇列指標指向該目的佇列；以及

從該共享記憶體之輸出佇列傳送一封包，並修改該輸出佇列之長度。

2. 一種唯輸出準迫出封包丟棄方法，係應用於封包通訊之共享記憶體排隊及選擇性迫出者，其包括下列步驟：

於封包進入該共享記憶體排隊時，若該共享記憶體已經被佔滿，便從準最長佇列迫出一封包，並修改該準最長佇列之長度，再讓該進入之封包置入其目的佇列中排隊，並修改該目的佇列之長度，其中該共享記憶體提供至少一佇列，且該準最長佇列係被一準最長佇列指標指示者；

從該共享記憶體之輸出佇列傳送一封包，並修改該輸出佇列之長度；以及

比較上述輸出佇列與準最長佇列二者之長度，若準最長佇列之長度較小，便令該準最長佇列指標指向該輸出佇列。

六、申請專利範圍

列。

3. 一種準迫出封包丟棄方法，係應用於封包通訊之共享記憶體排隊及選擇性迫出者，其包括下列步驟：

於封包進入該共享記憶體排隊時，若該共享記憶體已經被佔滿，便從準最長佇列迫出一封包，並修改該準最長佇列之長度，再讓該進入之封包置入其目的佇列中排隊，並修改該目的佇列之長度，其中該共享記憶體提供至少一佇列，且該準最長佇列係被一準最長佇列指標指示者；

比較上述目的佇列與準最長佇列二者之長度，若準最長佇列之長度較小，便令該準最長佇列指標指向該目的佇列；

從該共享記憶體之輸出佇列傳送一封包，並修改該輸出佇列之長度；以及

比較上述輸出佇列與準最長佇列二者之長度，若準最長佇列之長度較小，便令該準最長佇列指標指向該輸出佇列。

4. 一種封包通訊系統，係為封包排隊及選擇性迫出之裝置者，其包括：

封包通訊模組，從輸入埠接收進入封包，從輸出埠傳送離開封包，該模組涵括共享緩衝器記憶體及處理器，以便處理進入封包及離開封包者；其中

該共享記憶體提供至少一佇列，俾儲存被處理之封包排隊；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該處理器具有準最長佇列指標，指向上述佇列其中之一，表示其為準最長佇列；以及

該處理器控制儲存進入封包之選擇性迫出，其係根據該準最長佇列指標指示，從該準最長佇列中丟棄封包，並且，比較該準最長佇列與異動佇列之長度，俾維護該準最長佇列指標指向該準最長佇列與該異動佇列二者當中之較長者。

5. 如申請專利範圍第4項所述之系統，其中該異動佇列係目的佇列者。

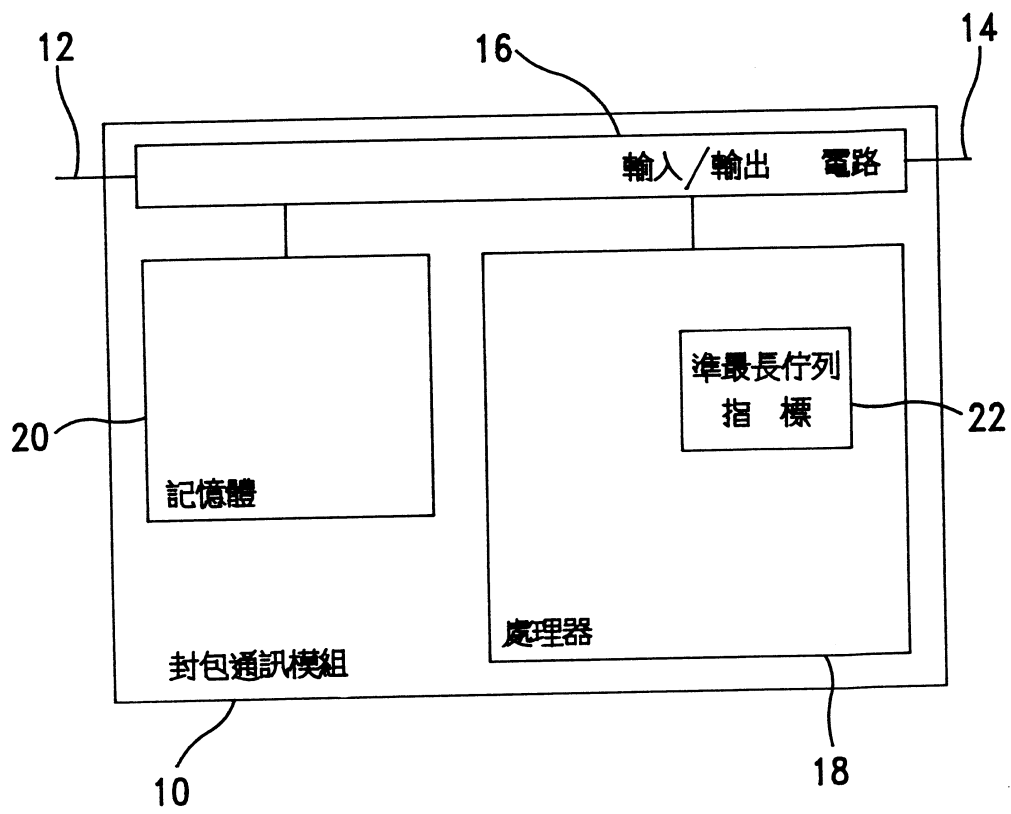
6. 如申請專利範圍第4項所述之系統，其中該異動佇列係輸出佇列者。

(請先閱讀背面之注意事項再填寫本頁)

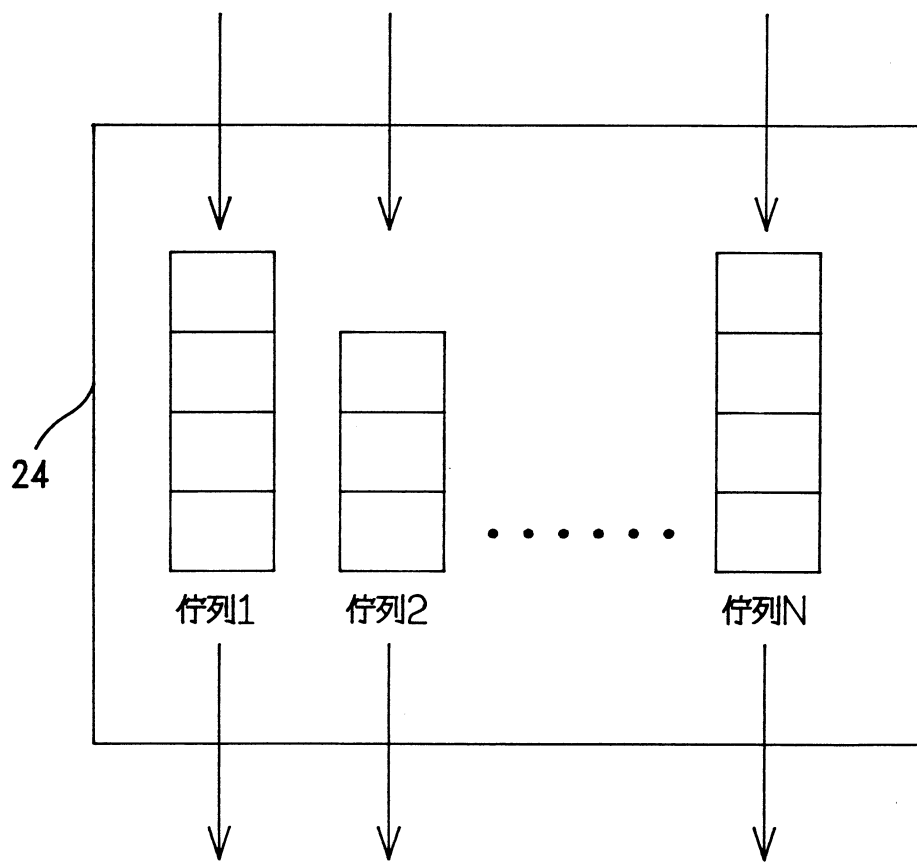
裝

訂

線



第一圖



第二圖