



(12) 发明专利

(10) 授权公告号 CN 110495095 B

(45) 授权公告日 2023. 07. 28

(21) 申请号 201880023633.0

(22) 申请日 2018.04.27

(65) 同一申请的已公布的文献号
申请公布号 CN 110495095 A

(43) 申请公布日 2019.11.22

(30) 优先权数据
62/500,448 2017.05.02 US
15/887,199 2018.02.02 US

(85) PCT国际申请进入国家阶段日
2019.10.08

(86) PCT国际申请的申请数据
PCT/US2018/029715 2018.04.27

(87) PCT国际申请的公布数据
WO2018/204172 EN 2018.11.08

(73) 专利权人 微芯片技术股份有限公司
地址 美国亚利桑那州

(72) 发明人 S·摩托罗尤 J·诺兰

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

专利代理师 陈斌

(51) Int.Cl.
H03F 3/45 (2006.01)
H03G 1/00 (2006.01)

(56) 对比文件
CN 103326682 A, 2013.09.25
CN 102668373 A, 2012.09.12
US 6570446 B1, 2003.05.27
US 6583652 B1, 2003.06.24
Zbigniew Jaworski, et, al. A fully differential OTA with dynamic offset cancellation in 28nm FD-SOI process. 《Electron Technology Conference 2016》. 2016, 第10175卷第10175091-10175098.

审查员 徐慧敏

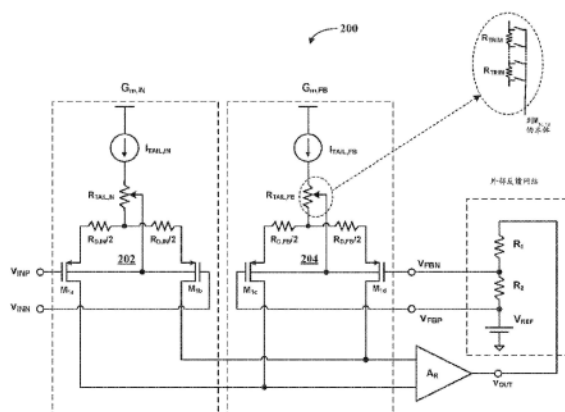
权利要求书3页 说明书7页 附图9页

(54) 发明名称

调节仪表放大器中的增益误差的方法

(57) 摘要

电流反馈仪表放大器(CFIA)包括具有退化的差分对(M_{1a}, M_{1b}),以用于在存在大共模电压的情况下放大小差分电压。CFIA包括输入跨导器和反馈跨导器以及修调电路(R_{TAIL, IN}, R_{TAIL, FB}),该修调电路修调每个跨导器中晶体管的反向偏置电压。修调电路(R_{TAIL, IN}, R_{TAIL, FB})包括设置在每个跨导器中的尾电流的信号路径中的多个可选电阻器。多个可选电阻器中的每个可选电阻器都具有耦接到其的开关。当开关闭合时,只有最多到相应开关的电阻器位于差分晶体管对的体-源电压的信号路径中。电阻器修调电路(R_{TAIL, IN}, R_{TAIL, FB})减小了相应差分晶体管对的跨导之间的失配,并且从而减小了CFIA的增益误差。



CN 110495095 B

1. 一种用于电流反馈仪表放大器中的增益误差校正的方法,所述方法包括以下步骤:
提供输入跨导器,所述输入跨导器包括:
第一差分晶体管对;
第一尾电流源;和
第一修调电路,所述第一修调电路:
耦接在所述第一尾电流源和所述第一差分晶体管对之间,并且耦接到所述第一差分晶体管对的本体;以及
改变所述第一差分晶体管对的所述本体上的第一反向偏置电压;
提供反馈跨导器,所述反馈跨导器包括:
第二差分晶体管对;
第二尾电流源;和
第二修调电路,所述第二修调电路:
耦接在所述第二尾电流源和所述第二差分晶体管对之间,并且耦接到所述第二差分晶体管对的本体;以及
改变所述第二差分晶体管对的所述本体上的第二反向偏置电压;以及
调节所述第一修调电路或所述第二修调电路以减小所述输入跨导器和反馈跨导器之间的增益误差。
2. 根据权利要求1所述的方法,还包括以下步骤:
提供耦接在所述第一差分晶体管对和所述第一修调电路之间的第一退化电阻器;以及
提供耦接在所述第二差分晶体管对和所述第二修调电路之间的第二退化电阻器。
3. 根据权利要求1所述的方法,其中所述第一修调电路和所述第二修调电路包括:多个串联连接的电阻器和耦接到所述多个串联连接的电阻器的多个开关,由此改变所述第一反向偏置电压和所述第二反向偏置电压。
4. 根据权利要求3所述的方法,还包括将所述多个开关的断开状态和闭合状态存储在非易失性存储器中的步骤。
5. 根据权利要求1所述的方法,还包括将所述输入跨导器和所述反馈跨导器耦接到放大器的步骤。
6. 根据权利要求5所述的方法,还包括以下步骤:
将反馈网络耦接在所述放大器的输出部和所述反馈跨导器的输入部之间;以及
利用所述反馈网络确定电流反馈仪表放大器增益。
7. 根据权利要求1所述的方法,还包括以下步骤:
在所述第一尾电流源和所述第二尾电流源与所述第一修调电路和所述第二修调电路之间提供调制器电路;以及
通过交替第一相位状态和第二相位状态控制所述调制器电路;
其中:
在所述第一相位状态期间,所述调制器电路将所述第一尾电流源耦接到所述第一修调电路并将所述第二尾电流源耦接到所述第二修调电路;并且
在所述第二相位状态期间,所述调制器电路将所述第一尾电流源耦接到所述第二修调电路并将所述第二尾电流源耦接到所述第一修调电路。

8. 一种具有增益误差校正的电流反馈仪表放大器,包括:
输入跨导器,包括:
第一差分晶体管对;
第一尾电流源;和
第一修调电路,所述第一修调电路:
耦接在所述第一尾电流源和所述第一差分晶体管对之间,并且耦接到所述第一差分晶体管对的本体;以及
被配置为改变所述第一差分晶体管对的所述本体上的第一反向偏置电压;
反馈跨导器,包括:
第二差分晶体管对;
第二尾电流源;和
第二修调电路:
耦接在所述第二尾电流源和所述第二差分晶体管对之间,并且耦接到所述第二差分晶体管对的本体;以及
被配置为改变所述第二差分晶体管对的所述本体上的第二反向偏置电压;
其中所述第一修调电路或所述第二修调电路适用于被调节以减小所述输入跨导器和反馈跨导器之间的增益误差。
9. 根据权利要求8所述的电流反馈仪表放大器,还包括:
第一退化电阻器,所述第一退化电阻器耦接在所述第一差分晶体管对和所述第一修调电路之间;和
第二退化电阻器,所述第二退化电阻器耦接在所述第二差分晶体管对和所述第二修调电路之间。
10. 根据权利要求8所述的电流反馈仪表放大器,其中所述第一修调电路和所述第二修调电路包括:
多个串联连接的电阻器;和
多个开关,所述多个开关耦接到所述多个串联连接的电阻器;
其中所述多个电阻器和所述多个开关适用于改变所述第一反向偏置电压和所述第二反向偏置电压。
11. 根据权利要求10所述的电流反馈仪表放大器,还包括非易失性存储器,所述非易失性存储器适用于存储所述多个开关的断开状态和闭合状态。
12. 根据权利要求8所述的电流反馈仪表放大器,还包括放大器,所述放大器具有耦接到来自所述输入跨导器和所述反馈跨导器的输出部的输入部。
13. 根据权利要求12所述的电流反馈仪表放大器,还包括反馈网络,所述反馈网络耦接在所述放大器的输出部和所述反馈跨导器的输入部之间。
14. 根据权利要求13所述的电流反馈仪表放大器,其中所述反馈网络包括:
第一反馈电阻器;
第二反馈电阻器;和
电压基准;
其中:

所述第一反馈电阻器和所述第二反馈电阻器以及所述电压基准串联连接；

所述反馈跨导器的第一输入部耦接到位于所述第二反馈电阻器和所述电压基准之间的节点；

所述反馈跨导器的第二输入部耦接到位于所述第一反馈电阻器和所述第二反馈电阻器之间的节点；

所述放大器的所述输出部耦接到所述第一反馈电阻器；并且

增益由所述第一反馈电阻器和所述第二反馈电阻器的电阻值的比率来确定。

15. 根据权利要求9所述的电流反馈仪表放大器,还包括调制器电路,所述调制器电路耦接在所述第一尾电流源和所述第二尾电流源与所述第一修调电路和所述第二修调电路之间,其中:

所述调制器电路适用于在第一相位状态和第二相位状态之间交替;

在所述第一相位状态期间,所述调制器电路适用于将所述第一尾电流源耦接到所述第一修调电路并将所述第二尾电流源耦接到所述第二修调电路;并且

在所述第二相位状态期间,所述调制器电路适用于将所述第一尾电流源耦接到所述第二修调电路并将所述第二尾电流源耦接到所述第一修调电路。

16. 根据权利要求15所述的电流反馈仪表放大器,其中所述调制器电路包括:

第一开关,所述第一开关耦接在所述第一尾电流源和所述第一退化电阻器之间;

第二开关,所述第二开关耦接在所述第一尾电流源和所述第二退化电阻器之间;

第三开关,所述第三开关耦接在所述第二尾电流源和所述第一退化电阻器之间;和

第四开关,所述第四开关耦接在所述第二尾电流源和所述第二退化电阻器之间;

其中:

在第一相位状态控制信号上,所述第一开关和所述第四开关被配置为闭合并且所述第二开关和所述第三开关被配置为断开;并且

在第二相位状态控制信号上,所述第二开关和所述第三开关被配置为闭合并且所述第一开关和所述第四开关被配置为断开。

17. 根据权利要求16所述的电流反馈仪表放大器,其中:

所述第一相位状态控制信号和所述第二相位状态控制信号来自时钟发生器;并且

所述第一相位状态控制信号处于第一逻辑电平并且所述第二相位状态控制信号处于第二逻辑电平。

18. 根据权利要求16所述的电流反馈仪表放大器,其中所述第一开关、所述第二开关、所述第三开关和所述第四开关是金属氧化物半导体场效应晶体管(MOSFET)。

19. 根据权利要求8所述的电流反馈仪表放大器,其中所述输入跨导器和所述反馈跨导器在集成电路裸片上制造。

调节仪表放大器中的增益误差的方法

[0001] 相关专利申请

[0002] 本申请要求于2017年5月2日提交的共同拥有的美国临时专利申请号62/500,448的优先权;该临时专利申请据此以引用方式并入本文以用于所有目的。

技术领域

[0003] 根据所公开的主题的一些实施方案,提供了用于动态地校正使用电流反馈电路架构的仪表放大器的增益误差的系统和方法。

背景技术

[0004] 增益误差,例如实际传递函数与电流反馈仪表放大器(CFIA)的理想传递函数之间的差异取决于CFIA的输入跨导器和反馈跨导器之间的匹配的精度。一些现有的CFIA试图使用一种架构来解决增益误差,在该架构中,每个跨导器都包括前置放大器,以产生与输入跨导器和反馈跨导器的退化电阻器之间的比率成比例的传递函数,参见图1。这种电路架构的优点在于它提供的增益误差几乎完全取决于电阻器的匹配,这种匹配优于晶体管的匹配。虽然前置放大器提供了总体低增益误差,但它们的噪声增加了仪表放大器的总噪声,使得这种架构不太适合低噪声设计。另一个缺点是每个前置放大器周围存在反馈回路,这使得频率补偿相当复杂和困难。

[0005] 在另一种方法中,CFIA的跨导器均基于具有退化的差分晶体管对。噪声显著低于使用前置放大器的解决方案,并且不会存在额外的反馈回路。然而,增益误差也将变化:它现在不仅受到输入退化电阻器和反馈退化电阻器之间的失配的影响,而且还受到每个跨导器的退化的差分晶体管对之间的任何失配的影响,以及受到被馈送到每个跨导器中的相应尾电流之间的任何失配的影响。如上所述,电阻器比晶体管匹配好得多,因此除退化电阻器之间的失配之外的失配主导增益误差。

发明内容

[0006] 因此,需要一种CFIA,该CFIA具有最小化输入跨导器和反馈跨导器的其他元件(诸如晶体管或尾电流)之间的失配的架构。

[0007] 根据实施方案,一种用于电流反馈仪表放大器中的增益误差校正的方法可包括以下步骤:提供输入跨导器,该输入跨导器包括第一差分晶体管对、第一尾电流源、耦接在第一尾电流源和第一差分晶体管对之间且耦接到第一差分晶体管对的本体的第一修调电路,其中第一修调电路可以改变第一差分晶体管对的本体上的第一反向偏置电压;提供反馈跨导器,该反馈跨导器包括:第二差分晶体管对、第二尾电流源和耦接在第二尾电流源和第二差分晶体管对之间且耦接到第二差分晶体管对的本体的第二修调电路;其中第二修调电路可以改变在第二差分晶体管对的本体上的第二反向偏置电压;以及调节第一修调电路或第二修调电路以减小输入跨导器和反馈跨导器之间的增益误差。

[0008] 根据该方法的另一实施方案,可包括以下步骤:提供耦接在第一差分晶体管对和

第一修调电路之间的第一退化电阻器;以及提供耦接在第二差分晶体管对和第二修调电路之间的第二退化电阻器。根据该方法的另一实施方案,第一修调电路和第二修调电路可以包括多个串联连接的电阻器和耦接到多个串联连接的电阻器的多个开关,由此可以改变第一反向偏置电压和第二反向偏置电压。根据该方法的另一实施方案,可包括将多个开关的断开状态和闭合状态存储在非易失性存储器中的步骤。根据该方法的另一实施方案,可包括将输入跨导器和反馈跨导器耦接到放大器的步骤。

[0009] 根据该方法的另一实施方案,可包括以下步骤:将反馈网络耦接在放大器的输出部与反馈跨导器的输入部之间;以及利用反馈网络确定电流反馈仪表放大器增益。根据该方法的另一实施方案,可包括以下步骤:在第一尾电流源和第二尾电流源与第一修调电路和第二修调电路之间提供调制器电路;通过交替第一相位状态和第二相位状态控制调制器电路;其中在第一相位状态期间,调制器电路将第一尾电流源耦接到第一修调电路并将第二尾电流源耦接到第二修调电路,并且在第二相位状态期间,调制器电路将第一尾电流源耦接到第二修调电路并将第二尾电流源耦接到第一修调电路。

[0010] 根据另一实施方案,具有增益误差校正的电流反馈仪表放大器可以包括:输入跨导器,该输入跨导器可以包括第一差分晶体管对,第一尾电流源和第一修调电路,该第一修调电路可耦接在第一尾电流源和第一差分晶体管对之间,并且耦接到第一差分晶体管对的本体;其中第一修调电路可以被配置为改变第一差分晶体管对的本体上的第一反向偏置电压;反馈跨导器,该反馈跨导器可以包括:第二差分晶体管对、第二尾电流源和第二修调电路,该第二修调电路可以耦接在第二尾电流源和第二差分晶体管对之间,并且耦接到第二差分晶体管对的本体;其中第二修调电路可以被配置为改变第二差分晶体管对的本体上的第二反向偏置电压;并且第一修调电路或第二修调电路可以适用于被调整以减小输入跨导器和反馈跨导器之间的增益误差。

[0011] 根据另一实施方案,第一退化电阻器可以耦接在第一差分晶体管对和第一修调电路之间;并且第二退化电阻器可以耦接在第二差分晶体管对和第二修调电路之间。根据另一实施方案,第一修调电路和第二修调电路可以包括多个串联连接的电阻器和耦接到多个串联连接的电阻器的多个开关,其中多个电阻器和多个开关可以适用于改变第一反向偏置电压和第二反向偏置电压。根据另一实施方案,非易失性存储器可适用于存储多个开关的断开状态和闭合状态。根据另一实施方案,放大器可具有耦接到输入跨导器和反馈跨导器的输出部的其输入部。根据另一实施方案,反馈网络可以耦接在放大器的输出部和反馈跨导器的输入部之间。

[0012] 根据另一实施方案,反馈网络可包括:第一反馈电阻器;第二反馈电阻器;和电压基准;其中第一反馈电阻器和第二反馈电阻器以及电压基准可以串联连接,反馈跨导器的第一输入部可以耦接到位于第二反馈电阻器和电压基准之间的节点,反馈跨导器的第二输入部可以耦接到位于第一反馈电阻器和第二反馈电阻器之间的节点,并且放大器的输出部可以耦接到第一反馈电阻器;其中增益可以由第一反馈电阻器和第二反馈电阻器的电阻值的比率来确定。

[0013] 根据另一实施方案,调制器电路可以耦接在第一尾电流源和第二尾电流源与第一修调电路和第二修调电路之间,其中调制器电路可以适用于在第一相位状态和第二相位状态之间交替;其中在第一相位状态期间,调制器电路可以适用于将第一尾电流源耦接到第

一修调电路并将第二尾电流源耦接到第二修调电路；并且其中在第二相位状态期间，调制器电路可以适用于将第一尾电流源耦接到第二修调电路并将第二尾电流源耦接到第一修调电路。

[0014] 根据另一实施方案，调制器电路可以包括：第一开关，该第一开关耦接在第一尾电流源和第一退化电阻器之间；第二开关，该第二开关耦接在第一尾电流源和第二退化电阻器之间；第三开关，该第三开关耦接在第二尾电流源和第一退化电阻器之间；和第四开关，该第四开关耦接在第二尾电流源和第二退化电阻器之间；其中，在第一相位状态控制信号上，第一开关和第四开关可以配置为闭合并且第二开关和第三开关可以配置为断开；并且在第二相位状态控制信号上，第二开关和第三开关可以配置为闭合并且第一开关和第四开关可以配置为断开。

[0015] 根据另一实施方案，第一相位状态控制信号和第二相位状态控制信号可以来自时钟发生器，其中第一相位状态控制信号可以处于第一逻辑电平并且第二相位状态控制信号可以处于第二逻辑电平。根据另一实施方案，第一开关、第二开关、第三开关和第四开关可以为金属氧化物半导体场效应晶体管 (MOSFET)。根据另一实施方案，输入跨导器和反馈跨导器可以在集成电路裸片上制造。

附图说明

[0016] 通过参考以下结合附图进行的描述，可获得对本公开的更完整的理解，在附图中：

[0017] 图1示出了使用前置放大器的现有技术的电流反馈仪表放大器的示意图；

[0018] 图1A示出了现有技术的电流反馈仪表放大器的示意图；

[0019] 图2示出了根据本公开的具体示例性实施方案的具有反向偏置电压修调电路的电流反馈仪表放大器的示意图；

[0020] 图2A和图2B示出了根据本公开的具体示例性实施方案的用于图2所示的电流反馈仪表放大器的修调电阻器和开关布置的示意图；

[0021] 图2C示出了根据本公开的另一具体示例性实施方案的不具有退化电阻器并且包括反向偏置电压修调电路的电流反馈仪表放大器的示意图；

[0022] 图3示出了根据本公开的又一个具体示例性实施方案的根据图2的电路架构并且还包尾电流源调制器电路的电流反馈仪表放大器的示意图；

[0023] 图3A示出了处于第一相位状态的图3所示的电流反馈仪表放大器的示意图；

[0024] 图3B示出了处于第二相位状态的图3所示的电流反馈仪表放大器的示意图；

[0025] 图4示出了根据本公开的又一具体示例性实施方案的具有反向偏置电压修调电路的电流反馈仪表放大器的示意图。

[0026] 虽然本公开易受各种修改形式和替代形式的影响，但是其具体示例性实施方案已经在附图中示出并且在本文中详细描述。然而，应当理解，本文对具体示例性实施方案的描述并非旨在将本公开限于本文所公开的特定形式。

具体实施方式

[0027] 根据所公开的主题的一些实施方案，本公开提供了一种在集成电路裸片上制造并且包括基于具有退化的差分对的电路架构的电流反馈仪表放大器 (CFIA)。本发明的CFIA包

括修调电路,该修调电路用于修调每个跨导器中的晶体管的反向偏置电压。修调电路可以包括设置在每个跨导器中的尾电流的信号路径中的多个可选电阻器。多个可选电阻器中的每个可选电阻器都具有耦接到其的开关。每个跨导器中的开关以这样的方式控制,即一次只闭合一个开关,其余开关保持断开。当开关闭合时,只有最多到相应开关的电阻器位于差分晶体管对的体-源电压的信号路径中。开关的闭合电阻远小于到差分晶体管对的本体端子的输入电阻值,并且不影响从可选电阻器到本体的信号路径。

[0028] 非易失性存储器(未示出)可用于记住断开开关配置和闭合开关配置。电阻器修调电路减小了相应差分晶体管对的跨导之间的失配,进而减少了跨导器的总体跨导的失配,从而减小了CFIA的增益误差。电阻器修调电路还可以与尾电流调制器电路架构结合使用,该尾电流调制器电路架构被设计成消除尾电流失配对总体增益误差的作用,并进一步减小增益误差。

[0029] 本公开涉及一种用于CFIA的架构,该架构包括具有退化的差分晶体管对,以用于在存在大共模电压的情况下放大小差分电压。本发明的CFIA电路架构采用对目标电压进行修调,特别是反向偏置电压 V_{BS} ,该反向偏置电压 V_{BS} 是在亚阈值区中操作的任何金属氧化物半导体(MOS)晶体管中固有的。预期并且在本公开的范围内,本发明不仅限于亚阈值区,例如,本发明对于在饱和区中操作的晶体管同样有效。反向偏置电压是影响特定晶体管的跨导 g_m 的因子中的一个因子的作用者;如下所示,在相应跨导器中修调每个MOS晶体管例如P沟道或N沟道MOS场效应晶体管(MOSFET)的反向偏置电压减小了相应MOS晶体管的跨导之间的失配。在各种实施方案中,使用从可变电阻器馈送的信号电压来修调反向偏置电压,该可变电阻器包括开关电阻器网络的可选多个电阻器并且设置在每个跨导器的尾电流信号路径中。

[0030] 现在参见附图,示意性地示出了示例性实施方案的细节。附图中的相似元件将由相似数字表示,并且类似的元件将由具有不同的小写字母后缀的相似数字表示。

[0031] 现在参见图1A,其示出了现有技术的电流反馈仪表放大器的示意图。通常由数字100A表示的示例性电流反馈仪表放大器(CFIA)可以使用具有退化架构的差分对。CFIA 100包括对差分输入电压 V_{INP} 和 V_{INN} 进行操作的输入跨导器 $G_{m,IN}$ 、以及对反馈电压 V_{FBN} 和 V_{FBP} 进行操作的反馈跨导器 $G_{m,FB}$ 。每个跨导器($G_{m,IN}$ 和 $G_{m,FB}$)具有相应的尾电流 I_{TAIL} 源。每个跨导器($G_{m,IN}$ 和 $G_{m,FB}$)包括退化电阻器 R_D 、第一晶体管对 M_{1a} 和 M_{1b} (用于 $G_{m,IN}$)以及第二晶体管对 M_{1c} 和 M_{1d} (用于 $G_{m,FB}$)。两个跨导器($G_{m,IN}$ 和 $G_{m,FB}$)耦接在一起并向放大器 A_R 输出信号,如图1A所示。

[0032] 通常,增益误差由 $G_{m,IN}$ 和 $G_{m,FB}$ 之间的比率给出。增益误差= $G_{m,IN}/G_{m,FB}-1$,其中假设外部电阻器 R_1 和 R_2 之间的匹配比 $G_{m,IN}$ 和 $G_{m,FB}$ 之间的匹配好得多。对于CFIA 200,

$$G_{m,IN} = \frac{g_{m1ab}}{2+g_{m1ab}R_{D,IN}} \text{ 并且 } G_{m,FB} = \frac{g_{m1cd}}{2+g_{m1cd}R_{D,FB}}, \text{ 其中 } g_{m1ab} \text{ 是晶体管 } M_{1a} \text{ 和 } M_{1b} \text{ 的跨导, 并且 } g_{m1cd} \text{ 是晶体管 } M_{1c} \text{ 和 } M_{1d} \text{ 的跨导, 并且 } R_{D,IN} \text{ 和 } R_{D,FB} \text{ 已经在上面被定义。为简单起见,假设 } M_{1a} \text{ 和 } M_{1b} \text{ 之间不存在失配, 并且它们具有相同的跨导 } g_{m1ab} \text{。同样,假设 } M_{1c} \text{ 和 } M_{1d} \text{ 之间不存在失配, 并且它们具有相同的跨导 } g_{m1cd} \text{。为方便起见,通常选择 } g_{m1ab} = g_{m1cd}, \text{ 以及 } R_{D,IN} = R_{D,FB}, \text{ 使得比率 } G_{m,IN}/G_{m,FB} \text{ 可以为1。对于在亚阈值区中操作的晶体管来说, } g_{m1ab} = \frac{I_{TAIL,IN}}{2n_{ab}V_{T,ab}} \text{ 并且}$$

且 g_{m1cd} 是晶体管 M_{1c} 和 M_{1d} 的跨导,并且 $R_{D,IN}$ 和 $R_{D,FB}$ 已经在上面被定义。为简单起见,假设 M_{1a} 和 M_{1b} 之间不存在失配,并且它们具有相同的跨导 g_{m1ab} 。同样,假设 M_{1c} 和 M_{1d} 之间不存在失配,并且它们具有相同的跨导 g_{m1cd} 。为方便起见,通常选择 $g_{m1ab} = g_{m1cd}$,以及 $R_{D,IN} = R_{D,FB}$,使得比率 $G_{m,IN}/G_{m,FB}$ 可以为1。对于在亚阈值区中操作的晶体管来说, $g_{m1ab} = \frac{I_{TAIL,IN}}{2n_{ab}V_{T,ab}}$ 并且

$g_{m1ab} = \frac{I_{TAIL,FB}}{2n_{cd}V_{T,cd}}$, 其中 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 分别是 $G_{m,IN}$ 和 $G_{m,FB}$ 的尾电流; n_{ab} 和 n_{cd} 分别是 M_{1a} 和 M_{1b} 以及 M_{1c} 和 M_{1d} 的亚阈值常数; 并且 $V_{T,ab}$ 和 $V_{T,cd}$ 分别为 M_{1a} 和 M_{1b} 以及 M_{1c} 和 M_{1d} 的热电压。因此, 增益误差将取决于 $R_{D,IN}$ 和 $R_{D,FB}$ 、 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 、 n_{ab} 和 n_{cd} 以及 $V_{T,ab}$ 和 $V_{T,cd}$ 之间的匹配。在理想的情况下, $R_{D,IN} = R_{D,FB}$, $I_{TAIL,IN} = I_{TAIL,FB}$, $n_{ab} = n_{cd}$, $V_{T,ab} = V_{T,cd}$, 并且增益误差为零。本公开特别解决了 n_{ab} 和 n_{cd} 之间的失配对总体增益误差的作用。

[0033] 可以看出, MOS晶体管的亚阈值因子 n 取决于晶体管的反向偏置(体-源)电压。因子 n 是晶体管的电容的函数: $n = 1 + (C_{bulk}/C_{ox})$, 其中 C_{ox} 是栅极氧化物电容, 并且 C_{bulk} 是恒定源极扩散周围的耗尽区的电容。 C_{bulk} 与耗尽区宽度 w_d 成反比, 其中 $C_{bulk} = \epsilon_{Si}/w_d$ 。耗尽区宽度 w_d 继而与在晶体管的背栅处存在的反向偏置(也称为“主体偏置”)电压 V_{BS} 成比例:

$$[0034] \quad w_d = \text{耗尽区宽度} = \sqrt{\frac{2\epsilon_{Si}(2\psi_B + V_{BS})}{qN_A}}$$

[0035] 其中 ϵ_{Si} 是硅的介电常数, ψ_B 是费米势, 并且 N_A 是晶体管材料中的本体浓度。因此, 亚阈值因子 n 与反向偏置电压 V_{BS} 成反比, 这意味着 g_{m1ab} 与(晶体管 M_{1a} 和 M_{1b})的 V_{BSab} 成正比, 并且 g_{m1cd} 与(晶体管 M_{1c} 和 M_{1d})的 V_{BScd} 成正比。此外, 可以假设构成因子 n 的其他参数在晶体管之间相对恒定, 使得跨晶体管匹配 V_{BS} 将导致晶体管的跨导 g_{m1ab} 和 g_{m1cd} 也匹配。

[0036] 现在参见图2, 其示出了根据本公开的具体示例性实施方案的具有反向偏置电压修调电路的电流反馈仪表放大器的示意图。通常由数字200表示的CFIA可以使用反向偏置电压修调电路来最小化或基本上消除失配的晶体管跨导对CFIA 200的增益误差的作用。在一些实施方案中, CFIA 200可以包括图1中所示的CFIA 100架构和分别在每个跨导器 $G_{m,IN}$ 和 $G_{m,FB}$ 中的修调电路202、204。修调电路202、204将每个差分对中的晶体管 (M_{1a} , M_{1b}) 和 (M_{1c} , M_{1d}) 的本体或“主体”(例如, 通过晶体管的本体或“主体”端子) 分别连接到可变电阻器 $R_{TAIL,IN}$ 和 $R_{TAIL,FB}$, 它们分别设置在尾电流 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 的信号路径中。可变电阻器 $R_{TAIL,IN}$ 和 $R_{TAIL,FB}$ 因此用作偏置网络, 晶体管主体 M_{1a} 和 M_{1b} 以及 M_{1c} 和 M_{1d} 分别连接到该偏置网络, 而不是连接到电源或地。在一些实施方案中, 可变电阻器 R_{TAIL} 可以是多个串联连接的电阻器 R_{TRIM} , 该电阻器 R_{TRIM} 连接到尾电流源。因此, 修调电路202、204是获得可变体-源电压的一种方式: 晶体管 M_{1a} 和 M_{1b} 以及 M_{1c} 和 M_{1d} 的本体; 这些修调电路分别连接到可变电阻器 $R_{TAIL,IN}$ 和 $R_{TAIL,FB}$ 的“中心抽头”(由箭头表示), 置于与输入跨导器和反馈跨导器的尾电流串联的位置。在图2所示的架构中, $V_{BSab} = I_{TAIL,IN} * R_{TAIL,IN} + (I_{TAIL,IN} * R_{D,IN}/4)$ 并且 $V_{BScd} = I_{TAIL,FB} * R_{TAIL,FB} + (I_{TAIL,FB} * R_{D,FB}/4)$ 。

[0037] 参见图2A和图2B, 其示出了根据本公开的具体示例性实施方案的图2所示的电流反馈仪表放大器的修调电阻器和开关布置的示意图。可变电阻器 R_{TAIL} 可以包括多个串联耦合的 R_{TRIM} 电阻器和对应的开关。 R_{TRIM} 电阻器可以串联耦合在尾电流源和晶体管的本体之间。当闭合时, 对应的开关将相关联的 R_{TRIM} 电阻器连接到差分晶体管对本体, 改变它们的反向偏置电压。当对应的开关断开时, 相关联的 R_{TRIM} 电阻器将不再是可变电阻器 R_{TAIL} 的一部分。开关可以包括MOS晶体管, 如图2B所示。

[0038] 用于开关的断开和闭合模式可以存储在存储器模块(未示出)中, 诸如例如但不限于8位存储器模块。存储器模块可包括非易失性存储器单元。因此, 中心抽头的位置(电阻)可以通过由数字代码控制的开关设置, 并且存储在非易失性存储器中。

[0039] 例如,如果由于随机失配 $G_{m,IN} < G_{m,FB}$,则测得增益误差小于0;增加晶体管 M_{1a} 和 M_{1b} 的 V_{BS} 将导致它们的 g_m 增加,并因此导致 $G_{m,IN}$ 增加。这是通过向上移动输入跨导器的 R_{TAIL} 的抽头来获得的,换句话说,是通过接通更高代码的开关来获得的。如果在另一方面,测得增益误差大于0($G_{m,IN} > G_{m,FB}$ 的情况), M_{1c} 和 M_{1d} 的 V_{BS} 需要增加直到 $G_{m,FB}$ 变得等于 $G_{m,IN}$ (并且增益误差为0)。反馈跨导器的 R_{TAIL} 的中心抽头需要向上移动。在本文所示的示例中,修调代码有4位,并且每个电阻器 R_{TRIM} 的值只能向上调整;如果MSB=0,则 $G_{m,IN}$ 的电阻器增加直到 $G_{m,IN} = G_{m,FB}$;如果MSB=1,则 $G_{m,FB}$ 的电阻器增加直到 $G_{m,FB} = G_{m,IN}$ 。这种方法的一个优点是MOS开关的布置方式使得当开关导通时,它的沟道电阻(非线性和工艺变量)可以忽略不计,因为它与高阻抗节点、差分连接的晶体管的本体串联。

[0040] 参见图2C,其示出了根据本公开的又一个具体示例性实施方案的不具有退化电阻器并且包括反向偏置电压修调电路的电流反馈仪表放大器的示意图。即使不具有在CFIA 200、300和400中使用的退化电阻器,也可以有效地使用反向偏置电压修调电路来最小化或基本上消除失配的晶体管跨导对CFIA 200C的增益误差的作用。图2C中所示的CFIA 200C与上文描述的CFIA 200基本相同的方式操作,但是被配置为不具有退化电阻器 R_D (图2)。

[0041] 现在参见图3,其示出了根据本公开的另一个具体示例性实施方案的根据图2的电路架构并且还包尾电流源调制器电路的电流反馈仪表放大器的示意图。图2中所示的电路架构可以与附加的误差减小电路架构相结合,该附加的误差减小电路架构采用针对每个跨导器的尾电流源的动态校正(例如,“斩波”),以平均每个跨导器中的尾电流值,从而减少失配并改善总体增益误差和线性度。通常由数字300表示的CFIA可以包括图2中所示的CFIA 200电路架构和设置在尾电流源 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 以及 R_{TAIL} 电阻器之间的调制器电路302。调制器电路302通过周期性地交换尾电流源 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 来实现尾电流失配的动态校正,以最小化或消除失配电流对CFIA增益误差的作用。如上所述,这是通过修调反向偏置电压来减小增益误差的补充。在一些实施方案中,调制器电路302可以基于作为一个或多个调节信号 ϕ_1 和 ϕ_2 接收的输入操作,例如由时钟或另一调节电路提供。在示例性具体实施中,调节信号 ϕ_1 和 ϕ_2 每半个时钟周期交替地在低逻辑电平和高逻辑电平之间切换,每个时钟周期在两个跨导器 $G_{m,IN}$ 和 $G_{m,FB}$ 之间交换两次尾电流源。

[0042] 调制器电路302通过周期性地交换尾电流来实现尾电流失配的动态校正:在一个周期期间,尾电流 $I_{TAIL,IN}$ 流入输入跨导器,并且尾电流 $I_{TAIL,FB}$ 流入反馈跨导器,然后调制器电路302切换尾电流,并且在下一个周期期间,电流 $I_{TAIL,IN}$ 流入反馈跨导器,并且尾电流 $I_{TAIL,FB}$ 流入输入跨导器。在一些实施方案中,调制器电路302可以基于作为由时钟或另一调节电路提供的一个或多个调节信号 ϕ_1 、 ϕ_2 接收的输入进行操作。在一个示例性具体实施中,调节信号 ϕ_1 、 ϕ_2 每半个时钟周期在高逻辑电平和低逻辑电平之间切换,每个时钟周期在跨导器之间交换两次尾电流。在完整的时钟周期内,流入输入跨导器的尾电流平均等于流入反馈跨导器的尾电流。该方法允许在CFIA 300的操作期间连续地校正由失配的尾电流影响的增益误差的部分。

[0043] 参见图3A和图3B,其示出了图3中所示的电流反馈仪表放大器分别处于第一相位状态和第二相位状态的示意图。图3的调制器电路302可以包括四个开关302A-302D,该四个开关可以适用于交替地连接跨导器 $G_{m,IN}$ 和 $G_{m,FB}$ 中的每个尾电流 $I_{TAIL,IN}$ 和 $I_{TAIL,FB}$ 。调节信号 ϕ_1 和 ϕ_2 可以从时钟信号提供并且示出为处于相反相位,使得当 ϕ_2 为高时 ϕ_1 为低,

反之亦然。如图3A所示,当phi1为低并且phi2为高时,“外”开关302A和302D闭合,并且“内”开关302B和302C断开。如图3B所示,当所需的周期(例如,时钟周期、时钟半周期等)过去时,调节信号phi1、phi2的值翻转;由此,phi1为高并且phi2为低,“外”开关302A和302D断开并且“内”开关302B和302C闭合。

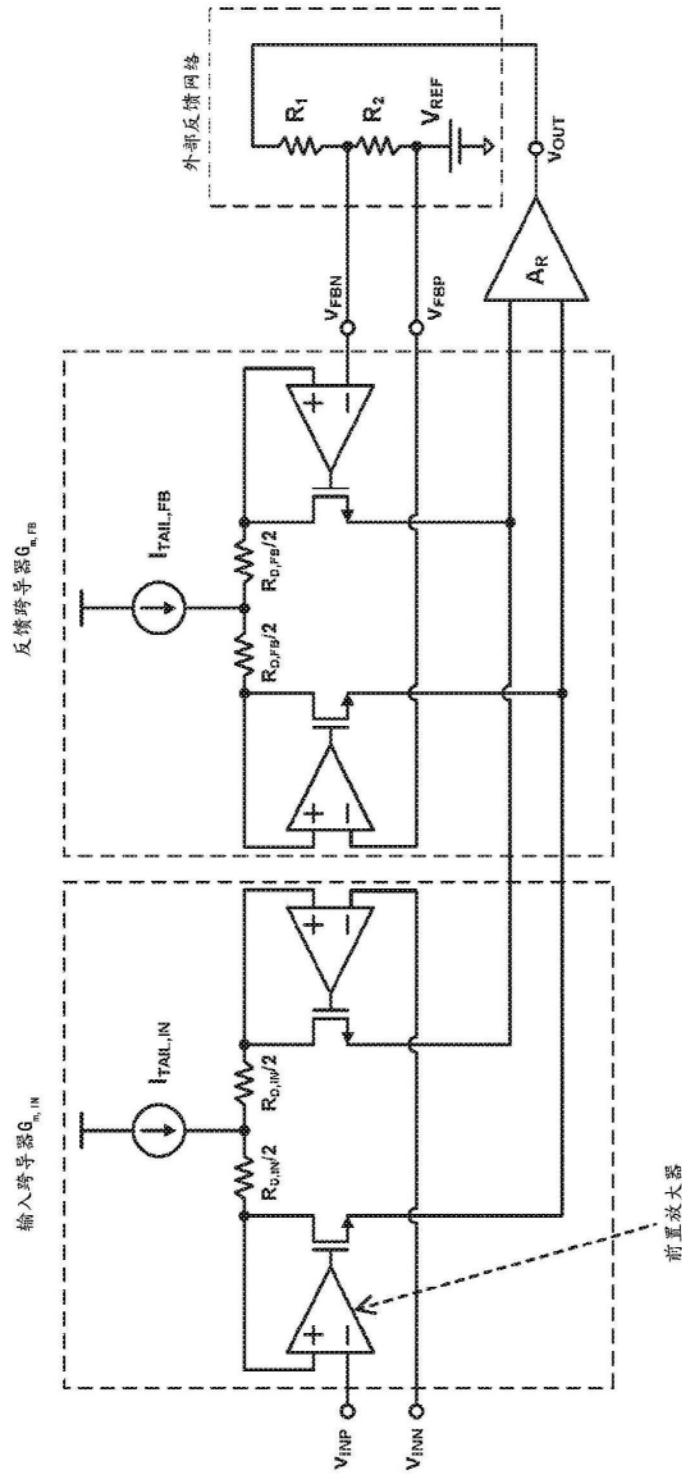
[0044] 为了说明本发明如何校正尾电流失配对增益误差的影响,可以假设 $G_{m,IN}$ 的尾电流 $I_{TAIL,IN}$ 具有标称值 I_{TAIL} ,而跨导器 $G_{m,FB}$ 的尾电流经受由 δ 表示的随机失配,使得它的值为 $I_{TAIL,FB} = I_{TAIL} + \delta * I_{TAIL}$ 。在第一相位(phi1为低并且phi2为高-参见图3A)期间,“基线”电流 I_{TAIL} 流入输入跨导器 $G_{m,IN}$ 并且失配的尾电流 $(1+\delta) * I_{TAIL}$ 流入反馈跨导器 $G_{m,FB}$ 。晶体管 M_{1a} 和 M_{1b} 的跨导 g_{m1ab} 将具有等于 g_m 的标称值,而 M_{1c} 和 M_{1d} 的跨导将经受相等的失配 δ , $g_{m1cd} = g_m + \delta * g_m$; $G_{m,IN}$ 将等于标称值 G_m ,而 $G_{m,FB}$ 将近似等于 $G_m(1+\delta)$ 。因此,在该相位期间,增益误差将近似为 $-\delta$ 。然后在第二相位(phi1为高并且phi2为低-参见图3B)中,调制器电路302切换尾电流源,并且基线电流 I_{TAIL} 流入反馈跨导器 $G_{m,FB}$,并且失配的尾电流 $(1+\delta) * I_{TAIL}$ 流入输入跨导器 $G_{m,IN}$ 。在此循环期间, $G_{m,IN}$ 将为 $G_m(1+\delta)$, $G_{m,FB}$ 将等于 G_m ,并且增益误差将近似为 $+\delta$ 。如果在半时钟周期,增益误差为 $-\delta$,并且在另一半时钟周期期间为 $+\delta$,则在整个时钟周期内,增益误差将平均为零。因此,调制器电路302在CFIA 300操作期间提供增益误差的连续校正。

[0045] 另外,即使当相应的跨导器上的共模电压 V_{INP} 、 V_{INN} 、 V_{FBP} 、 V_{FBN} 之间的差值很大(例如,超过五(5)伏特)时,本发明的CFIA架构的各种实施方案也适用于高压设计。

[0046] 参见图4,其示出了根据本公开的又一具体示例性实施方案的具有反向偏置电压修调电路的电流反馈仪表放大器的示意图。图4中所示的CFIA400以与上文描述的CFIA 200基本相同的方式配置和操作,但它的架构包括N沟道MOSFET而不是P沟道MOSFET(图2)。

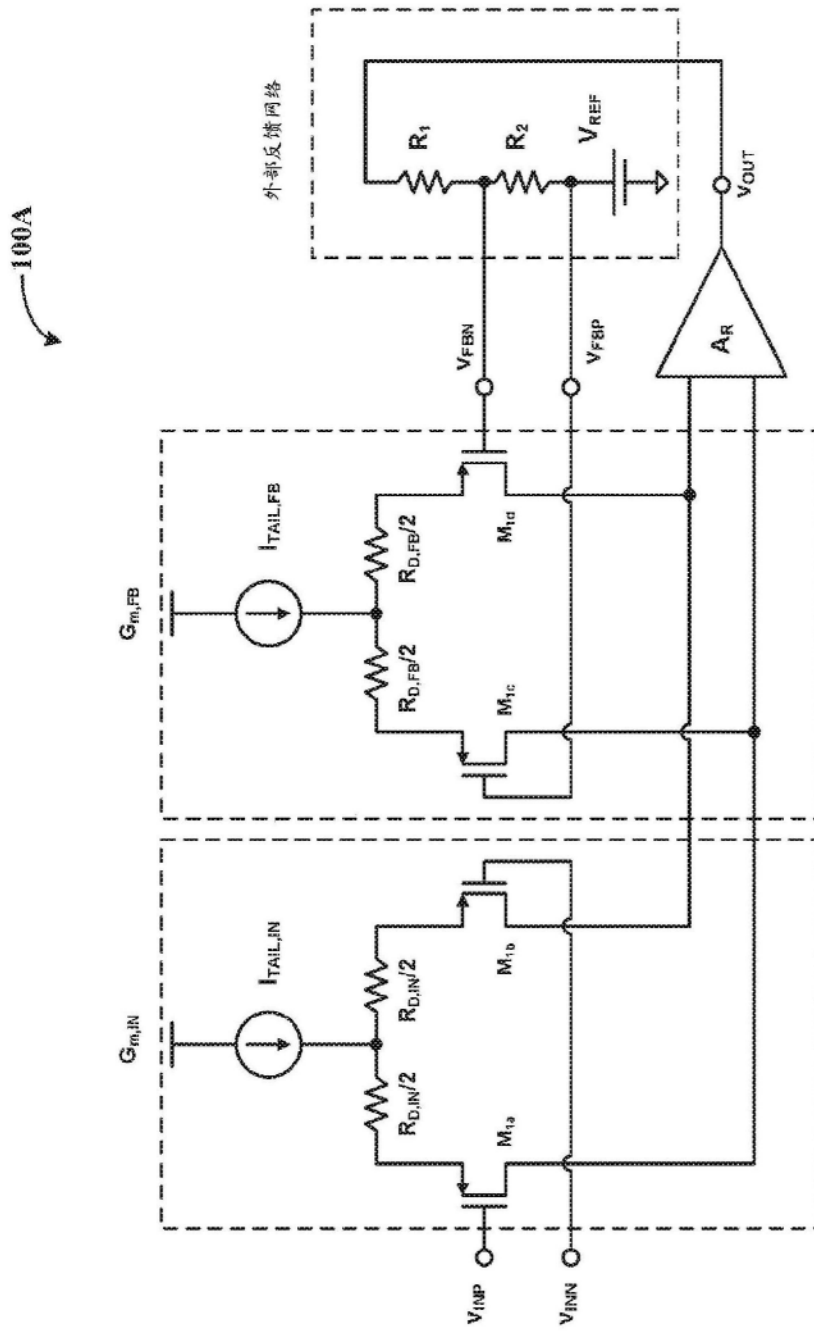
[0047] 已根据一个或多个优选实施方案描述了本发明,并且应当理解,除了明确陈述的那些(例如,制造方法、按过程的产品等)之外,许多等同物、替代物、变化形式和修改是可能的并且在本发明的范围内。

100



(现有技术)

图1



(现有技术)

图1A

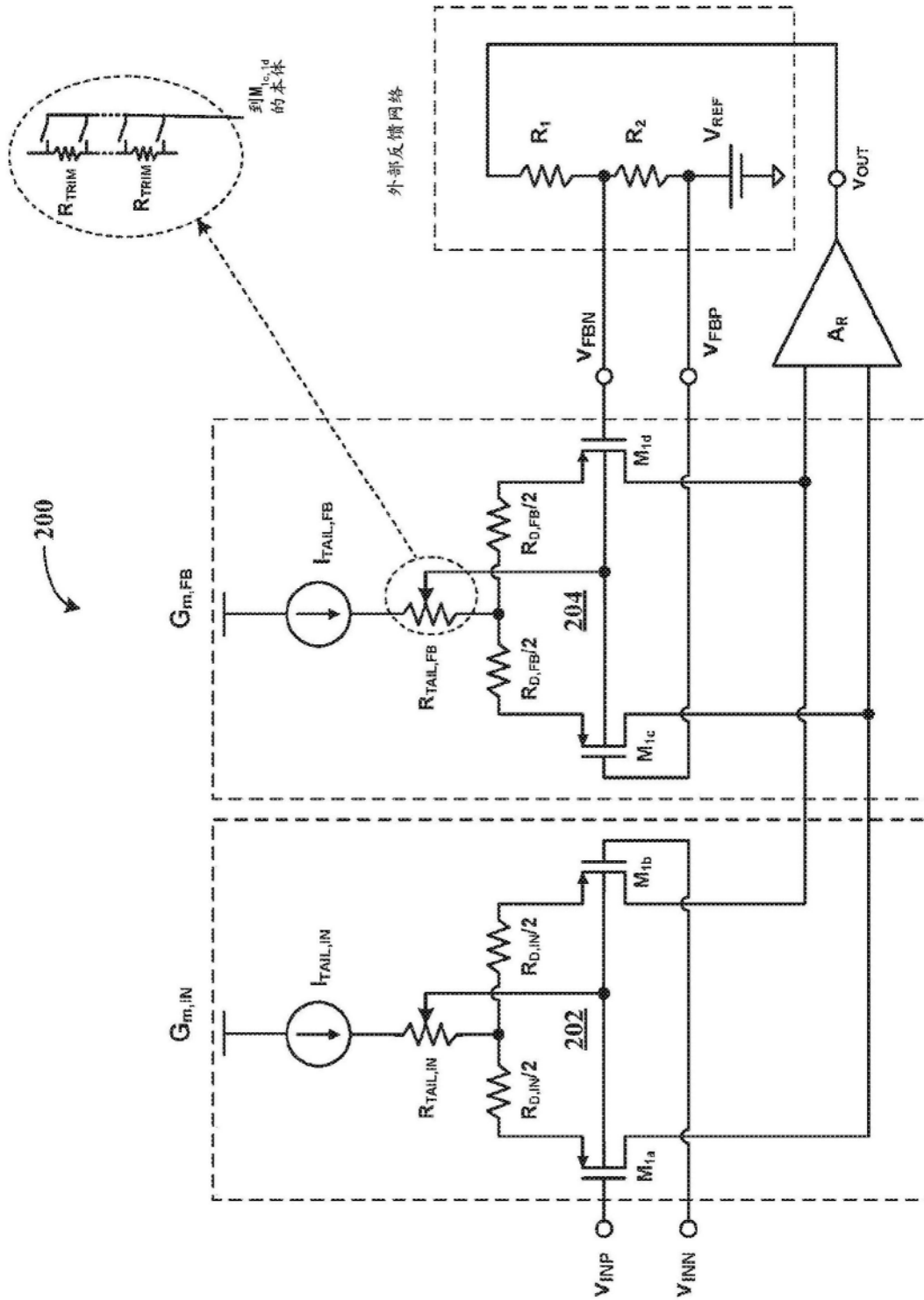


图2

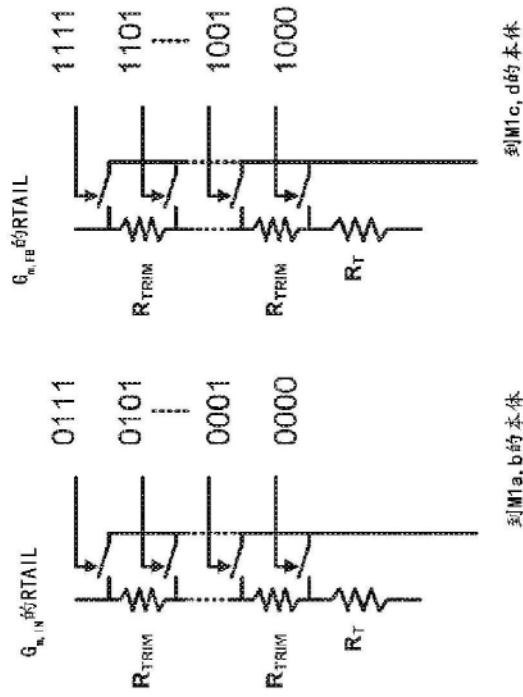


图2A

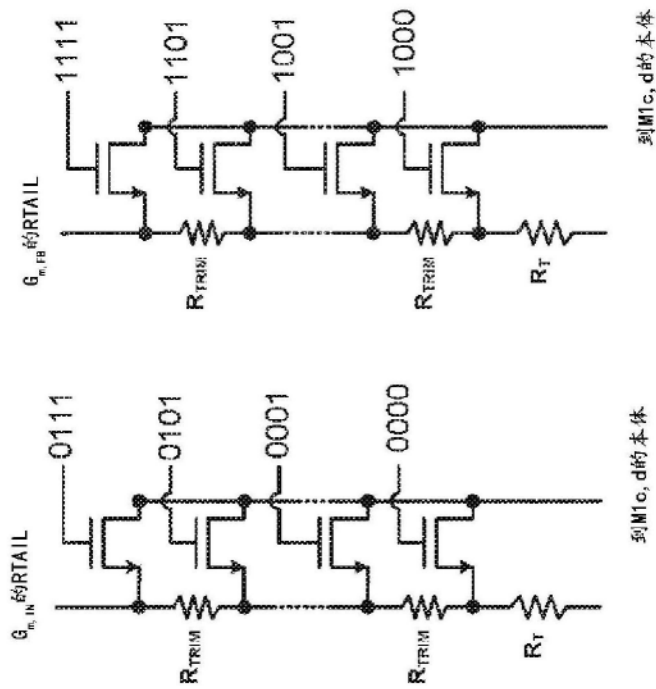


图2B

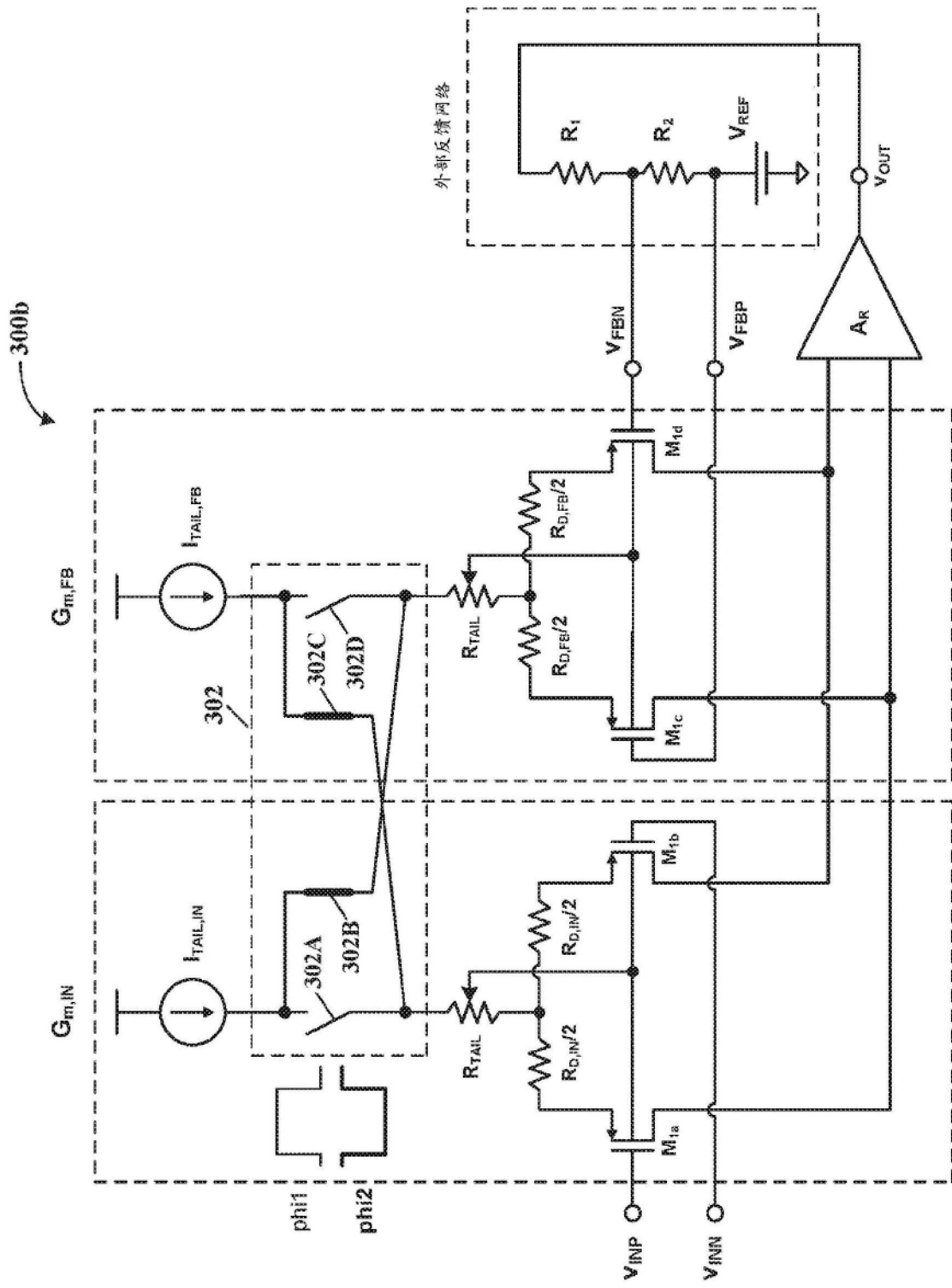


图3B

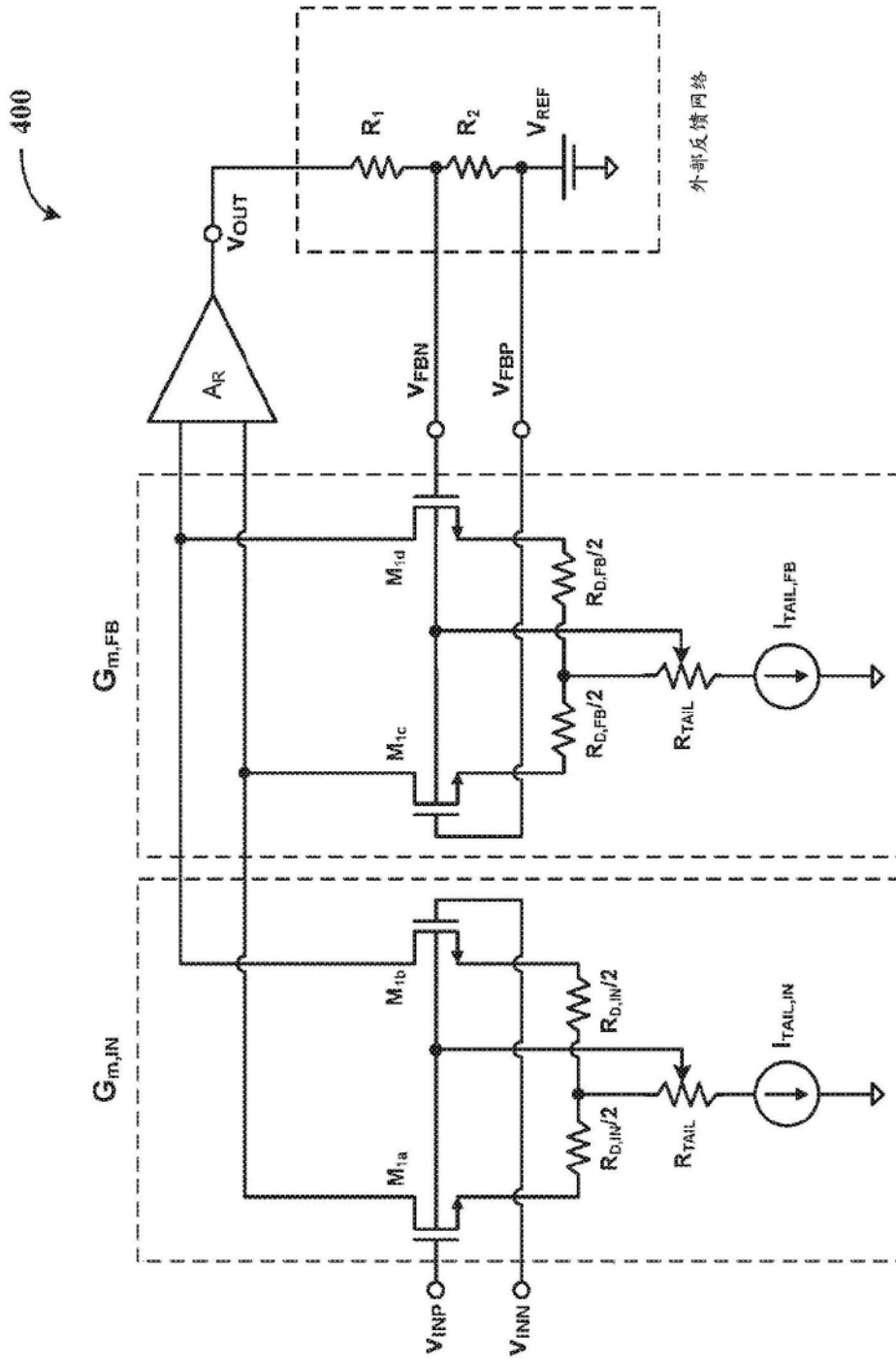


图4