(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{7}
H01L 21/283

(45) 공고일자 2004년01월13일
(11) 등록번호 10-0414731
(24) 등록일자 2003년12월29일

(21) 출원번호 10-2001-0039039
(22) 출원일자 2001년06월30일
(65) 공개번호 10-2003-0002265
(43) 공개일자 2003년01월08일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 권판기
경기도여주군가남면신해리620-17동남아파트104-104

이상익
경기도이천시부발읍아미리753현대7차아파트704-1901

남철우
경기도과천시별양동주공아파트501-508

(74) 대리인 이후동
이정훈

심사관 : 김종찬

(54) 반도체소자의 콘택플러그 형성방법

요약

본 발명은 반도체소자의 콘택플러그 형성방법에 관한 것으로, 상측에 하드마스크층인 질화막이 구비되는 게이트전극을 형성하고 전체표면상부에 층간절연막인 산화막을 형성한 다음, 상기 층간절연막을 식각하여 랜딩 플러그 콘택홀을 형성하고 상기 랜딩 플러그 콘택홀을 매립하는 랜딩 플러그 도전층인 폴리를 전체표면상부에 형성한 다음, 상기 하드마스크층을 노출시키는 제1차 CMP 공정을 실시하고 상기 하드마스크층, 층간절연막 및 랜딩 플러그 도전층을 평탄화시키는 제2차 CMP 공정으로 마스크절연막이나 콘택플러그의 디싱 현상을 방지하고 플러그 간의 브릿지 현상을 방지할 수 있어 소자의 특성 열화를 방지하며 그에 따른 반도체소자의 고집적화를 가능하게 하는 기술이다.

대표도

도 2c

명세서

도면의 간단한 설명

도 1a 내지 도 1d 는 종래기술에 따른 반도체소자의 콘택플러그 형성방법을 도시한 단면도 및 사진.
도 2a 내지 도 2c 는 본 발명의 실시예에 따른 반도체소자의 콘택플러그 형성방법을 도시한 단면도.
< 도면의 주요부분에 대한 부호의 설명 >
11,31 : 반도체기판 13,33 : 게이트전극

15,35 : 질화막 17,37 : 층간절연막
19 : 랜딩 플러그 콘택홀 21,39 : 랜딩 플러그용 도전층, 폴리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 콘택플러그 형성방법에 관한 것으로, 특히 콘택플러그용 도전층의 CMP 공정시 주변의 층간절연막인 실리콘 산화막이 디싱 (dishing) 되는 현상을 방지하는 기술에 관한 것이다.

종래의 CMP 공정은 염기성 슬러리 (slurry)를 사용하여 플러그를 격리 시 키는 방법으로 플러그 재료와 워드라인의 하드마스크층으로 사용되는 질화막과 평탄화 및 갭필 (gap fill) 재료로 사용되는 산화막을 연마할 때 질화막, 플러그 재료 및 산화막의 식각선택비 차이로 인하여 질화막에 비해 플러그 재료와 산화막이 디싱되는 현상이 유발되어 다른 산화막을 또 증착하여야 하는 문제점이 있다.

플러그 재료와 산화막 디싱 지역으로 CMP 연마 잔류물이 빠지는 경우 후속 세정 (cleaning) 공정에서 제거되지 않아 랜딩 플러그 간에 브릿지 (bridge)를 유발시켜 소자의 수율을 감소를 발생시키는 문제점이 있다.

도 1a 내지 도 1d 은 종래기술에 따른 반도체소자의 콘택플러그 형성방법을 도시한 단면도 및 사진이다. 여기서 상기 도 1d 는 피노키오 결함이 유발된 평면사진과 단면사진을 도시한다.

도 1a를 참조하면, 반도체기판(11) 상부에 워드라인(13)을 형성한다. 이때, 상기 워드라인(13) 상측에 질화막(15)이 형성된 것이다.

그리고, 전체표면상부에 층간절연막(17)을 형성한다.

그리고, 상기 층간절연막(17)을 랜딩 플러그용 마스크(도시안됨)를 이용하여 비트라인 및 저장전극용 랜딩 플러그 콘택홀(19)을 형성한다.

도 1b를 참조하면, 상기 랜딩 플러그 콘택홀(19)을 매립하는 랜딩 플러그용 도전층(21)인 폴리를 전체표면상부에 형성한다.

도 1c를 참조하면, 일반적인 CMP 공정으로 상기 랜딩 플러그용 도전층(21)을 식각하여 랜딩 플러그 폴리를 형성한다.

이때, 상기 랜딩 플러그용 도전층(21), 층간절연막(17)인 산화막 및 질화막(15)의 식각 선택비 차이로 인하여 상기 층간절연막(17)과 랜딩 플러그용 도전층(21)이 과도식각되고 후속공정을 어렵게 한다.

발명이 이루고자 하는 기술적 과제

본 발명의 상기한 종래기술의 문제점을 해결하기 위하여, 워드라인의 하드 마스크인 질화막를 노출시키는 제1차 CMP 공정과 높은 식각선택비 차이를 갖는 슬러리를 이용한 제2차 CMP 공정으로 CMP 공정을 실시하여 반도체소자의 특성 및 신뢰성을 향상시키는 반도체소자의 콘택플러그 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 콘택플러그 형성방법은, 상측에 하드마스크층이 구비되는 게이트전극을 형성하는 공정과, 전체표면상부에 층간절연막을 형성하는 공정과, 상기 층간절연막을 식각하여 랜딩 플러그 콘택홀을 형성하는 공정과, 상기 랜딩 플러그 콘택홀을 매립하는 랜딩 플러그 도전층인 폴리를 전체표면상부에 형성하는 공정과, SiO2를 함유한 슬러리를 이용하여 상기 하드마스크층을 노출시키는 제1차 CMP 공정을 실시하는 공정과, 상기 층간절연막과 하드마스크층의 식각선택비가 5 : 1 이상, 상기 층간절연막과 랜딩 플러그 도전층과의 식각선택비가 2 : 1 이상 또는 상기 랜딩 플러그 도전층과 하드마스크층의 식각선택비 차이가 2 : 1 이상인 CeO2 함유 슬러리로 제2차 CMP 공정을 실시하여 상기 하드마스크층, 층간절연막 및 랜딩 플러그 도전층을 평탄화시키는 공정을 포함하는 것과, 상기 하드마스크층은 질화막을 500 Å 이하의 두께로 사용하는 것과, 상기 랜딩 플러그 콘택홀에 스페이서를 형성하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 도 2c 은 본 발명의 실시예에 따른 반도체소자의 콘택플러그 형성방법을 도시한 단면도이다.

도 2a를 참조하면, 반도체기판(31) 상부에 워드라인(33)을 형성한다. 이때, 상기 워드라인(33) 상측에 질화막(35)이 형성된 것이다.

그리고, 전체표면상부에 층간절연막(37)을 형성한다.

그리고, 상기 층간절연막(37)을 랜딩 플러그용 마스크(도시안됨)를 이용한 사진식각 공정으로 식각하여 비트라인 및 저장전극용 랜딩 플러그 콘택홀(도시안됨)을 형성한다.

그 다음, 상기 랜딩 플러그 콘택홀을 매립하는 랜딩 플러그용 도전층(39)인 폴리를 전체표면상부에 형성한다.

이때, 상기 폴리는 상기 콘택홀에 절연막 스페이서를 형성한 후에 형성할 수도 있다.

도 2b를 참조하면, 상기 랜딩 플러그용 도전층(39)인 폴리와 층간절연막(37)인 산화막을 제1차 CMP 하여 상기 질화막(35)을 노출시킨다.

도 2c를 참조하면, 상기 랜딩 플러그용 도전층(39)인 폴리와 층간절연막(37)인 산화막 그리고 상기 질화막(35)을 평탄화시키는 제2차 CMP 공정을 실시하되, CeO2를 함유하는 슬러리를 이용하여 실시한다.

여기서, 상기 제2차 CMP 공정은, 산화막과 질화막의 식각선택비가 5 : 1 이상, 상기 산화막과 폴리와의 식각선택비가 2 : 1 이상 또는 상기 폴리와 질화막의 식각선택비 차이가 2 : 1 이상인 슬러리를 이용하여 실시한다.

이때, 상기 제2차 CMP 공정으로 상부를 평탄화시켜 콘택 공정시 도전층 간에 발생될 수 있는 브릿지, 일명 피노키오 결함을 제거할 수 있다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 콘택플러그 형성방법은, 서로 다른 연마 특성을 가진 다층을 노출시키며 유발되는 결함을 높은 식각 선택비 차이를 갖는 슬러리로 두단계 CMP 하여 반도체소자의 특성 및 신뢰성을 향상시키는 효과를 제공한다.

(57) 청구의 범위

청구항 1.

상측에 하드마스크층이 구비되는 게이트전극을 형성하는 공정과,
전체표면상부에 층간절연막을 형성하는 공정과,
상기 층간절연막을 식각하여 랜딩 플러그 콘택홀을 형성하는 공정과,
상기 랜딩 플러그 콘택홀을 매립하는 랜딩 플러그 도전층인 폴리를 전체표면상부에 형성하는 공정과,
SiO2를 함유한 슬러리를 이용하여 상기 하드마스크층을 노출시키는 제1차 CMP 공정을 실시하는 공정과,
상기 층간절연막과 하드마스크층의 식각선택비가 5 : 1 이상, 상기 층간절연막과 랜딩 플러그 도전층과의 식각선택비가 2 : 1 이상 또는 상기 랜딩 플러그 도전층과 하드마스크층의 식각선택비 차이가 2 : 1 이상인 CeO2 함유 슬러리로 제2차 CMP 공정을 실시하여 상기 하드마스크층, 층간절연막 및 랜딩 플러그 도전층을 평탄화시키는 공정을 포함하는 반도체소자의 콘택플러그 형성방법.

청구항 2.

제 1 항에 있어서,
상기 하드마스크층은 질화막을 500 Å 이하의 두께로 사용하는 것을 특징으로하는 반도체소자의 콘택플러그 형성방법.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

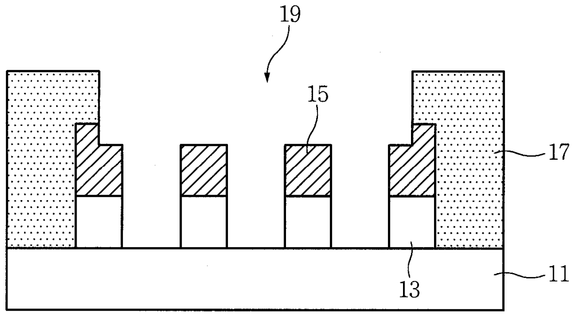
제 1 항에 있어서,
상기 랜딩 플러그 콘택홀에 스페이서를 형성하는 것을 특징으로하는 반도체소자의 콘택플러그 형성방법.

청구항 8.

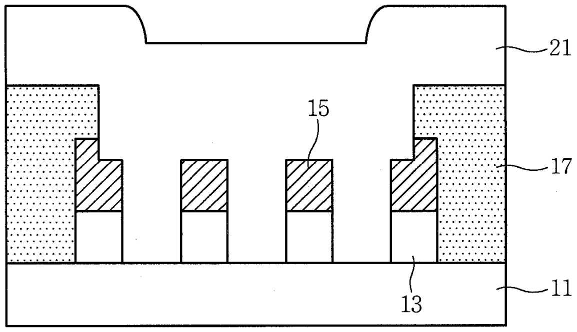
삭제

도면

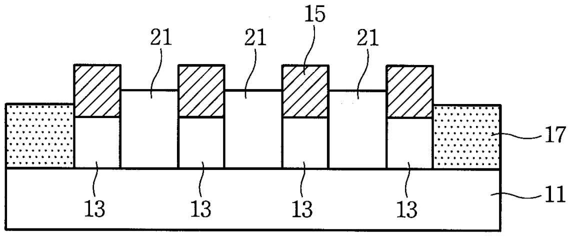
도면1a



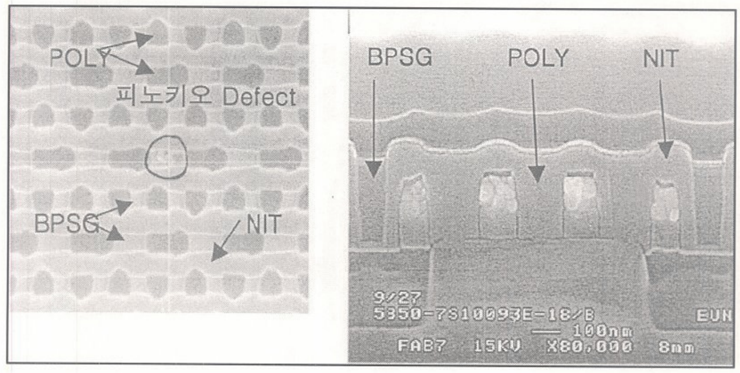
도면1b



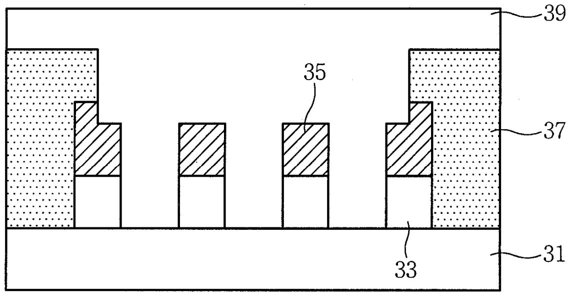
도면1c



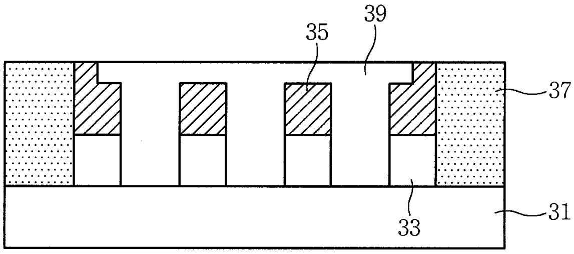
도면1d



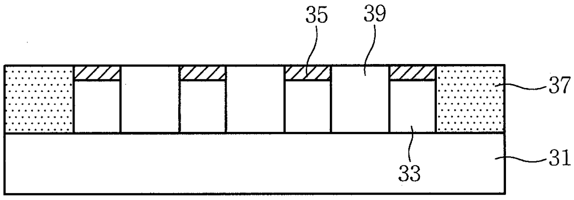
도면2a



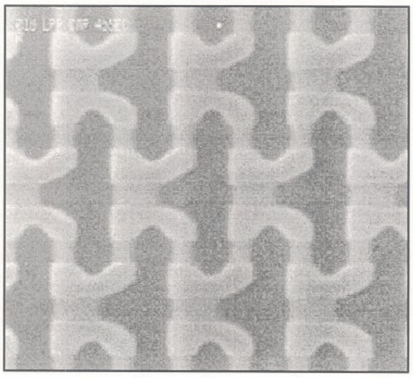
도면2b



도면2c



도면3a



도면3b