



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월04일
 (11) 등록번호 10-1151456
 (24) 등록일자 2012년05월23일

(51) 국제특허분류(Int. Cl.)
H01L 21/304 (2006.01)
 (21) 출원번호 10-2005-7001191
 (22) 출원일자(국제) 2003년07월22일
 심사청구일자 2008년07월22일
 (85) 번역문제출일자 2005년01월21일
 (65) 공개번호 10-2005-0021553
 (43) 공개일자 2005년03월07일
 (86) 국제출원번호 PCT/US2003/022928
 (87) 국제공개번호 WO 2004/010477
 국제공개일자 2004년01월29일
 (30) 우선권주장
 60/397,941 2002년07월22일 미국(US)
 60/403,996 2002년08월17일 미국(US)
 (56) 선행기술조사문헌
 KR1020010089135 A*
 US06234870 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
에이씨엠 리서치, 인코포레이티드
 미국 캘리포니아 프레몬트 프레몬트 블러바드
 46520 스위트 610 (우:94538)
 (72) 발명자
왕, 후이
 미국 94539 캘리포니아 프레몬트 자카렌다 드라
 이브 340
아프난, 무함메드
 미국 94539 캘리포니아 프레몬트 부엘타 올리브
 1048
 (뒤틀면에 계속)
 (74) 대리인
남상선

전체 청구항 수 : 총 11 항

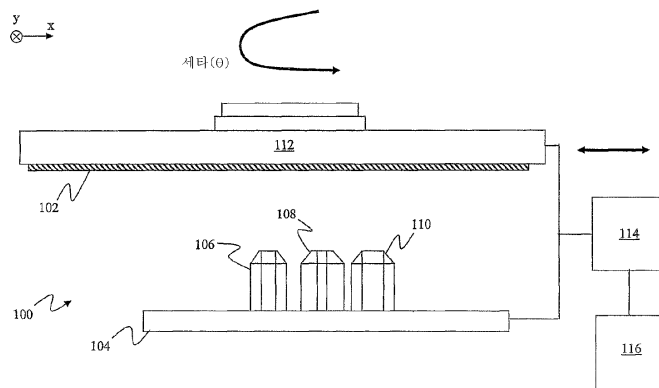
심사관 : 김상택

(54) 발명의 명칭 두께 측정을 이용한 적정 전해연마 및 장벽층과 희생층의 제거방법 및 시스템

(57) 요약

반도체 웨이퍼상에 형성된 금속층이 적정하게 전해연마된다. 상기 금속층의 일부가 전해연마되며, 여기서 상기 금속층의 부분들은 각각 전해연마된다. 상기 부분을 전해연마하기 전에, 전해연마하고자 하는 금속층의 부분의 두께 측정이 이루어진다. 전해연마될 부분의 양이 두께 측정에 기초하여 조절된다. 반도체 웨이퍼상에 형성된 금속층이 폴리싱되며, 여기서 상기 금속층은 장벽층상에 형성되고, 상기 장벽층은 리세스 영역과 비 리세스 영역을 가진 유전층상에 형성되며, 상기 금속층은 상기 유전층의 리세스 영역과 비 리세스 영역을 덮는다. 상기 비 리세스 영역을 덮고 있는 금속층을 제거하기 위하여 상기 금속층은 폴리싱된다. 상기 리세스 영역내의 금속층은 비 리세스 영역 아래의 높이로 폴리싱되며, 여기서 상기 높이는 장벽층의 두께보다 더 크거나 같다.

대표도



(72) 발명자

이,페이하르

미국 94560 캘리포니아 뉴악크 #824 시카모어 스트리트 37171

윌러, 데이먼, 엘.

미국 94538 캘리포니아 프레몬트 프레몬트 블러바드 39601

유,차우-치

미국 95070 캘리포니아 사라토가 레이드 레인 20625

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

반도체 웨이퍼상에 형성되는 금속층으로서, 상기 금속층이 장벽층상에 형성되며, 상기 장벽층이 리세스 영역과 비 리세스 영역을 가진 유전층상에 형성되고, 상기 금속층이 상기 유전층의 리세스 영역과 비 리세스 영역을 덮고 있는, 반도체 웨이퍼상에 형성되는 금속층의 폴리싱 방법으로서,

상기 비 리세스 영역을 덮고 있는 상기 금속층을 제거하기 위하여 상기 금속층을 폴리싱하는 단계; 및

상기 리세스 영역내의 상기 금속층을 상기 비 리세스 영역 아래의 높이로 폴리싱하는 단계로서, 상기 높이는 상기 장벽층의 두께보다 더 높거나 같은, 폴리싱 단계;를 포함하며,

상기 유전층과 상기 장벽층 사이에 경질(hard)의 마스크층이 증착되고, 상기 높이는 상기 경질의 마스크층의 두께와 상기 장벽층의 두께의 합보다 더 낮으며,

상기 경질의 마스크층과 상기 장벽층 사이에 희생층이 증착되고, 상기 경질의 마스크층은 상기 장벽층보다

더 낮은 제거율을 가지며, 상기 희생층은 상기 장벽층보다 더 크거나 동일한 제거율을 가진, 반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 30

제 29 항에 있어서,
상기 금속층을 폴리싱하는 단계는 상기 금속층을 전해연마하는 단계를 포함하는, 반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 31

제 30 항에 있어서,
상기 금속층을 전해연마하는 단계는,
상기 금속층의 부분에 인접한 노즐을 통하여 상기 금속층의 부분에 전해액 스트림을 제공하는 단계;를 포함하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 32

제 31 항에 있어서,
상기 노즐이 고정적으로 유지되었을 때, 웨이퍼 척을 이용하여 상기 웨이퍼를 유지, 회전 및 이동시키는 단계;를 더 포함하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 33

제 31 항에 있어서,
상기 노즐이 이동할 때, 웨이퍼 척을 이용하여 상기 웨이퍼를 유지 및 회전시키는 단계;를 더 포함하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 34

제 29 항에 있어서,
상기 금속층을 폴리싱한 후, 플라즈마 에칭을 이용하여 상기 비 리세스 영역으로부터 상기 장벽층을 제거하는 단계;를 더 포함하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 35

제 34 항에 있어서,
상기 플라즈마 에칭은 에칭 가스를 이용하는 단계를 포함하고, 상기 에칭 가스에 첨가물이 첨가되어 상기 리세스 영역내의 상기 장벽층과 상기 금속층에 잔류물을 형성하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 36

제 34 항에 있어서,
상기 플라즈마 에칭을 이용하여 상기 리세스 영역과 상기 비 리세스 영역의 일부를 제거하는 단계;를 더 포함하며, 상기 리세스 영역내의 상기 장벽층의 에칭율은 상기 유전층의 에칭율보다 더 높거나 동일한,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

제 29 항에 있어서,

상기 유전층은 저유전율 재료를 포함하며, 상기 금속층은 구리를 포함하는,
반도체 웨이퍼상에 형성되는 폴리싱 방법.

청구항 40

반도체 웨이퍼층으로서,

리세스 영역 및 비 리세스 영역을 가진 유전층;

상기 유전층상에 증착된 장벽층; 및

상기 장벽층상에 증착된 금속층;을 포함하며,

상기 금속층은 상기 유전층의 상기 비 리세스 영역으로부터 제거되고, 상기 비 리세스 영역 아래의 높이로 상기 리세스 영역에서 폴리싱되며, 상기 높이는 상기 장벽층의 두께보다 더 높거나 동일하며,

상기 유전층과 상기 장벽층 사이에 증착된 경질의 마스크층을 더 포함하고, 상기 높이는 상기 경질의 마스크층의 두께와 상기 장벽층의 두께의 합보다 더 낮으며,

상기 경질의 마스크층과 상기 장벽층 사이에 증착된 희생층을 더 포함하고, 상기 경질의 마스크층은 상기 장벽층보다 더 낮은 제거율을 가지며, 상기 희생층은 상기 장벽층보다 더 크거나 동일한 제거율을 가진,

반도체 웨이퍼층.

청구항 41

삭제

청구항 42

삭제

청구항 43

제 40 항에 있어서,

상기 유전층은 저유전율 재료를 포함하고, 상기 금속층은 구리를 포함하는,
반도체 웨이퍼층.

명세서

기술분야

[0001] 본 출원은 "기관상의 금속 필름을 전해연마하는 방법"이란 명칭으로 2002년 7월 22일자에 출원된 미국 가출원 제60/397,941호 및 "장벽층과 희생층의 제거방법"이란 명칭으로 2002년 8월 17일자에 출원된 미국 가출원 제 60/403,996호를 우선권 주장하며, 본원은 이들의 내용 전체를 참조하였다.

[0002] 본 발명은 기관상에 형성된 금속 필름을 전해연마하는 방법 및 시스템에 관한 것으로, 특히 금속 필름의 두께 측정을 이용하여 반도체 웨이퍼상에 형성된 금속 필름을 적정 전해연마하는 방법 및 시스템에 관한 것이다. 또한, 본 발명은 폴리싱 및 플라즈마 에칭 프로세스에서 장벽층과 희생층을 제거하는 방법 및 시스템에 관한

것이다.

배경 기술

[0003] 반도체 장치는 트랜지스터 및 인터커넥션 소자(interconnection elements)를 생성하기 위하여 여러가지 프로세싱 단계를 이용하여 반도체 웨이퍼상에 형성 또는 제조된다. 트랜지스터 및/또는 인터커넥션 소자를 형성하기 위하여, 반도체 웨이퍼는 예를 들어 마스크링, 에칭 및 증착 프로세스를 거침으로써, 반도체 장치의 전자 회로를 형성하게 된다. 특히, 다마신 프로세스에서, 인터커넥션을 위한 트렌치 및 비아 역할을 하는 리세스 영역(recessed areas) 패턴을 반도체 웨이퍼의 유전층에 형성하기 위해 다중의 마스크링 및 에칭 단계가 실시될 수 있다. 그 다음, 상기 반도체 웨이퍼상에 금속층을 증착함으로써 트렌치 및 비아와 아울러 반도체 웨이퍼상의 비 리세스 영역(non-recessed areas)에도 금속이 증착되도록 하는 증착 프로세스가 실시될 수 있다. 패턴화된 트렌치 및 비아와 같은 인터커넥션을 절연시키기 위하여, 반도체 웨이퍼의 비 리세스 영역에 증착된 금속층이 제거된다.

[0004] 그러나, 과도하거나 불충분한 양의 금속층이 제거되면, 트랜지스터 및/또는 인터커넥션 소자는 제대로 작동하지 않게 된다. 예를 들어, 인터커넥션을 형성하는 트렌치로부터 과도한 양의 금속층이 제거되면, 상기 인터커넥션은 전기신호를 적절하게 전송할 수 없게 된다.

[0005] 도체의 인터커넥션에서 시간 지연을 줄이기 위한 방법으로서, 낮은 유전상수(저유전율 k)를 가진 유전재료의 사용이 소개되었다. 그러나, 저유전율 재료는 다공성 미세구조를 갖기 때문에, 이들은 다른 유전재료에 비해 기계적 안정성과 열전도성이 낮다. 따라서, 통상적으로, 저유전율 재료는 종래의 다마신 프로세스에서 가해지는 응력과 압력을 견딜 수 없다.

[0006] 종래의 다마신 프로세스에서, 금속층 또는 저유전율 재료상에 장벽층이 형성될 수 있다. 통상적으로, 상기 장벽층은 TaN, Ta, Ti 및 TiN과 같이 강하고 화학적으로 불활성인 재료로 형성되기 때문에, CMP과정에서 높은 패드압력을 이용하거나 고압 전해연마를 제외하고, CMP 또는 전해연마를 이용하여 장벽층을 제거하는 것은 어렵다. CMP의 경우, 높은 패드압력은 표면 결함 밀도를 증가시키거나, 저유전율 재료를 갈라지게 할 수도 있다. 전해연마의 경우, 높은 폴리싱 압력은 과도한 양의 금속을 제거할 수 있으며, 이는 라인 저항(line resistance)을 증가시킬 수 있다. 장벽층을 제거하기 위해 종래의 플라즈마 에칭을 사용하는 경우, 비 리세스 영역의 모든 장벽층이 제거되도록 하기 위하여 과에칭(over-etching)이 필요하다. 그러나, 과에칭은 다음 커버층이 증착될 때 공동(voids)을 유발할 수 있다. 금속 원자가 상기 공동으로부터 확산될 수 있으며, 장치의 게이트 영역으로 확산될 수 있고, 이로 인하여 반도체 장치가 제대로 작동하지 않게 될 수 있다.

발명의 상세한 설명

[0007] 일 실시예에서, 반도체 웨이퍼상에 형성된 금속층은 적절하게 전해연마된다. 상기 금속층의 일부가 전해연마되며, 여기서 상기 금속층의 부분들은 각각 전해연마된다. 상기 부분을 전해연마하기 전에, 전해연마하고자 하는 금속층의 부분의 두께 측정이 이루어진다. 전해연마될 부분의 양이 두께 측정에 기초하여 조절된다.

[0008] 다른 실시예에서, 반도체 웨이퍼상에 형성된 금속층이 폴리싱되며, 여기서 상기 금속층은 장벽층상에 형성되고, 상기 장벽층은 리세스 영역과 비 리세스 영역을 가진 유전층상에 형성되며, 상기 금속층은 상기 유전층의 리세스 영역과 비 리세스 영역을 덮는다. 상기 비 리세스 영역을 덮고 있는 금속층을 제거하기 위하여 상기 금속층은 폴리싱된다. 상기 리세스 영역내의 금속층은 비 리세스 영역 아래의 높이로 폴리싱되며, 여기서 상기 높이는 장벽층의 두께보다 더 크거나 같다.

[0009] 동일한 요소를 동일한 도면번호로 표시한 첨부도면을 참조하여, 하기된 설명으로부터 본 발명을 보다 명료하게 이해할 수 있을 것이다.

실시 예

[0020] 이하, 많은 특정 구조, 변수 등이 개시되어 있다. 그러나, 하기된 설명은 본 발명의 범위를 제한하고자 하는 것이 아니며, 예시적 실시예를 설명하고자 하는 것임을 이해할 수 있을 것이다.

[0021] I. 적정 전해연마

[0022] 전술한 바와 같이, 반도체 웨이퍼상에 트랜지스터 및 인터커넥션 소자를 형성함에 있어서, 상기 반도체 웨이퍼상에 금속이 증착되었다가 제거된다. 더욱 상세하게, 금속의 층(즉, 금속층)이 화학기상증착(CVD), 물리기상증착(PVD), 원자층증착(ALD), 전기도금, 무전해 도금 등과 같은 증착 프로세스를 사용하여 반도체 웨이퍼상

에 형성된다. 그 다음, 상기 금속층은 화학적 기계적 폴리싱(CMP), 전해연마 등과 같은 에칭 또는 폴리싱 프로세스를 사용하여 제거된다.

[0023] 도 1을 참조하면, 일 실시예에서, 반도체 웨이퍼(102)상에 형성된 금속층을 제거/폴리싱하기 위해 전해연마 모듈(100)이 사용될 수 있다. 본 실시예에서, 웨이퍼(102)는 웨이퍼 척(112)에 의해 유지되며, 상기 웨이퍼 척은 세타(θ) 각을 중심으로 웨이퍼(102)를 회전시키며 도 1에 도시된 x방향과 같은 축방향으로 웨이퍼(102)를 이동시킨다. 웨이퍼 척(112)에 의해 웨이퍼가 회전 및 이동하는 동안, 노즐(108) 및/또는 노즐(110)을 통하여 웨이퍼(102)상에 형성된 금속층에 전해액이 도포된다. 도 1에 도시된 바와 같이, 노즐(108)은 노즐(110)보다 더 좁은 전해액 스트림을 제공하도록 구성될 수 있다. 따라서, 노즐(108)은 노즐(110)보다 더 정밀한 폴리싱을 위해 사용될 수 있다. 예를 들어, 노즐(110)은 웨이퍼(102)의 표면으로부터 초기량의 금속층이 폴리싱되는 초기 거친 폴리싱(initial rough polishing)을 위해 사용될 수 있으며, 그 다음, 초기 거친 폴리싱에서보다 금속층이 더 균일하게 폴리싱되는 후속 미세 폴리싱을 위해 노즐(108)이 사용될 수 있다. 본 실시예에서, 웨이퍼(102) 표면상의 금속층의 두께를 측정하기 위해 종점 검출기(106)가 사용될 수 있다. 도 1에서, 종점 검출기(106), 노즐(108) 및 노즐(110)은 노즐 플레이트(104)상에 서로 근접하도록 배치된 것으로 도시되어 있다. 그러나, 종점 검출기(106), 노즐(108) 및 노즐(110)은 다양한 구성으로 배치되어 다양한 방식으로 장착될 수 있음을 이해하여야 한다. 또한, 하나의 노즐을 포함하여 임의의 갯수의 노즐이 웨이퍼(102)상의 금속층을 전해연마하기 위해 사용될 수 있음을 이해하여야 한다. 또한, 웨이퍼 척(112)을 이용하여 웨이퍼(102)를 이동시키는 대신 또는 이에 부가하여, 종점 검출기(106), 노즐(108) 및/또는 노즐(110)을 이동시키는 것도 가능함을 이해하여야 한다.

[0024] 예시적인 전해연마 프로세스 및 시스템의 보다 상세한 설명을 위하여, "반도체 장치상의 금속 인터커넥션을 전해연마하기 위한 장치 및 방법"이란 명칭으로 1999년 7월 2일자에 출원된 미국특허 제6,394,152B1호; "반도체 공작물의 전해연마 및/또는 전기도금 과정에서 반도체 공작물을 유지 및 위치결정하기 위한 장치 및 방법"이란 명칭의 미국특허 제6,248,222B1호; 및 "전해연마 및/또는 전기도금 장치 및 방법"이란 명칭으로 2002년 4월 14일자에 출원된 미국 가출원 제60/372,566호를 참조하기 바라며, 본원은 이들의 내용 전체를 참조하였다. 예시적인 종점 검출기의 보다 상세한 설명을 위하여, "종점 검출 장치 및 방법"이란 명칭으로 2000년 5월 12일자에 출원된 미국특허 제6,447,668호를 참조하기 바라며, 본원은 그 내용 전체를 참조하였다.

[0025] 본 실시예에서, 일반적으로, 웨이퍼는 액체 유동율, 전류 또는 전압 설정값, 중심대 엣지의 거리, 초기 회전 속도, 폴리싱 시간, 중심 폴리싱 회전속도, 노즐의 유형, 전류 또는 전압 테이블, 정전류용 벌크용 테이블, 반복 설정값 등과 같은 다양한 프로세싱 변수를 포함하는 방법을 이용하여 프로세싱된다. 동일한 증착 프로세스를 이용하여 프로세싱된 웨이퍼는 일반적으로 유사한 금속층 두께 프로파일을 갖기 때문에, 웨이퍼는 유사한 폴리싱 방법을 이용하여 초기에 폴리싱될 수 있다.

[0026] 그러나, 전술한 바와 같이, 웨이퍼상에 형성된 금속층을 폴리싱함에 있어서, 금속층을 너무 과도하게 또는 너무 불충분하게 폴리싱하면, 반도체 장치가 제대로 작동하지 않는 결과를 유발할 수 있다. 따라서, 본 실시예에서, 금속층의 적정 전해연마를 위해 웨이퍼상의 금속층 두께가 이용된다. 특히, 웨이퍼상에 형성된 금속층의 일부를 전해연마하기에 앞서, 전해연마하고자 하는 부분의 두께가 측정되며, 전해연마될 부분의 양이 측정된 두께에 기초하여 조절된다.

[0027] 예를 들어, 제어 시스템(114)이 웨이퍼 척(112) 및 노즐(108) 및 노즐(110)에 연결될 수 있다. 웨이퍼 척(112)의 위치에 기초하여, 상기 제어 시스템(114)은 전해연마하고자 하는 웨이퍼(102)상의 금속층의 부분의 위치를 결정할 수 있다. 상기 제어 시스템(114)은 전해연마하고자 하는 금속층의 부분의 두께를 측정하고, 노즐(108) 및/또는 노즐(110)에 의해 전해연마되는 부분의 양을 조절한다.

[0028] 일 실시예에서, 웨이퍼(102)가 폴리싱 모듈(100)에서 프로세싱되기 전에, 웨이퍼(102)상의 금속층의 두께를 측정하고 맵핑하기 위해 기관 두께 계측틀(116)이 사용된다. 도 2a를 참조하면, 계측틀(도 1)은 웨이퍼(102)상의 다양한 위치(202)에서의 두께를 측정할 수 있다. 위치(202)는 다양한 좌표계를 이용하여 맵핑될 수 있다. 예를 들어, 도 2a에 도시된 바와 같이, 단순한 xy 좌표축이 사용될 수 있다. 선택적으로, 웨이퍼(102)의 회전 각도에 대응하는 각도(θ)와 반경이 사용될 수 있다. 그 후, 제어 시스템(도 1)이 웨이퍼(102)상의 금속층의 두께의 맵핑을 이용하여 전해연마하기에 전에 금속층 부분의 두께를 구할 수 있다.

[0029] 도 2a에 도시된 바와 같이, 웨이퍼(102)상의 금속층 두께의 맵핑은 금속층의 두께가 알려지지 않은 위치를 의미하는 갭(gaps)을 포함할 수 있다. 특히, 웨이퍼(102)의 회전 및 이동으로 인하여, 전해액 스트림은 노즐(108)(도 1) 및/또는 노즐(110)(도 1)에 의해 나선형 경로(204)로 제공될 수 있다. 또한, 도 2a에 도시된 바

와 같이, 전해액 스트림은 금속층의 두께가 알려지지 않은 위치(206)에 제공될 수 있다. 따라서, 본 실시예에서는, 위치(206)에서의 금속층의 두께를 결정하기 위하여, 금속층의 두께가 알려진 2개 또는 그 이상의 위치(202)로부터 측정된 두께가 사용된다.

[0030] 예를 들어, 도 2b에 도시된 바와 같이, 위치(206)에서의 금속층 두께는 위치(202A, 202B, 202C, 202D)에서의 금속층 두께에 기초하여 결정된다. 도 2a에서 사용된 xy 좌표계에 따르면, 위치(206)는 지점(x,y)에 대응하고, 위치(202A)(202B)(202C)(202D)는 각각 지점(x_i,y_{j+1})(x_{i+1},y_{j+1})(x_{i+1},y_j)(x_i,y_j)에 대응한다. 도 2c는 금속층의 두께 변화를 사시도로서 도시하고 있다.

[0031] 본 실시예에서, 위치(206)에서의 금속층 두께는 하기된 식에 의해 특정되는 것으로 가정한다.

[0032]
$$T=Ax+By+Cxy+D \quad (\text{식 } 1)$$

[0033] 또한, (x_i,y_j)에서의 두께(T_{i,j}), (x_i,y_{j+1})에서의 두께(T_{i,j+1}), (x_{i+1},y_j)에서의 두께(T_{i+1,j}), 및 (x_{i+1},y_{j+1})에서의 두께(T_{i+1,j+1})는 하기된 식에 의해 특정되는 것으로 가정한다.

[0034]
$$T_{i,j}=Ax_i+By_j+Cx_iy_j+D \quad (\text{식 } 2)$$

[0035]
$$T_{i,j+1}=Ax_i+By_{j+1}+Cx_iy_{j+1}+D \quad (\text{식 } 3)$$

[0036]
$$T_{i+1,j}=Ax_{i+1}+By_j+Cx_{i+1}y_j+D \quad (\text{식 } 4)$$

[0037]
$$T_{i+1,j+1}=Ax_{i+1}+By_{j+1}+C \quad (\text{식 } 5)$$

[0038] 그 다음, 하기된 방식으로 식 2 내지 식 5를 풀어 A,B,C,D값을 구할 수 있다.

[0039]
$$C=(T_{i,j}-T_{i,j+1}-T_{i+1,j}+T_{i+1,j+1})/[(x_i-x_{i+1})*(y_j-y_{j+1})]$$

[0040]
$$B=(T_{i,j}-T_{i,j+1})/(y_j-y_{j+1})-x_i*C$$

[0041]
$$A=(T_{i,j}-T_{i+1,j})/(x_i-x_{i+1})-y_j*C$$

[0042]
$$D=T_{i,j}-x_i*C-B-y_j*[(T_{i,j}-T_{i,j+1})/(y_j-y_{j+1})]$$

[0043] 위치(206)에서의 금속층 두께를 결정하기 위하여, 금속층의 두께가 알려진 임의 갯수의 위치(202)가 사용될 수 있음을 알 수 있다. 예를 들면, 전술한 것보다 더 정확한 보간(interpolation)을 위하여, 위치(206)에서의 금속층 두께는 하기된 식에 의해 특정되는 것으로 가정할 수 있다.

[0044]
$$T=Ax^2+By^2+Cxy+Dx+Ey+F \quad (\text{식 } 7)$$

[0045] (x,y)에서의 두께(T)는 위치(206)와 가장 인접한 6개의 위치를 이용하여 보간될 수 있으며, 계수(A,B,C,D,E,F)는 전술한 4개의 위치에서 계수(A,B,C,D)를 구한 것과 동일한 방식으로 6개의 등식을 풀어서 구할 수 있다.

[0046] 다시 도 1을 참조하면, 본 실시예에서, 종점 검출기(106)를 이용하여 웨이퍼(102)상의 금속층 두께를 구할 수 있다. 특히, 노즐(108) 및/또는 노즐(110)을 이용하여 웨이퍼(102)를 전해연마하는 것과 동일한 방식으로 종점 검출기(106)에 인접하여 웨이퍼(102)를 회전 및 이동시킬 수 있다. 따라서, 노즐(108) 및/또는 노즐(110)을 이용하여 웨이퍼(102)를 전해연마하는 것과 동일한 경로(204)(도 2)를 따라 웨이퍼(102)상의 금속층의 두께를 측정할 수 있다.

[0047] 예를 들어, 종점 검출기(106)가 광학 센서인 경우, 웨이퍼(102)가 회전 및 이동할 때, 종점 검출기(106)에 인접한 웨이퍼(102) 표면의 반사율이 기록될 수 있다. 그 다음, 위치(206)(도 2)와 같은 위치에서의 금속층 두께가 하기된 식을 이용하여 계산될 수 있다.

[0048]
$$T(x,y)=P(T)*R(x,y) \quad (\text{식 } 7)$$

[0049] 여기서, R(x,y)은 종점 검출기(106)에 의해 측정된 위치(206)(도 2)에서의 금속 필름의 반사율이고, P(T)는 두께에 대한 반사율의 환산인자로서, 그 자체가 두께의 함수이다. P(T)는 알려진 다양한 두께를 가진 금속층 세트를 이용하여, 그 알려진 두께를 금속층의 반사율과 상호연관시킴으로써 결정될 수 있다. 결정된 환산인

자(P(T))는 두께가 알려지지 않은 금속층의 반사율에 대응하는 두께를 결정하기 위해 사용될 수 있다.

[0050] 선택적으로, 알려진 두께와 해당 반사율은 제어 시스템(114)과 같은 컴퓨터에서 탐색표(lookup table)에 저장될 수 있다. 예를 들면, 상기 탐색표는 하기된 바와 같이 컴퓨터 메모리에 저장된 두께 행렬을 포함할 수 있다.

[0051] $T_{1,1} \quad T_{1,2} \quad T_{1,3} \dots T_{1,m}$

[0052] $T_{2,1} \quad T_{2,2} \quad T_{2,3} \dots T_{2,m}$

[0053] $T_{3,1} \quad T_{3,2} \quad T_{3,3} \dots T_{3,m}$

[0054] \dots

[0055] $T_{n,1} \quad T_{n,2} \quad T_{n,3} \dots T_{n,m}$

[0056] 여기서, 상기 두께 행렬내의 각 두께는 해당 반사율을 갖는다.

[0057] 종점 검출기(106)를 이용하여 위치(206)(도 2)에서의 반사율을 측정된 후, 제어 시스템(114)이 환산인자(P(T)) 또는 탐색표를 이용하여 두께(T(x,y))를 결정할 수 있다. 금속 층은 두께 측정을 이용하여 전해 연마될 수 있다. 상기 프로세스는 종점 검출기(106)에 의해 기록된 반사율이 예비설정범위내에 놓일 때까지 반복될 수 있다. 상기 반사율의 예비설정범위는 금속 패턴 밀도, 과연마 범위 등과 같은 다양한 인자에 따라 좌우된다. 일반적으로, 패턴 밀도가 낮으면 낮을수록, 반사율 예비설정값은 더 낮아진다. 또한, 예비설정된 반사율은 패턴 밀도에 기초하여 변할 수 있다. 상기 예비설정된 반사율은 마스크의 패턴 밀도에 기초하여 계산되거나, 또는 최소 금속 리세스를 구비한 하나의 폴리싱된 웨이퍼에 의해 측정될 수 있다. 상기 예비설정된 반사율의 보다 상세한 설명을 위하여, "종점 검출 장치 및 방법"이란 명칭으로 2000년 5월 12일자에 출원된 미국특허 제6,447,668호를 참조하기 바라며, 본원은 그 내용 전체를 참조하였다.

[0058] 상기 종점 검출기(106)가 다양한 유형의 센서일 수 있음을 이해하여야 한다. 예를 들면, 종점 검출기(106)는 맴돌이 전류(Eddy Current) 센서일 수 있다. 따라서, 종점 검출기(106)는 반사율보다는 맴돌이 전류를 측정하기 위해 사용되며, 상기 금속층의 두께는 측정된 반사율보다는 측정된 맴돌이 전류에 기초하여 결정된다.

[0059] 종점 검출기(106)를 이용한 두께 측정이 금속층이 전해연마되는 경로와 동일한 경로를 따르기 때문에, 두께 측정값에서의 갭은 여전히 존재한다. 예를 들어, 두께 측정은 처리량을 증대시키기 위하여 연속적이 아닌 인터벌을 두고 이루어진다. 두께 측정값에서 갭이 존재하는 경우, 두께 측정값이 알려지지 않은 위치에서의 두께를 구하기 위하여, 전술한 보간 프로세스가 사용될 수 있다.

[0060] 또한, 본 실시예에서, 웨이퍼상의 임의의 지점을 맵핑 및 위치결정하기 위해 격자 영상법(grid by grid imaging)이 사용될 수 있다. 특히, 웨이퍼의 표면이 화소 구획(pixel partitions)으로 맵핑될 수 있으며, 여기서 각각의 화소 구획은 종점 검출기(106)(도 1)를 이용하여 측정될 수 있는 필드에 대응한다. 도 3은 다양한 예시적 화소 구획을 도시한 도면이다. 종점 검출기(106)(도 1)는 웨이퍼의 중심으로부터 시작하여 웨이퍼의 엣지까지 또는 엣지로부터 중심까지 바람직하게는 크기가 2.5mm×2.5mm인 주어진 지점(x,y) 또는 화소에 대한 반사율을 측정할 수 있다. 종점 검출기(106)(도 1)는 하나의 화소로부터 이동하여, 200mm 웨이퍼에 대하여 최대 11,494개의 모든 화소(즉, $\pi R^2 / (2.5)^2$)가 기록될 때까지, 각 화소에 대한 반사율 데이터를 동시에 기록할 수 있다.

[0061] 본 실시예에서, 웨이퍼를 전해연마하기 전에, 기판 두께 계측틀로부터 얻은 초기 두께 측정값을 이용하여 초기 거친 전해연마를 실시한다. 상기 초기 거친 전해연마가 완료된 후, 예를 들어 종점 검출기를 이용하여 금속층의 중간 두께 측정값이 얻어진다. 그 다음, 상기 중간 두께 측정값을 이용하여 금속층을 다시 전해연마하게 된다. 상기 금속층의 두께가 약 1000Å과 같은 한계값 이하인 경우, 상기 초기 거친 전해연마는 종료될 수 있다. 그러나, 상기 금속층이 중간 두께 측정값없이 초기 두께 측정값에 기초하여 전해연마될 수 있음을 이해하여야 한다. 선택적으로, 상기 금속층은 예를 들어 초기 두께 측정값없이 종점 검출기를 이용하여 얻어진 두께 측정값에 기초하여 전해연마될 수 있다.

[0062] 전술한 바와 같이, 본 실시예에서, 전해연마되는 금속층 부분의 양은 상기 부분의 두께 측정값에 기초하여 조절된다. 전해연마되는 금속층 부분의 양은 그 부분에 제공되는 전해액 스트림에 인가되는 전류 및/또는 전압을 변경함으로써 조절될 수 있다. 예를 들어, 인가되는 폴리싱 전류는 하기된 바와 같이 두께에 기초하여 결

정될 수 있다.

[0063] $I=kT(x,y)$ (식 7)

[0064] 여기서, k 는 폴리싱 속도와 연관된 인자이다. 전해액 스트림에 인가되는 전류 및/또는 전압을 변경함과 아울러, 상기 부분에 전해액 스트림이 제공되는 시간의 양(즉, 폴리싱 시간)이 상기 부분의 두께 측정값에 기초하여 조절될 수 있다. 더욱이, 상기 부분의 두께 측정값에 기초하여 전류, 전압 및 폴리싱 시간의 임의의 조합이 조절될 수 있다.

[0065] 따라서, 도 1을 참조하면, 본 실시예에서, 제어 시스템(114)은 전해연마하고자 하는 금속층의 부분의 두께 측정값을 결정한 다음, 결정된 두께 측정값에 기초하여 전해연마되는 부분의 양을 조절하게 된다. 전술한 바와 같이, 상기 제어 시스템(114)은 노즐(108) 및/또는 노즐(110)에 의해 제공되는 전해액 스트림에 인가되는 전류 및/또는 전압을 조절할 수 있다. 또한, 상기 제어 시스템(114)은 웨이퍼 척(112)의 회전 및/또는 이동 속도를 조절함으로써 폴리싱 시간을 조절할 수 있다.

[0066] 본 실시예에서, 상기 제어 시스템(114)이 조절하기로 결정하는 시간으로부터 조절이 이루어지는 시간까지의 지연량(즉, Δt)은, 상기 부분이 전해연마되기 전에 제어 시스템(114)이 금속층 부분에 대한 조절을 결정하기에 앞서서 오프셋 시간으로 사용된다. 예를 들면, 노즐(108)에 의해 제공되는 전해액 스트림에 인가되는 전류를 금속층 부분에 대해 조절하고자 하는 경우, 상기 제어 시스템(114)은 전해연마하고자 하는 부분에 도달하는 노즐(108)의 적어도 오프셋 시간(즉, Δt)만큼 전류가 먼저 인가되도록 결정한다.

[0067] 이하, 도 4를 참조하면, 제어 시스템(114)은 다수의 전해연마 모듈(100)(예를 들어, 프로세싱 챔버 1(PC1), PC2 및 PC3)에 연결될 수 있다. 도 4에 도시된 바와 같이, 제어 시스템(114)은 각각의 전해연마 모듈(100)에 대한 프로세스 제어를 실시한다. 예를 들어, 각각의 전해연마 모듈(100)에 대하여, 제어 시스템(114)은 폴리싱 방법, 두께 측정값(예를 들어, 반사율 데이터) 기록, 두께 측정값 프로세싱 및 금속 필름 두께 프로파일 업로딩, 전해연마 조절(예를 들어, 노즐에 의해 제공되는 전해액 스트림에 인가되는 전류 또는 전압의 조절) 및 전해연마하고자 하는 각 웨이퍼에 대한 폴리싱 방법 반복을 실시한다. 또한, 제어 시스템(114)은 그래픽 사용자 인터페이스, 웨이퍼 핸들링, 경보 관리 등 다양한 추가 작업을 실시한다.

[0068] 그러나, 제어 시스템(114)에 요구되는 프로세싱 및 연산 부하는 판독(read-outs), 전기적 출력 및 기계적 운동과 같은 일에 대한 응답시간을 줄일 수 있다. 제어 시스템(114)의 핸들링에 필요한 부하의 수를 증가시킴으로써, 각 부하에 대한 완료 시간(completion time)을 줄일 수 있다. 따라서, 본 실시예에서, 제어 시스템(114)은 분산된 다수의 서버 시스템을 포함하며, 과업지향형 기능(task-oriented functions)은 모션 서버 블록 제어기와 같은 개별 서버 시스템으로 배분(offloaded)된다.

[0069] 특히, 도 5를 참조하면, 하나의 서버 시스템(502)이 하나의 전해연마 모듈(100)(예를 들어, PC1, PC2 또는 PC3)에 대하여 전용화되어 있다. 도 5에 도시된 분산형 서버 시스템은 도 4에 도시된 집중식 시스템과 관련된 시간 지체(time lag)를 줄인다. 도 5에 도시된 실시예에서, PC 기반 제어 시스템(114)은 RS-485, DeviceNet 등과 같은 장치대 장치 전송매체(504)를 이용하여 각각의 서버 시스템(502)에 대하여 데이터를 송수신한다.

[0070] 예를 들어, 각각의 서버 시스템(502)은 각각의 전해연마 모듈(100)에 대하여 동일한 일을 수행할 수 있다. 도 5에 도시된 바와 같이, 하나의 서버 시스템(502)은 척, 모터 드라이브, 노즐 및 종점 검출기를 작동시키고, PC1에 대한 디지털 I/O 및 아날로그 I/O의 데이터를 프로세싱하도록 전용화될 수 있다. 동시에, 다른 서버 시스템(502)은 자신의 개별 전해연마 모듈(100)에 대하여 전용화될 수 있다. 예를 들어, 다른 서버 시스템(502)은 척, 모터 드라이브, 노즐 및 종점 검출기를 작동시키고, PC2에 대한 디지털 I/O 및 아날로그 I/O의 데이터를 프로세싱하도록 전용화될 수 있다.

[0071] 분산형 배치하에서, 각각의 서버 시스템(500)은 기계적 및 전기적 성능(즉, 잔여 금속층을 가진 웨이퍼의 회전각 및 위치를 기록하고, 주어진 위치에 대하여 기록된 반사율에 기초하여 노즐 기능을 4ms 또는 그 이상으로 제어함) 모두에서 더 우수하고 정교한 제어를 제공할 수 있다. 프로세싱 능력이 향상된 각각의 서버 시스템(502)에 의하여, 본 실시예는 더 정교한 폴리싱 제어를 위하여 반사율 데이터에 기초한 방법에서 다른 값 또는 테이블을 추가 또는 외삽할 수 있다.

[0072] 더욱이, 서버 시스템(502)에 분배된 웨이퍼 전해연마의 분산형 프로세싱 조건으로 인하여, 제어 시스템(114)과 서버 시스템(502)은 다른 일을 수행함에 있어서 이용가능한 프로세싱 능력을 가질 수 있다. 특히, 추가적인 톨 및/또는 어플리케이션이 톨 구조의 속도 또는 실용성이 감소되지 않고 폴리싱 프로세스에 부가될 수 있

다. 예를 들면, 웨이퍼가 전해연마 모듈에 로딩되기 전에 각 웨이퍼의 프로파일을 측정하기 위해, 인라인 계측틀이 부가될 수 있다. 상기 인라인 계측틀은 서브 시스템(502) 또는 제어 시스템(114)에 대하여 웨이퍼상의 금속층의 두께를 측정하여 보다 평탄하고 균일한 금속 표면을 얻기 위해 필요한 전류 출력을 결정할 수 있다. 그 후, 상기 서브 시스템(502) 또는 제어 시스템(114)은 거리에 대한 전류 속도 시간 사용자 설정값과 같은 데이터를 가진 새로운 테이블을 만들수 있다.

[0073] II. 장벽층 및 희생층의 제거

[0074] 도 6a 내지 도 6d는 반도체 장치내에 인터커넥션을 형성하기 위해 사용될 수 있는 예시적 다마신 프로세스를 도시하고 있다. 특히, 도 6a를 참조하면, 반도체 장치는 리세스 영역(606)과 비 리세스 영역(610)을 가진 유전재료(608)를 포함하며, 상기 리세스 영역(606)은 넓은 트렌치, 대형의 직사각형 구조 등과 같은 구조일 수 있다. CVD, PVD, ALD 등과 같은 임의의 통상의 증착방법에 의해 유전재료(608)상에 장벽층(604)이 증착될 수 있으며, 따라서 상기 장벽층(604)은 리세스 영역(606)과 비 리세스 영역(610)을 모두 덮게 된다. 유전재료 및 장벽층의 보다 상세한 설명을 위하여, "구리를 초저 유전율 재료로 통합하는 방법"이란 명칭으로 2003년 3월 14일자에 출원된 미국특허출원 제10/380,848호; 동일한 명칭으로 2001년 4월 24일자에 출원된 미국 가출원 제60/286,273호를 우선권 주장하며 "더미 구조를 갖춘 트렌치 또는 비아를 구비한 웨이퍼상에서의 금속층 전해연마"란 명칭으로 2002년 3월 27일자에 출원된 미국특허출원 제10/108,614호를 참조하기 바란다. 본원은 이들의 내용 전체를 참조하였다.

[0075] 본 예시적 프로세스에서, 도 6b를 참조하면, PVD, CVD, ALD, 전기도금, 무전해 도금 등과 같은 임의의 통상의 방법으로 장벽층(604)상에 금속층(612)이 증착될 수 있다. 그 다음, 도 6c를 참조하면, CMP, 전해연마 등을 이용하여 금속층(612)이 폴리싱되며, 따라서, 금속층(612)은 비 리세스 영역(610)으로부터 제거되는 반면, 금속층(612)은 리세스 영역(606)에 남게 된다. 상기 금속층(612)은 구리, 알루미늄, 니켈, 크롬, 아연, 카드뮴, 은, 금, 로듐, 팔라듐, 플레티늄, 주석, 납, 강철, 인듐, 초전도체 재료 등과 같은 다양한 전기적 전도성 재료를 포함할 수 있다. 또한, 상기 금속층(612)은 상기 다양한 전기적 전도성 재료중 임의의 합금 또는 초전도체 재료의 화합물을 포함할 수 있다. 바람직하게, 상기 금속층(612)은 구리와 그 합금을 포함한다.

[0076] 이하, 도 6d를 참조하면, 비 리세스 영역(610)으로부터 금속층(612)을 제거한 후, 습식 에칭, 건식 화학 에칭, 건식 플라즈마 에칭 등과 같은 임의의 통상의 방법에 의해 비 리세스 영역(610)으로부터 장벽층(604)이 제거될 수 있다. 비 리세스 영역(610)으로부터 장벽층(604)을 완전히 제거하기 위해, 과에칭이 필요하다. 그러나, 도 6d에 도시된 바와 같이, 과에칭은 노치(614)를 형성할 수 있다. 본 예시적 프로세스에서 SiN 등과 같은 커버층이 증착되는 경우, 상기 노치(614)는 공동이 될 수 있으며, 이는 금속 누설(metal bleeding)로 이어질 수 있다. 누설된 금속은 유전재료(608)를 통하여 장치의 게이트 영역으로 확산될 수 있으며, 이에 따라 반도체 장치가 제대로 작동하지 않게 된다.

[0077] 도 7a 내지 도 7d에 도시된 바와 같이, 이러한 문제점을 해결하기 위하여, 전해연마와 플라즈마 에칭을 이용한 과폴리싱의 조합이 사용될 수 있다. 본 예시적 프로세스에서, 도 7a를 참조하면, 리세스 영역(606)의 금속층(612)이 전해연마, 습식 에칭 등으로 과폴리싱됨으로써, 리세스 영역(606)내의 금속층(612) 표면과 장벽층(604)의 상부간에 h 미크론의 높이가 존재하게 되며, 여기서 상기 높이 h는 장벽층(604)의 두께보다 크거나 같다. 습식 에칭방법과 비교하여 리세스 영역(606)의 금속층(612)을 과폴리싱하고자 할 때, 전해연마는 양호하게 제어되기 때문에 프로세스 문제를 덜 야기함을 이해하여야 한다. 전해연마의 설명을 위하여, "반도체 장치상의 금속 인터커넥션을 전해연마하는 장치 및 방법"이란 명칭으로 1999년 7월 2일자에 출원된 미국특허 제6,395,152호를 참조하기 바람, 본원은 그 내용 전체를 참조하였다.

[0078] 그 다음, 도 7b를 참조하면, CF₄/O₂, SF₆/O₂ 등과 같은 첨가제가 에칭 가스, Ta, C 및 F에 첨가됨으로써, 리세스 영역(606)내의 금속층(612) 및 장벽층(604)에 잔류물(702)을 형성하게 된다. 도 7c에 도시된 바와 같이, 장벽층(604)이 에칭될 때, 잔류물(702)은 리세스 영역(606)내의 금속층(612)과 유전재료(608) 사이의 장벽층(604)이 과에칭되는 것을 막아준다.

[0079] 하기된 표 1에는 장벽층(604)을 제거하기 위해 플라즈마 건식 에칭 프로세스에 채용될 수 있는 예시적인 변수의 범위를 제공한다.

표 1

[0080]

플라즈마 파워	500 내지 2000 W
진공	30 내지 100 mTorr
웨이퍼 온도	약 20℃
가스 및 유동속도	SF ₆ =50sccm, CF ₄ =50sccm 또는 O ₂ =10sccm
가스 압력	0.1 내지 50 mTorr
TaN 제거율	250 nm/min
TiN 제거율	300 nm/min
SiO ₂ 제거율	200 내지 400 nm/min

[0081]

이들 변수에 따르면, 2개의 가능한 장벽층(604) 재료인 TaN 및 TiN의 제거율이 가능한 유전재료(608)인 SiO₂ 제거율에 가깝다. 선택도는 장벽층(604)의 제거 과정에서 하부의 유전재료(608)에 대한 손상 또는 에칭을 줄이는 방식으로 선택된다. 그러나, 상기 변수들을 변화시킴으로써 다른 선택도가 얻어질 수 있음을 이해하여야 한다.

[0082]

이하, 도 7d를 참조하면, 플라즈마 에칭 프로세스 또는 건식 화학 크리닝 또는 임의의 다른 통상의 프로세스에 의해 리세스 영역(606)과 비 리세스 영역(610)의 일부가 약 Δd 만큼 제거될 수 있다. 높이에 있어서 장벽층(604)이 유전재료(608)보다 더 높거나 동일하도록 하기 위하여, 장벽층(604)의 에칭율은 유전재료(608)의 에칭율보다 낮거나 동일하도록 설정되어야 한다. 따라서, 다음에 상부층이 증착될 때 공동이 형성되지 않는다.

[0083]

도 8a 내지 도 8d에는 다른 예시적 프로세스가 도시되어 있다. 도 8a 내지 도 8d에 도시된 예시적 프로세스는, 웨이퍼가 606과 같은 리세스 영역을 형성하는 에칭 및 증착 프로세스를 거치기 전에 경질(hard)의 마스크층(802)이 유전재료(608)상에 증착된 것을 제외하고, 도 7a 내지 도 7d에 도시된 프로세스와 많은 점에 있어서 유사하다. 도시된 바와 같이, 경질의 마스크층(802)은 장벽 제거 프로세스과정에서 경질의 마스크층(802)의 하부의 유전재료(608)가 에칭되는 것을 방지할 수 있으며, 따라서 유전체, 특히 저유전율 유전체의 성능 저하를 회피할 수 있다. 리세스(h)는 경질의 마스크(802)의 두께와 장벽층(604)의 두께의 합보다 더 작다.

[0084]

도 9a 내지 도 9d에는 또 다른 예시적 프로세스가 도시되어 있다. 도 8a 내지 도 8d와 유사하게, 도 9a 내지 도 9d에 도시된 예시적 프로세스는, 경질의 마스크층(802)과 아울러, 상기 경질의 마스크층(802)의 상부에 희생층(902)이 증착된 것을 제외하고, 도 7a 내지 도 7d에 도시된 프로세스와 많은 점에 있어서 유사하다. 본 예시적 실시예에서, 상기 경질의 마스크층(802)은 장벽층(604)보다 더 낮은 제거율을 갖는 반면, 상기 장벽층(604)의 제거율보다 더 크거나 같은 제거율을 가진 희생층(902)이 사용된다.

[0085]

도 8a 내지 도 8d 그리고 도 9a 내지 도 9d 모두에서, 경질의 마스크층(802)은 SiN, SiC, SiO₂, SiON, 다이아몬드 필름 등으로부터 선택될 수 있다. 희생층(902)은 SiN, SiO₂, SiON 등으로부터 선택될 수 있다.

[0086]

예시적 실시예에 대하여 설명하였으나, 본 발명의 사상 및/또는 범주를 벗어나지 않는 다양한 변형이 이루어질 수 있다. 따라서, 본 발명이 전술한 설명 및 도면에 도시된 특정 형태에 한정되는 것으로 해석되지 않아야 한다.

도면의 간단한 설명

[0010]

도 1은 예시적 전해연마 모듈을 도시한 도면이고,

[0011]

도 2a는 반도체 웨이퍼상에 형성된 금속층의 예시적 두께 맵핑(mapping)을 도시한 도면이며,

[0012]

도 2b 및 도 2c는 도 2a에 도시된 맵핑의 일부를 도시한 도면이고,

[0013]

도 3은 다양한 맵핑 형태를 도시한 도면이며,

[0014]

도 4는 다수의 예시적 전해연마 모듈에 연결된 예시적 제어 시스템을 도시한 도면이고,

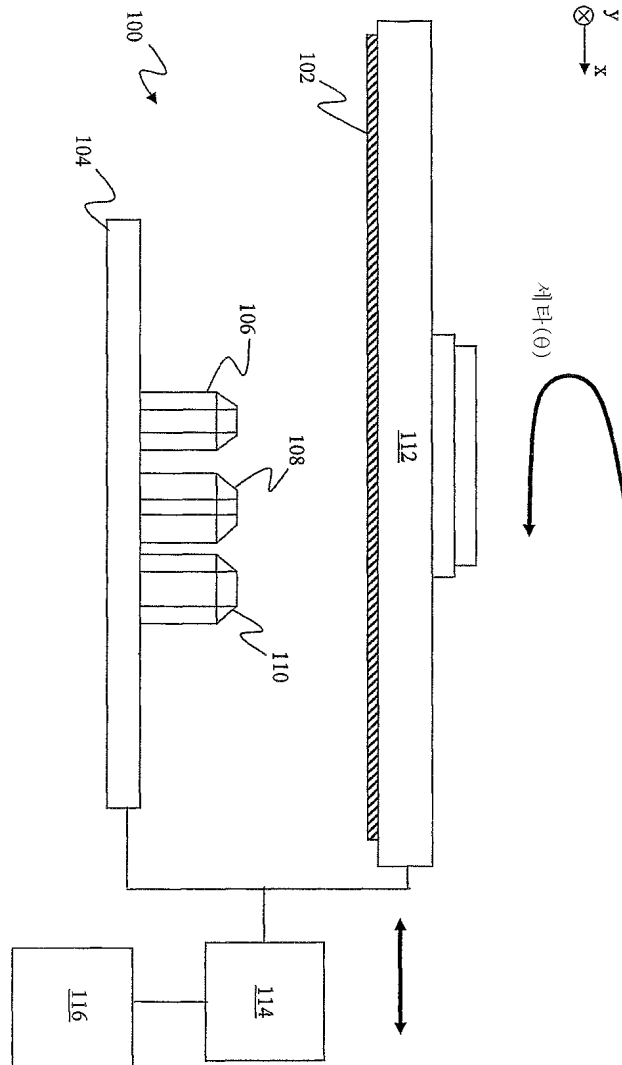
[0015]

도 5는 다수의 서브 시스템을 통하여 다수의 예시적 전해연마 모듈에 연결된 예시적 제어 시스템을 도시한 도면이며,

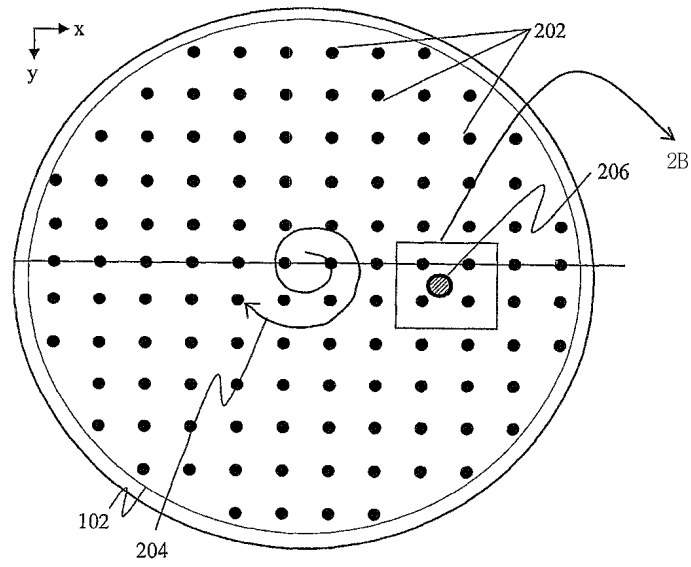
[0016] 도 6a 내지 도 6d는 예시적 다마신 프로세스를 도시한 도면이고,
 [0017] 도 7a 내지 도 7d는 다른 예시적 다마신 프로세스를 도시한 도면이며,
 [0018] 도 8a 내지 도 8d는 또 다른 예시적 다마신 프로세스를 도시한 도면이고,
 [0019] 도 9a 내지 도 9d는 또 다른 예시적 다마신 프로세스를 도시한 도면이다.

도면

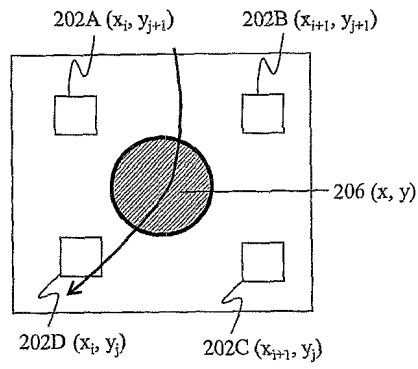
도면1



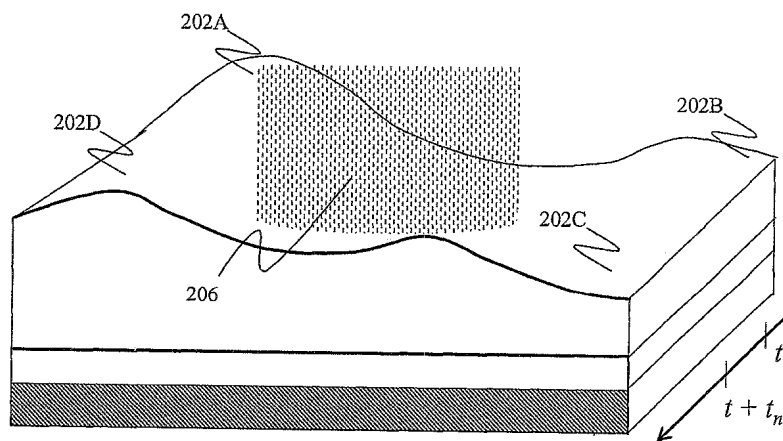
도면2a



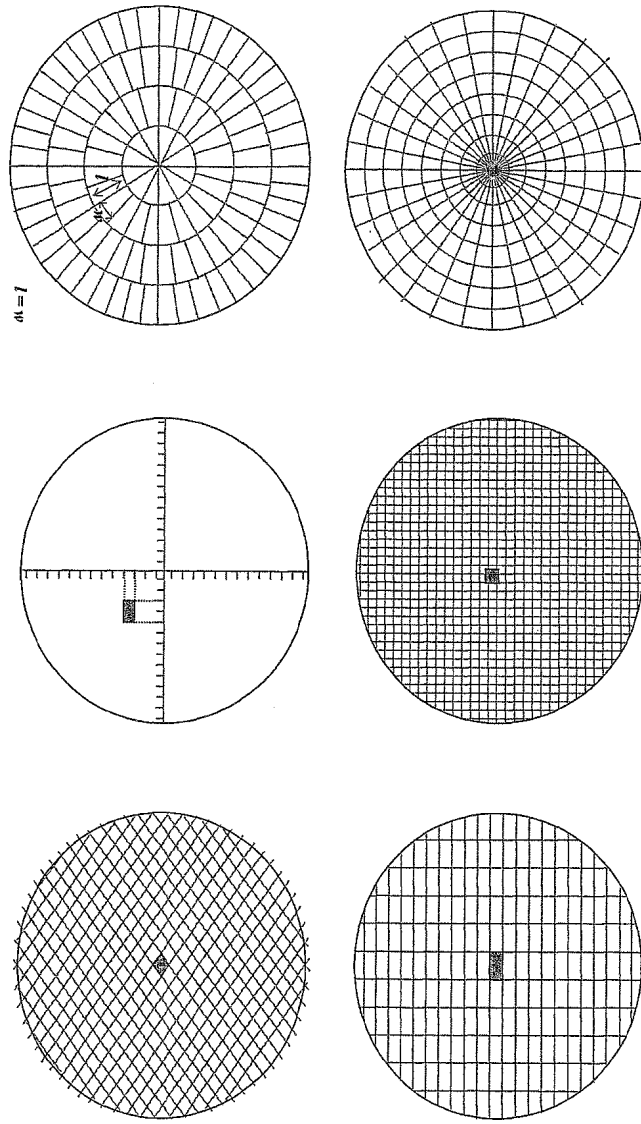
도면2b



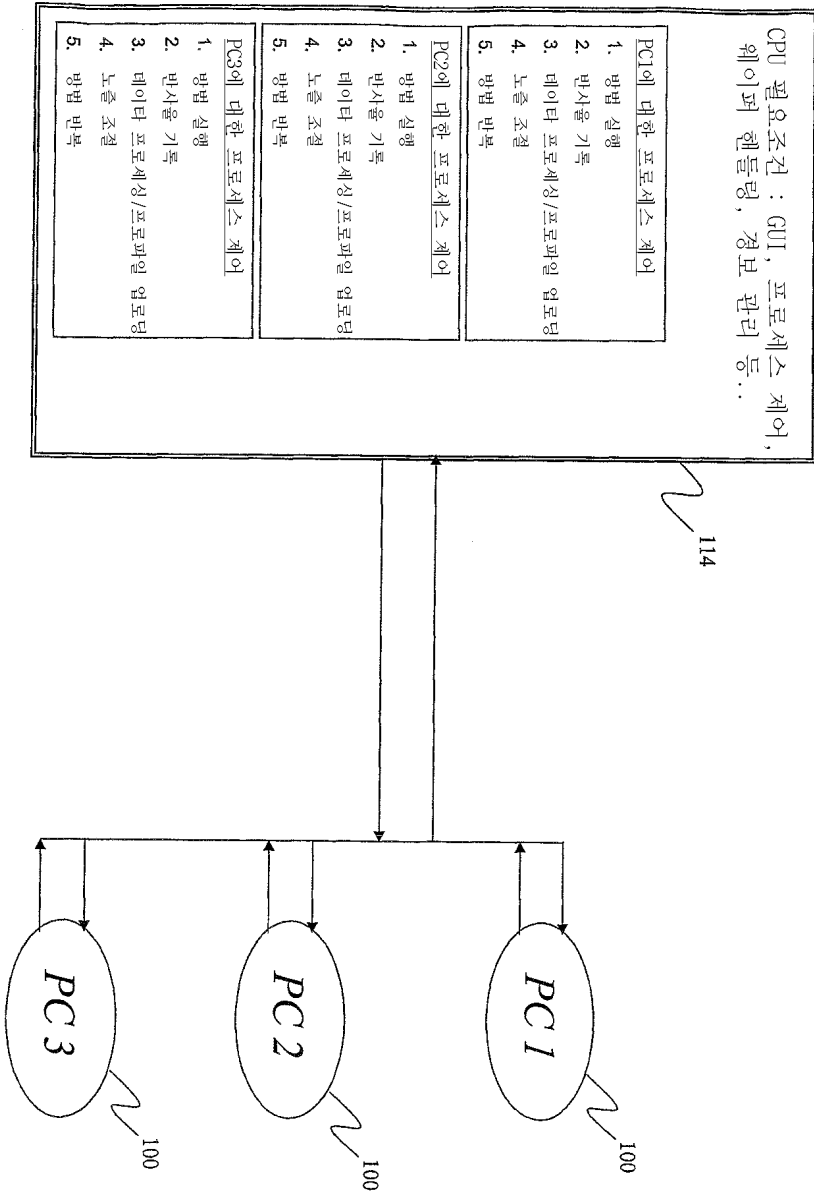
도면2c



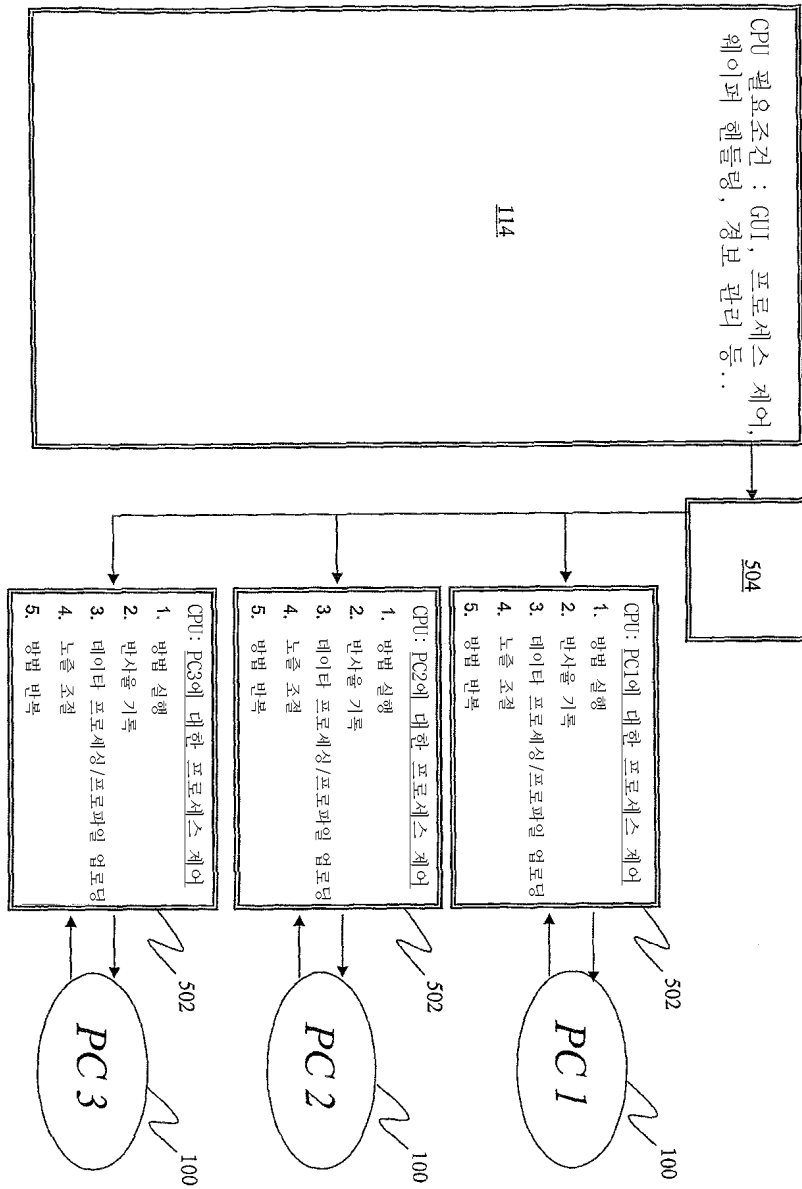
도면3



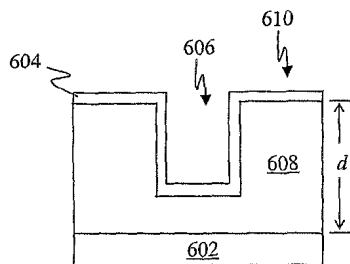
도면4



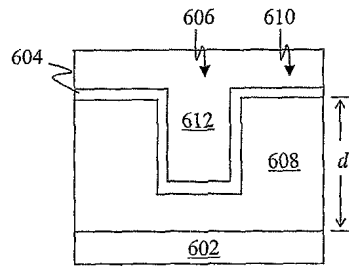
도면5



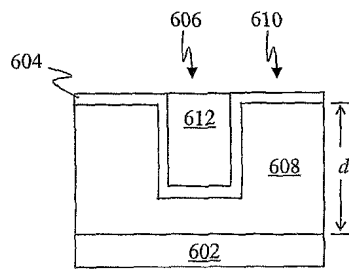
도면6a



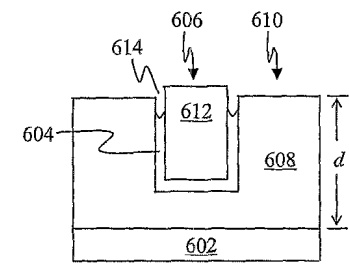
도면6b



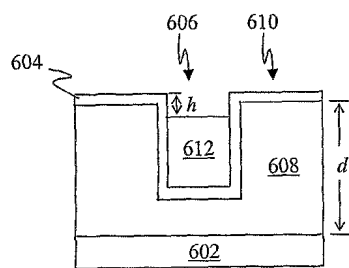
도면6c



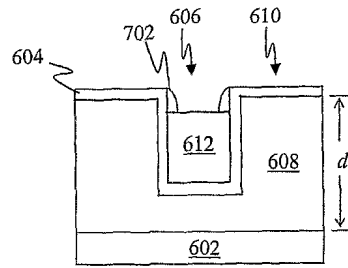
도면6d



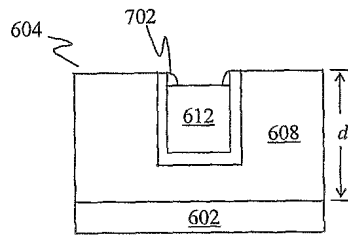
도면7a



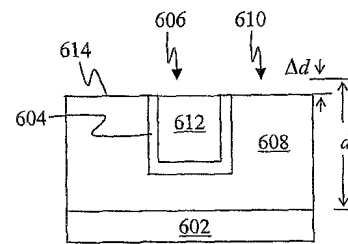
도면7b



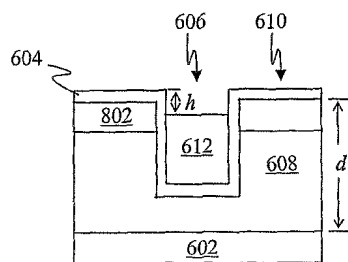
도면7c



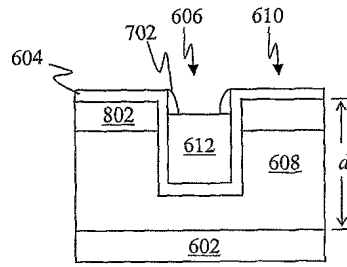
도면7d



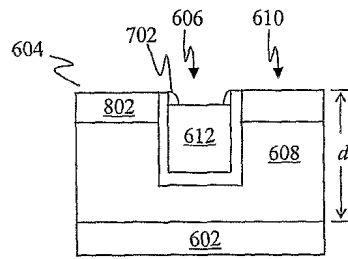
도면8a



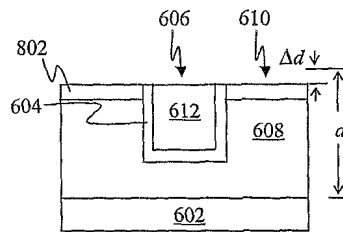
도면8b



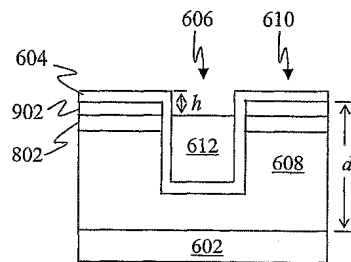
도면8c



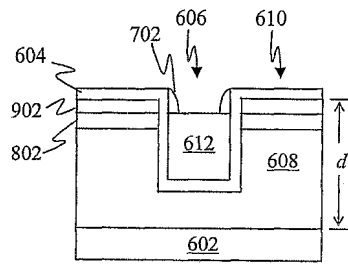
도면8d



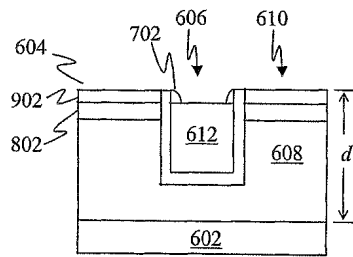
도면9a



도면9b



도면9c



도면9d

