



(12) 发明专利申请

(10) 申请公布号 CN 120065583 A

(43) 申请公布日 2025. 05. 30

(21) 申请号 202510443196.X

G02F 1/1337 (2006.01)

(22) 申请日 2021.08.31

(62) 分案原申请数据

202180002396.1 2021.08.31

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 北京京东方光电科技有限公司

(72) 发明人 邓祁 张勇 杨智超 乜玲芳

安亚帅 郝龙虎 王德生 王双海

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

专利代理师 彭瑞欣 王婷

(51) Int. Cl.

G02F 1/1339 (2006.01)

G02F 1/1362 (2006.01)

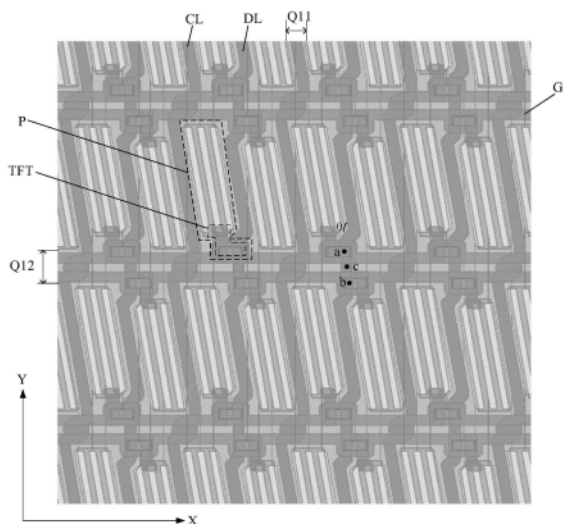
权利要求书3页 说明书10页 附图16页

(54) 发明名称

显示基板及显示面板

(57) 摘要

本公开提供一种显示基板及显示面板,属于显示技术领域。本公开的显示基板,其包括:衬底基板,设置在衬底基板上的多条栅线、多条数据线,以及多个亚像素;所述多个亚像素形成沿第一方向并排设置的多个第一像素组和沿第二方向并排设置的多个第二像素组;任意两相邻设置的所述第一像素组之间限定出一个第一区域,任意两相邻设置的所述第二像素组之间限定出一个第二区域;在至少部分所述第一区域还设置有公共电极线,且所述公共电极线与所述数据线位于不同的所述第一区域;所述公共电极线包括多个公共电极线段,以及连接在两个所述公共电极线段之间凸台,且所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度;所述凸台位于所述第二区域。



1. 一种显示基板,其包括:衬底基板,设置在衬底基板上的多条栅线、多条数据线,以及多个亚像素;所述多个亚像素形成沿第一方向并排设置的多个第一像素组和沿第二方向并排设置的多个第二像素组;所述多个第一像素组中的每个包括沿所述第二方向并排设置多个所述亚像素;所述多个第二像素组中的每个包括沿第一方向并排设置的多个所述亚像素;每个第二像素组在第二方向上的两侧分别设置一条栅线;对于任一所述第二像素组中两相邻的所述亚像素,其中一者连接的所述栅线,位于该亚像素在所述第二方向上相对的两侧中的一侧,另一者连接的所述栅线,位于该亚像素在所述第二方向上相对的两侧中的另一侧;每两个相邻设置的所述第一像素组中的各个所述亚像素连接同一条所述数据线,且连接同一条所述数据线的各个所述亚像素连接不同的所述栅线;其中,任意两相邻设置的所述第一像素组之间限定出一个第一区域,任意两相邻设置的所述第二像素组之间限定出一个第二区域;在至少部分所述第一区域还设置有公共电极线,且所述公共电极线与所述数据线位于不同的所述第一区域;

所述公共电极线包括多个公共电极线段,以及连接在两个所述公共电极线段之间凸台,且至少一个所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度;所述凸台位于所述第二区域;连接至同一所述凸台两侧的两个所述公共电极线段延伸方向不交叠。

2. 根据权利要求1所述的显示基板,其中,所述亚像素内设置有薄膜晶体管和像素电极;所述薄膜晶体管的栅极连接所述栅线,源极连接所述数据线,漏极连接所述像素电极;

同一所述第二像素组内的各个所述像素电极构成一像素电极组,且位于所述同一所述第二像素组中任意两相邻的所述亚像素内的所述薄膜晶体管,分别位于所述像素电极组在所述第二方向上两相对侧。

3. 根据权利要求2所述的显示基板,其中,对于任意两个连接同一条所述数据线、且位于两相邻所述第一像素组的亚像素内的薄膜晶体管,其中一者与所述数据线的连接节点为第一节点,另一者与所述数据线的连接节点为第二节点,以所述第一节点和所述第二节点的中点作为对称中心,两个所述薄膜晶体管呈中心对称。

4. 根据权利要求3所述的显示基板,其中,连接两个所述薄膜晶体管的所述像素电极相对于所述对称中心呈中心对称。

5. 根据权利要求3所述的显示基板,其中,连接两个所述薄膜晶体管的所述公共电极相对于所述对称中心呈中心对称。

6. 根据权利要求2所述的显示基板,其中,所述数据线包括多个数据线段,以及连接相邻设置的两个数据线段的连接线段;所述连接线段包括第一子连接线段和第二子连接线段,所述第一子连接线段通过所述第二子连接段与所述数据线段连接;所述第一子连接线段位于所述第二区域;所述薄膜晶体管的源极连接所述第一子连接线段;所述数据线段的延伸方向与所述第二方向的夹角为 $5^{\circ} \sim 10^{\circ}$ ;所述第二子连接线段和所述数据线段所形成的夹角为 $100^{\circ} \sim 130^{\circ}$ 。

7. 根据权利要求6所述的显示基板,其中,所述亚像素内还设置有公共电极;所述像素电极和所述公共电极中的一者为狭缝电极,另一者为板状电极;所述狭缝电极的狭缝的延伸方向与所述数据线段的延伸方向相同。

8. 根据权利要求7所述的显示基板,其中,所述公共电极包括第一狭缝、第二狭缝,在垂

直于所述基板的方向上,所述第一狭缝与所述像素电极重叠,所述第二狭缝位于所述第二区域内。

9. 根据权利要求6所述的显示基板,其中,所述公共电极线段的延伸方向与所述数据线段的延伸方向相同。

10. 根据权利要求2-9中任一项所述的显示基板,其中,所述显示基板包括设置在所述衬底基板上的第一金属层;所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极。

11. 根据权利要求2-9中任一项所述的显示基板,其中,所述显示基板包括设置在所述衬底基板上的第二金属层;所述第二金属层包括所述栅线和所述薄膜晶体管的栅极。

12. 根据权利要求2-9中任一项所述的显示基板,其中,所述显示基板包括沿背离所述衬底基板方向依次设置的第二金属层、第一层间绝缘层、半导体层、第一透明导电层、第一金属层、第二层间绝缘层、第二透明导电层;

所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极;

所述第二金属层包括所述栅线和所述薄膜晶体管的栅极;

所述第一透明导电层包括所述像素电极;

所述第二透明导电层包括公共电极。

13. 根据权利要求2-9中任一项所述的显示基板,其中,所述数据线和所述公共电极线在所述第一方向上交替设置。

14. 根据权利要求2-9中任一项所述的显示基板,其中,所述薄膜晶体管的栅极在所述衬底基板上的正投影覆盖半导体有源层在所述衬底基板上的正投影;其中,

所述栅极在所述衬底基板上的正投影包括沿所述第一方向相对设置的第一侧边和第二侧边,以及沿所述第二方向相对设置的第三侧边和第四侧边;所述半导体有源层在所述衬底基板上的正投影包括沿所述第一方向相对设置的第五侧边和第六侧边,以及沿所述第二方向相对设置的第七侧边和第八侧边;

所述第四侧边与所述栅线在所述衬底基板上的正投影连接;

所述第一侧边与所述第五侧边相对,且二者之间的间距为S1;所述第二侧边和所述第六侧边相对设置,且二者之间的间距为S2;所述第三侧边和所述第七侧边相对设置,且二者之间的间距为S3;所述S1、所述S2、所述S3中至少一者小于 $3\mu\text{m}$ 。

15. 根据权利要求1所述的显示基板,其中,任一所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度;且各所述凸台尺寸相同。

16. 一种显示面板,其包括权利要求1-15中任一项所述的显示基板。

17. 根据权利要求16所述的显示面板,其中,还包括与所述显示基板相对设置的对置基板,以及位于所述显示基板和所述对置基板之间的隔垫物;将所述隔垫物设置在所述凸台对应的位置。

18. 根据权利要求16所述的显示面板,其中,还包括与所述显示基板相对设置的对置基板,以及位于所述显示基板和所述对置基板之间的隔垫物;一个所述隔垫物在所述衬底基板的正投影位于一个所述凸台在所述衬底基板上的正投影内。

19. 根据权利要求18所述的显示面板,其中,所述隔垫物包括第一隔垫物和第二隔垫物;所述第一隔垫物的高度大于所述第二隔垫物的高度;且所述第一隔垫物的两端分别与

所述显示基板和对置基板相抵。

20. 根据权利要求19所述的显示面板,其中,所述第一隔垫物和所述第二隔垫物均在所述显示面板中均匀排布,且所述第一隔垫物的排布密度与第二隔垫物的排布密度比为1:30~1:70。

21. 根据权利要求16所述的显示面板,其中,所述凸台在所述衬底基板的投影与相邻2根栅线在所述衬底基板的投影至少部分交叠。

## 显示基板及显示面板

### 技术领域

[0001] 本公开属于显示技术领域,具体涉及一种显示基板及显示面板。

### 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD)是一种重要的平板显示设备。伴随着显示技术的发展,高分辨率、高透过率、大尺寸低功耗、低成本已成为未来显示器领域的发展方向。

### 发明内容

[0003] 本发明旨在至少解决现有技术中存在的技术问题之一,提供一种显示基板及显示面板。

[0004] 本公开实施例提供一种显示基板,其包括:衬底基板,设置在衬底基板上的多条栅线、多条数据线,以及多个亚像素;所述多个亚像素形成沿第一方向并排设置的多个第一像素组和沿第二方向并排设置的多个第二像素组;所述多个第一像素组中的每个包括沿所述第二方向并排设置多个所述亚像素;所述多个第二像素组中的每个包括沿第一方向并排设置的多个所述亚像素;每个第二像素组在第二方向上的两侧分别设置一条栅线;对于任一所述第二像素组中两相邻的所述亚像素,其中一者连接的所述栅线,位于该亚像素在所述第二方向上相对的两侧中的一侧,另一者连接的所述栅线,位于该亚像素在所述第二方向上相对的两侧中的另一侧;每两个相邻设置的所述第一像素组中的各个所述亚像素连接同一条所述数据线,且连接同一条所述数据线的各个所述亚像素连接不同的所述栅线;其中,任意两相邻设置的所述第一像素组之间限定出一个第一区域,任意两相邻设置的所述第二像素组之间限定出一个第二区域;在至少部分所述第一区域还设置有公共电极线,且所述公共电极线与所述数据线位于不同的所述第一区域;

[0005] 所述公共电极线包括多个公共电极线段,以及连接在两个所述公共电极线段之间凸台,且所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度;所述凸台位于所述第二区域。

[0006] 其中,所述亚像素内设置有薄膜晶体管和像素电极;所述薄膜晶体管的栅极连接所述栅线,源极连接所述数据线,漏极连接所述像素电极;

[0007] 同一所述第二像素组内的各个所述像素电极构成一像素电极组,且位于所述同一所述第二像素组中任意两相邻的所述亚像素内的所述薄膜晶体管,分别位于所述像素电极组在所述第二方向上两相对侧。

[0008] 其中,对于任意两个连接同一条所述数据线、且位于两相邻所述第一像素组的亚像素内的薄膜晶体管,其中一者与所述数据线的连接节点为第一节点,另一者与所述数据线的连接节点为第二节点,以所述第一节点和所述第二节点的中点作为对称中心,两个所述薄膜晶体管呈中心对称。

[0009] 其中,所述数据线包括多个数据线段,以及连接相邻设置的两个数据线段的连接

线段;所述连接线段包括第一子连接线段和第二子连接线,所述第一子连接线通过所述第二子连接段与所述数据线段连接;所述第一子连接线段位于所述第二区域;所述薄膜晶体管的源极连接所述第一子连接线段;所述数据线段的延伸方向与所述第一方向的夹角为 $5^{\circ} \sim 10^{\circ}$ ;所述第二子连接线段和所述数据线段所形成的夹角为 $100^{\circ} \sim 130^{\circ}$ 。

[0010] 其中,所述像素区内还设置有公共电极;所述像素电极和所述公共电极中的一者为狭缝电极,另一者为板状电极;所述狭缝电极的狭缝的延伸方向与所述数据线段的延伸方向相同。

[0011] 其中,所述公共电极线段的延伸方向与所述数据线段的延伸方向相同。

[0012] 其中,所述显示基板包括设置在所述衬底基板上的第一金属层;所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极。

[0013] 其中,所述显示基板包括设置在所述衬底基板上的第二金属层;所述第二金属层包括所述栅线和所述薄膜晶体管的栅极。

[0014] 其中,所述显示基板包括沿背离所述衬底基板方向依次设置的第二金属层、第一层间绝缘层、半导体层、第一透明导电层、第一金属层、第二层间绝缘层、第二透明导电层;

[0015] 所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极;

[0016] 所述第二金属层包括所述栅线和所述薄膜晶体管的栅极;

[0017] 所述第一透明导电层包括所述像素电极;

[0018] 所述第二透明导电层包括公共电极。

[0019] 其中,所述数据线 and 所述公共电极线在所述第一方向上交替设置。

[0020] 其中,所述薄膜晶体管的栅极在所述衬底基板上的正投影覆盖所述半导体有源层在所述衬底基板上的正投影;其中,

[0021] 所述栅极在所述衬底基板上的正投影包括沿所述第一方向相对设置的第一侧边和第二侧边,以及沿所述第二方向相对设置的第三侧边和第四侧边;所述半导体有源层在所述衬底基板上的正投影包括沿所述第一方向相对设置的第五侧边和第六侧边,以及沿所述第二方向相对设置的第七侧边和第八侧边;

[0022] 所述第四侧边与所述栅线在所述衬底基板上的正投影连接;

[0023] 所述第一侧边与所述第五侧边相对,且二者之间的间距为 $S_1$ ;所述第二侧边和所述第六侧边相对设置,且二者之间的间距为 $S_2$ ;所述第三侧边和所述第七侧边相对设置,且二者之间的间距为 $S_3$ ;所述 $S_1$ 、所述 $S_2$ 、所述 $S_3$ 中至少一者小于 $3\mu\text{m}$ 。其中,任一所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度;且各所述凸台尺寸相同。

[0024] 本公开实施例提供一种显示面板,其包括上述的显示基板。

[0025] 其中,所述显示面板还包括与所述显示基板相对设置的衬底基板,以及位于所述显示基板和所述衬底基板之间的隔垫物;一个所述隔垫物在所述衬底基板的正投影位于所述一个凸台在所述衬底基板上的正投影内。

[0026] 其中,所述隔垫物包括第一隔垫物和第二隔垫物;所述第一隔垫物的高度大于所述第二隔垫物的高度;且所述第一隔垫物的两端分别与所述显示基板和衬底基板相抵。

[0027] 其中,所述第一隔垫物和所述第二隔垫物均在所述显示面板中均匀排布,且所述

第一隔垫物的排布密度与第二隔垫物的排布密度比为1:30~1:70。

### 附图说明

- [0028] 图1为一种示例性的显示面板的截面图。
- [0029] 图2为图1的显示面板中阵列基板的俯视图。
- [0030] 图3为图2所示的阵列基板的版图。
- [0031] 图4为图2的阵列基板中的一个亚像素的等效电路图。
- [0032] 图5为本公开实施例的一种阵列基板的版图。
- [0033] 图6为本公开实施例的阵列基板中的公共电极线的示意图。
- [0034] 图7为一种应用本公开实施例阵列基板的显示面板的示意图。
- [0035] 图8为本公开实施例的阵列基板中的数据线的示意图。
- [0036] 图9为本公开实施例的阵列基板中的第二金属层的版图。
- [0037] 图10为本公开实施例的阵列基板中的半导体层的版图。
- [0038] 图11为在形成第一层绝缘层的衬底基板上形成半导体层的版图。
- [0039] 图12为本公开实施例的阵列基板中第一透明导电层的版图。
- [0040] 图13为本公开实施例的阵列基板中第一金属层的版图。
- [0041] 图14为在形成第一透明导电层的衬底基板上形成第一金属层的版图。
- [0042] 图15为本公开实施例的阵列基板中的第二透明导电层的版图。
- [0043] 图16为本公开实施例的显示面板的版图。

### 具体实施方式

[0044] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0045] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0046] 图1为一种示例性的显示面板的截面图;如图1所示,该显示面板包括相对设置的显示基板和对置基板,以及设置在显示基板和对置基板之间的液晶层,显示基板和对置基板通过设置在周边区Q2的封框胶完成对盒(也即形成液晶盒),并通过设置在显示区Q1的隔垫物PS来维持液晶盒的对盒。其中,显示基板可以为阵列基板,对置基板可以为彩膜基板;当然,显示基板也可以是COA(Color On Array;彩色滤光层设置在阵列基板上)基板,此时对置基板上将不在设置彩色滤光层。在公开实施例中以显示基板为阵列基板,对置基板为彩膜基板为例进行说明。其中,阵列基板包括衬底基板10,设置在衬底基板10上亚像素,亚

像素包括薄膜晶体管TFT、像素电极12和公共电极14,其中,薄膜晶体管TFT的栅极和半导体有源层之间设置有第一层间绝缘层11,薄膜晶体管TFT的源极和漏极所在层和公共电极所在层之间设置有第二层间绝缘层12。彩膜基板包括衬底基板10'和设置在衬底基板10'上的彩色滤光层。其中,彩色滤光层包括彩色滤光片和黑矩阵,黑矩阵BM用以遮光,与阵列基板上的非透光元件例如薄膜晶体管TFT位置对应设置,彩色滤光片用于彩色显示,与像素电极12所在位置对应。图1中仅示意出红色滤光片R,在实际显示面板中还可以包括绿色滤光片和蓝色滤光片,从而实现显示面板的彩色显示。

[0047] 图2为图1的显示面板中阵列基板的俯视图;图3为图2所示的阵列基板的版图;如图2和3所示,该阵列基板为一种双栅线(dual gate)阵列基板,其可以包括衬底基板10,设置在衬底基板10上的多个亚像素P;衬底基板10上的亚像素P形成沿第一方向X并排设置的多个第一像素组P10和沿第二方向Y并排设置的多个第二像素组P20;每个第一像素组P10中包括沿第二方向Y并排设置的多个亚像素P;每个第二像素组P20中包括沿第一方向X并排设置的多个亚像素P。每个第二亚像素P组在第二方向Y上的两侧分别设置一条栅线GL。对于任一第二像素组P20中两相邻的所述亚像素P,其中一者连接的所述栅线GL,位于该亚像素P在第二方向Y上相对的两侧中的一侧,另一者连接的所述栅线GL,位于该亚像素P在第二方向Y上相对的两侧中的另一侧;每两个相邻设置的第一像素组P10中的各个亚像素P连接同一条所述数据线DL,且连接同一条数据线DL的各个亚像素P连接不同的栅线GL。

[0048] 图4为图2的阵列基板中的一个亚像素的等效电路图;如图3所示,该等效电路包括薄膜晶体管TFT、存储电容Cst、液晶电容C1c;该薄膜晶体管TFT的第一极连接数据线DL,该薄膜晶体管TFT第二极连接存储电容Cst的第一极板和液晶电容C1c的第一极板,该薄膜晶体管TFT的控制极连接栅线GL;存储电容Cst的第二极板连接参考电压端Vref;液晶电容C1c的第二极板连接公共电压信号。当栅线GL被写入工作电平信号时,薄膜晶体管TFT被选通,通过数据线DL上所写入的数据线DL电压信号实现相应灰阶的显示。

[0049] 另外,本公开的实施例中采用的晶体管可以为薄膜晶体管TFT或场效应晶体管或其他特性相同的开关器件,薄膜晶体管TFT可以包括氧化物半导体薄膜晶体管TFT、非晶硅薄膜晶体管TFT或多晶硅薄膜晶体管TFT等。对于每个晶体管其均包括第一极、第二极和控制极;其中,控制极作为晶体管的栅极,第一极和第二极中的一者作为晶体管的源极,另一者作为晶体管的漏极;而晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在物理结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管,除作为控制极的栅极,直接描述了其中第一极为源极,第二极为漏极,所以本公开的实施例中全部或部分晶体管的源极和漏极根据需要是可以互换的。

[0050] 图3为图2所示的阵列基板的版图;结合图1和3所示,该阵列基板包括衬底基板10,依次设置在衬底基板10上的第二金属层20、第一层间绝缘层11、半导体层30、第一透明导电层40、第一金属层50、第二层间介质层和第二透明导电层60。其中,第二金属层20包括栅线GL和各亚像素P中的薄膜晶体管TFT的栅极,且位于同一第二像素中的各个亚像素P中的薄膜晶体管TFT的栅极和所连接的栅线GL为一体成型结构。半导体层30包括各亚像素P中的薄膜晶体管TFT的半导体有源层,且每个薄膜晶体管TFT中的半导体有源层和其栅极在衬底基板10上的正投影至少部分重叠。第一透明电极层包括各亚像素P中的像素电极12。第二金属层20包括数据线DL、公共电极线CL,以及各亚像素P中的薄膜晶体管TFT的源极和漏极。其

中,各薄膜晶体管TFT的漏极与像素电极12搭接;数据线DL和与之连接各薄膜晶体管TFT的源极为一体结构。第二透明电极层包括各亚像素P中的公共电极14。由于公共电极14位于像素电极12背离衬底基板10的一侧,故公共电极14采用狭缝电极。

[0051] 继续参照4,连接同一数据线DL、且相邻设置的第二像素组P20中的亚像素P中的薄膜晶体管TFT,位于这两个相邻的第二像素组P20之间的两条栅线GL之间。当将该阵列基板应用至显示面板中时,隔垫物所在位置恰好位于薄膜晶体管TFT对应的位置,而且狭缝电极的狭缝的端部具有拐角。当每英寸像素个数(英文:Pixels Per Inch;简称:PPI)达到300以上,即亚像素P的尺寸小于或者等于 $25.6\mu\text{m}$ 时,按照图4的像素版图设计,较常规显示面板而言,开口率将下降6%以上。

[0052] 图5为本公开实施例的一种阵列基板的版图;图6为本公开实施例的阵列基板中的公共电极线的示意图;如图5和6所示,本公开实施例提供一种阵列基板与图1所示的阵列基板相类似为一种双栅线阵列基板,其具体可以包括衬底基板10,设置衬底基板10上的多个亚像素P、多条栅线GL和多条数据线DL。亚像素P的排布如图2所示,多个亚像素P形成沿第一方向X并排设置的多个第一像素组P10,以及沿第二方向Y并排设置的多个第二像素组P20。其中,每个第一像素组P10包括沿第二方向Y并排设置的多个亚像素P;每个第二像素组P20包括沿第一方向X并排设置的多个亚像素P。每个第二像素组P20在第二方向Y上的两侧分别设置一条栅线GL,此时在任意相邻设置的两个第二像素组P20之间均设置有两条栅线GL。对于任一第二像素组P20中两相邻的亚像素P,其中一者连接的栅线GL,位于该亚像素P在第二方向Y上相对的两侧中的一侧,另一者连接的栅线GL,位于该亚像素P在第二方向Y上相对的两侧中的另一侧;每两个相邻设置的第一像素组P10中的各个亚像素P连接同一条数据线DL,且连接同一条数据线DL的各个亚像素P连接不同的栅线GL;其中,任意两相邻设置的第一像素组P10之间限定出一个第一区域Q11,任意两相邻设置的第二像素组P20之间限定出一个第二区域Q12;在至少部分第一区域Q11还设置有公共电极线CL,且公共电极线CL与数据线DL位于不同的第一区域Q11;也就是说,若在两个相邻的第一像素组P10之间设置数据线DL,则在这两个相邻设置的第一像素组P10之间不再设置公共电极线CL。在本公开实施例中,公共电极线CL包括多个公共电极线段101,以及连接在两个公共电极线段101之间凸台102,且至少一个凸台102在任意方向上的宽度均大于公共电极线段101在第一方向X上的宽度;凸台102位于第二区域Q12。

[0053] 需要说明的是,图7为一种应用本公开实施例阵列基板的显示面板的示意图;如图7所示,该显示面板包括相对设置的阵列基板200和彩膜基板300,以及设置在二者之间的隔垫物。阵列基板200为本公开实施例中的阵列基板,图7仅为示例性附图,并未示意各膜层的具体结构。当将本公开实施例中的阵列基板应用至显示面板中时,维持显示面板盒厚的隔垫物PS与在任意方向上的宽度均大于公共电极线段101在第一方向X上的宽度的凸台是对应设置的也即,一个隔垫物在衬底基板10上的正投影位于一个凸台102在衬底基板10上正投影内。通常,显示面板中的隔垫物PS分为第一隔垫物PS1和第二隔垫物PS2,其中,第一隔垫物PS1比第二隔垫物PS2的高度高,且第一隔垫物PS1在衬底基板10上的正投影的面积大于第二隔垫物PS2在衬底基板10上的正投影的面积,此时,第一隔垫物PS1作为主隔垫物,用以维持显示面板的盒厚;第二隔垫物PS2作为副隔垫物,用以在外力作用在显示面板上时,起到缓冲的作用。在本公开实施例中,通过在公共电极线CL上形成凸台102,并将隔垫物设

置在凸台102对应的位置,可以有效的避免隔垫物尺寸不同而导致各亚像素P开口率不均一的问题。

[0054] 在一些示例中,继续参照图6,凸台102的形状可以多边形、圆形、椭圆形等任意形状,在本公开实施例中并不对凸台102的形状做限定。图6中仅以凸台102为圆形凸台102为例示意。

[0055] 在一些示例中,对于任一公共电极线CL上的所有凸台102的在任意方向上的宽度均大于公共电极线段101在第一方向X上的宽度,进一步的,所有的凸台102的尺寸相同的,在该种情况下,当公共电极线CL采用非透光材料时,也即凸台102为非透光区,可以保证显示基板的开口率一致,进而提高显示均一性。在本公开实施例中也是已各个凸台102尺寸一致为例进行说明的,但这并不构成对本公开实施例保护范围的限制。

[0056] 在一些示例中,继续参照图5,每个亚像素P内设置有薄膜晶体管TFT和像素电极12,薄膜晶体管TFT的栅极连接栅线GL,薄膜晶体管TFT的源极连接所述数据线DL,薄膜晶体管TFT的漏极连接所述像素电极12。同于第二像素组P20中任意中各个像素电极12构成一像素电极组,且同一第二像素组P20中任意两相邻的亚像素P内的薄膜晶体管TFT,分别位于像素电极组在第二方向Y上两相对侧。例如:如图5所示,对于同一第二像素组P20中任意两相邻的亚像素P内的薄膜晶体管TFT中,一者位于像素电极组的上侧,另一者则位于下侧。由图5可以看出的是,每个亚像素P内薄膜晶体管TFT均位于该栅线GL靠近像素电极12的一侧,因此相较图2所示的阵列基板,位于相邻设置的第二像素组P20内、且连接同一数据线DL的两个薄膜晶体管TFT之间距离被拉大,故可以有效的降低这两个薄膜晶体管TFT源极和漏极短路的风险。

[0057] 当然,每个亚像素P内不仅包括像素电极12还可以设置公共电极14。当像素电极12相较公共电极14靠近衬底基板10一侧设置时,像素电极12为板状电极,公共电极14为狭缝电极;当公共电极14相较像素电极12靠近衬底基板10一侧设置时,公共电极14为板状电极,像素电极12为狭缝电极,在本公开实施例的下述描述中均以像素电极12为板状电极,公共电极14为狭缝电极为例,但这并不构成对本公开实施例保护范围的限制。进一步的,各公共电极14中的狭缝的延伸方向为单一方向,也即各狭缝的两端不再存在拐角,通过该种方式以保证各个亚像素P的开口率均一。例如:狭缝的延伸方向与公共电极线段101的延伸方向大致相同,甚至完全一致。其中,此处狭缝的延伸方向与公共电极线段101的延伸方向大致相同是指,二者的延伸方向与第一方向X的夹角相差 $5^{\circ}$ 以内。当然,各个狭缝也可以不采用直线型开口,也可以是折线型开口。对于狭缝的开口走向并不构成对本公开实施例保护范围的限制。

[0058] 在一些示例中,继续参照图5,该阵列基板中,连接同一条所述数据线DL、且位于两相邻所述第一像素组P10的亚像素P内的薄膜晶体管TFT呈中心对称。也就是说,对于任意两个连接同一条数据线、且位于两相邻第一像素组P10的亚像素P内的薄膜晶体管TFT,其中一者与数据线DL的连接节点为第一节点a,另一者与数据线DL的连接节点为第二节点b,以第一节点a和第二节点b的中点c作为对称中心,两个薄膜晶体管TFT呈中心对称。例如:连接同一条数据线DL,且二者处于对角位置的两个薄膜晶体管TFT呈中心对称。当然,连接同一条所述数据线DL、且位于两相邻所述第一像素组P10的亚像素P内不仅薄膜晶体管TFT呈中心对称,而且像素电极12、公共电极14也均是呈中心对称的。通过该种设置方式以保证各个亚像

素P的开口率的一致性。

[0059] 在一些示例中,图8为本公开实施例的阵列基板中的数据线的示意图;如图8所示,对于任一数据线DL其包括多个数据线段201,以及连接相邻设置的两个数据线段201的连接线段202,连接线段202包括一个第一子连接线段202a和两个第二子连接线段202b,第一子连接线段202a的两端各连接一个第二子连接线段202b,并通过第二子连接线段202b连接数据线段201。其中,数据线段201位于第一区域Q11,第一子连接线段202a位于第二区域Q12,第二子连接线段202b可以位于第一区域Q11,也可以位于第二区域Q12,亦可以部分位于第一区域Q11部分,部分位于第二区域Q12。位于奇数个的数据线段201的延长线重合,位于偶数个的数据线段201的延长线重合,且位于奇数个的数据线段201和位于偶数个的数据线段201的延长线平行。各亚像素P中的薄膜晶体管TFT的源极连接在第一子连接线段202a上,数据线段201的延伸方向与第二方向Y的夹角在 $5^{\circ} \sim 10^{\circ}$ 左右;第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 在 $100^{\circ} \sim 130^{\circ}$ 左右。例如:当数据线段201的延伸方向与第二方向Y的夹角为 $10^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $125^{\circ}$ 。再例如:当数据线段201的延伸方向与第二方向Y的夹角为 $5^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $130^{\circ}$ 。再例如:当数据线段201的延伸方向与第二方向Y的夹角为 $7^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $132^{\circ}$ 。也就是说,数据线DL在薄膜晶体管TFT连接的位置存在一拐角,通过该种设置方式以使各亚像素P的开口率得以提高。在本公开实施例中,优选的数据线段201的延伸方向与第二方向Y的夹角为 $10^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $125^{\circ}$ 。经过实验验证,当数据线段201的延伸方向与第二方向Y的夹角为 $10^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $125^{\circ}$ 时,相较于,数据线段201的延伸方向与第二方向Y的夹角为 $5^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $130^{\circ}$ 的像素开口率可以提高2.29%;相较于数据线段201的延伸方向与第二方向Y的夹角为 $7^{\circ}$ ,第二子连接线段202b和与之连接的数据线段201所形成的夹角 $\theta$ 为 $130^{\circ}$ 的像素开口率可以提高1.76%。

[0060] 进一步的,数据线DL和公共电极线CL交替设置,且数据线段201和公共电极线段101的延伸方向相同。也就是说,相邻设置的第一区域Q11中的一者设置数据线DL,另一者设置公共电极线CL。通过该种方式可以使得阵列基板中亚像素P的排布规律,从而可以保证各亚像素P的透过率均一。

[0061] 在一些示例中,本公开实施例中的阵列基板可以包括第一金属层50,该第一金属层50包括公共电极线CL和数据线DL,以及薄膜晶体管TFT的源极和漏极;也即,阵列基板中的公共电极线CL和数据线DL,以及薄膜晶体管TFT的源极和漏极同层设置且材料相同。在该种情况下,可以通过一次构图工艺形成包括的公共电极线CL和数据线DL,以及薄膜晶体管TFT的源极和漏极的图形。其中,由于每个薄膜晶体管TFT的源极需与数据线DL连接,此时薄膜晶体管TFT的源极可以和与其连接的数据线DL为一体成型结构。

[0062] 在一些示例中,本公开实施例中的阵列基板可以包括第二金属层20,该第二金属层20包括栅线GL和各薄膜晶体管TFT的栅极。在该种情况下,可以通过一次构图工艺形成包括栅线GL和各薄膜晶体管TFT的栅极的图形。由于每个薄膜晶体管TFT的栅极需与栅线GL连接,此时薄膜晶体管TFT的栅极可以和与其连接栅线GL采用一体成型结构。

[0063] 为了更清楚本公开实施例中的阵列基板结构,以下结合图5,以及图5所示的阵列基板的各膜层的版图对本公开实施例中的阵列基板进行详细说明。

[0064] 如图5所示,该阵列基板包括:衬底基板10、设置在衬底基板10上的多个亚像素P、多条栅线GL和多条数据线DL。其中,每个亚像素P内设置有薄膜晶体管TFT、像素电极12和公共电极14。从膜层角度来讲,该阵列基板包括衬底基板10,依次设置在衬底基板10上第二金属层20、第一层绝缘层11、半导体层30、第一透明导电层40、第一金属层50、第二层绝缘层13和第二透明导电层60。接下来,对各膜层的结构进行说明。

[0065] 图9为本公开实施例的阵列基板中的第二金属层的版图;如图9所示,第二金属层20包括栅线GL和各亚像素P中的薄膜晶体管TFT的栅极,且栅线GL和与之连接各薄膜晶体管TFT的栅极301为一体成型结构。在一些示例中,第二金属层20的材料包括但不限于钼Mo、钼钨合金、铝Al、铝钨合金、钛Ti或铜Cu等导电材料形成第二金属层20可以单层结构,也可以多层结构,例如Ti/Al/Ti三层结构。

[0066] 在一些示例中,第一层绝缘层11作为栅极绝缘层,设置在各薄膜晶体管TFT的栅极和半导体有源层之间。第一层绝缘层11的材料可以选择与Si的晶格结构相近的材料制作,例如 $\text{Si}_x\text{N}_y$ 或 $\text{Si}_x\text{O}_y$ :氮化硅或氧化硅。具体可以是与氮化硅或氧化硅单层结构,当然也可以采用氮化硅或氧化硅复合膜层结构。

[0067] 图10为本公开实施例的阵列基板中的半导体层的版图;如图10所示,半导体层30包括各亚像素P中的薄膜晶体管TFT的半导体有源层302。其中,半导体有源层302包括各亚像素P的薄膜晶体管TFT的有源层图案(沟道区)和掺杂区图案(源漏掺杂区)。例如,半导体层30可采用非晶硅、多晶硅、氧化物半导体材料等制作。需要说明的是,上述的源极区域和漏极区域可为掺杂有n型杂质或p型杂质的区域。当然半导体层30的材料还可以包括氧化物半导体,例如可以是氧化铟镓锌(IGZO)、氧化铟锌(IZO)、氧化锌(ZnO)或者氧化镓锌(GZO)等。在本公开实施例中以半导体层30的材料为低温多晶硅为例进行说明。图11为在形成第一层绝缘层的衬底基板上形成半导体层的版图;如图11所示,一个半导体有源层和一个栅极在衬底基板10上的正投影重叠。在本公开实施例中,薄膜晶体管的栅极在衬底基板上的正投影覆盖有源层在衬底基板上的正投影;其中,栅极在衬底基板上的正投影包括沿第一方向相对设置的第一侧边(左)和第二侧边(右),以及沿第二方向相对设置的第三侧边(上)和第四侧边(下);半导体有源层在衬底基板上的正投影包括沿第一方向相对设置的第五侧边(左)和第六侧边(右),以及沿第二方向相对设置的第七侧边(上)和第八侧边(下);栅极的第四侧边(下)与栅线在衬底基板上的正投影连接(也即薄膜晶体管的栅极和与之连接的栅线为一体结构);栅极的第一侧边与半导体有源层的第五侧边相对,且二者之间的间距为 $S_1$ ;栅极的第二侧边和半导体有源层的第六侧边相对设置,且二者之间的间距为 $S_2$ ;栅极的第三侧边和半导体有源层的第七侧边相对设置,且二者之间的间距为 $S_3$ ;  $S_1$ 、 $S_2$ 、 $S_3$ 中至少一者小于 $3\mu\text{m}$ 。在一些示例中, $S_1=S_2=S_3=2.75\mu\text{m}$ 。但应当理解,根据显示面板尺寸以及像素开口率要求可以对 $S_1$ 、 $S_2$ 、 $S_3$ 的值进行具体设置。在本公开实施例中, $S_1$ 、 $S_2$ 、 $S_3$ 中至少一者小于 $3\mu\text{m}$ 有助于显示面板实现高PPI的设计,而且可以调高像素开口率,当 $S_1=S_2=S_3=2.75\mu\text{m}$ 时,像素开口率可以增加6.5%以上。

[0068] 图12为本公开实施例的阵列基板中第一透明导电层的版图;如图10所示,第一透明导电层40包括各亚像素P中像素电极12。在一些示例中,第一透明导电层40的材料包括氧

化铟锡(ITO)或氧化铟锌(IZO)等透明导电材料。

[0069] 图13为本公开实施例的阵列基板中第一金属层的版图;图14为在形成第一透明导电层的衬底基板上形成第一金属层的版图;如图13和14所示,第一金属层50包括数据线DL、公共电极线CL,各亚像素P内的薄膜晶体管TFT的源极和漏极303。其中,各薄膜晶体管TFT的源极和与之连接数据线DL为一体成型结构,薄膜晶体管TFT的源极和漏极303分别与半导体有源层的源极区域和漏极区域连接,同时薄膜晶体管TFT的漏极303还与像素电极12电连接。在一些示例中,第一金属层50包括但不限于钼、铝及钛等形成的金属单层或多层结构,例如,该多层结构为多金属层叠层,例如钛、铝、钛三层金属叠层(A1/Ti/A1)等。

[0070] 在一些示例中,第二层间绝缘层13形成在第一金属层50背离衬底基板10的一侧。第二层间绝缘层13可以为钝化层(PVX),该钝化层可由氧化硅、氮化硅或者氮氧化硅等材料形成。

[0071] 图15为本公开实施例的阵列基板中的第二透明导电层的版图;如图5和15所示,第二透明导电层60包括各亚像素P内的公共电极14,且第二透明导电层60通过贯穿第二层间绝缘层13的过孔和公共电极线CL电连接。在一些示例中,第二透明导电层60的材料可以与第一透明导电层40的材料相同。至此完成本公开实施例中的阵列基板的介绍。

[0072] 图16为本公开实施例的显示面板的版图;如图16所示,本公开实施例中还提共一种显示面板,该显示面板包括上述的阵列基板,以及与该阵列基板相对设置的对置基板。该对置基板可以为彩膜基板,且在本公开实施例中以对置基板为彩膜基板为例进行描述。当然,在阵列基板还包括设置在阵列基板和彩膜基板之间的液晶层,以及维持盒厚的隔垫物PS。一个隔垫物PS在衬底基板10上的正投影位于公共电极线CL上的一个凸起在衬底基板10上的正投影内。

[0073] 在一些示例中,同样可以参照图7,显示面板中的隔垫物分为第一隔垫物PS1和第二隔垫物PS2,其中,第一隔垫物PS1比第二隔垫物PS2的高度高,且第一隔垫物PS1在衬底基板10上的正投影的面积大于第二隔垫物PS2在衬底基板10上的正投影的面积,此时,第一隔垫物PS1作为主隔垫物,用以维持显示面板的盒厚;第二隔垫物PS2作为副隔垫物,用以在外力作用在显示面板上时,起到缓冲的作用。在本公开实施例中,通过在公共电极线CL上形成凸台102,并将隔垫物设置在凸台102对应的位置,可以有效的避免隔垫物尺寸不同而导致各亚像素P开口率不均一的问题。

[0074] 进一步的,本公开实施例中的第一隔垫物PS1和第二隔垫物PS2可以均形成在彩膜基板300上,在该种情况下,第二隔垫物PS2与阵列基板200之间存在一定的间距。当然,第一隔垫物PS1和第二隔垫物PS2也可以均形成在阵列基板200上,在该种情况下,第二隔垫物PS2和彩膜基板200之间存在一定间距。

[0075] 在一些示例中,显示面板中的第一隔垫物PS1和第二隔垫物PS2均匀排布,且第一隔垫物PS1的排布密度与第二隔垫物PS2的排布密度比在1:30~1:70左右,例如:第一隔垫物PS1的排布密度为1/108,第二隔垫物PS2的排布密度为52/108,第一隔垫物PS1的排布密度与第二隔垫物PS2的排布密度比为1:52。再例如:第一隔垫物PS1的排布密度为1/72,第二隔垫物PS2的排布密度为34:72,第一隔垫物PS1的排布密度与第二隔垫物PS2的排布密度比为1:34。需要说明的是,第一隔垫物PS1的排布密度与第二隔垫物PS2的排布密度取决显示面板的尺寸大小,以及第一隔垫物PS1的排布密度与第二隔垫物PS2在衬底基板10的正投影

面积等参数因素。本公开实施例中的显示面板由于包括上述的阵列基板,其可以实现300以上的PPI,特别适用于投影仪项目中。

[0076] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

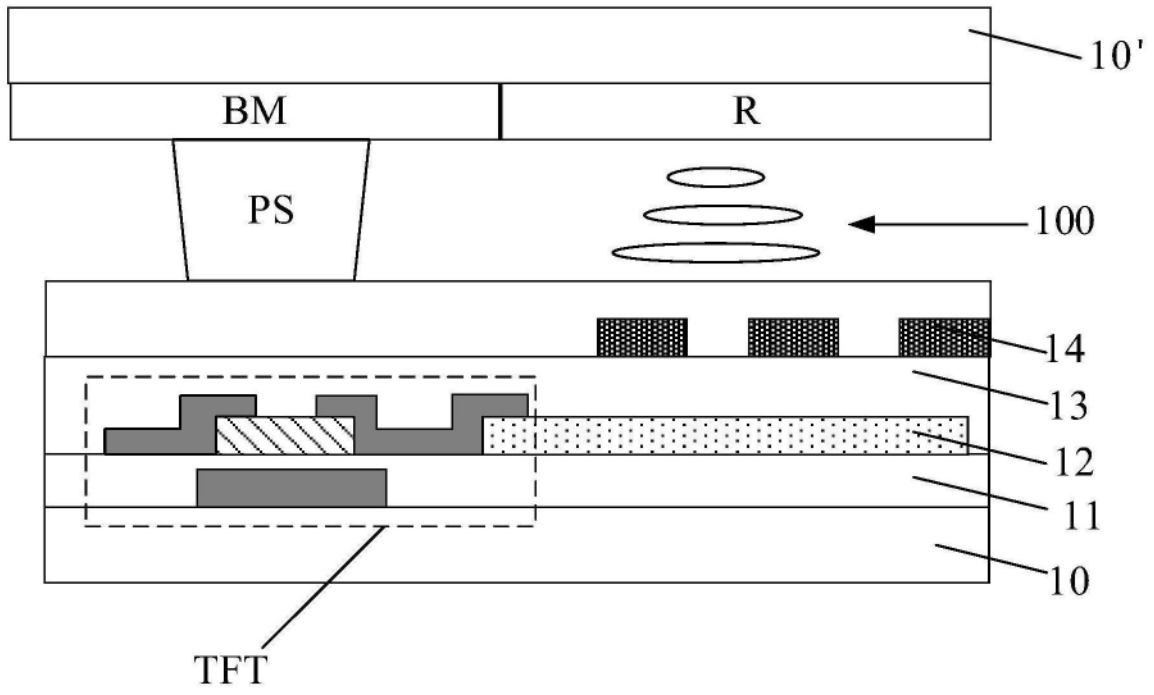


图1

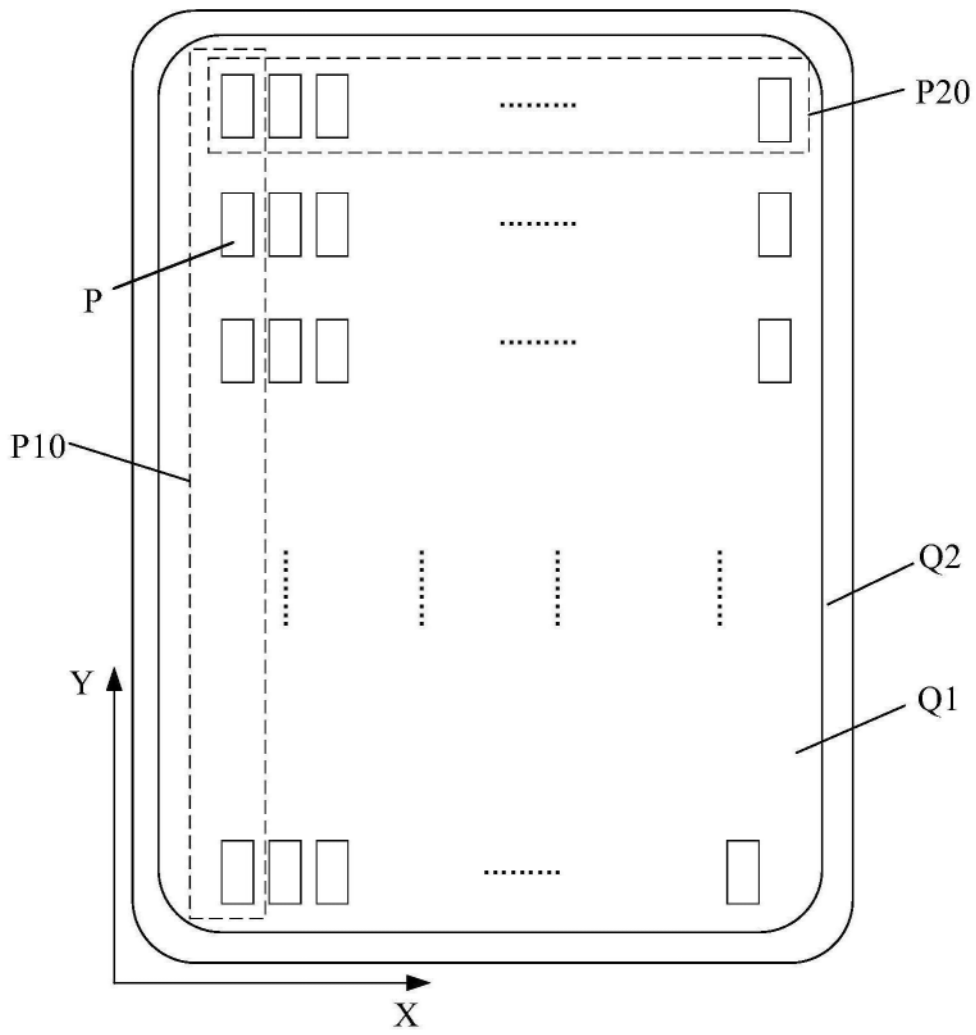


图2

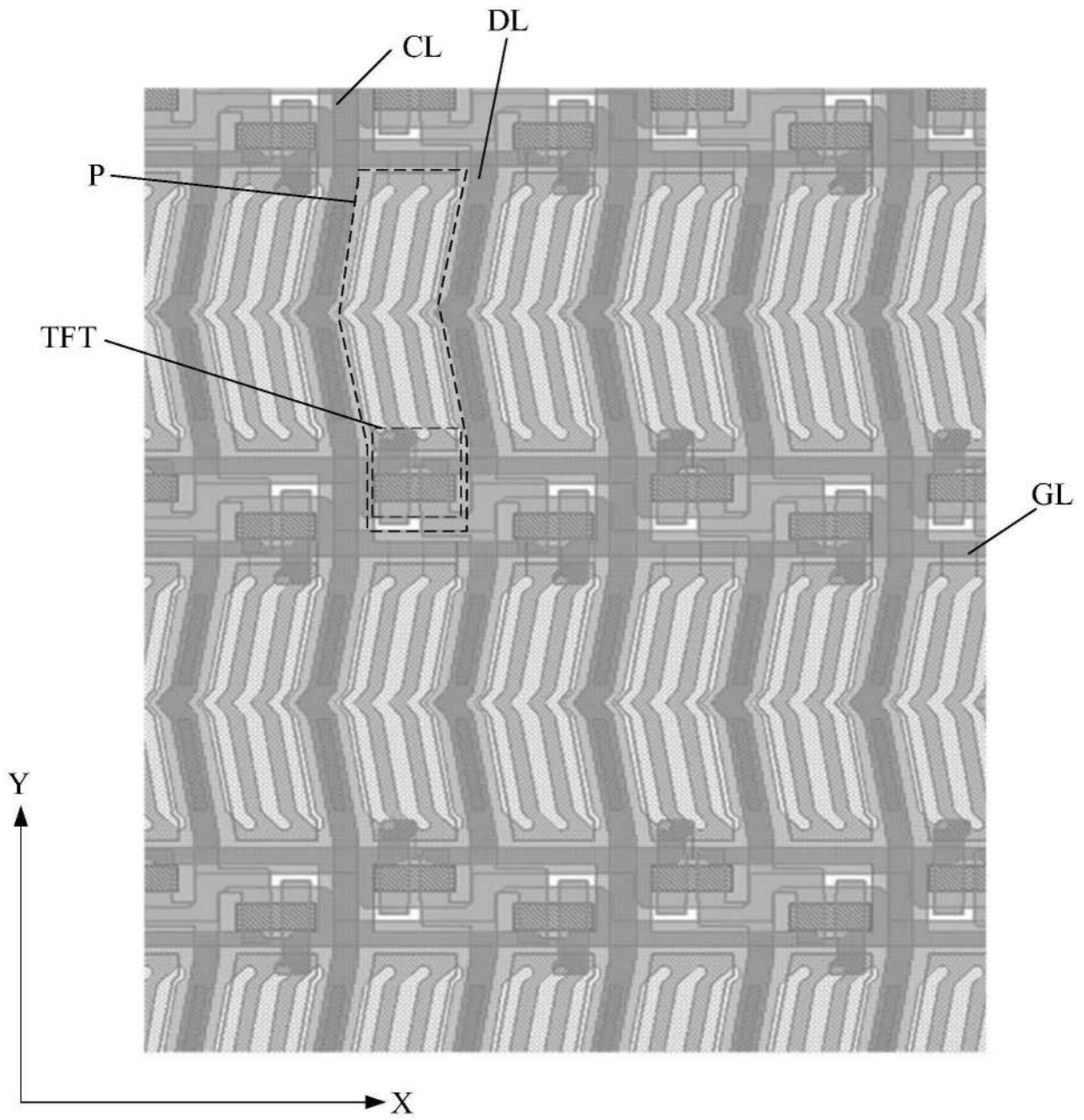


图3

**P**

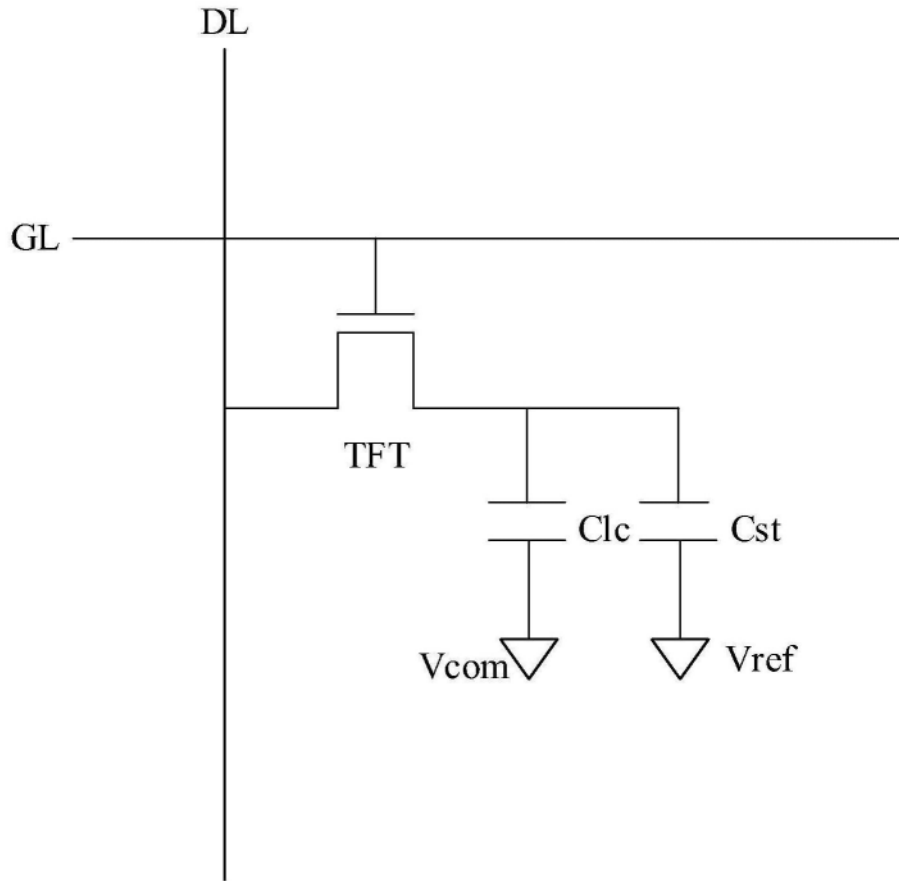


图4

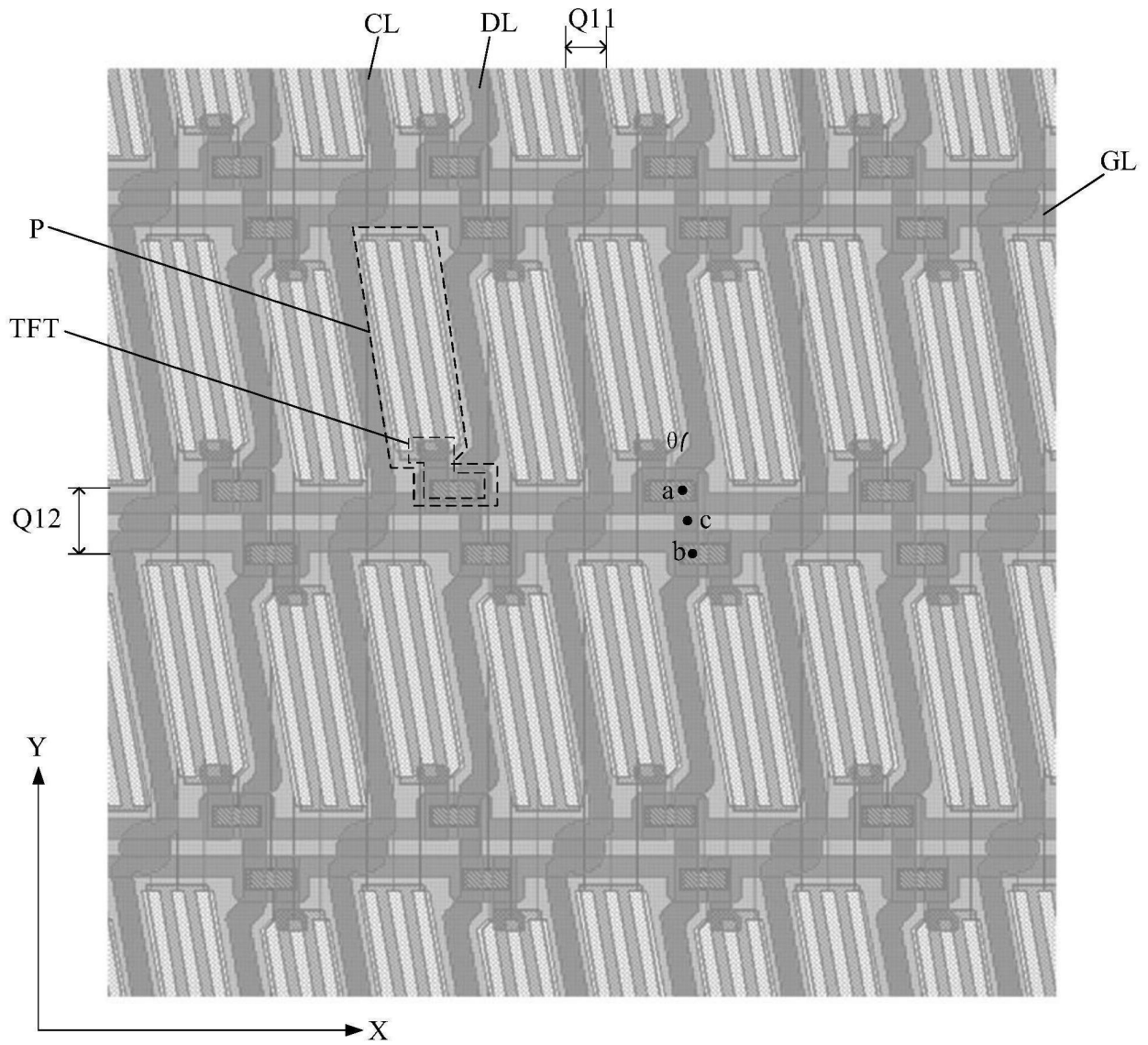


图5

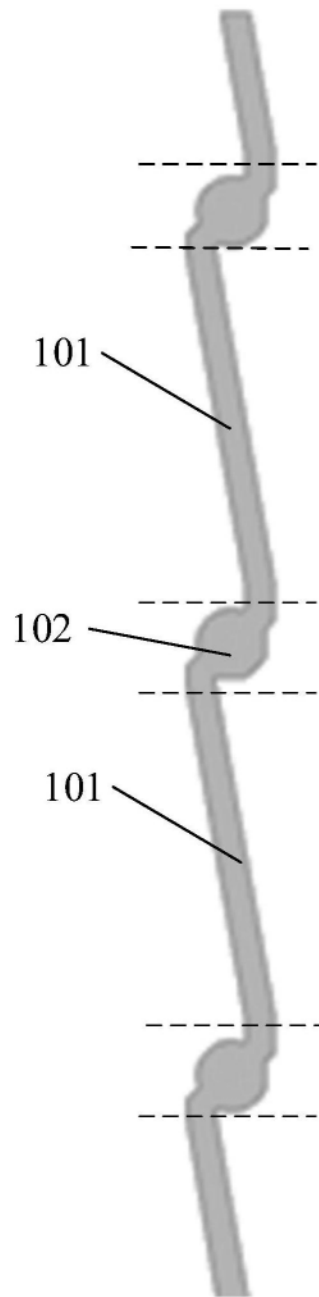


图6

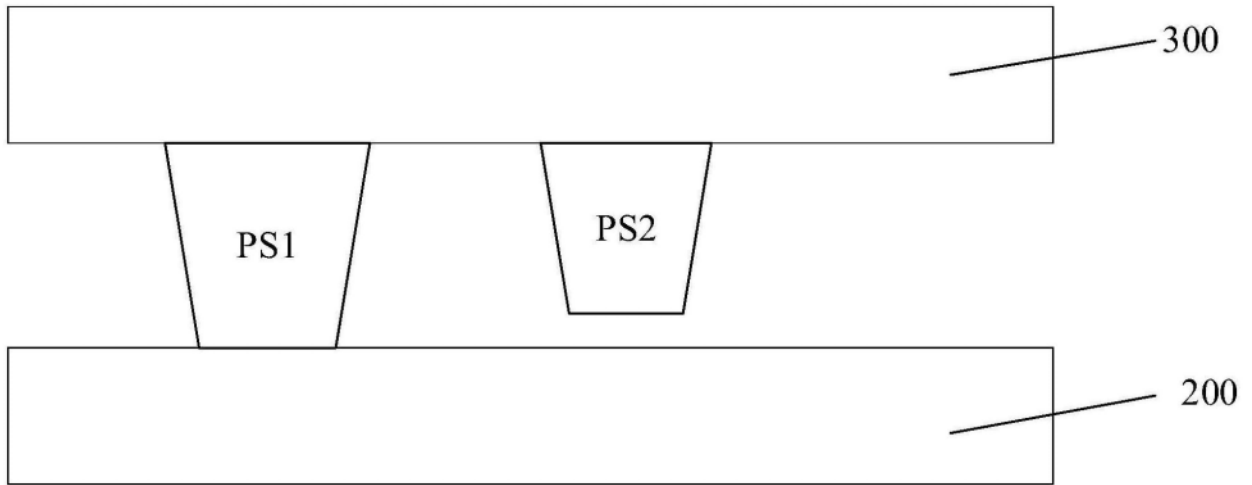


图7

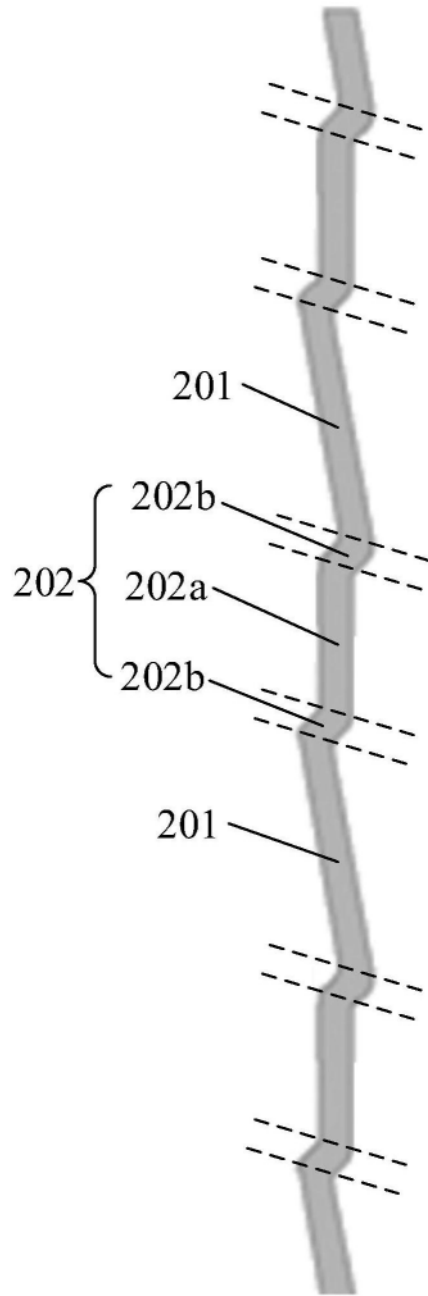


图8

**20**

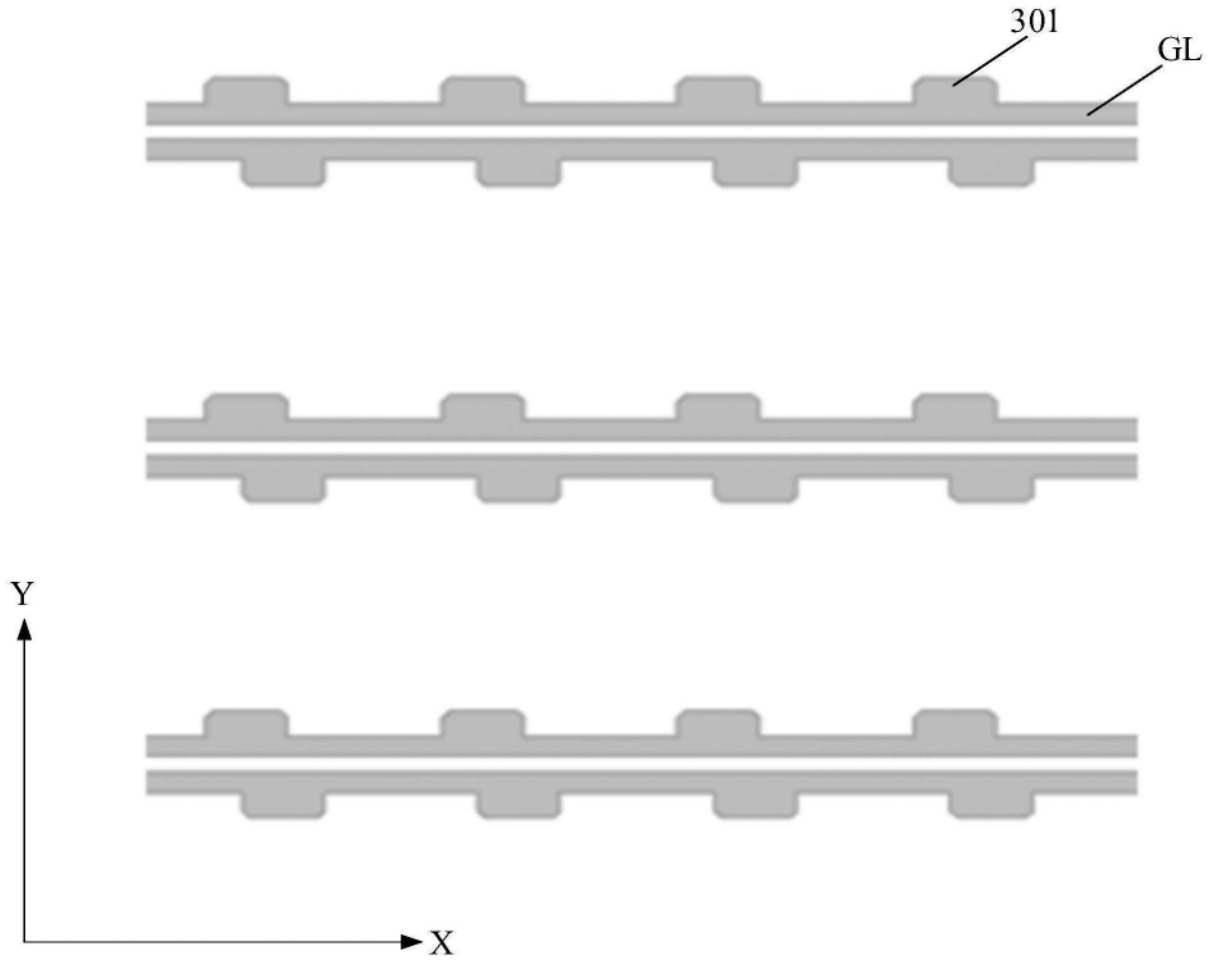


图9

**30**

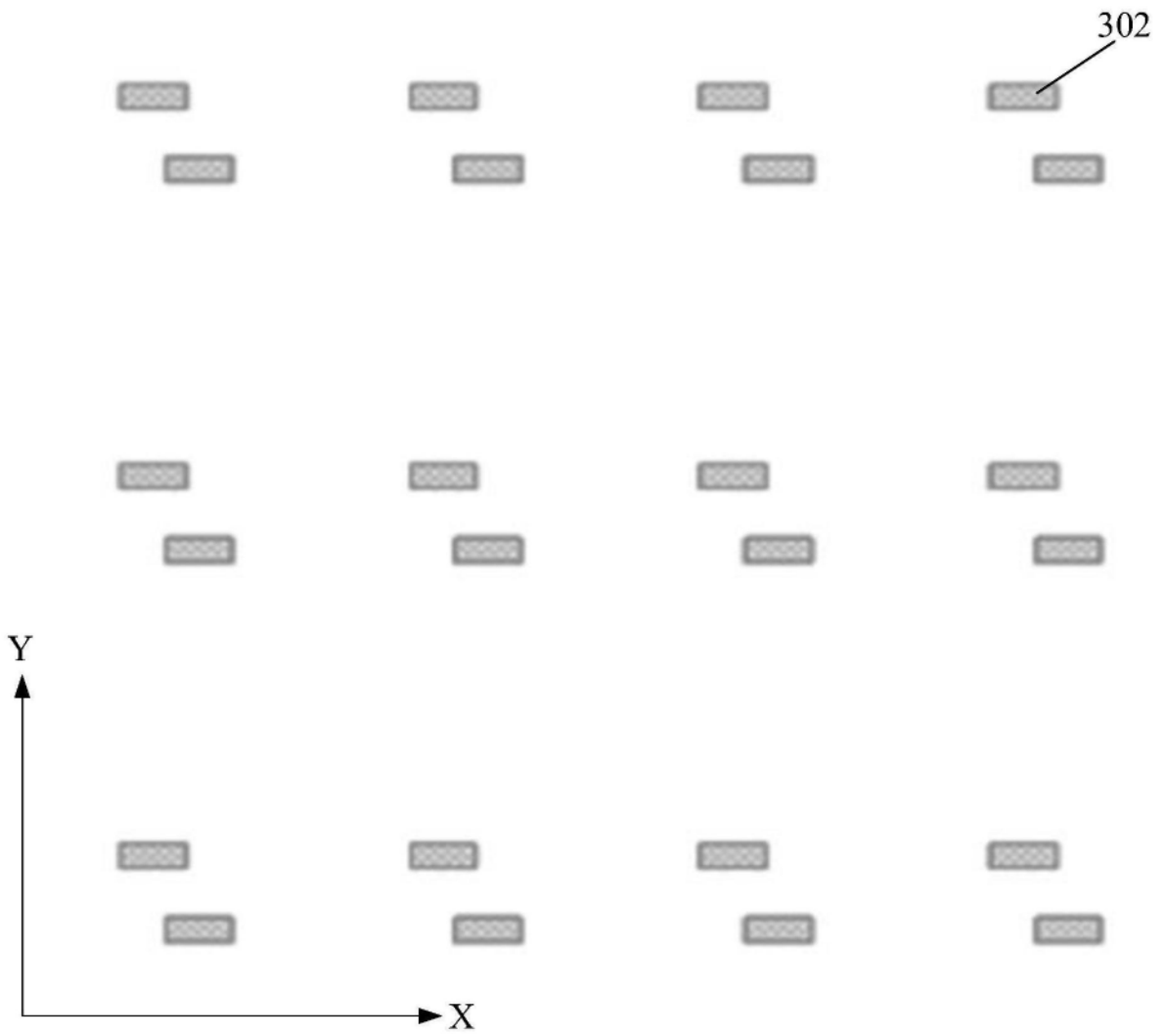


图10

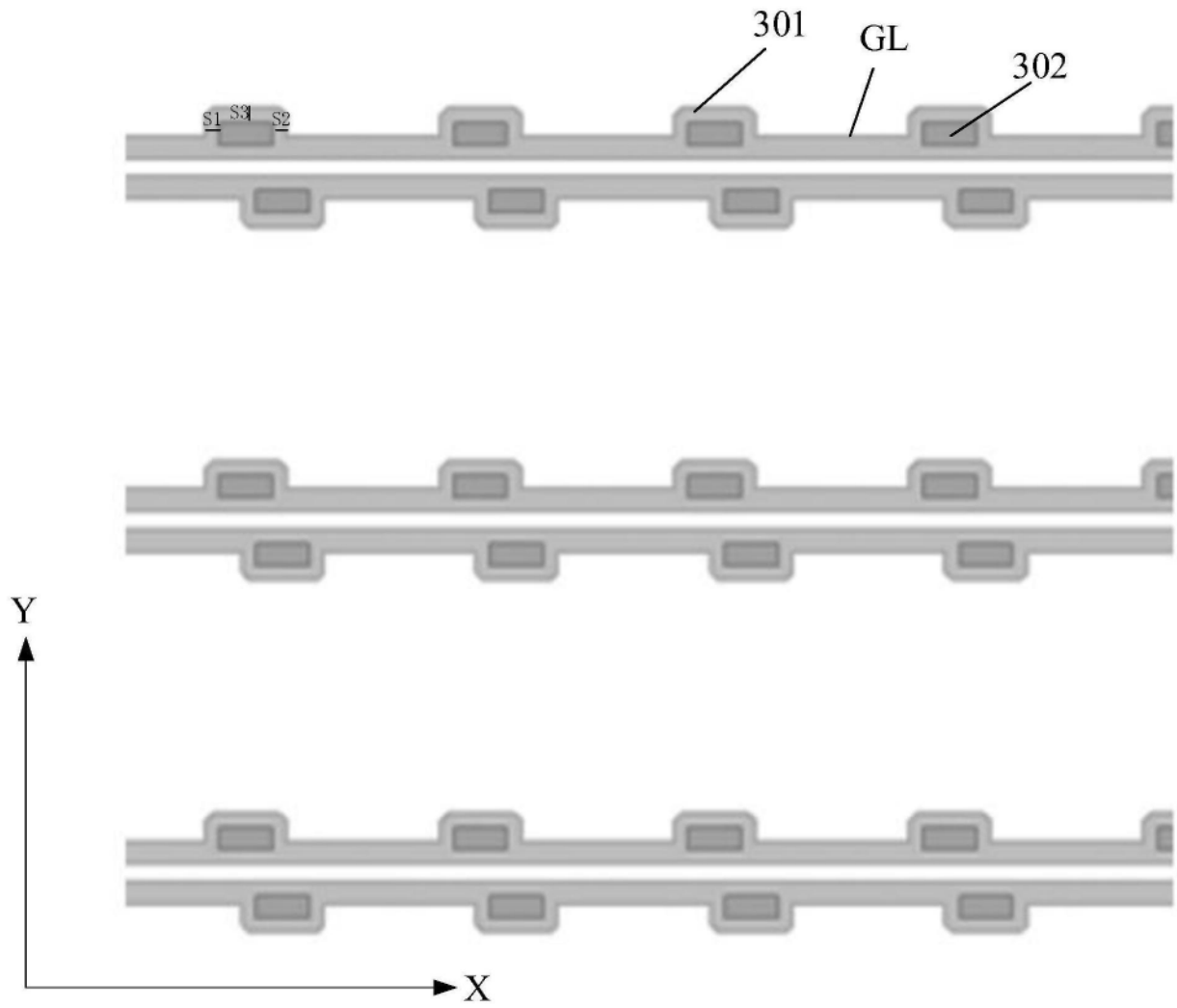


图11

**40**

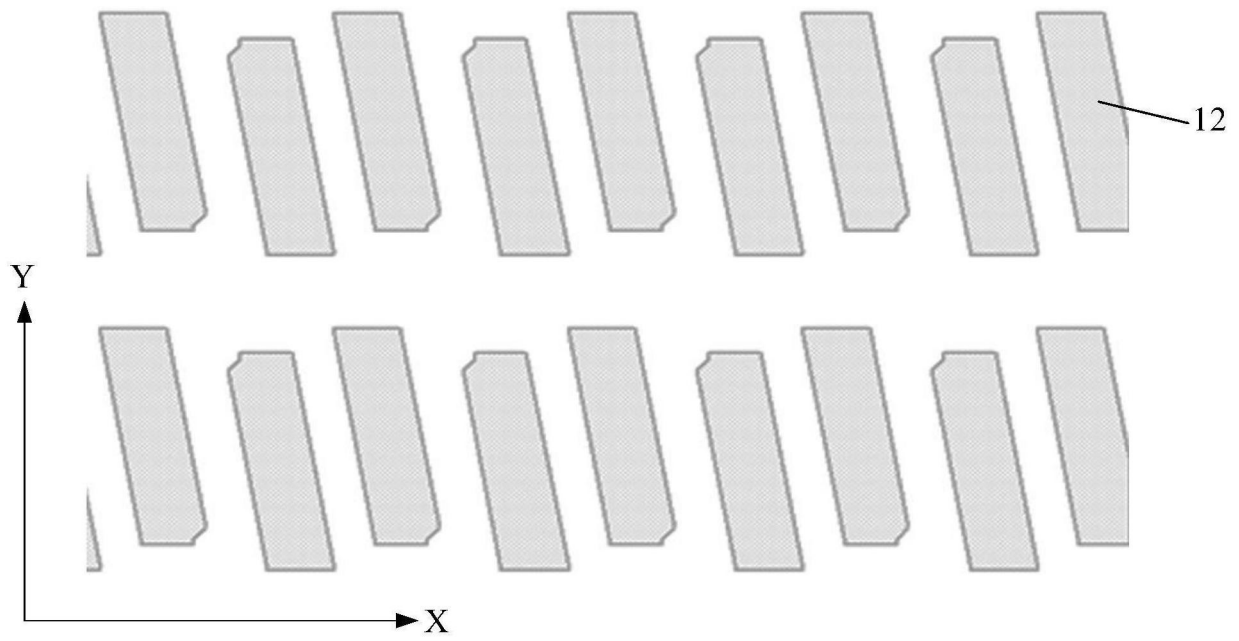


图12

**50**

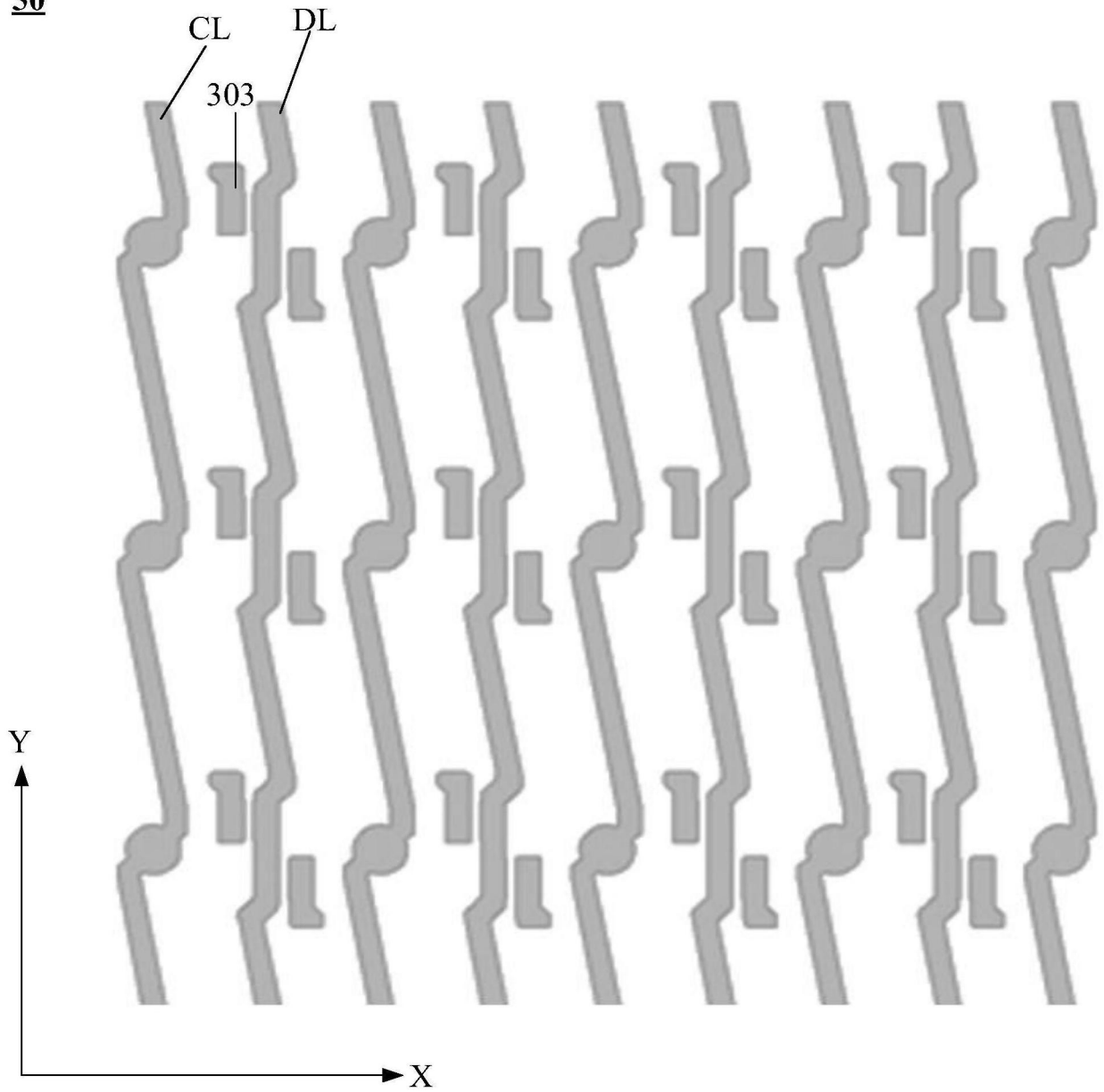


图13

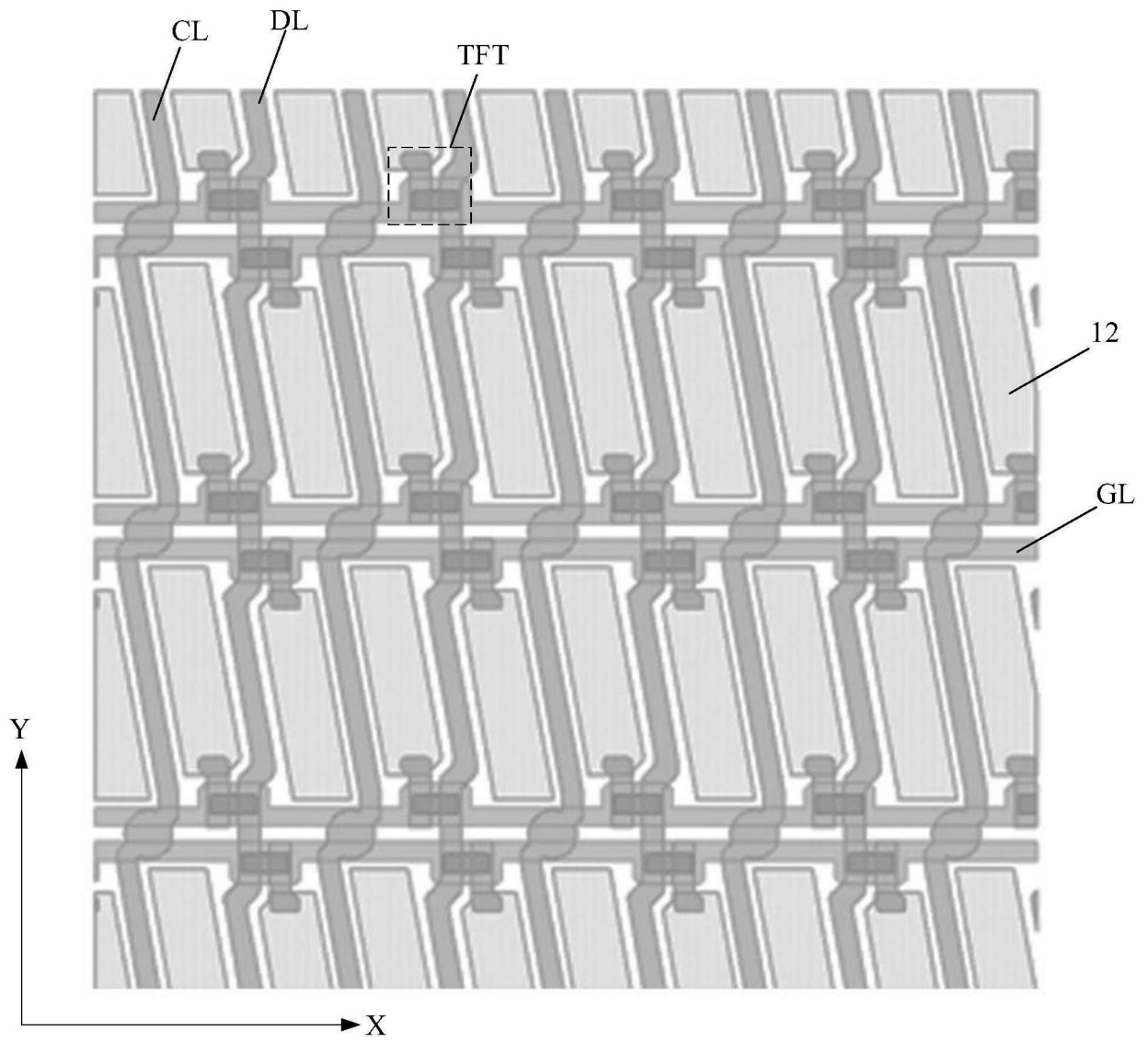


图14

**50**

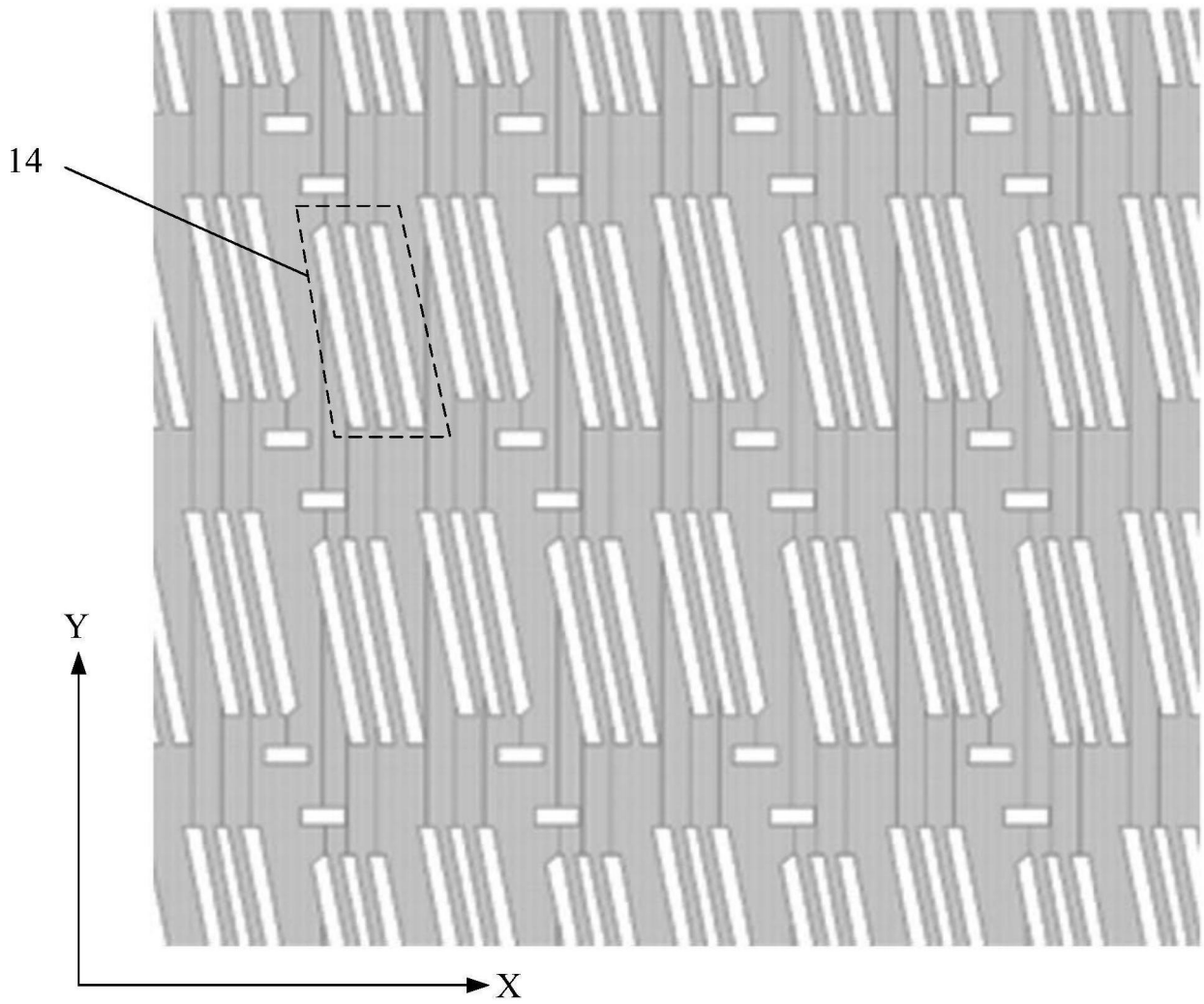


图15

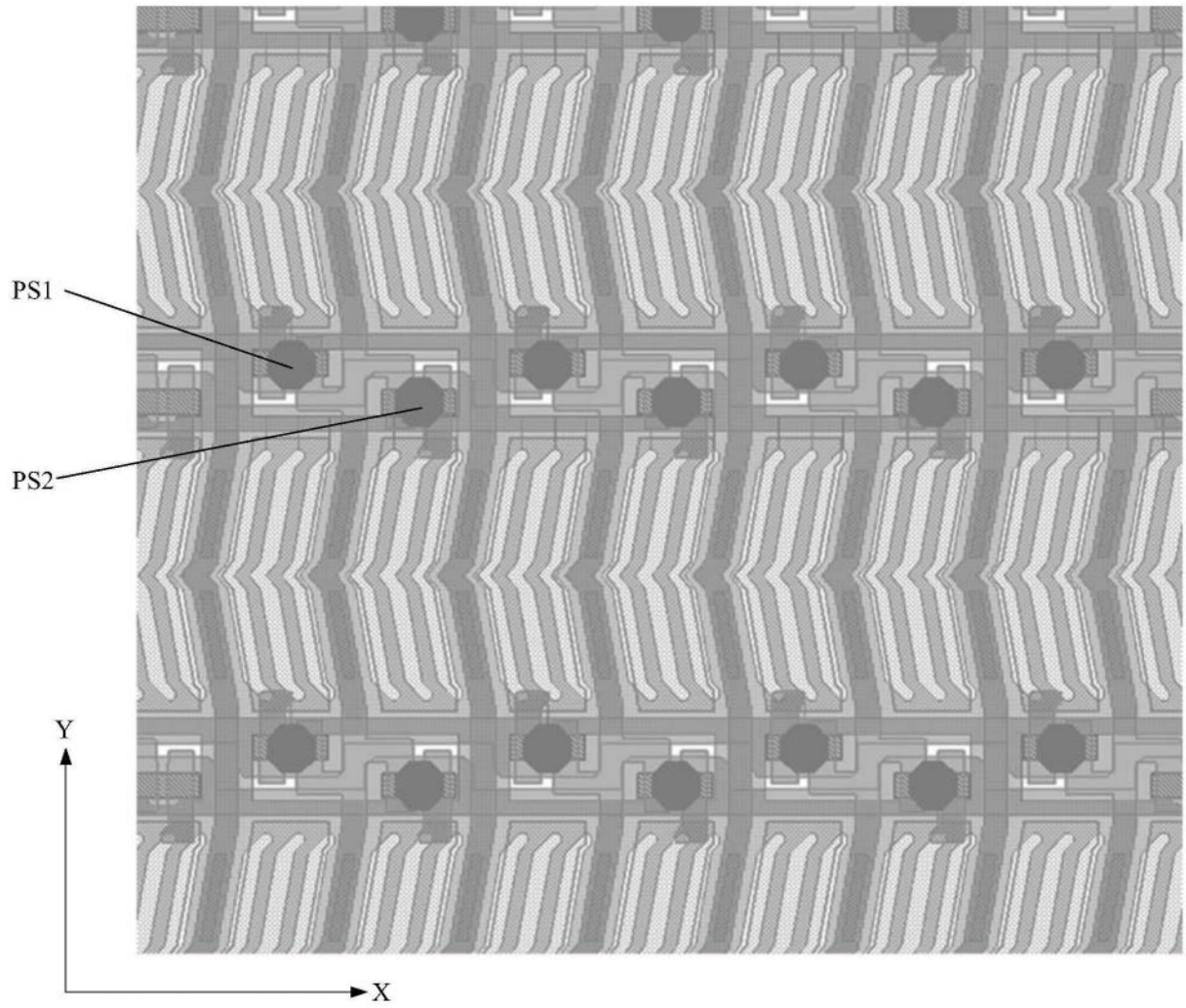


图16