



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월06일
(11) 등록번호 10-1062742
(24) 등록일자 2011년08월31일

(51) Int. Cl.

G01R 31/3183 (2006.01) G01R 31/26 (2006.01)

G11C 29/00 (2006.01)

(21) 출원번호 10-2009-0009357

(22) 출원일자 2009년02월05일

심사청구일자 2009년02월05일

(65) 공개번호 10-2010-0090076

(43) 공개일자 2010년08월13일

(56) 선행기술조사문헌

KR100688540 B1

KR100843142 B1

KR1020070018583 A

KR1020070024803 A

전체 청구항 수 : 총 9 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김영수

경기도 이천시 부발읍 아미리 699-7 현대3차아파트 302동 1008호

(74) 대리인

김성남

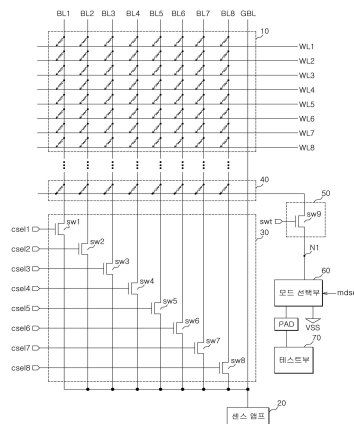
심사관 : 오응기

(54) 반도체 메모리 장치 및 그 테스트 방법

(57) 요약

본 발명의 반도체 메모리 장치는, 복수 개의 비트라인과 접속되는 센스 앰프; 스위칭 신호에 응답하여 상기 복수 개의 비트라인을 제 1 노드에 연결하는 스위칭부; 모드 선택 신호에 응답하여 상기 제 1 노드를 패드 또는 접지단에 연결하는 모드 선택부; 및 테스트 모드시 상기 패드에 전류를 공급하는 테스트부;를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

복수 개의 비트라인과 접속되는 센스 앰프;
스위칭 신호에 응답하여 상기 복수 개의 비트라인을 제 1 노드에 연결하는 스위칭부;
모드 선택 신호에 응답하여 상기 제 1 노드를 패드 또는 접지단에 연결하는 모드 선택부;
테스트 모드시 상기 패드에 전류를 공급하는 테스트부; 및
복수 개의 컬럼 선택 신호에 응답하여 상기 복수 개의 비트라인과 글로벌 비트라인을 연결하는 컬럼 선택 수단;
을 포함하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,
복수 개의 워드라인과 복수 개의 비트라인에 각각 연결된 복수 개의 메모리 셀을 구비하는 메모리 블록; 및
상기 메모리 블록과 상기 센스 앰프 사이에 구비되며, 상기 복수 개의 비트라인에 각각 접속되는 복수 개의 메모리 셀을 포함하는 모델링 셀 어레이;
를 추가로 포함하는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,
상기 스위칭 신호는, 노멀 동작 모드시에는 비트라인 디스차지 신호에 의해 구현되며, 테스트 모드시에는 메모리 블록 정보를 포함하는 복수 비트의 어드레스의 조합에 의해 구현되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서,
상기 모드 선택 신호는 복수 비트의 어드레스의 조합에 의해 구현되며,
상기 모드 선택부는, 상기 모드 선택 신호에 의해 상기 테스트 모드가 선택되면 상기 제 1 노드와 상기 패드를 연결하고, 상기 모드 선택 신호에 의해 상기 노멀 동작 모드가 선택되면 상기 제 1 노드와 상기 접지단을 연결하도록 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 1 항에 있어서,
상기 센스 앰프는 상기 컬럼 선택 수단을 통하여 상기 복수 개의 비트라인과 접속되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

삭제

청구항 7

제 1 항에 있어서,
상기 반도체 메모리 장치는 상변화 메모리 장치인 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

a) 어드레스 코드를 조합하여 모드 선택 신호를 생성하는 단계;

- b) 상기 모드 선택 신호가 테스트 모드를 지시하면, 리드 타이밍에 스위칭 신호를 인에이블 시켜 복수 개의 비트라인과 패드를 연결하는 단계; 및
- c) 테스트부로부터 출력되는 전류를 상기 패드를 통해 상기 복수 개의 비트라인에 공급하는 단계;
- 를 포함하는 반도체 메모리 장치의 테스트 방법.

청구항 9

제 8 항에 있어서,

- d) 상기 모드 선택 신호가 노멀 동작 모드를 지시하면, 비트라인 디스차지 동작 타이밍에 상기 스위칭 신호를 인에이블 시켜 상기 복수 개의 비트라인과 접지단을 연결하는 단계;
- 를 추가로 포함하는 반도체 메모리 장치의 테스트 방법.

청구항 10

제 8 항에 있어서,

상기 반도체 메모리 장치는 상변화 메모리 장치인 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

명세서

발명의 상세한 설명

기술 분야

- [0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 반도체 메모리 장치의 센스 앰프(Sense Amplifier) 성능 테스트에 관한 것이다.

배경 기술

- [0002] 일반적으로 반도체 메모리 장치 중 PRAM(Phase-change Random Access Memory)과 같은 상변화 메모리 장치는, 워드라인에 연결된 하나의 셀 트랜지스터와 비트라인에 연결된 하나의 가변 저항체로 이루어지는 메모리 셀을 복수 개 구비한다. 여기에서, 가변 저항체는 가역적 상변화 물질(Phase Change Material)로서, 칼코게나이트(Ge₂Sb₂Te₅) 합금이라는 특수한 박막 물질을 이용하여 제조한다. 가변 저항체는 비정질(Amorphous) 상태에서는 비저항이 높아지고 결정(Crystal) 상태에서는 비저항이 낮은 전기적 특성을 갖는다. 그러므로, 이러한 가변 저항체의 비저항 차이를 이용하면 메모리 셀 내에 데이터를 저장할 수 있다. 즉, 가변 저항체의 저항이 높은 상태를 디지털 논리값 '1' 인 것으로, 저항이 낮은 상태를 디지털 논리값 '0' 인 것으로 설정함으로써, 정보를 기입할 수 있는 것이다. 이러한 가변 저항체의 가역적인 상변화는 외부에서 인가한 전기 펄스를 통한 주열(Jule Heating)에 의해서 이루어진다. 이처럼 가변 저항체의 상 변화를 제어하는 과정을 셋/리셋(Set/Reset)이라 한다. 이로써, PRAM과 같은 형태의 반도체 메모리 장치는 비휘발성 메모리 장치로서 기능할 수 있다.

- [0003] 이러한 반도체 메모리 장치는 각 메모리 셀마다 센스 앰프가 구비될 필요가 없으며, 복수 개의 메모리 셀 당 하나의 센스 앰프가 배치된다. 각각의 메모리 셀과 센스 앰프는 비트라인을 통해 연결되며, 센스 앰프는 데이터 출력 동작시 비트라인의 전위를 증폭시키는 기능을 수행한다. 메모리 셀 영역에는 비트라인에 남아 있던 전위를 디스차지(Discharge)하기 위한 구성이 추가로 구비되며, 이와 같은 비트라인 디스차지 동작은 데이터 입력 동작이 수행되기 직전에 반드시 수행되어야만 한다.

- [0004] 이와 같은 형태의 반도체 메모리 장치 또한 불량률을 낮추는 것이 중요한 이슈로서 작용하며, 실제로 코어(Core) 영역에서는 메모리 셀들에 불량률이 발생하는 것이 확인된다. 그런데, 메모리 셀들에서 발생하는 불량률의 원인이 센스 앰프의 특성에 있을 것으로 추정되기는 하나, 실질적으로 센스 앰프의 특성을 테스트할 방법은 존재하지 않는다. 즉, 설계자로서는 센스 앰프가 어느 정도의 전위를 증폭할 수 있는지 파악할 방법이 없으며, 따라서 메모리 셀들에 발생하는 불량률의 원인은 파악조차 용이하지 않은 상황이다. 결과적으로, 종래의 반도체 메모리 장치의 구성으로는 센스 앰프의 특성 테스트가 불가능하여 불량 원인 파악이 어려웠으며, 일정 수준의 불량률이 발생하는 데에 대응하기 어렵다는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- [0005] 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 센스 앰프의 특성을 테스트할 수 있는 반도체 메모리 장치 및 그 테스트 방법을 제공하는 데에 그 기술적 과제가 있다.

과제 해결수단

- [0006] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 복수 개의 비트라인과 접속되는 센스 앰프; 스위칭 신호에 응답하여 상기 복수 개의 비트라인을 제 1 노드에 연결하는 스위칭부; 모드 선택 신호에 응답하여 상기 제 1 노드를 패드 또는 접지단에 연결하는 모드 선택부; 및 테스트 모드시 상기 패드에 전류를 공급하는 테스트부;를 포함한다.
- [0007] 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 테스트 방법은, a) 어드레스 코드를 조합하여 모드 선택 신호를 생성하는 단계; b) 상기 모드 선택 신호가 테스트 모드를 지시하면, 리드 타이밍에 스위칭 신호를 인에이블 시켜 복수 개의 비트라인과 패드를 연결하는 단계; 및 c) 테스트부로부터 출력되는 전류를 상기 패드를 통해 상기 복수 개의 비트라인에 공급하는 단계;를 포함한다.

효과

- [0008] 본 발명의 반도체 메모리 장치 및 그 테스트 방법은, 메모리 셀 영역에서 비트라인 디스차지 모드와 테스트 모드를 선택적으로 수행하여, 복수 개의 비트라인의 전위를 인위적으로 변경 가능하게 함으로써, 센스 앰프의 특성을 테스트하고 그에 따라 불량률을 감소 가능하게 하는 효과를 창출한다.

발명의 실시를 위한 구체적인 내용

- [0009] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.
- [0010] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 구성도로서, 설명의 편의상 메모리 셀 영역의 일부분만을 개략적으로 도시한 것이다.
- [0011] 도시한 바와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 제 1 내지 제 8 워드라인(WL1 ~ WL8)과 제 1 내지 제 8 비트라인(BL1 ~ BL8)에 각각 연결된 복수 개의 메모리 셀을 구비하는 메모리 블록(10); 글로벌 비트라인(GBL)과 접속되는 센스 앰프(20); 제 1 내지 제 8 컬럼 선택 신호(csel1 ~ csel8)에 응답하여 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)과 상기 글로벌 비트라인(GBL)을 연결하는 컬럼 선택부(30); 상기 메모리 블록(10)과 상기 컬럼 선택부(30) 사이에 구비되며, 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)에 각각 접속되는 복수 개의 메모리 셀을 포함하는 모델링 셀 어레이(40); 스위칭 신호(swt)에 응답하여 상기 모델링 셀 어레이(40)의 각 메모리 셀과 제 1 노드(N1)를 연결하는 스위칭부(50); 모드 선택 신호(mdsel)에 응답하여 제 1 노드(N1)를 패드(PAD) 또는 접지단에 연결하는 모드 선택부(60); 및 테스트 모드시 상기 패드에 전류를 공급하는 테스트부(70);를 포함한다.
- [0012] 상기 메모리 블록(10)에 구비되는 각각의 메모리 셀은 해당 워드라인(WL)이 활성화되면 해당 비트라인(BL)에 접속되는 일반적인 형태의 구성을 갖는다. 여기에서는 굳이 각 메모리 셀에 도면 부호를 부여하지는 않았다.
- [0013] 여기에 도시한 것 외에도 메모리 블록은 더 구비되며, 상기 센스 앰프(20)는 복수 개의 메모리 블록과 공통으로 접속된다. 이 때, 상기 컬럼 선택부(30), 상기 모델링 셀 어레이(40), 상기 스위칭부(50) 및 상기 모드 선택부(60)는 상기 메모리 블록(10)의 수만큼 구비되어야 한다. 상기 글로벌 비트라인(GBL)은 복수 개의 메모리 블록과 상기 센스 앰프(20)를 연결하는 기능을 수행한다.
- [0014] 상기 제 1 내지 제 8 컬럼 선택 신호(csel1 ~ csel8)은 각각 컬럼 어드레스를 디코딩함에 의해 생성된 신호이다. 도시한 것과 같이, 상기 컬럼 선택부(30)는 8개의 스위칭 소자(SW1 ~ SW8)를 구비하며, 각각의 스위칭 소자(SW1 ~ SW8)는 상기 제 1 내지 제 8 컬럼 선택 신호(csel1 ~ csel8)에 각각 응답하여 턴 온(Turn On)된다. 상기 제 1 내지 제 8 컬럼 선택 신호(csel1 ~ csel8)는 어느 하나만 인에이블 되는 형태로 구현되며, 인에이블 된 컬럼 선택 신호(csel)에 응답하여 해당 비트라인(BL)과 상기 글로벌 비트라인(GBL)이 연결될 수 있다.
- [0015] 상기 스위칭부(50)에 입력되는 상기 스위칭 신호(swt)는, 노멀 동작시 비트라인 디스차지 신호에 의해

구현된다. 그리고 테스트 동작시에는 복수 비트의 어드레스 코드의 조합에 의해 구현되는데, 이 때 상기 복수 비트의 어드레스 코드에는 메모리 블록 정보가 포함되어야 한다. 상기 스위칭 신호(swt)는 테스트 동작시 리드 동작 타이밍에 인에이블 되며, 비트라인 디스차지 신호에 비해 긴 인에이블 구간을 갖는 것이 바람직하다.

- [0016] 상기 스위칭부(50)는 제 9 스위칭 소자(SW9)를 구비한다. 상기 제 9 스위칭 소자(SW9)는 일측이 상기 모델링 셀 어레이(40)의 각 메모리 셀과 접속되며 타측이 상기 제 1 노드(N1)에 접속된다. 상기 제 9 스위칭 소자(SW9)는 상기 스위칭 신호(swt)가 인에이블 되면 턴 온 되며, 이에 따라 상기 모델링 셀 어레이(40)의 각 메모리 셀은 상기 모드 선택부(60)와 연결된다.
- [0017] 상기 모델링 셀 어레이(40)의 각 메모리 셀들은 결정 상태로 설정되며, 이에 따라 각각 낮은 비저항을 갖는다. 따라서, 상기 스위칭부(50)와 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)은 실질적으로 접속된 상태인 것으로 해석될 수도 있다. 그러나, 상기 모델링 셀 어레이(40)가 구비됨으로 인해, 상기 센스 앰프(20)는 테스트시, 보다 실제 상황에 가까운 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)의 전위를 증폭할 수 있으며, 결과적으로 보다 정밀한 테스트 결과가 추출될 수 있다. 즉, 상기 모델링 셀 어레이(40)는, 경우에 따라 MOS 트랜지스터와 같은 소자를 구비하여 구성될 수도 있고, 상기 스위칭부(50)에 연결되는 신호 라인이 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)과 직접 접속되는 형태로 구현될 수도 있다.
- [0018] 상기 모드 선택 신호(mdsl)는 상기 스위칭 신호(swt)와 마찬가지로 복수 비트의 어드레스 코드의 조합에 의해 생성되는 신호이다. 즉, 외부로부터 입력되는 어드레스가 특정 조합일 때, 상기 모드 선택 신호(mdsl)는 테스트 모드를 선택하게 된다.
- [0019] 상기 모드 선택부(60)는 상기 모드 선택 신호(mdsl)에 의해 테스트 모드가 선택되는 경우, 상기 제 1 노드(N1)와 상기 패드(PAD)를 연결하여 테스트 모드를 구현하고, 상기 모드 선택 신호(mdsl)에 의해 노멀 동작 모드가 선택되는 경우, 상기 제 1 노드(N1)와 상기 접지단을 연결하여 노멀 동작 모드를 구현한다.
- [0020] 즉, 상기 노멀 동작 모드시 상기 모드 선택부(60)는 상기 제 1 노드(N1)와 상기 접지단을 연결한다. 이 때, 상기 스위칭 신호(swt)는 비트라인 디스차지 신호에 의해 구현되므로, 비트라인 디스차지 동작 구간에서 상기 스위칭부(50)는 상기 제 1 노드(N1)와 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)을 연결한다. 이에 따라, 결과적으로 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)은 모두 접지 전압(VSS) 레벨로 디스차지 된다.
- [0021] 반면에, 상기 테스트 모드시 상기 모드 선택부(60)는 상기 제 1 노드(N1)와 상기 패드(PAD)를 연결한다. 이 때, 상기 스위칭 신호(swt)가 인에이블 되면, 상기 스위칭부(50)는 상기 제 1 노드(N1)와 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)을 연결한다. 이에 따라, 결과적으로 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)은 모두 상기 패드(PAD)에 연결된다.
- [0022] 상기 테스트부(70)는 전류원을 포함하여, 테스트 모드시 상기 패드(PAD)에 전류를 공급하는 기능을 수행하는데, 상기 테스트부(70)로부터 상기 패드(PAD)에 공급되는 전류는 실험자에 의해 변경 가능하다. 테스트 모드시, 상기 테스트부(70)로부터 상기 패드(PAD)에 공급되는 전류는 결국 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)에 공급되는데, 이와 같은 방식에 의해 상기 센스 앰프(20)가 어느 정도의 레벨까지 감지하여 증폭할 수 있는지 그 성능에 대한 테스트가 가능하게 된다.
- [0023] 상술한 바와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치는 메모리 셀 영역에서 비트라인 디스차지가 수행될 때, 상기 제 1 내지 제 8 비트라인(BL1 ~ BL8)을 상기 패드(PAD)에 연결할 수 있다. 따라서, 상기 센스 앰프(20)가 어느 정도의 전위를 감지하고 증폭할 수 있는지 테스트할 수 있게 되며, 이처럼 센스 앰프(20)의 특성을 파악함에 의해 메모리 셀 영역에서의 불량을 감소시키는 것이 가능하게 된다.
- [0024] 도 2는 도 1에 도시한 모드 선택부의 상세 구성도이다.
- [0025] 도식한 바와 같이, 상기 모드 선택부(60)는, 상기 모드 선택 신호(mdsl)에 응답하여 상기 제 1 노드(N1)와 상기 패드(PAD)를 연결하는 제 10 스위칭 소자(SW10); 상기 모드 선택 신호(mdsl)를 입력 받는 인버터(IV); 및 상기 인버터(IV)의 출력 신호에 응답하여 상기 제 1 노드(N1)와 접지단을 연결하는 제 11 스위칭 소자(SW11);를 포함한다.
- [0026] 도면을 통해, 상기 제 10 스위칭 소자(SW10)는 상기 제 1 노드(N1)로부터 상기 패드(PAD)까지의 전류 경로를 설정하고, 상기 제 11 스위칭 소자(SW11)는 상기 제 1 노드(N1)로부터 상기 접지단까지의 전류 경로를 설정함을 알 수 있다. 이와 같은 구성에서, 상기 모드 선택 신호(mdsl)가 하이 레벨(High Level)의 전위를 가지면 상기 제 10 스위칭 소자(SW10)가 턴 온 되므로, 상기 제 1 노드(N1)에는 상기 패드(PAD)의 전위가 인가된다. 마찬가지로

지로, 상기 모드 선택 신호(mdsel)가 로우 레벨(Low Level)의 전위를 가지면 상기 제 11 스위칭 소자(SW11)가 턴 온 되므로, 상기 제 1 노드(N1)에는 상기 접지단의 전위가 인가된다.

[0027] 상술한 바와 같이, 본 발명의 반도체 메모리 장치는, 메모리 셀 영역에서 노멀 동작 모드시에는 비트라인 디스차지 구간 동안 복수 개의 비트라인을 접지단에 연결시키는 일반적인 동작을 수행하고, 테스트 모드시에는 복수 개의 비트라인을 패드에 연결하는 동작을 수행한다. 이에 따라, 복수 개의 비트라인에 전압을 변화시키면서 인가하고, 센스 앰프 특성이 어떻게 변화하는지 테스트하는 것이 가능하게 된다. 결과적으로, 센스 앰프의 특성이 파악될 수 있으므로, 센스 앰프의 불량을 방지할 수 있고, 반도체 메모리 장치의 생산 효율을 향상시킬 수 있게 된다.

[0028] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 구성도,

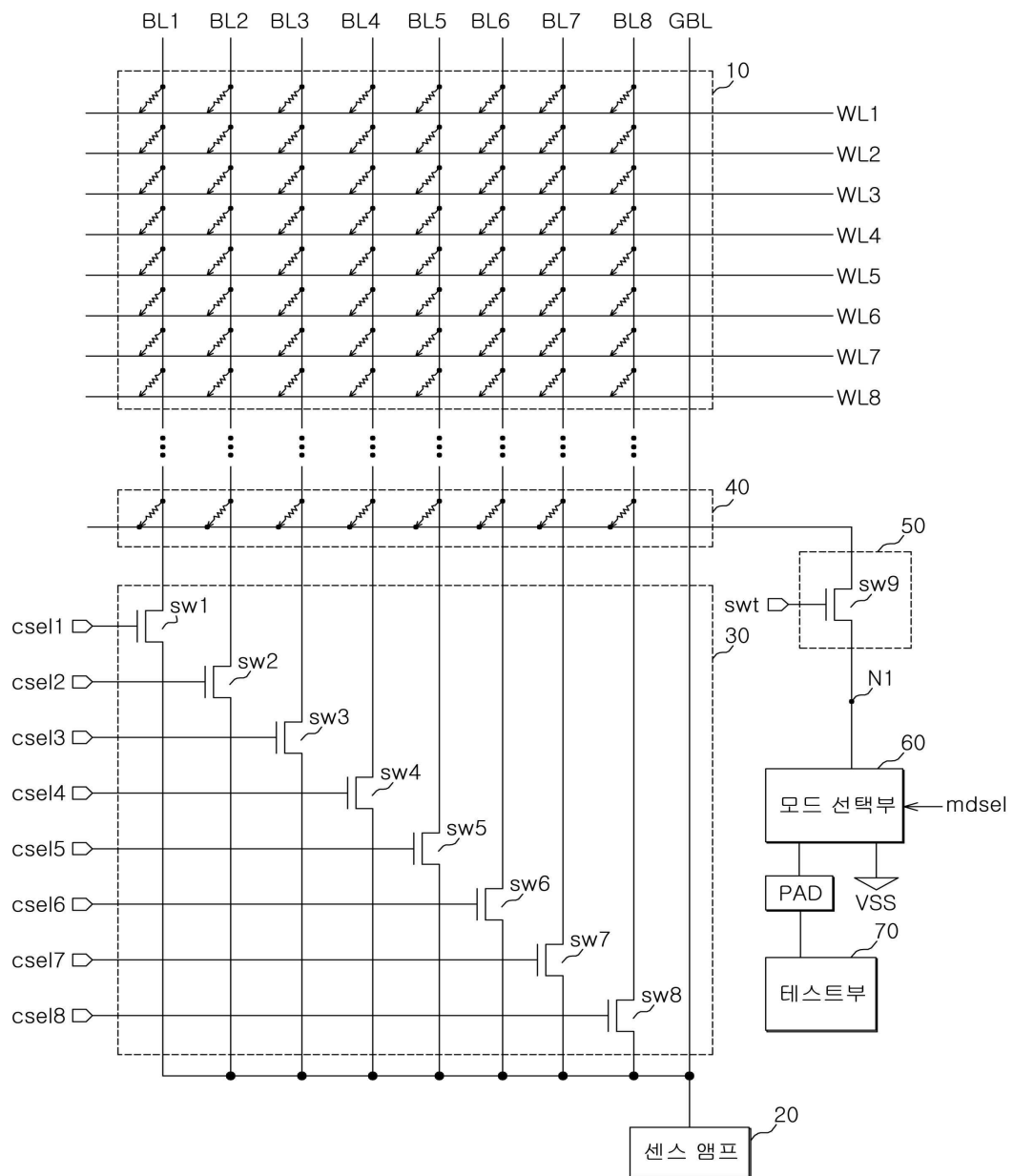
[0030] 도 2는 도 1에 도시한 모드 선택부의 상세 구성도이다.

[0031] <도면의 주요 부분에 대한 부호 설명>

[0032] 10 : 메모리 블록 20 : 센스 앰프
 [0033] 30 : 컬럼 선택부 40 : 모델링 셀 어레이
 [0034] 50 : 스위칭부 60 : 모드 선택부
 [0035] 70 : 테스트부

도면

도면1



도면2

