



(12)发明专利申请

(10)申请公布号 CN 108962138 A

(43)申请公布日 2018.12.07

(21)申请号 201810299199.0

(22)申请日 2018.04.04

(71)申请人 信利(惠州)智能显示有限公司

地址 516029 广东省惠州市仲恺高新区新
华大道南1号

(72)发明人 阮伟文 张家朝 吴锦坤 胡君文
谢志生 苏君海 李建华

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 叶剑

(51)Int.Cl.

G09G 3/3225(2016.01)

G09G 3/3266(2016.01)

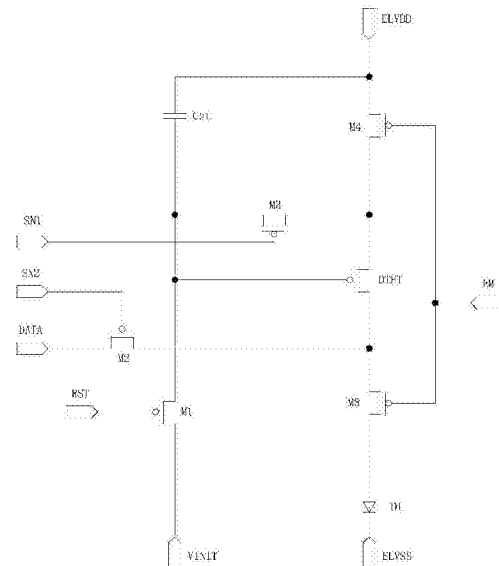
权利要求书2页 说明书6页 附图4页

(54)发明名称

像素电路及其驱动方法、以及显示装置

(57)摘要

一种像素电路及其驱动方法及显示装置,其中,像素电路包括:驱动薄膜晶体管的控制极与电容的第一端连接,电容的第二端与第一电源端连接,驱动薄膜晶体管的第一极与第三薄膜晶体管的第一极连接,第三薄膜晶体管的控制极与第一扫描电压端连接,驱动薄膜晶体管的第一极还与第四薄膜晶体管的第一极连接,第四薄膜晶体管的控制极与控制电压端连接,第四薄膜晶体管的第二极与第一电源端连接,驱动薄膜晶体管的第二极与第五薄膜晶体管的第一极连接,第五薄膜晶体管的控制极与控制电压端连接,第五薄膜晶体管的第二极与发光二极管的阳极连接,发光二极管的阴极与第二电源端连接。上述像素电路,消除阈值电压的漂移,避免像素发光亮度的改变。



1. 一种像素电路,其特征在于,包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、驱动薄膜晶体管、电容、发光二极管、复位电压端、初始化电压端、第一电源端、扫描电压端、数据电压端、控制电压端以及第二电源端;

所述驱动薄膜晶体管的控制极与所述电容的第一端连接,所述电容的第二端与所述第一电源端连接,所述驱动薄膜晶体管的第一极与所述第三薄膜晶体管的第一极连接,所述第三薄膜晶体管的控制极与所述第一扫描电压端连接,所述第三薄膜晶体管的第二极与电容的第一端连接,所述驱动薄膜晶体管的第一极还与所述第四薄膜晶体管的第一极连接,所述第四薄膜晶体管的控制极与所述控制电压端连接,所述第四薄膜晶体管的第二极与所述第一电源端连接,所述驱动薄膜晶体管的第二极与所述第五薄膜晶体管的第一极连接,所述第五薄膜晶体管的控制极与所述控制电压端连接,所述第五薄膜晶体管的第二极与所述发光二极管的阳极连接,所述发光二极管的阴极与所述第二电源端连接;

所述第一薄膜晶体管的控制极与所述复位电压端连接,所述第一薄膜晶体管的第一极与所述初始化电压端连接,所述第一薄膜晶体管的第二极与所述驱动薄膜晶体管的控制极连接;

所述第二薄膜晶体管的控制极与所述第二扫描电压端连接,所述第二薄膜晶体管的第一极与所述数据电压端连接,所述第二薄膜晶体管的第二极与所述驱动薄膜晶体管的第二极连接。

2. 根据权利要求1所述的像素电路,其特征在于,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管和所述驱动晶体管均为P型薄膜晶体管。

3. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括第六薄膜晶体管,所述第六薄膜晶体管的控制极与所述复位电压端连接,所述第六薄膜晶体管的第一极与所述初始化电压端连接,所述第六薄膜晶体管的第二极与所述发光二极管的阳极连接。

4. 根据权利要求3所述的像素电路,其特征在于,所述第六薄膜晶体管为P型薄膜晶体管。

5. 根据权利要求1所述的像素电路,其特征在于,所述第一电源端的电压值大于所述第二电源端的电压值。

6. 一种显示装置,其特征在于,包括权利要求1-5中任一项所述的像素电路。

7. 一种像素电路的驱动方法,用于驱动权利要求1所述的像素电路,其特征在于,包括:

预处理阶段:控制所述第三薄膜晶体管、所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述第一电源端的信号分别写入所述驱动薄膜晶体管的控制极和所述驱动薄膜晶体管的第一极,所述第二电源端的信号写入所述驱动薄膜晶体管的第二极,所述驱动薄膜晶体管处于关断复位状态;

初始化阶段:控制所述第一薄膜晶体管导通,所述初始化电压端的信号写入所述驱动薄膜晶体管的控制极;

数据写入阶段:控制所述第二薄膜晶体管和所述第三薄膜晶体管导通,驱动薄膜晶体管导通;

发光阶段:控制所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述发光二极管发光。

8. 根据权利要求7所述的像素电路的驱动方法,其特征在于,所述像素电路还包括第六薄膜晶体管,所述第六薄膜晶体管的控制极与所述复位电压端连接,所述第六薄膜晶体管的第一极与所述初始化电压端连接,所述第六薄膜晶体管的第二极与所述发光二极管的阳极连接,所述初始化阶段还包括:

控制所述第六薄膜晶体管导通,所述初始化电压端的信号写入所述发光二极管的阳极。

9. 根据权利要求7所述的像素电路的驱动方法,其特征在于,所述预处理阶段和所述初始化阶段之间还包括:

延长恢复阶段:控制所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述驱动薄膜晶体管保持关断复位状态。

10. 根据权利要求9所述的像素电路的驱动方法,其特征在于,所述延长恢复阶段的时间占比为0.1~0.4。

像素电路及其驱动方法、以及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种像素电路及其驱动方法、以及显示装置。

背景技术

[0002] AMOLED (Active-matrix organic light emitting diode,主动矩阵有机发光二极管)在正常工作的过程中,会受到应力(bias stress)影响,使驱动薄膜晶体管发生阈值电压漂移。通过使用补偿电路,可以补偿大部分的漂移,但是并不能完全消除,造成像素发光亮度的改变。

发明内容

[0003] 基于此,有必要针对驱动薄膜晶体管阈值电压漂移,不能完全消除,造成像素发光亮度的改变的技术问题,提供一种像素电路及其驱动方法、以及显示装置。

[0004] 一种像素电路,包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、驱动薄膜晶体管、电容、发光二极管、复位电压端、初始化电压端、第一电源端、扫描电压端、数据电压端、控制电压端以及第二电源端;

[0005] 所述驱动薄膜晶体管的控制极与所述电容的第一端连接,所述电容的第二端与所述第一电源端连接,所述驱动薄膜晶体管的第一极与所述第三薄膜晶体管的第一极连接,所述第三薄膜晶体管的控制极与所述第一扫描电压端连接,所述第三薄膜晶体管的第二极与电容的第一端连接,所述驱动薄膜晶体管的第一极还与所述第四薄膜晶体管的第一极连接,所述第四薄膜晶体管的控制极与所述控制电压端连接,所述第四薄膜晶体管的第二极与所述第一电源端连接,所述驱动薄膜晶体管的第二极与所述第五薄膜晶体管的第一极连接,所述第五薄膜晶体管的控制极与所述控制电压端连接,所述第五薄膜晶体管的第二极与所述发光二极管的阳极连接,所述发光二极管的阴极与所述第二电源端连接;

[0006] 所述第一薄膜晶体管的控制极与所述复位电压端连接,所述第一薄膜晶体管的第一极与所述初始化电压端连接,所述第一薄膜晶体管的第二极与所述驱动薄膜晶体管的控制极连接;

[0007] 所述第二薄膜晶体管的控制极与所述第二扫描电压端连接,所述第二薄膜晶体管的第一极与所述数据电压端连接,所述第二薄膜晶体管的第二极与所述驱动薄膜晶体管的第二极连接。

[0008] 在其中一个实施例中,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管和所述驱动晶体管均为P型薄膜晶体管。

[0009] 在其中一个实施例中,所述像素电路还包括第六薄膜晶体管,所述第六薄膜晶体管的控制极与所述复位电压端连接,所述第六薄膜晶体管的第一极与所述初始化电压端连接,所述第六薄膜晶体管的第二极与所述发光二极管的阳极连接。

- [0010] 在其中一个实施例中,所述第六薄膜晶体管为P型薄膜晶体管。
- [0011] 在其中一个实施例中,所述第一电源端的电压值大于所述第二电源端的电压值。
- [0012] 一种显示装置,包括如上任一项所述的像素电路。
- [0013] 一种像素电路的驱动方法,用于驱动权利要求如上所述的像素电路,该像素电路的驱动方法包括:
- [0014] 预处理阶段:控制所述第三薄膜晶体管、所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述第一电源端的信号分别写入所述驱动薄膜晶体管的控制极和所述驱动薄膜晶体管的第一极,所述第二电源端的信号写入所述驱动薄膜晶体管的第二极,所述驱动薄膜晶体管处于关断复位状态;
- [0015] 初始化阶段:控制所述第一薄膜晶体管导通,所述初始化电压端的信号写入所述驱动薄膜晶体管的控制极;
- [0016] 数据写入阶段:控制所述第二薄膜晶体管和所述第三薄膜晶体管导通,驱动薄膜晶体管导通;
- [0017] 发光阶段:控制所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述发光二极管发光。
- [0018] 在其中一个实施例中,所述像素电路还包括第六薄膜晶体管,所述第六薄膜晶体管的控制极与所述复位电压端连接,所述第六薄膜晶体管的第一极与所述初始化电压端连接,所述第六薄膜晶体管的第二极与所述发光二极管的阳极连接,所述初始化阶段还包括:控制所述第六薄膜晶体管导通,所述初始化电压端的信号写入所述发光二极管的阳极。
- [0019] 在其中一个实施例中,所述预处理阶段和所述初始化阶段之间还包括:延长恢复阶段:控制所述第四薄膜晶体管和所述第五薄膜晶体管导通,所述驱动薄膜晶体管保持关断复位状态。
- [0020] 在其中一个实施例中,所述延长恢复阶段的时间占比为0.1~0.4。
- [0021] 上述像素电路及其驱动方法、以及显示装置,通过设置第三薄膜晶体管、第四薄膜晶体管和第五薄膜晶体管,在初始化阶段前的预处理阶段,将第三薄膜晶体管、第四薄膜晶体管和第五薄膜晶体管导通,使得驱动薄膜晶体管的第一极和控制极的电压置为第一电源端输入的信号电压,驱动薄膜晶体管的第二极的电压置为第二电源端输入的信号电压,从而使驱动薄膜晶体管处于关断复位状态,驱动薄膜晶体管的阈值得以恢复,消除阈值电压的漂移,避免像素发光亮度的改变。

附图说明

- [0022] 图1为一个实施例中像素电路的电路结构示意图;
- [0023] 图2为另一个实施例中像素电路的电路结构示意图;
- [0024] 图3为一实施例的像素电路的驱动方法的流程图;
- [0025] 图4为一实施例的像素电路的驱动方法的时序图。

具体实施方式

[0026] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本发

明。但是本发明能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似改进，因此本发明不受下面公开的具体实施例的限制。

[0027] 此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。

[0028] 在本发明中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系，除非另有明确的限定。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

[0029] 例如，本发明一实施例公开一种像素电路，所述像素电路包括：第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、驱动薄膜晶体管、电容、发光二极管、复位电压端、初始化电压端、第一电源端、扫描电压端、数据电压端、控制电压端以及第二电源端；所述驱动薄膜晶体管的控制极与所述电容的第一端连接，所述电容的第二端与所述第一电源端连接，所述驱动薄膜晶体管的第一极与所述第三薄膜晶体管的第一极连接，所述第三薄膜晶体管的控制极与所述第一扫描电压端连接，所述第三薄膜晶体管的第二极与电容的第一端连接，所述驱动薄膜晶体管的第一极还与所述第四薄膜晶体管的第一极连接，所述第四薄膜晶体管的控制极与所述控制电压端连接，所述第四薄膜晶体管的第二极与所述第一电源端连接，所述驱动薄膜晶体管的第二极与所述第五薄膜晶体管的第一极连接，所述第五薄膜晶体管的控制极与所述控制电压端连接，所述第五薄膜晶体管的第二极与所述发光二极管的阳极连接，所述发光二极管的阴极与所述第二电源端连接；所述第一薄膜晶体管的控制极与所述复位电压端连接，所述第一薄膜晶体管的第一极与所述初始化电压端连接，所述第一薄膜晶体管的第二极与所述驱动薄膜晶体管的控制极连接；所述第二薄膜晶体管的控制极与所述第二扫描电压端连接，所述第二薄膜晶体管的第一极与所述数据电压端连接，所述第二薄膜晶体管的第二极与所述驱动薄膜晶体管的第二极连接。

[0030] 上述像素电路，通过设置第三薄膜晶体管、第四薄膜晶体管和第五薄膜晶体管，在显示装置工作时，在初始化阶段前的预处理阶段，将第三薄膜晶体管、第四薄膜晶体管和第五薄膜晶体管导通，使得驱动薄膜晶体管的第一极和控制极的电压置为第一电源端输入的信号电压，驱动薄膜晶体管的第二极的电压置为第二电源端输入的信号电压，从而使驱动薄膜晶体管处于关断复位状态，驱动薄膜晶体管的阈值得以恢复，消除阈值电压的漂移，避免像素发光亮度的改变。

[0031] 为了更加便于了解本发明，又一个例子是，如图1所示，其为本发明一实施例的像素电路10的电路结构示意图。一种像素电路10包括：第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、驱动薄膜晶体管DTFT、电容Cst、发光二极管D1、复位电压端RST、初始化电压端VINIT、第一电源端ELVDD、扫描电压端、数据电压端DATA、控制电压端EM以及第二电源端ELVSS。例如，在本实施例中，第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5和驱动

晶体管DTFT均为P型薄膜晶体管。例如，第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5和驱动晶体管DTFT均在控制端为低电位时导通。例如，第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5和驱动晶体管DTFT均在其控制端的电压小于其第一极或第二极的电压时导通。

[0032] 所述驱动薄膜晶体管DTFT的控制极与所述电容Cst的第一端连接，所述电容Cst的第二端与所述第一电源端ELVDD连接，所述驱动薄膜晶体管DTFT的第一极与所述第三薄膜晶体管M3的第一极连接，所述第三薄膜晶体管M3的控制极与所述第一扫描电压端SN1连接，所述第三薄膜晶体管M3的第二极与电容Cst的第一端连接，所述驱动薄膜晶体管DTFT的第一极还与所述第四薄膜晶体管M4的第一极连接，所述第四薄膜晶体管M4的控制极与所述控制电压端EM连接，所述第四薄膜晶体管M4的第二极与所述第一电源端ELVDD连接，所述驱动薄膜晶体管DTFT的第二极与所述第五薄膜晶体管M5的第一极连接，所述第五薄膜晶体管M5的控制极与所述控制电压端EM连接，所述第五薄膜晶体管M5的第二极与所述发光二极管D1的阳极连接，所述发光二极管D1的阴极与所述第二电源端ELVSS连接。例如，所述第一电源端ELVDD的电压值大于所述第二电源端ELVSS的电压值。

[0033] 这样，在预处理阶段，第一扫描电压端SN1输出信号使第三薄膜晶体管M3导通，控制电压端EM输出信号分别使第四薄膜晶体管M4和第五薄膜晶体管M5导通，驱动薄膜晶体管DTFT的控制极和第一极被置为第一电源端ELVDD的电压，驱动薄膜晶体管DTFT的第二极被置为第二电源端ELVSS端的电压，使驱动薄膜晶体管DTFT处于关断复位状态。例如，在预处理阶段后，控制电压端EM可以继续输出信号分别使第四薄膜晶体管M4和第五薄膜晶体管M5导通，使驱动薄膜晶体管DTFT保持关断复位状态。这样，驱动晶体管DTFT的阈值恢复时间更长，进一步确保消除阈值电压的漂移，避免像素发光亮度的改变。

[0034] 所述第一薄膜晶体管M1的控制极与所述复位电压端RST连接，所述第一薄膜晶体管M1的第一极与所述初始化电压端VINIT连接，所述第一薄膜晶体管M1的第二极与所述驱动薄膜晶体管DTFT的控制极连接。

[0035] 这样，在初始化阶段，复位电压端RST输出信号使第一薄膜晶体管M1导通，驱动薄膜晶体管DTFT的控制极被复位至初始化电压端VINIT的电压。

[0036] 所述第二薄膜晶体管M2的控制极与所述第二扫描电压端SN2连接，所述第二薄膜晶体管M2的第一极与所述数据电压端DATA连接，所述第二薄膜晶体管M2的第二极与所述驱动薄膜晶体管DTFT的第二极连接。

[0037] 这样，在数据写入阶段，第一扫描信号端SN1输出信号使第三薄膜晶体管M3导通，第二扫描信号端SN2输出信号使第二薄膜晶体管M2导通，使得驱动薄膜晶体管DTFT被连接成二极管结构，驱动薄膜晶体管DTFT的控制极电压为 $DATA + V_{th} + \Delta V$ ，其中，DATA为数据电压端输出的电压， V_{th} 为驱动薄膜晶体管DTFT的阈值电压， ΔV 为未补偿的电压，根据饱和区电流公式，发光二极管发光阶段的电流为：

$$[0038] \quad I_{data} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} \mu C_{ox} \frac{W}{L} (DATA + V_{th} + \Delta V - ELVDD - V_{th})^2$$

[0039] 而本申请由于预处理阶段的存在， ΔV 趋于0，因此，驱动薄膜晶体管DTFT的控制极电压可近似认为等于 $DATA + V_{th}$ ，即消除了阈值电压的漂移，发光阶段的电流也近似认为与

ΔV 参数无关,避免像素发光亮度的改变。

[0040] 例如,如图2所示,其为本发明另一实施例的像素电路的电路结构示意图。所述像素电路还包括第六薄膜晶体管M6,所述第六薄膜晶体管M6的控制极与所述复位电压端RST连接,所述第六薄膜晶体管M6的第一极与所述初始化电压端VINIT连接,所述第六薄膜晶体管M6的第二极与所述发光二极管D1的阳极连接。例如,所述第六薄膜晶体管M6为P型薄膜晶体管。例如,第六薄膜晶体管M6在控制端为低电位时导通。例如,第六薄膜晶体管M6在其控制端的电压小于其第一极或第二极的电压时导通。

[0041] 这样,在前述初始化阶段,复位电压端RST输出信号还使第六薄膜晶体管M6导通,发光二极管D1的阳极被复位至初始化电压端VINIT的电压,使发光二极管D1反偏复位。

[0042] 例如,本发明一实施例还公开一种显示装置,所述显示装置包括如上任一实施例所述的像素电路。

[0043] 例如,本发明一实施例还公开一种像素电路的驱动方法,用于驱动如图1所示的像素电路。具体地,请同时参阅图1、图3和图4,所述像素电路的驱动方法包括如下步骤:

[0044] 预处理阶段S110:控制所述第三薄膜晶体管M3、所述第四薄膜晶体管M4和所述第五薄膜晶体管M5导通,所述第一电源端ELVDD的信号分别写入所述驱动薄膜晶体管DTFT的控制极和所述驱动薄膜晶体管DTFT的第一极,所述第二电源端ELVSS的信号写入所述驱动薄膜晶体管DTFT的第二极,所述驱动薄膜晶体管DTFT处于关断复位状态;

[0045] 初始化阶段S120:控制所述第一薄膜晶体管M1导通,所述初始化电压端VINIT的信号写入所述驱动薄膜晶体管DTFT的控制极;

[0046] 数据写入阶段S130:控制所述第二薄膜晶体管M2和所述第三薄膜晶体管M3导通,驱动薄膜晶体管DTFT导通;

[0047] 发光阶段S140:控制所述第四薄膜晶体管M4和所述第五薄膜晶体管M5导通,所述发光二极管D1发光。

[0048] 上述像素电路的驱动方法,在显示装置工作时,在预处理阶段,将第三薄膜晶体管、第四薄膜晶体管和第五薄膜晶体管导通,使得驱动薄膜晶体管的第一极和控制极的电压置为第一电源端输入的信号电压,驱动薄膜晶体的第二极的电压置为第二电源端输入的信号电压,从而使驱动薄膜晶体管处于关断复位状态,驱动薄膜晶体的阈值得以恢复,消除阈值电压的漂移,避免像素发光亮度的改变。

[0049] 例如,本发明一实施例还公开另一种像素电路的驱动方法,用于驱动如图2所示的像素电路,所述像素电路还包括第六薄膜晶体管M6,所述第六薄膜晶体管M6的控制极与所述复位电压端RST连接,所述第六薄膜晶体管M6的第一极与所述初始化电压端VINIT连接,所述第六薄膜晶体管M6的第二极与所述发光二极管D1的阳极连接,所述初始化阶段还包括:

[0050] 控制所述第六薄膜晶体管M6导通,所述初始化电压端VINIT的信号写入所述发光二极管D1的阳极。

[0051] 这样,在初始化阶段,复位电压端RST输出信号还使第六薄膜晶体管M6导通,发光二极管D1的阳极被复位至初始化电压端VINIT的电压,使发光二极管D1反偏复位。

[0052] 为了进一步确保消除阈值电压的漂移,例如,所述预处理阶段和所述初始化阶段之间还包括:

[0053] 延长恢复阶段：控制所述第四薄膜晶体管M4和所述第五薄膜晶体管M5导通，所述驱动薄膜晶体管DTFT保持关断复位状态。

[0054] 这样，驱动晶体管DTFT的阈值恢复时间更长，进一步确保消除阈值电压的漂移，避免像素发光亮度的改变。

[0055] 例如，所述延长恢复阶段的时间占比为0.1~0.4。即延长恢复阶段在一帧时间内的占比为0.1~0.4。由于延长恢复阶段的时间太短，会造成驱动薄膜晶体管的恢复时间不够长的问题，而延长恢复阶段的时间太长，又会造成影响正常显示的问题。将延长恢复阶段的时间占比设定为0.1~0.4，能够确保驱动薄膜晶体管DTFT的阈值恢复时间足够长，但同时该时间又不会太长，造成影响正常显示，例如导致屏幕闪烁的问题。例如，所述延长恢复阶段的时间占比为0.2或0.3。

[0056] 以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

[0057] 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，发明专利的保护范围应以所附权利要求为准。

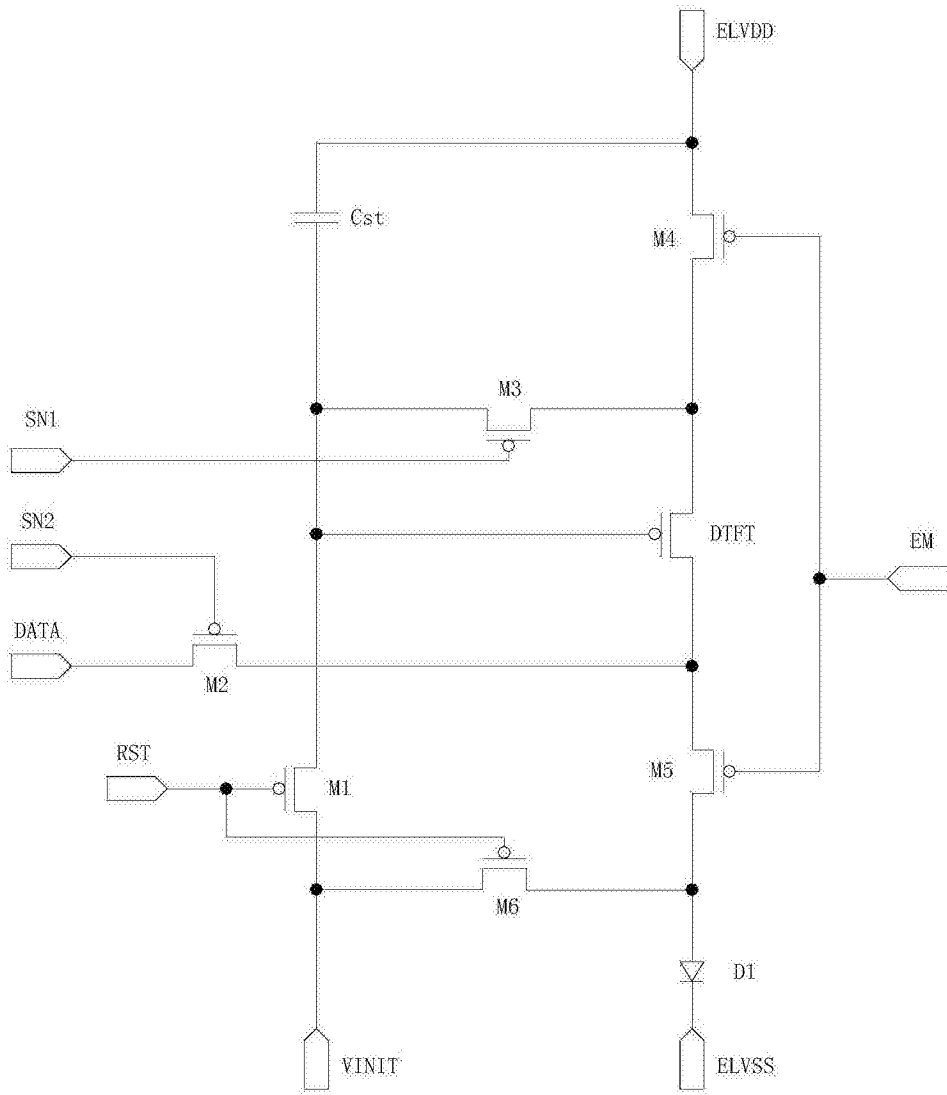


图2

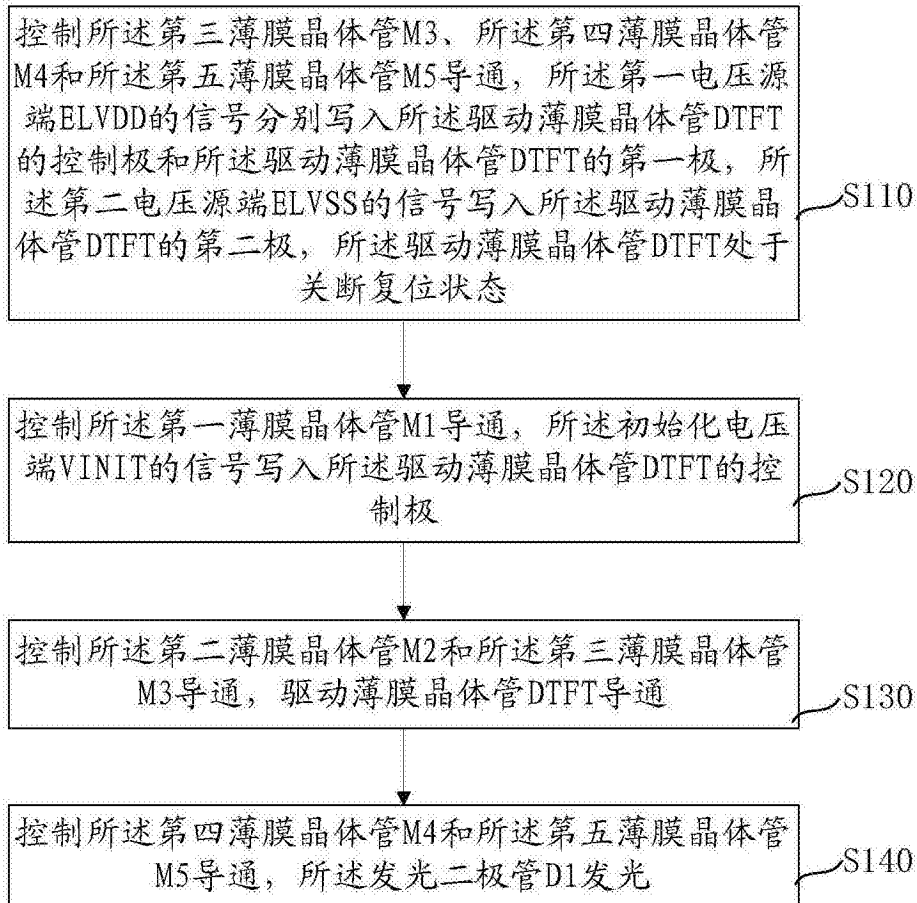


图3

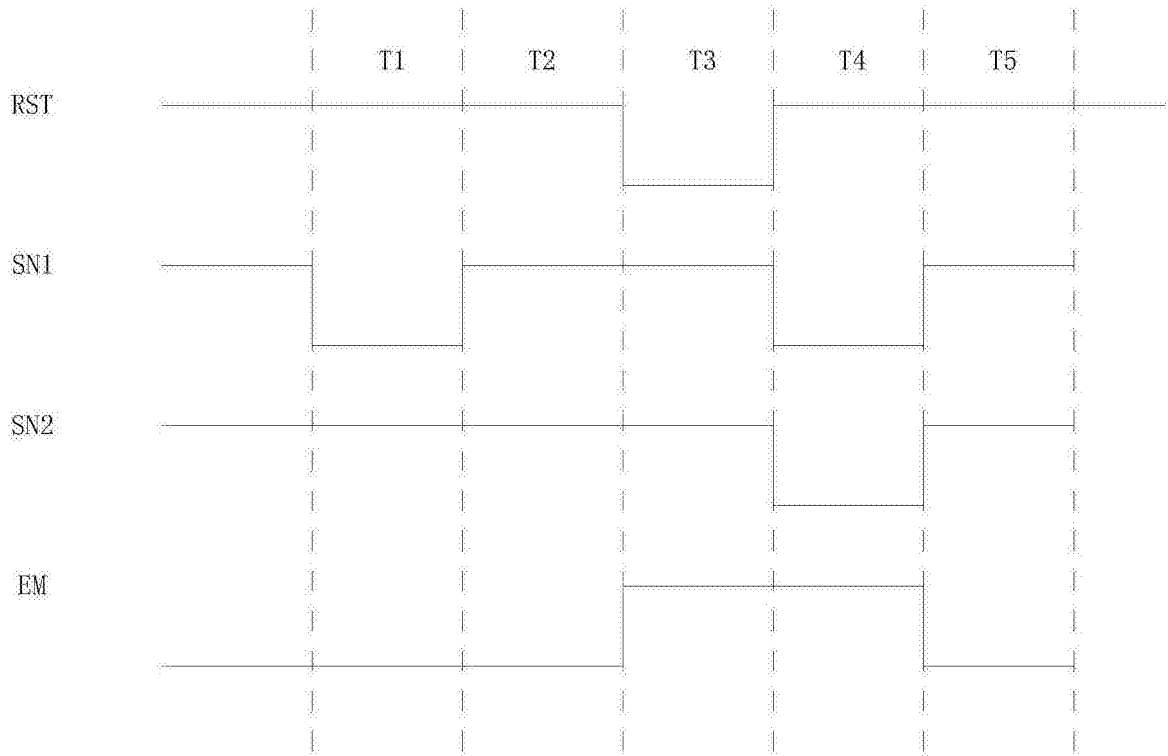


图4