



**특허청구의 범위**

**청구항 1**

제1 접지 선택 트랜지스터;

제1 스트링 선택 트랜지스터; 및

상기 제1 접지 선택 트랜지스터와 상기 제1 스트링 선택 트랜지스터 사이에 직렬로 연결된 제1 메모리 셀 트랜지스터들을 포함하고,

상기 제1 접지 선택 트랜지스터와 상기 제1 메모리 셀 트랜지스터들은 동일한 구조를 갖는 메모리 소자.

**청구항 2**

제 1 항에 있어서,

상기 제1 메모리 셀 트랜지스터들과 상기 제1 접지 선택 트랜지스터는 제1 게이트 절연층, 제1 전하 저장층, 제1 중간 게이트 절연층 및 제1 게이트층을 포함하는 메모리 소자.

**청구항 3**

제 1 항에 있어서,

상기 제1 접지 선택 트랜지스터, 상기 제1 스트링 선택 트랜지스터 및 상기 제1 메모리 셀 트랜지스터들은 제1 메모리 어레이층을 구성하고,

상기 제1 메모리 어레이층 상의, 제2 접지 선택 트랜지스터, 제2 스트링 선택 트랜지스터 및 상기 제2 접지 선택 트랜지스터와 상기 제2 스트링 선택 트랜지스터 사이에 직렬로 배열된 제2 메모리 셀 트랜지스터들을 포함하는 제2 메모리 어레이층을 더 포함하되,

상기 제2 접지 선택 트랜지스터와 상기 제2 메모리 셀 트랜지스터들은 동일한 구조를 갖는 메모리 소자.

**청구항 4**

제 3 항에 있어서,

상기 제2 메모리 셀 트랜지스터들과 상기 제2 접지 선택 트랜지스터는 제2 게이트 절연층, 제2 전하 저장층, 제2 중간 게이트 절연층 및 제2 게이트층을 포함하는 메모리 소자.

**청구항 5**

제 3 항에 있어서,

상기 제1 스트링 선택 트랜지스터와 상기 제2 스트링 선택 트랜지스터는 게이트 절연층 및 게이트층을 포함하는 메모리 소자.

**청구항 6**

제 3 항에 있어서,

상기 제2 메모리 어레이층 상(above)에 배치되고, 상기 제1 스트링 선택 트랜지스터의 드레인과 상기 제2 스트링 선택 트랜지스터의 드레인에 전기적으로 연결된 비트라인; 및

상기 제1 접지 선택 트랜지스터의 제1 공통소스영역과 상기 제2 접지 선택 트랜지스터의 제2 공통소스영역을 전기적으로 연결하는 공통 소스 라인을 더 포함하는 메모리 소자.

**청구항 7**

제 6 항에 있어서,

상기 제1 공통소스영역과 상기 제2 공통소스영역을 연결하는 소스 콘택을 더 포함하되,

상기 소스콘택은 상기 제2 메모리 어레이층의 바디(body)를 관통하는 메모리 소자.

**청구항 8**

접지 선택 라인, 스트링 선택 라인 및 상기 접지 선택 라인과 상기 스트링 선택 라인 사이에 평행하게 배열된 워드라인들을 포함하고, 상기 접지 선택 라인의 접지 선택 트랜지스터와 상기 워드라인들의 메모리 셀 트랜지스터들은 동일한 구조를 갖는 메모리 소자의 동작방법에 있어서,

상기 접지 선택 라인에 제1 프로그램 전압을 제공하는 단계;

상기 워드라인들에 패스 전압을 제공하는 단계;

상기 선택된 메모리 셀 트랜지스터를 포함하는 선택 워드라인에 제2 프로그램 전압을 제공하는 단계를 포함하는 메모리 소자의 동작 방법.

**청구항 9**

제 8 항에 있어서,

상기 선택 워드라인을 제외한 나머지 워드라인들에 패스 전압을 제공하는 단계를 더 포함하는 메모리 소자의 동작 방법.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**명세서**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 안정적으로 작동할 수 있는 메모리 소자 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 비휘발성 메모리 소자(Non-Volatile Memory device;NVM)는 전기 공급이 중단되더라도 저장된 정보를 계속 유지할 수 있는 반도체 소자이다. 상기 비휘발성 메모리 소자로서 대표적으로 플래쉬 메모리 소자(flash memory device)가 있다.

[0003] 상기 플래쉬 메모리 소자는 플로팅 게이트를 포함하는 반도체 소자로서, 전기적으로 데이터를 프로그램(program) 및 삭제(erase)할 수 있다. 상기 프로그램 및 삭제는 전기적으로 격리된 플로팅 게이트 내에 전하들을 유입하거나 플로팅 게이트로부터 전하들을 방출하여 수행된다. 전하들의 유입 또는 방출은 핫캐리어 주입 방식 또는 F-터널링(Fowler-Nordheim tunneling)으로 이루어질 수 있다. 일반적으로, 플로팅 게이트를 갖는 플래쉬 메모리 소자는 제어 게이트 전극에 동작 전압(프로그램 전압 또는 소거 전압)이 인가되고, 이 동작 전압에 따른 플로팅 게이트에 유기되는 전압에 의하여 전하들이 플로팅 게이트로 유입되거나, 플로팅 게이트로 부터 방출된다. 상기 프로그램 동작에 있어서, 반도체 소자의 디자인 룰(design rule)이 감소할수록, 리키지와 같은 소자의 전기적 문제점이 증가한다.

**발명의 내용**

**해결 하고자하는 과제**

[0004] 본 발명의 기술적 과제는 누설전류가 감소된 메모리 소자 및 그 동작방법을 제공하는 것이다.

[0005] 본 발명의 기술적 과제는 균일한 문턱전압을 갖는 메모리 소자 및 그 동작방법을 제공하는 것이다.

**과제 해결수단**

[0006] 본 발명의 실시예에 따른 메모리 소자는 제1 접지 선택 트랜지스터, 제1 스트링 선택 트랜지스터 및 상기 제1 접지 선택 트랜지스터와 상기 제1 스트링 선택 트랜지스터 사이에 직렬로 연결된 제1 메모리 셀 트랜지스터들을 포함하고, 상기 제1 접지 선택 트랜지스터와 상기 제1 메모리 셀 트랜지스터들은 동일한 구조를 가질 수 있다.

[0007] 일 실시예에 따르면, 상기 제1 메모리 셀 트랜지스터들과 상기 제1 접지 선택 트랜지스터는 제1 게이트 절연층, 제1 전하 저장층, 제1 중간 게이트 절연층 및 제1 게이트층을 포함할 수 있다.

[0008] 다른 실시예에 따르면, 상기 제1 접지 선택 트랜지스터, 상기 제1 스트링 선택 트랜지스터 및 상기 제1 메모리 셀 트랜지스터들은 제1 메모리 어레이층을 구성하고, 상기 제1 메모리 어레이층 상의, 제2 접지 선택 트랜지스터, 제2 스트링 선택 트랜지스터 및 상기 제2 접지 선택 트랜지스터와 상기 제2 스트링 선택 트랜지스터 사이에 직렬로 배열된 제2 메모리 셀 트랜지스터들을 포함하는 제2 메모리 어레이층을 더 포함하되, 상기 제2 접지 선택 트랜지스터와 상기 제2 메모리 셀 트랜지스터들은 동일한 구조를 가질 수 있다.

[0009] 또 다른 실시예에 따르면, 상기 제2 메모리 셀 트랜지스터들과 상기 제2 접지 선택 트랜지스터는 제2 게이트 절연층, 제2 전하 저장층, 제2 중간 게이트 절연층 및 제2 게이트층을 포함할 수 있다.

[0010] 또 다른 실시예에 따르면, 상기 제1 스트링 선택 트랜지스터와 상기 제2 스트링 선택 트랜지스터는 게이트 절연층 및 게이트층을 포함할 수 있다.

[0011] 또 다른 실시예에 따르면, 상기 메모리 소자는 상기 제2 메모리 어레이층 상(above)에 배치되고, 상기 제1 스트링 선택 트랜지스터의 드레인과 상기 제2 스트링 선택 트랜지스터의 드레인에 전기적으로 연결된 비트라인 및 상기 제1 접지 선택 트랜지스터의 제1 공통소스영역과 상기 제2 접지 선택 트랜지스터의 제2 공통소스영역을 전기적으로 연결하는 공통 소스 라인을 더 포함할 수 있다.

[0012] 또 다른 실시예에 따르면, 상기 메모리 소자는 상기 제1 공통소스영역과 상기 제2 공통소스영역을 연결하는 소스 콘택을 더 포함하되, 상기 소스콘택은 상기 제2 메모리 어레이층의 바디(body)를 관통할 수 있다.

- [0013] 본 발명의 실시예에 따른 메모리 소자의 동작방법은 접지 선택 라인, 스트링 선택 라인 및 상기 접지 선택 라인과 상기 스트링 선택 라인 사이에 평행하게 배열된 워드라인들을 포함하고, 상기 접지 선택 라인의 접지 선택 트랜지스터들과 상기 워드라인들의 메모리 셀 트랜지스터들은 동일한 구조를 갖는 메모리 소자에 적용될 수 있으며, 상기 동작방법은 i) 상기 접지 선택 트랜지스터들을 프로그램하는 단계 및 ii) 선택된 메모리 셀 트랜지스터를 프로그램하는 단계를 포함할 수 있다.
- [0014] 일 실시예에 따르면, 상기 ii) 단계는 상기 선택된 메모리 셀 트랜지스터를 포함하는 선택 워드라인에 제1 프로그램 전압을 제공하는 단계 및 상기 선택 워드라인을 제외한 나머지 워드라인들에 패스 전압을 제공하는 단계를 포함할 수 있다.
- [0015] 다른 실시예에 따르면, 상기 i) 단계는 상기 접지 선택 라인에 제2 프로그램 전압을 제공하는 단계 및 상기 워드라인들에 패스 전압을 제공하는 단계를 포함할 수 있다.
- [0016] 또 다른 실시예에 따르면, 상기 제2 프로그램 전압은 상기 제1 프로그램 전압보다 작거나 같은 전압일 수 있다.
- [0017] 또 다른 실시예에 따르면, 상기 i) 단계는 상기 접지 선택 라인에 제2 프로그램 전압을 제공하는 단계 및 상기 워드라인들에 0V의 전압을 제공하는 단계를 포함할 수 있다.
- [0018] 또 다른 실시예에 따르면, 상기 제2 프로그램 전압은 상기 제1 프로그램 전압보다 작거나 같은 전압일 수 있다.
- [0019] 또 다른 실시예에 따르면, 상기 동작방법은 iii) 상기 접지 선택 트랜지스터들과 상기 선택된 메모리 셀 트랜지스터들에 프로그램된 데이터를 동시에 소거하는 단계를 더 포함할 수 있다.
- [0020] 또 다른 실시예에 따르면, 상기 iii) 단계는 상기 접지 선택 라인과 상기 선택된 메모리 셀 트랜지스터들을 포함하는 워드라인에 0V의 전압을 제공하는 단계, 및 상기 메모리 소자의 기판의 웰에 소거 전압을 제공하는 단계를 포함할 수 있다.
- [0021] 또 다른 실시예에 따르면, 상기 메모리 소자는 상기 접지 선택 라인과 상기 스트링 선택 라인 사이의 서로 다른 상기 워드라인들의 메모리 셀 트랜지스터들이 직렬로 배열된 스트링들을 포함할 수 있고, 이때, 상기 동작방법은 상기 선택된 메모리 셀 트랜지스터를 포함하는 선택 스트링을 제외한 비선택 스트링들을 부스팅하는 단계를 포함할 수 있다.
- [0022] 또 다른 실시예에 따르면, 상기 i) 단계는 상기 접지 선택 라인과 상기 비선택 스트링들의 교차점에 위치한 메모리 셀 트랜지스터들을 선택적으로 프로그램하는 단계를 포함할 수 있다.
- [0023] 또 다른 실시예에 따르면, 상기 i) 단계는 상기 접지 선택 라인과 상기 스트링들의 교차점에 위치한 모든 메모리 셀 트랜지스터들을 프로그램하는 단계를 포함할 수 있다.

**효 과**

- [0024] 본 발명의 실시예에 따르면, 접지 선택 트랜지스터를 프로그램함으로써, 부스팅된 채널을 갖는 셀 스트링이 배치된 활성 영역으로부터 공통 소스 라인으로 누설전류가 발생하는 것이 방지될 수 있다. 따라서, 공통 소스 라인에 누설전류를 감소시키기 위한 소정의 전압이 제공되지 않으므로 소스 콘택과 반도체층의 접촉에 의한 웰 전압 상승이 방지될 수 있다. 이로써, 메모리 소자의 문턱 전압의 산포가 안정적으로 유지될 수 있다. 따라서, 안정적으로 작동할 수 있는 메모리 소자가 제공될 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0025] 이하, 첨부 도면을 참조하여 본 발명의 실시 예에 대해 설명한다. 본 발명의 목적(들), 특징(들) 및 장점(들)은 첨부된 도면과 관련된 이하의 실시 예들을 통해서 쉽게 이해될 것이다. 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기하였다.
- [0026] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판상에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 부분, 물질 등을 기술하기 위해서 사용되었지만, 이들 부분이 같은 용어들에 의해서 한정되어서는 안 된다. 또한 이들 용어들은 단지 어느 소정 부분을 다른 부분과 구별시키기 위해서 사용되었을 뿐이다.

따라서, 어느 한 실시예에의 제 1 부분으로 언급된 것이 다른 실시예에서는 제 2 부분으로 언급될 수도 있다.

- [0027] 본 명세서에서 '및/또는'이라는 용어는 이 용어 앞뒤에 열거된 구성들 중 어느 하나 또는 모두를 가리키는 것으로 이해되어야 한다.
- [0028] 도 1 및 2를 참조하여, 본 발명의 실시예에 따른 플래쉬 메모리 소자가 설명된다.
- [0029] 상기 플래쉬 메모리 소자는 적층된 메모리 어레이층들(100, 200)을 포함할 수 있다. 예컨대, 상기 플래쉬 메모리 소자는 제1 메모리 어레이층(100) 및 제2 메모리 어레이층(200)을 포함할 수 있다. 상기 제1 메모리 어레이층(100)과 상기 제2 메모리 어레이층(200)은 동일한 구조를 가질 수 있다.
- [0030] 도 1 및 2를 참조하면, 상기 제1 메모리 어레이층(100)은 바디(body)로써 제1 반도체층(110)을 포함할 수 있다. 상기 제1 반도체층(110)은, 소자 분리막(111)에 의해 정의되고 제1 방향으로 신장하는 활성영역들을 포함할 수 있다. 상기 제1 메모리 어레이층(100)은 상기 제1 반도체층(110)의 활성영역 상에 상기 제1 방향으로 신장하는 제1 낸드 스트링(S1)을 포함할 수 있다. 상기 제1 낸드 스트링(S1)은 제1 접지 선택 트랜지스터(GST1), 제1 스트링 선택 트랜지스터(SST1), 및 상기 제1 접지 선택 트랜지스터(GST1)와 상기 제1 스트링 선택 트랜지스터(SST1) 사이에 직렬로 배열된 제1 메모리 셀 트랜지스터들(MC1)로 이루어진 제1 셀 스트링을 포함할 수 있다. 상기 제1 낸드 스트링(S1)은 상기 제1 반도체층(110) 상에 반복적으로 배치될 수 있다. 소자의 집적도를 향상시키도록, 상기 제1 낸드 스트링(S1)은 거울 대칭적으로 배치될 수 있다.
- [0031] 상기 제2 메모리 어레이층(200)은 제2 반도체층(210)을 포함할 수 있다. 상기 제2 반도체층(210)은, 소자 분리막(211)에 의해 정의되고 상기 제1 방향으로 신장하는 활성영역들을 포함할 수 있다. 상기 제2 메모리 어레이층(200)은 상기 제2 반도체층(210)의 활성영역 상에 상기 제1 방향으로 신장하는 제2 낸드 스트링(S2)을 포함할 수 있다. 상기 제2 낸드 스트링(S2)은 제2 접지 선택 트랜지스터(GST2), 제2 스트링 선택 트랜지스터(SST2), 및 상기 제2 접지 선택 트랜지스터(GST2)와 상기 제2 스트링 선택 트랜지스터(SST2) 사이에 직렬로 배열된 제2 메모리 셀 트랜지스터들(MC2)로 이루어진 제2 셀 스트링을 포함할 수 있다.
- [0032] 상기 제1 메모리 셀 트랜지스터들(MC1)과 상기 제1 접지 선택 트랜지스터(GST1)는 동일한 구조를 가질 수 있다. 예컨대, 상기 제1 메모리 셀 트랜지스터들(MC1) 각각은 순차적으로 적층된 제1 게이트 절연층(122), 제1 전하 저장층(124), 제1 중간 게이트 절연층(126) 및 제1 게이트층(128)을 포함할 수 있다. 상기 제1 메모리 셀 트랜지스터들(MC1)에 있어서, 상기 제1 전하 저장층(124)은 플로팅 게이트로 사용될 수 있으며, 상기 제1 게이트층(128)은 제어 게이트로 사용될 수 있다. 또는, 상기 제1 전하 저장층(124)은 전하 트랩층으로 사용될 수 있다. 상기 제1 접지 선택 트랜지스터(GST1)는 순차적으로 적층된 제1 접지 선택 게이트 절연층(122a), 제1 접지 선택 전하 저장층(124a), 제1 접지 선택 중간 게이트 절연층(126a) 및 제1 접지 선택 게이트층(128a)을 포함할 수 있다. 상기 제1 스트링 선택 트랜지스터(SST1)는 상기 제1 접지 선택 트랜지스터(GST1)와 동일한 층들을 포함할 수 있다. 예컨대, 상기 제1 스트링 선택 트랜지스터(SST1)는 상기 제1 스트링 선택 게이트 절연층(122b), 제1 스트링 선택 하부 게이트층(124b), 제1 스트링 선택 중간 게이트 절연층(126b) 및 상기 제1 스트링 선택 상부 게이트층(128b)을 포함하고, 상기 제1 스트링 선택 하부 게이트층(124b)과 상기 제1 스트링 선택 상부 게이트층(128b)을 전기적으로 연결하는 제1 버핑 콘택(129)을 부가적으로 더 포함할 수 있다. 또는, 상기 제1 스트링 선택 트랜지스터(SST1)는 상기 제1 스트링 선택 중간 게이트 절연층(126b)이 제거되어, 상기 제1 스트링 선택 하부 게이트층(124b)과 상기 제1 스트링 선택 상부 게이트층(128b)이 직접 접촉할 수 있다. 즉, 상기 제1 스트링 선택 하부 게이트층(126b)과 상기 제1 스트링 선택 상부 게이트층(128b)이 하나의 게이트층을 구성할 수 있다.
- [0033] 상기와 같은 구조로, 상기 제2 메모리 셀 트랜지스터들(MC2)은 제2 게이트 절연층(222), 제2 전하 저장층(224), 제2 중간 게이트 절연층(226) 및 제2 게이트층(228)을 포함할 수 있다. 상기 제2 접지 선택 트랜지스터(GST2)는 제2 접지 선택 게이트 절연층(222a), 제2 접지 선택 전하 저장층(224a), 제2 접지 선택 중간 게이트 절연층(226a) 및 제2 접지 선택 게이트층(228a)을 포함할 수 있다. 상기 제2 스트링 선택 트랜지스터(SST2)는 제2 스트링 선택 게이트 절연층(222b), 제2 스트링 선택 하부 게이트층(224b), 제2 스트링 선택 중간 게이트 절연층(226b), 제2 스트링 선택 상부 게이트층(228b) 및 제2 버핑 콘택(229)을 포함할 수 있다. 상기 제2 전하 저장층(224) 및 상기 제2 접지 선택 전하 저장층(224a)은 플로팅 타입의 게이트 또는 전하 트랩 타입의 게이트로 사용될 수 있다. 상기 제2 게이트층(228) 및 상기 제2 접지 선택 게이트층(228a)은 제어 게이트로 사용될 수 있다.
- [0034] 상기 제1 방향과 교차하는 제2 방향으로 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)이 신장할 수 있다. 즉, 상기

제1 낸드 스트링(S1)과 교차하는 방향으로 연장된 상기 제1 메모리 셀 트랜지스터들(MC1)의 제1 상부 게이트층들(128)은 상기 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)을 구성할 수 있다. 상기 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)과 평행하게 상기 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)의 일측에 배열된 상기 제1 접지 선택 트랜지스터(GST1)의 제1 접지 선택 게이트층(128a)은 제1 접지 선택라인(GSL1)을 형성할 수 있다. 상기 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)의 타측에 배열된 상기 제1 스트링 선택 트랜지스터(SST1)의 제1 스트링 선택 상부 게이트층(128b)은 제1 스트링 선택라인(SSL1)을 형성할 수 있다. 상기 제1 메모리 어레이층(100)처럼, 상기 제2 메모리 어레이층(200)은 제2 워드라인들(WL<sub>2,1</sub>, WL<sub>2,2</sub> ··· WL<sub>2,n</sub>), 제2 접지 선택라인(GSL2) 및 제2 스트링 선택라인(SSL2)을 포함할 수 있다.

[0035] 상기 제1 메모리 셀 트랜지스터들(MC1) 각각은 불순물 확산 영역들(112)을 포함할 수 있다. 하나의 상기 제1 낸드 스트링(S1)에 있어서, 인접한 제1 메모리 셀 트랜지스터들(MC1)은 상기 불순물 확산 영역들(112)을 공유할 수 있다. 상기 제1 접지 선택 트랜지스터(GST1)와 인접한 상기 제1 반도체층(110) 내에 제1 공통소스영역(114)이 위치할 수 있다. 상기 제1 공통소스영역(114)을 기준으로 상기 제1 낸드 스트링(S1)은 거울 대칭적으로 배열될 수 있다. 상기 제1 스트링 선택 트랜지스터(SST1)와 인접한 상기 제1 반도체층(110) 내에 제1 드레인 영역(116)이 위치할 수 있다. 상기 제1 메모리 어레이층(100)과 마찬가지로, 상기 제2 메모리 어레이층(200)은 불순물 확산 영역들(212), 제2 공통소스영역(214) 및 제2 드레인 영역(216)을 포함할 수 있다.

[0036] 상기 제1 공통소스영역(114)과 상기 제2 공통소스영역(214)은 소스 콘택(250)에 의해 전기적으로 연결될 수 있다. 예컨대, 상기 제1 메모리 어레이층(100)과 상기 제2 메모리 어레이층(200) 사이에 제1 층간 절연막(130)이 개재될 수 있고, 상기 제2 메모리 어레이층(200) 상에 제2 층간 절연막(230)이 제공될 수 있다. 상기 소스 콘택(250)은 상기 제2 메모리 어레이층(200)의 바디(body)인 상기 제2 반도체층(210)과 상기 제1 층간 절연막(130)을 관통하여 상기 제2 공통소스영역(214)과 상기 제1 공통소스영역(114)을 전기적으로 연결할 수 있다. 즉, 상기 소스 콘택(250)은 상기 제2 반도체층(210)의 p-웰 영역과 전기적으로 연결될 수 있다. 공통 소스라인(CSL)은 상기 소스 콘택(250)과 연결되어 상기 공통소스영역들(114, 214)을 연결할 수 있다. 상기 공통 소스라인(CSL)은 상기 제2 층간 절연막(230) 내에 상기 제2 방향으로 신장할 수 있다. 상기 제2 층간 절연막(230) 상에 상기 제1 방향으로 비트라인(BL)이 신장할 수 있다. 상기 비트라인(BL)은 비트라인 콘택(260)에 의해 상기 제1 드레인 영역(116) 및 상기 제2 드레인 영역(216)과 전기적으로 연결될 수 있다. 상기 비트라인 콘택(260)은 상기 제2 층간 절연막(230), 상기 제2 반도체층(210)과 상기 제1 층간 절연막(130)을 관통할 수 있다. 각각의 반도체층 상에서, 평행하게 배열된 낸드 스트링들의 드레인 영역은 서로 다른 비트라인(BL)에 연결될 수 있다.

[0037] 도 1 및 3 내지 8을 참조하여, 본 발명의 실시예에 따른 메모리 소자의 제조방법이 설명된다.

[0038] 도 1 및 3을 참조하면, 제1 반도체층(110)이 제공될 수 있다. 상기 제1 반도체층(110)은 소자 분리막(111)에 의해 정의되고 제1 방향으로 신장하는 활성영역들을 포함할 수 있다. 상기 제1 반도체층(110) 상에 제1 절연막(121), 제1 게이트막(123), 제2 절연막(125) 및 제2 게이트막(127)이 형성될 수 있다. 상기 제1 절연막(121)은 실리콘 산화막을 포함할 수 있고, 상기 제2 절연막(125)은 실리콘 산화막, 실리콘 질화막 및/또는 실리콘 산화막을 포함할 수 있다. 상기 제2 절연막(125)은 고유전물질을 포함할 수 있다. 상기 제1 게이트막(123)은 도전성 폴리실리콘을 포함할 수 있다. 또는, 상기 제1 게이트막(123)은 고유전물질을 포함할 수 있다. 상기 제1 게이트막(123)은 상기 활성영역 상에서 상기 제1 방향으로 신장할 수 있다. 상기 제2 게이트막(127)은 도전성 폴리실리콘, 금속, 금속 실리사이드, 및/또는 도전성 금속 질화물을 포함할 수 있다.

[0039] 스트링 선택 라인(SSL)이 형성되는 영역에서 상기 제2 게이트막(127)을 형성하기 전에, 상기 제2 절연막(125)에 대해 선택적으로 식각 공정이 수행되어 상기 제1 게이트막(123)을 노출시키는 버핑 영역(미도시)이 형성될 수 있다. 상기 제2 절연막(125) 상에 상기 제2 게이트막(127)을 형성하여 상기 버핑 영역을 매립하는 제1 버핑 콘택(129)이 형성될 수 있다. 또는, 상기 스트링 선택 라인(SSL)이 형성되는 영역에서, 상기 제2 절연막(125)은 선택적으로 제거될 수 있다. 이로써, 상기 제1 게이트막(123)과 상기 제2 게이트막(127)은 일부 영역에서 직접 접촉하여 적층될 수 있다.

[0040] 도 1 및 도 4를 참조하면, 상기 제2 게이트막(127), 상기 제2 절연막(125), 상기 제1 게이트막(123) 및 상기 제1 절연막(121)이 패터닝되어 제1 접지 선택 게이트 스택(140a) 및 제1 메모리 셀 게이트 스택(140)이 형성될 수 있다. 상기 제1 메모리 셀 게이트 스택(140)은 제1 게이트 절연층(122), 제1 전하 저장층(124), 제1 층간

게이트 절연층(126) 및 제1 게이트층(128)을 포함할 수 있다. 상기 제1 접지 선택 게이트 스택(140a)은 제1 접지 선택 게이트 절연층(122a), 제1 접지 선택 전하 저장층(124a), 제1 접지 선택 중간 게이트 절연층(126a) 및 제1 접지 선택 게이트층(128a)을 포함할 수 있다. 제1 스트링 선택 게이트 스택(140b)이 상기 제1 메모리 셀 게이트 스택(140)과 동시에 형성될 수 있다. 상기 제1 스트링 선택 게이트 스택(140b)은 제1 스트링 선택 게이트 절연층(122b), 제1 스트링 선택 하부 게이트층(124b), 제1 스트링 선택 중간 게이트 절연층(126b) 및 상기 제1 스트링 선택 상부 게이트층(128b)을 포함하고, 상기 제1 스트링 선택 하부 게이트층(124b)과 상기 제1 스트링 선택 상부 게이트층(128b)을 전기적으로 연결하는 제1 버티컬 콘택(129)을 부가적으로 더 포함할 수 있다. 또는, 상기 스트링 선택 라인(SSL)이 형성되는 영역의 구조물이 제거된 후, 상기 제1 접지 선택 게이트 스택(140b)과 상기 제1 메모리 셀 게이트 스택(140)을 마스크 패턴을 이용하여 커버할 수 있다. 상기 스트링 선택 라인(SSL)이 형성되는 영역에, 제1 스트링 선택 게이트 절연층(122b)과 제1 스트링 선택 게이트층(124b 또는 128b)을 포함하는 제1 스트링 선택 게이트 스택(140b)이 형성될 수 있다.

[0041] 도 1 및 도 5를 참조하면, 상기 게이트 스택들을 형성한 후 이온주입 공정 및 열처리 공정이 수행될 수 있다. 이로써, 상기 제1 메모리 셀 게이트 스택들(140) 양측의 상기 활성영역에 불순물 확산 영역(112), 상기 제1 접지 선택 게이트 스택(140a) 양측의 상기 활성영역에 제1 공통 소스 영역(114), 상기 제1 스트링 선택 게이트 스택(140b) 양측의 상기 활성영역에 제1 드레인 영역(116)이 형성될 수 있다. 상기 게이트 스택들은 그 상부면(top surface) 상에 보호막을 더 포함하고, 그 측벽에 게이트 스페이서(미도시)를 더 포함할 수 있다. 상기 스페이서를 이용하여, 상기 제1 공통 소스 영역(114)과 상기 제1 드레인 영역(116)에 대해 불순물 주입 공정이 수행될 수 있다. 상기 제1 공통 소스 영역(114)과 상기 제1 드레인 영역(116)은 콘택 저항을 개선하기 위해 상기 불순물 확산 영역(112)보다 높은 불순물 농도를 가질 수 있다.

[0042] 이로써, 제1 메모리 어레이층(100)은 상기 제1 반도체층(110)과 상기 제1 반도체층(110) 상에서 상기 제1 방향으로 신장되는 제1 낸드 스트링(S1)을 포함할 수 있다. 상기 제1 낸드 스트링(S1)은 제1 접지 선택 트랜지스터(GST1), 제1 스트링 선택 트랜지스터(SST1), 및 상기 제1 접지 선택 트랜지스터(GST1)와 상기 제1 스트링 선택 트랜지스터(SST1) 사이에 직렬로 배열된 제1 메모리 셀 트랜지스터들(MC1)을 포함할 수 있다. 상기 제1 낸드 스트링(S1)이 상기 제1 반도체층(110) 상에 반복적으로 배치될 수 있다. 소자의 집적도를 향상시키도록, 상기 제1 낸드 스트링(S1)은 거울 대칭적으로 배치될 수 있다.

[0043] 상기 제1 메모리 셀 트랜지스터들(MC1) 각각은 상기 제1 메모리 셀 게이트 스택(140)과 상기 불순물 확산 영역(112)을 포함할 수 있고, 상기 제1 접지 선택 트랜지스터(GST1)는 제1 접지 선택 게이트 스택(140a)과 상기 제1 공통 소스 영역(114)을 포함할 수 있고, 상기 제1 스트링 선택 트랜지스터(SST1)는 상기 제1 접지 선택 게이트 스택(140b)과 상기 제1 드레인 영역(116)을 포함할 수 있다.

[0044] 상기 제1 메모리 어레이층(100) 상에 제1 층간절연막(130)이 형성될 수 있다. 상기 제1 층간절연막(130)은 예컨대, 실리콘 산화물 등을 포함할 수 있다. 상기 제1 층간 절연막(130)이 선택적으로 패터닝되어 상기 제1 접지 선택 트랜지스터(GST1) 외측의 상기 제1 공통 소스 영역(114) 및 상기 제1 스트링 선택 트랜지스터(SST1) 외측의 제1 드레인 영역(116)을 노출하는 개구부들(132)이 형성될 수 있다. 상기 개구부들(132)에 의해 노출된 상기 제1 반도체층(110)을 씨드로 하여 에피층(epitaxial layer)을 성장시킬 수 있다. 이와 같은 선택적 에피택시얼 성장>Selective Epitaxial Growth:SEG 공정에 의해, 상기 개구부들(132)을 채우는 제2 반도체층(210)이 상기 제1 층간절연막(130) 상에 형성될 수 있다. 상기 제2 반도체층(210)에 대해 평탄화 공정이 수행될 수 있다.

[0045] 상기 제2 반도체층(210)에 소자분리막(211)에 의해 정의되고 상기 제1 방향으로 신장하는 활성영역들이 형성될 수 있다. 상기 제2 반도체층(210) 상에 제3 절연막(221), 제3 게이트막(223), 제4 절연막(225) 및 제4 게이트막(227)이 형성될 수 있다. 상기 제3 절연막(221)은 실리콘 산화막을 포함할 수 있고, 상기 제4 절연막(225)은 실리콘 산화막, 실리콘 질화막 및/또는 실리콘 산화막을 포함할 수 있다. 상기 제4 절연막(225)은 고유전물질 을 포함할 수 있다. 상기 제3 게이트막(223)은 도전성 폴리실리콘 또는 고유전물질 을 포함할 수 있다. 상기 제3 게이트막(223)은 상기 활성영역 상에서 상기 제1 방향으로 신장할 수 있다. 상기 제4 게이트막(227)은 도전성 폴리실리콘, 금속, 금속 실리사이드, 및/또는 도전성 금속 질화물을 포함할 수 있다. 이때, 앞서 설명한 바와 같이, 버티컬 콘택 형성 공정이 수행되어 제2 버티컬 콘택이 형성될 수 있다.

[0046] 도 1 및 도 6을 참조하면, 상기 제4 게이트막(227), 상기 제4 절연막(225), 상기 제3 게이트막(223) 및 상기 제3 절연막(221)이 패터닝되어 제2 접지 선택 게이트 스택(240a) 및 제2 메모리 셀 게이트 스택(240)이 형성될 수 있다. 상기 제2 메모리 셀 게이트 스택(240)은 제2 게이트 절연층(222), 제2 전하 저장층(224), 제2 중간

게이트 절연층(226) 및 제2 게이트층(228)을 포함할 수 있다. 상기 제2 접지 선택 게이트 스택(240a)은 제2 접지 선택 게이트 절연층(222a), 제2 접지 선택 전하 저장층(224a), 제2 접지 선택 중간 게이트 절연층(226a) 및 제2 접지 선택 게이트층(228a)을 포함할 수 있다. 이때, 제2 스트링 선택 게이트 스택(240b)은 앞서 설명된 상기 제1 스트링 선택 게이트 스택(140b)과 동일한 공정에 의해 형성될 수 있다. 상기 제2 스트링 선택 게이트 스택(240b)은 제2 스트링 선택 게이트 절연층(222b), 제2 스트링 선택 하부 게이트층(224b), 제2 스트링 선택 중간 게이트 절연층(226b) 및 상기 제2 스트링 선택 상부 게이트층(228b)을 포함하고, 상기 제2 스트링 선택 하부 게이트층(224b)과 상기 제2 스트링 선택 상부 게이트층(228b)을 전기적으로 연결하는 제2 버딩 콘택(229)을 부가적으로 더 포함할 수 있다.

[0047] 상기 제1 메모리 어레이층(100)의 형성 공정과 같이, 상기 게이트 스택들을 형성한 후 이온주입 공정 및 열처리 공정이 수행될 수 있다. 이로써, 상기 제2 메모리 셀 게이트 스택들(240) 양측의 상기 활성영역에 불순물 확산 영역(212), 상기 제2 접지 선택 게이트 스택(240a) 양측의 상기 활성영역에 제2 공통 소스 영역(214), 상기 제2 스트링 선택 게이트 스택(240b) 양측의 상기 활성영역에 제2 드레인 영역(216)이 형성될 수 있다. 상기 게이트 스택들은 그 상부면(top surface) 상에 보호막을 더 포함하고, 그 측벽에 게이트 스페이서(미도시)를 더 포함할 수 있다. 상기 스페이서를 이용하여 상기 제2 공통 소스 영역(214)과 상기 제2 드레인 영역(216)에 대해 고농도 불순물 주입 공정이 수행될 수 있다. 이로써, 상기 제2 공통 소스 영역(214)과 상기 제2 드레인 영역(216)은 콘택 저항을 개선하기 위해 상기 불순물 확산 영역(212)보다 높은 불순물 농도를 가질 수 있다.

[0048] 이로써, 제2 메모리 어레이층(200)은 상기 제2 반도체층(210)과 상기 제2 반도체층(210) 상에서 상기 제1 방향으로 신장되는 제2 낸드 스트링(S2)을 포함할 수 있다. 상기 제2 낸드 스트링(S2)은 제2 접지 선택 트랜지스터(GST2), 제2 스트링 선택 트랜지스터(SST2), 및 상기 제2 접지 선택 트랜지스터(GST2)와 상기 제2 스트링 선택 트랜지스터(SST2) 사이에 직렬로 배열된 제2 메모리 셀 트랜지스터들(MC2)을 포함할 수 있다. 상기 제2 낸드 스트링(S2)이 상기 제2 반도체층(210) 상에 반복적으로 배치될 수 있다. 소자의 집적도를 향상시키도록, 상기 제2 낸드 스트링(S2)은 거울 대칭적으로 배치될 수 있다.

[0049] 상기 제2 메모리 셀 트랜지스터들(MC2)은 상기 제2 메모리 셀 게이트 스택들과 상기 불순물 확산 영역(212)을 포함할 수 있고, 상기 제2 접지 선택 트랜지스터(GST2)는 제2 접지 선택 게이트 스택과 상기 제2 공통 소스 영역(214)을 포함할 수 있고, 상기 제2 스트링 선택 트랜지스터(SST2)는 상기 제2 접지 선택 게이트 스택과 상기 제2 드레인 영역(216)을 포함할 수 있다.

[0050] 상기 제2 메모리 어레이층(200) 상에 제2 하부 층간절연막(234)이 형성될 수 있다. 상기 제2 하부 층간절연막(234)은 예컨대, 실리콘 산화물 등을 포함할 수 있다.

[0051] 도 1 및 도 7을 참조하여, 상기 제2 하부 층간절연막(234), 상기 제2 메모리 어레이층(200)의 바디(body)인 상기 제2 반도체층(210), 및 상기 제1 층간절연막(130)이 패터닝되어 상기 제2 공통소스 영역(214)과 상기 제1 공통소스 영역(114)을 노출하는 소스 콘택 개구부(232)가 형성될 수 있다. 상기 소스 콘택 개구부(232)를 도전 물질로 매립하여 상기 제1 공통소스영역(114)과 상기 제2 공통소스영역(214)을 전기적으로 연결하는 소스 콘택(250)이 형성될 수 있다. 상기 소스 콘택(250)은 상기 제2 반도체층(210)의 p-웰과 인접할 수 있다. 상기 소스 콘택(250) 상에 상기 제2 방향으로 신장하는 공통 소스 라인(CSL)이 형성될 수 있다. 상기 공통 소스 라인(CSL)은 상기 소스 콘택(250)과 동시에 형성될 수 있다.

[0052] 도 1 및 도 8을 참조하면, 상기 제2 하부 층간절연막(234)과 상기 소스 콘택(250) 상에 제2 상부 층간절연막(235)이 형성될 수 있다. 상기 제2 상부 층간절연막(235), 상기 제2 하부 층간절연막(234), 상기 제2 반도체층(210), 및 상기 제1 층간절연막(130)이 패터닝되어 상기 제2 드레인 영역(216) 및 상기 제1 드레인 영역(116)을 노출하는 비트라인 콘택 홀(237)이 형성될 수 있다.

[0053] 도 1을 다시 참조하면, 상기 제2 상부 층간절연막(235) 상에 상기 비트라인 콘택 홀(237)을 매립하도록 도전막을 형성한 후, 패터닝함으로써 비트라인 콘택(260)과 비트라인(BL)이 형성될 수 있다. 또는, 상기 비트라인(BL)은 상기 비트라인 콘택(260)의 형성 후, 부가적인 공정에 의해 형성될 수 있다.

[0054] 앞서 설명한 방법 이외에, 제1 메모리 어레이층과 제2 메모리 어레이층은 다양한 방법으로 형성될 수 있다. 예컨대, 상기 메모리 어레이층들의 반도체층들은 에피 성장 방법뿐만 아니라, 비정질 실리콘을 증착한 후 열처리 공정을 수행하여 형성될 수 있다. 또는, 적층된 메모리 어레이층들은 서로 다른 반도체층들을 본딩(bonding)하는 것에 의해 형성될 수 있다.

[0055] 도 9를 참조하여, 본 발명의 실시예에 따른 메모리 소자와 비교하여 설명하기 위한 비교예에 따른 메모리 소자

가 설명된다.

[0056] 비교예에 따른 메모리 소자는 제1 메모리 어레이층(301)과 제2 메모리 어레이층(302)를 포함할 수 있다. 상기 제1 메모리 어레이층(301)은 제1 반도체층(310)과 제2 반도체층(320)을 포함할 수 있다.

[0057] 비교예에 따른 메모리 소자의 메모리 셀 트랜지스터(MC1, MC2)는 접지 선택 트랜지스터(GST1, GST2)와 다른 구조를 가진다. 접지 선택 트랜지스터(GST1, GST2)와 스트링 선택 트랜지스터(SST1, SST2)는 동일한 구조를 가진다. 상기 반도체층들(310, 320) 상의 상기 메모리 셀 트랜지스터들(MC1, MC2) 각각은 게이트 절연층(322), 전하 저장층(324), 중간 게이트 절연층(326) 및 게이트층(328)을 포함할 수 있다. 상기 접지 선택 트랜지스터들(GST1, GST2) 각각은 접지 선택 게이트 절연층(322a), 접지 선택 하부 게이트층(324a), 접지 선택 중간 게이트 절연층(326a), 접지 선택 상부 게이트층(328a) 및 접지 선택 버딩 콘택(329a)을 포함할 수 있다. 상기 스트링 선택 트랜지스터들(SST1, SST2) 각각은 스트링 선택 게이트 절연층(322b), 스트링 선택 하부 게이트층(324b), 스트링 선택 중간 게이트 절연층(326b), 스트링 선택 상부 게이트층(328b) 및 스트링 선택 버딩 콘택(329b)을 포함할 수 있다.

[0058] 이하, 본 발명의 실시예에 따른 메모리 소자와 비교예에 따른 메모리 소자의 동작 방법이 비교하여 설명된다.

[0059] 표 1, 도 1 및 도 2를 참조하여, 본 발명의 실시예에 따른 메모리 소자의 동작 방법이 설명된다.

**표 1**

신호	①접지선택라인 프로그래밍	②워드라인 프로그래밍	소거
선택 워드라인	Vpass 또는 0V	Vpgm2	0V
비선택 워드라인	Vpass 또는 0V	Vpass	floating
선택비트라인(0)	Vcc 또는 0V	0V	floating
비선택 비트라인(1)	0V	Vcc	floating
스트링선택라인	Vcc 또는 0V	Vcc	floating
접지선택라인	Vpgm1	0V	0V
공통소스라인	0V	0V	floating
반도체층(p-웰)	0V	0V	Verase

[0061] 실질적으로 전하를 저장하여 프로그래밍하고자 하는 메모리 셀은 선택 메모리 셀(MCsel)이라 정의될 수 있다. 상기 표 1에 있어서, 선택 메모리 셀을 포함하는 워드라인은 선택 워드라인이라 정의될 수 있다. 상기 선택 워드라인을 제외한 워드라인들은 비선택 워드라인이라 정의될 수 있다. 상기 선택 메모리 셀을 포함하는 비트라인은 선택 비트라인이라 정의될 수 있고, 상기 선택 비트라인을 제외한 비트라인들은 비선택 비트라인이라 정의될 수 있다. 상기 선택 메모리 셀은 제1 메모리 어레이층(100) 또는 제2 메모리 어레이층(200)에 포함될 수 있다. 접지 선택 라인과 스트링 선택 라인 사이의 서로 다른 워드라인들의 메모리 셀 트랜지스터들이 직렬로 배열된 스트링에 있어서, 선택 메모리 셀 트랜지스터를 포함하는 스트링은 선택 스트링이라 정의될 수 있고, 상기 선택 스트링을 제외한 스트링은 비선택 스트링이라 정의될 수 있다.

[0062] 우선, 상기 제1 메모리 어레이층(100)에 대해 설명된다.

[0063] 본 발명의 실시예에 따른 메모리 소자의 제1 프로그램 방법에 따르면, 제1 접지 선택 라인(GSL1)과 스트링들의 교차점에 위치한 모든 제1 접지 선택 트랜지스터들(GST1<sub>1</sub>, GST1<sub>2</sub>, . . . GST1<sub>m</sub>)이 우선적으로 프로그램될 수 있다. 예컨대, 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> . . . WL<sub>1,n</sub>)에 Vpass(예컨대, 약 8V) 또는 0V가 제공되고, 비트라인들(BL1, BL2, . . . BL<sub>m</sub>)에 0V가 제공될 수 있다. 이때, 제1 접지 선택 라인(GSL1)에 Vpgm1(예컨대, 약 12 내지 18V) 이 제공되고, 제1 스트링 선택 라인(SSL1)에 Vcc(예컨대, 약 2.5V) 또는 0V가 제공되며, 공통 소스 라인(CSL)과 제1 반도체층(110)의 웰에 0V가 제공될 수 있다. 이후, 선택 메모리 셀(MCsel)이 프로그램될 수 있다. 선택 워드라인(WL<sub>1,1</sub>)에 Vpgm2(예컨대, 약 18V) 이 제공되고, 비선택 워드라인들(WL<sub>1,2</sub> . . . WL<sub>1,n</sub>)에 Vpass가 제공되며, 선택 비트라인(BL2)에 0V가 제공되고, 비선택 비트라인들(BL1, BL3 . . . BL<sub>m</sub>)에 Vcc가 제공될 수 있다. 이때, 제1 스트링 선택 라인(SSL1)에 Vcc가 제공되고, 제1 접지 선택 라인(GSL1), 공통 소스 라인(CSL) 및 상기 제1 반도체층(110)의 웰에 각각 0V가 제공될 수 있다. 상기 제1 접지 선택 트랜지스터들(GST1<sub>1</sub>, GST1<sub>2</sub>, . . . GST1<sub>m</sub>)이 프로그램되어 상기 제1 접지 선택 트랜지스터들(GST1<sub>1</sub>, GST1<sub>2</sub>, . . .

· GST<sub>1m</sub>)이 위치한 활성 영역의 전위가 상승함으로써, 공통 소스 라인(CSL)으로의 누설전류가 방지될 수 있다. 상기 제1 접지 선택 트랜지스터들(GST<sub>11</sub>, GST<sub>12</sub>, . . . GST<sub>1m</sub>)은 완전히 프로그램되지 않은 경우에도, 누설전류를 방지할 수 있다. V<sub>pgm1</sub>은 V<sub>pgm2</sub>와 같거나 그보다 작을 수 있다.

[0064] 본 발명의 실시예에 따른 메모리 소자의 제2 프로그램 방법에 따르면, 접지 선택 라인(GSL1)과 비선택 스트링(S<sub>11</sub>, S<sub>13</sub>, . . . S<sub>1m</sub>)의 제1 접지 선택 트랜지스터들(GST<sub>11</sub>, GST<sub>13</sub>, . . . GST<sub>1m</sub>)이 우선적으로 프로그램될 수 있다. 예컨대, 제1 워드라인들(WL<sub>1,1</sub>, WL<sub>1,2</sub> . . . WL<sub>1,n</sub>)에 V<sub>pass</sub> 또는 0V가 제공되고, 비선택 비트라인들(BL1, BL3 . . . BL<sub>m</sub>)에 0V가 제공되며, 선택 비트라인(BL2)에 V<sub>cc</sub>가 제공될 수 있다. 제1 접지 선택 라인(GSL1)에 V<sub>pgm1</sub> 이 제공되고, 제1 스트링 선택 라인(SSL1)에 V<sub>cc</sub> 또는 0V가 제공되며, 공통 소스 라인(CSL)과 상기 제1 반도체층(110)의 웰에 0V가 제공될 수 있다. 이후, 선택 메모리 셀(MC<sub>se1</sub>)이 프로그램된다. 선택 워드라인(WL<sub>1,1</sub>)에 V<sub>pgm2</sub> 이 제공되고, 비선택 워드라인들(WL<sub>1,2</sub> . . . WL<sub>1,n</sub>)에 V<sub>pass</sub>가 제공되며, 선택 비트라인(BL2)에 0V가 제공되고, 비선택 비트라인들(BL1, BL3 . . . BL<sub>m</sub>)에 V<sub>cc</sub>가 제공될 수 있다. 이때, 제1 접지 선택 라인(GSL1), 공통 소스 라인(CSL) 및 상기 제1 반도체층(110)의 웰에 각각 0V가 제공될 수 있다. 상기 V<sub>pgm1</sub>은 V<sub>pgm2</sub>와 같거나, 그보다 작을 수 있다.

[0065] 상기 선택 메모리 셀 트랜지스터(MC<sub>se1</sub>)과 제1 접지 선택 트랜지스터들(GST<sub>11</sub>, GST<sub>12</sub>, . . . GST<sub>1m</sub>)에 저장된 데이터를 소거하기 위해, 선택 워드라인(WL<sub>1,1</sub>)과 제1 접지 선택 라인(GSL1)에 0V가 제공되고, 상기 제1 반도체층(110)의 웰 영역에 Verase(예컨대, 약 19V)가 제공될 수 있다. 이때, 나머지 라인들은 플로팅될 수 있다.

[0066] 상기와 같은 방법으로, 제2 메모리 어레이층(200)의 메모리 셀이 프로그램될 수 있다.

[0067] 표 2, 도 9 및 도 10을 참조하여, 본 발명의 비교예에 따른 메모리 소자의 제1 동작 방법이 설명된다.

**표 2**

[0068]

신호	워드라인 프로그램	소거
선택 워드라인	V <sub>pgm</sub>	0V
비선택 워드라인	V <sub>pass</sub>	floating
선택비트라인(0)	0V	floating
비선택 비트라인(1)	V <sub>cc</sub>	floating
스트링선택라인	V <sub>cc</sub>	floating
접지선택라인	0V	floating
공통소스라인	0V	floating
반도체층(p-웰)	0V	Verase

[0069] 실질적으로 전하를 저장하여 프로그램하고자 하는 메모리 셀은 선택 메모리 셀이라 정의될 수 있다. 상기 표 1에 있어서, 선택 메모리 셀을 포함하는 워드라인은 선택 워드라인이라 정의될 수 있다. 상기 선택 워드라인을 제외한 워드라인들은 비선택 워드라인이라 정의될 수 있다. 상기 선택 메모리 셀을 포함하는 비트라인은 선택 비트라인이라 정의될 수 있고, 상기 선택 비트라인을 제외한 비트라인들은 비선택 비트라인이라 정의될 수 있다. 상기 선택 메모리 셀은 제1 메모리 어레이층(301) 또는 제2 메모리 어레이층(302)에 포함될 수 있다.

[0070] 우선, 상기 제1 메모리 어레이층(301)에 대해 설명된다.

[0071] 선택 메모리 셀 트랜지스터(MC<sub>se1</sub>)에 프로그램 동작을 수행하고자 하는 경우, 선택 워드라인(WL<sub>1,1</sub>)에 V<sub>pgm</sub> 이 제공되고, 비선택 워드라인들(WL<sub>1,2</sub> . . . WL<sub>1,n</sub>)에 V<sub>pass</sub>가 제공되며, 선택 비트라인(BL2)에 0V가 제공되고, 비선택 비트라인(BL1, BL3 . . . BL<sub>m</sub>)에 V<sub>cc</sub>가 제공될 수 있다. 이때, 스트링 선택 라인(SSL1)에 V<sub>cc</sub>가 제공되고, 접지 선택 라인(GSL1), 공통 소스 라인(CSL) 및 제1 반도체층(310)의 웰에 각각 0V가 제공될 수 있다.

[0072] 상기 선택 메모리 셀 트랜지스터(MC<sub>se1</sub>)에 저장된 데이터를 소거하기 위해, 선택 워드라인(WL<sub>1,1</sub>)에 0V가 제공되

고, 상기 제1 반도체층(310)의 웰 영역에 Verase가 제공될 수 있다. 이때, 나머지 라인들은 플로팅될 수 있다.

[0073] 상기와 같은 방법으로, 제2 메모리 어레이층(302)의 메모리 셀이 프로그램될 수 있다.

[0074] 표 3, 도 9 및 도 10을 참조하여, 본 발명의 비교예에 따른 메모리 소자의 제2 동작 방법이 설명된다.

**표 3**

[0075]

신호	워드라인 프로그램	소거
선택 워드라인	Vpgm	0V
비선택 워드라인	Vpass	floating
선택비트라인(0)	0V	floating
비선택 비트라인(1)	Vcc	floating
스트링선택라인	Vcc	floating
접지선택라인	0V	floating
공통소스라인	1.2V	floating
반도체층(p-웰)	0V	Verase

[0076] 실질적으로 전하를 저장하여 프로그램하고자 하는 메모리 셀은 선택 메모리 셀이라 정의될 수 있다. 상기 표 1에 있어서, 선택 메모리 셀을 포함하는 워드라인은 선택 워드라인이라 정의될 수 있다. 상기 선택 워드라인을 제외한 워드라인들은 비선택 워드라인이라 정의될 수 있다. 상기 선택 메모리 셀을 포함하는 비트라인은 선택 비트라인이라 정의될 수 있고, 상기 선택 비트라인을 제외한 비트라인들은 비선택 비트라인이라 정의될 수 있다. 상기 선택 메모리 셀은 제1 메모리 어레이층(301) 또는 제2 메모리 어레이층(302)에 포함될 수 있다.

[0077] 우선, 상기 제1 메모리 어레이층(301)에 대해 설명된다.

[0078] 선택 메모리 셀 트랜지스터(MC<sub>sel</sub>)에 프로그램 동작을 수행하고자 하는 경우, 선택 워드라인(WL<sub>1,1</sub>)에 Vpgm 이 제공되고, 비선택 워드라인들(WL<sub>1,2</sub> ··· WL<sub>1,n</sub>)에 Vpass가 제공되며, 선택 비트라인(BL2)에 0V가 제공되고, 비선택 비트라인(BL1, BL3 ··· BLm)에 Vcc가 제공될 수 있다. 이때, 제1 스트링 선택 라인(SSL1)에 Vcc가 제공되고, 공통 소스 라인(CSL)에 약 1.2V가 제공될 수 있다. 제1 접지 선택 라인(GSL1) 및 제1 반도체층(310)의 웰에 각각 0V가 제공될 수 있다.

[0079] 상기 선택 메모리 셀 트랜지스터(MC<sub>sel</sub>)에 저장된 데이터를 소거하기 위해, 선택 워드라인(WL<sub>1,1</sub>)에 0V가 제공되고, 상기 제1 반도체층(310)의 웰 영역에 Verase가 제공될 수 있다. 이때, 나머지 라인들은 플로팅될 수 있다.

[0080] 상기와 같은 방법으로, 제2 메모리 어레이층(302)의 메모리 셀이 프로그램될 수 있다.

[0081] 도 11 및 12를 참조하여, 본 발명의 실시예와 비교예에 따른 메모리 소자들의 전기적 특성이 설명된다. 도 11은 본 발명의 실시예와 비교예에 따른 메모리 소자의 채널 부스팅(channel boosting) 상태를 나타내는 그래프이다. 도 12는 본 발명의 실시예와 비교예에 따른 메모리 소자 활성영역의 전위(potential)차를 나타낸 그래프이다.

[0082] 앞서 설명한 바와 같이 선택 메모리 셀 트랜지스터(MC<sub>sel</sub>)이 프로그램되면, 셀프-부스팅(self-boosting)에 의해 비선택 메모리 셀들을 포함하는 스트링들이 배열된 활성영역의 전위가 상승할 수 있다.

[0083] 도 11을 참조하면, 실시예에 따른 제1 및 제2 프로그램 방법(E)과 비교예에 따른 제2 동작 방법(C2)에 의한 메모리 소자의 상승된 전위는 지속적으로 유지되었다. 반면, 비교예의 제1 동작 방법(C1)에 따른 메모리 소자의 상승된 전위는 점진적으로 감소하였다. 이는 제1 동작 방법에 따른 메모리 소자에 있어서, 셀프 부스팅된 활성영역으로부터 공통 소스 라인으로 전류가 누설되었다는 것을 나타낼 수 있다.

[0084] 도 12의 그래프에 있어서, x축은 접지 선택 라인(GSL)으로부터 스트링 선택 라인(SSL) 방향으로의 스트링(S)의 진행 방향을 나타낸다. 도 12를 참조하면, 실시예에 따른 제1 및 제2 프로그램 방법(E)과 비교예에 따른 제2 동작 방법(C2)에 의한 메모리 소자의 접지 선택 라인의 활성영역 전위가 상승하였다. 상기 상승된 접지 선택 라인의 전위는 상기 스트링으로부터 발생하는 누설전류에 대해 베리어로 작용할 수 있다. 즉, 상기 베리어에 의해 셀프 부스팅된 활성영역으로부터 공통 소스 라인으로의 누설전류가 감소할 수 있다. 그러나, 제2 동작 방

법(C2)에 의하면, 소자 내의 트랜지스터들의 문턱 전압이 정해진 산포를 벗어날 수 있다. 도 9를 참조하면, 제2 반도체층(320)을 관통해 소스 콘택(350)이 배치되므로, 공통 소스 라인(CSL)의 전압이 상승하면 상기 소스 콘택(350)을 통해 상기 제2 반도체층(320) 내의 p-웰의 전압이 함께 상승할 수 있다. 즉, 소자 내의 트랜지스터들의 문턱 전압에 영향을 줄 수 있다. 반면, 도 1을 참조하면, 소스 콘택(250)이 제2 반도체층(210)을 관통하더라도, 접지 선택 트랜지스터(GST2)가 프로그램되어 그 활성 영역의 전위가 상승하므로, 공통 소스 라인으로의 누설전류가 방지될 수 있다.

[0085] 도 13을 참조하여, 본 발명의 실시예들에 따른 메모리 소자를 포함하는 메모리 시스템(memory system)이 설명된다.

[0086] 메모리 시스템(400)은 대용량의 데이터를 저장하기 위한 메모리 소자(410) 및 메모리 컨트롤러(420)를 포함할 수 있다. 상기 메모리 컨트롤러(420)는 호스트(430)(Host)의 읽기/쓰기 요청에 응답하여 상기 메모리 소자(410)로부터 저장된 데이터를 독출 또는 기입하도록 상기 메모리 소자(410)를 제어한다. 상기 메모리 컨트롤러(420)는 상기 호스트(430)(모바일 기기 또는 컴퓨터 시스템)로부터 제공되는 어드레스를 상기 메모리 소자(410)의 물리적인 어드레스로 맵핑하기 위한 어드레스 맵핑 테이블(Address mapping table)을 구성할 수 있다.

[0087] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

### 도면의 간단한 설명

[0088] 도 1은 본 발명의 실시예에 따른 메모리 소자의 사시도이다.

[0089] 도 2는 본 발명의 실시예에 따른 메모리 소자의 회로도이다.

[0090] 도 3 내지 8은 도 1의 I-I'선에 따라 취해지고, 본 발명의 실시예에 따른 메모리 소자의 제조방법을 나타낸 단면도들이다.

[0091] 도 9는 본 발명의 실시예에 따른 메모리 소자와 비교설명하기 위한 비교예에 따른 메모리 소자의 단면도이다.

[0092] 도 10은 본 발명의 실시예에 따른 메모리 소자와 비교설명하기 위한 비교예에 따른 메모리 소자의 회로도이다.

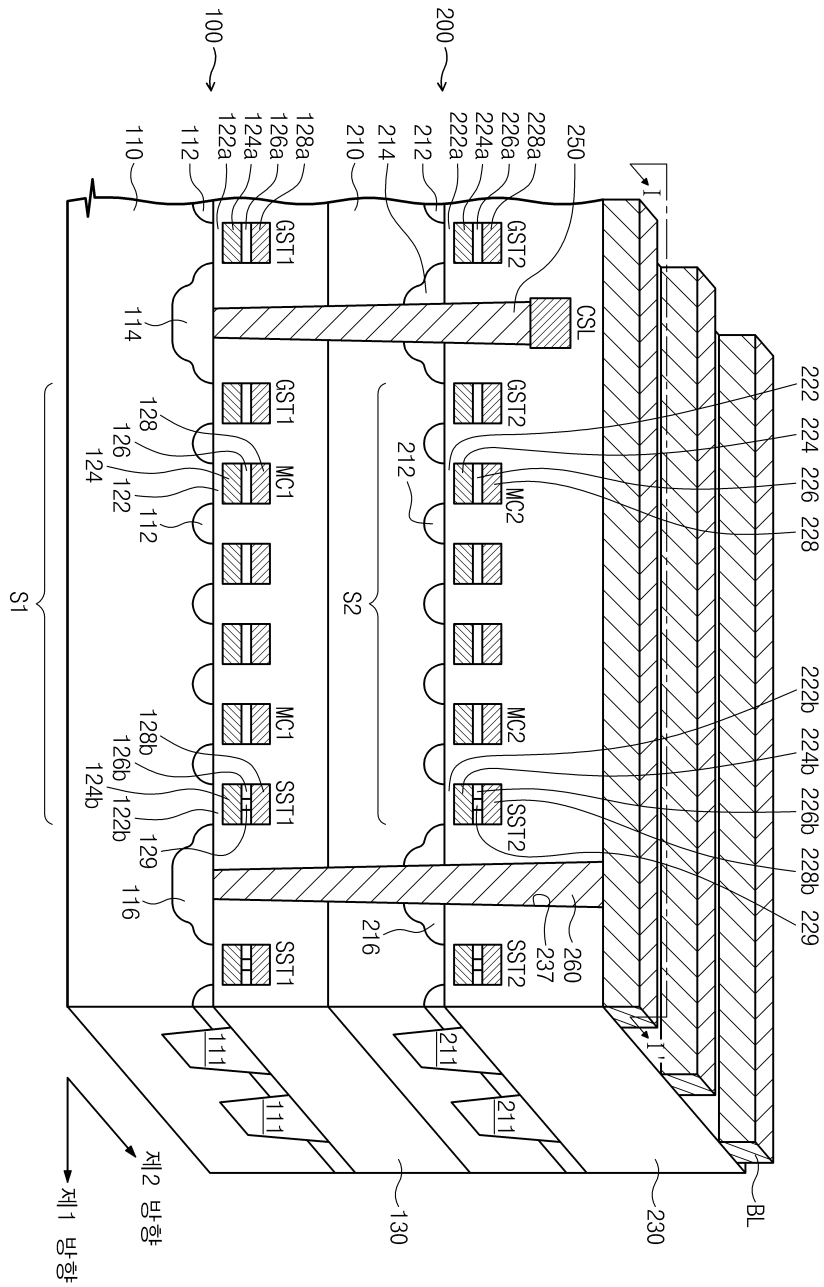
[0093] 도 11은 본 발명의 실시예와 비교예에 따른 메모리 소자의 채널 부스팅(channel boosting) 상태를 나타내는 그래프이다.

[0094] 도 12는 본 발명의 실시예와 비교예에 따른 메모리 소자 스트링의 전위(potential)를 나타낸 그래프이다.

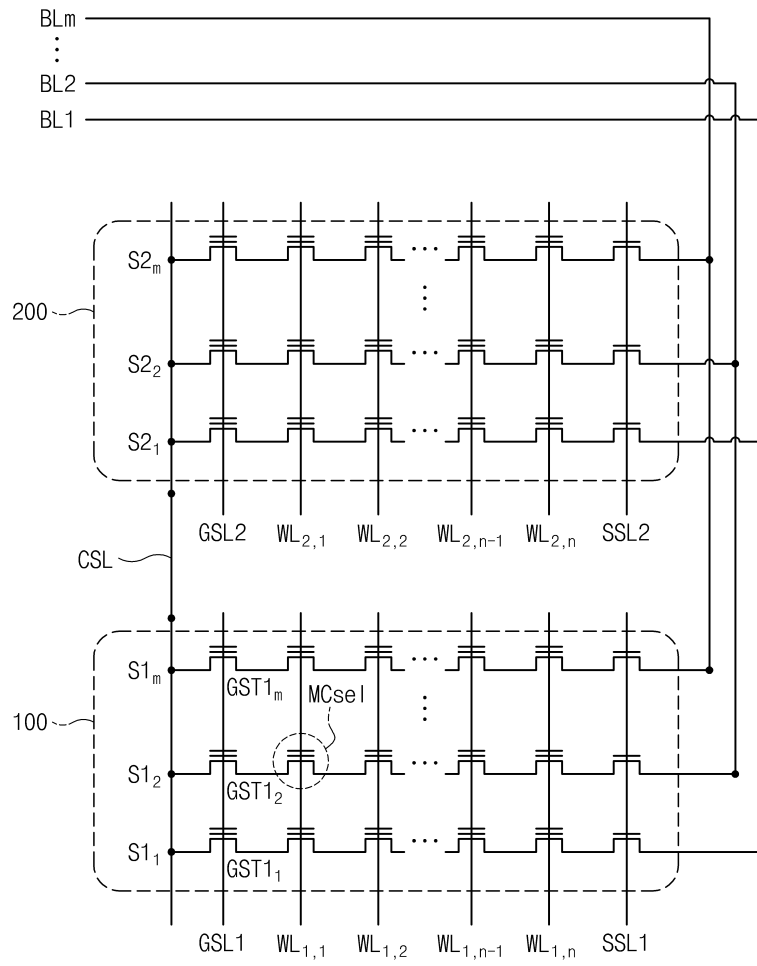
[0095] 도 13은 본 발명의 실시예들에 따른 메모리 소자를 포함하는 메모리 시스템을 나타내는 블록도이다.

도면

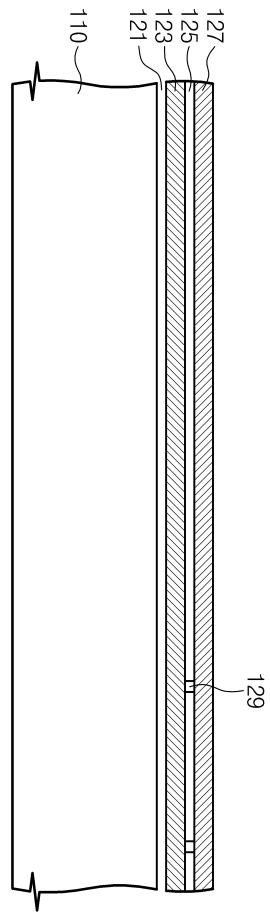
도면1



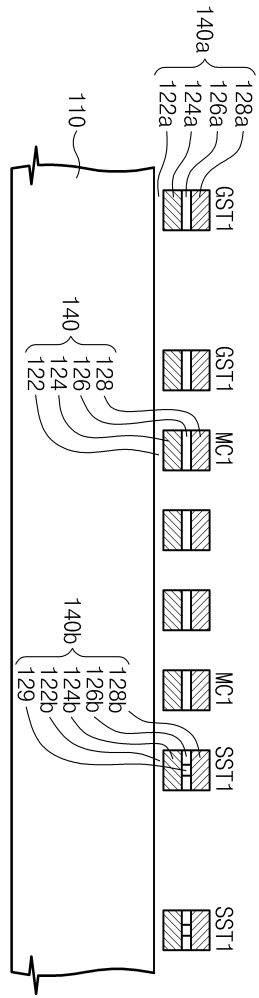
도면2



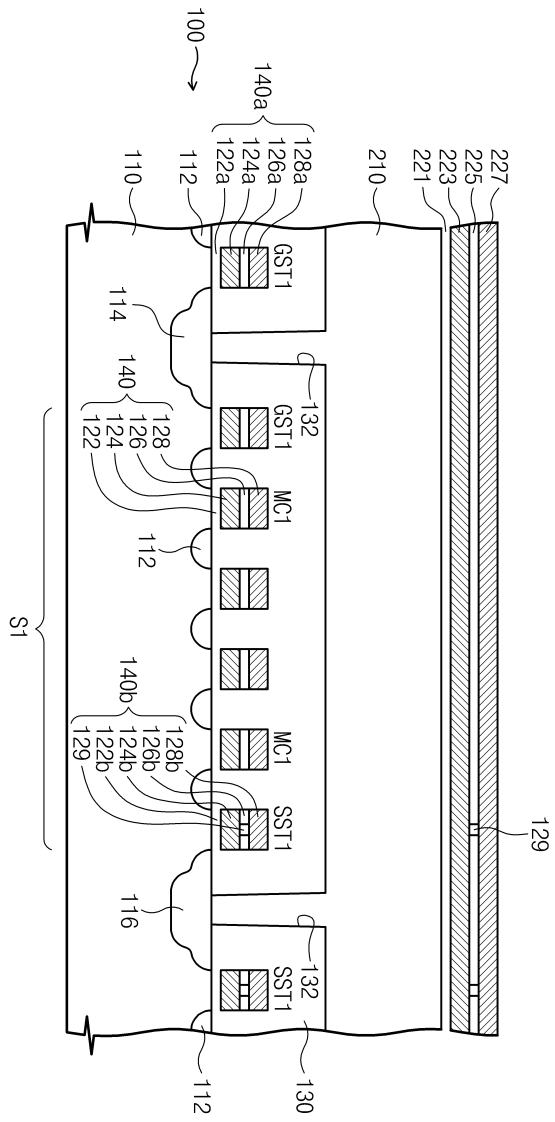
도면3



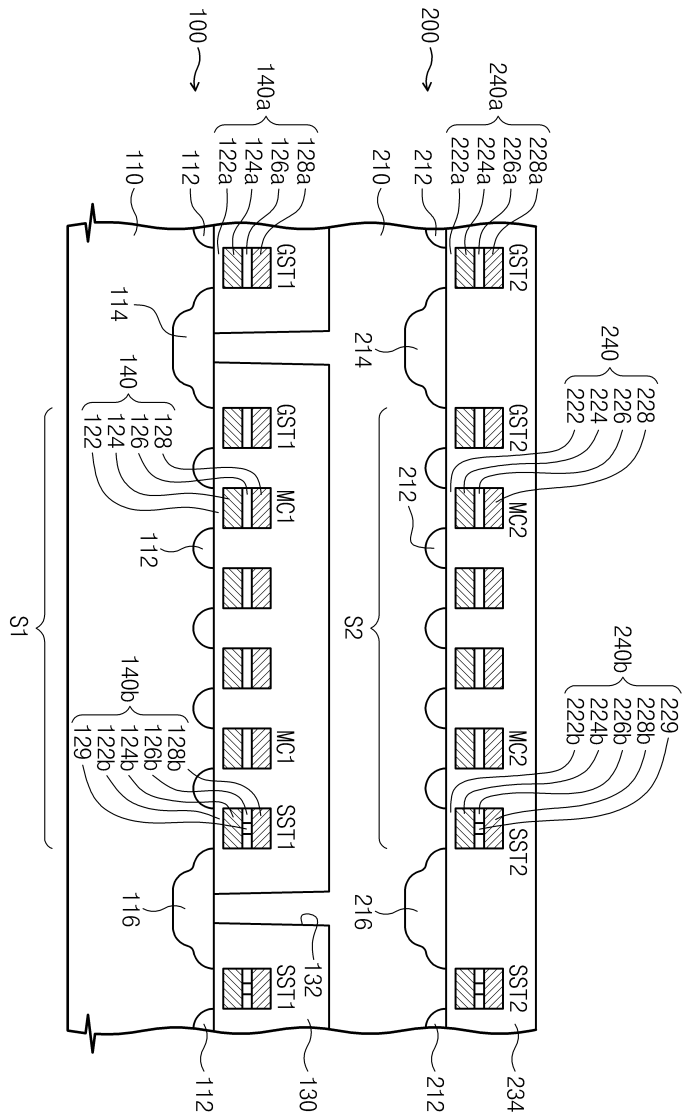
도면4



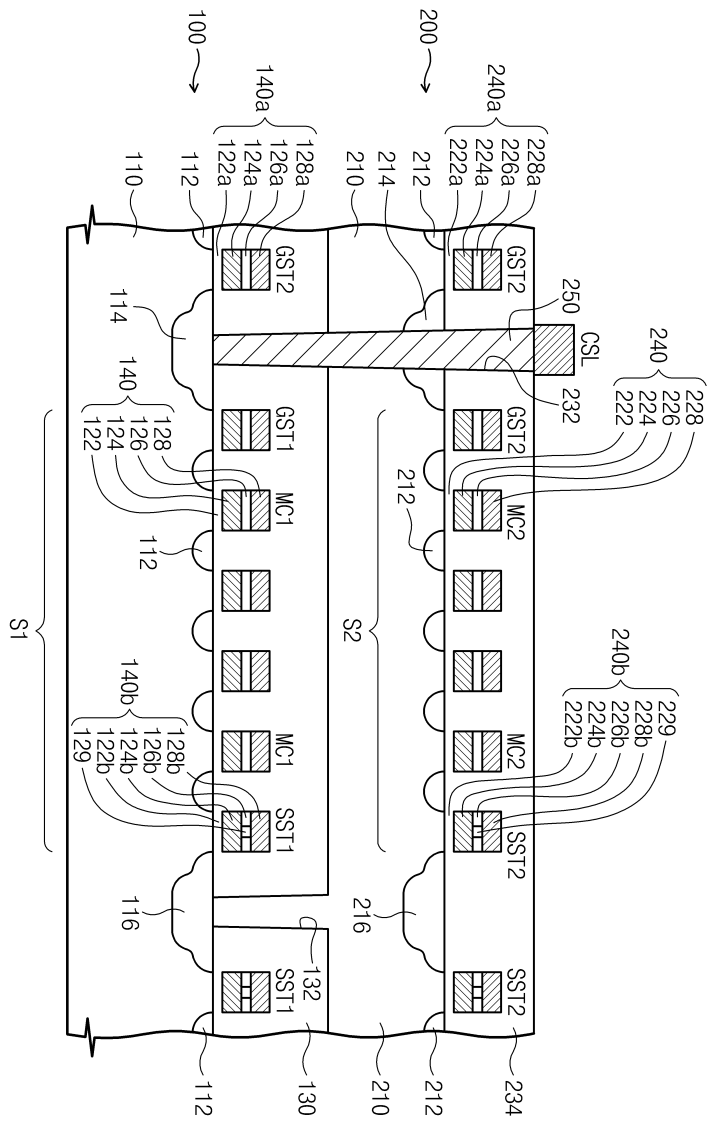
도면5



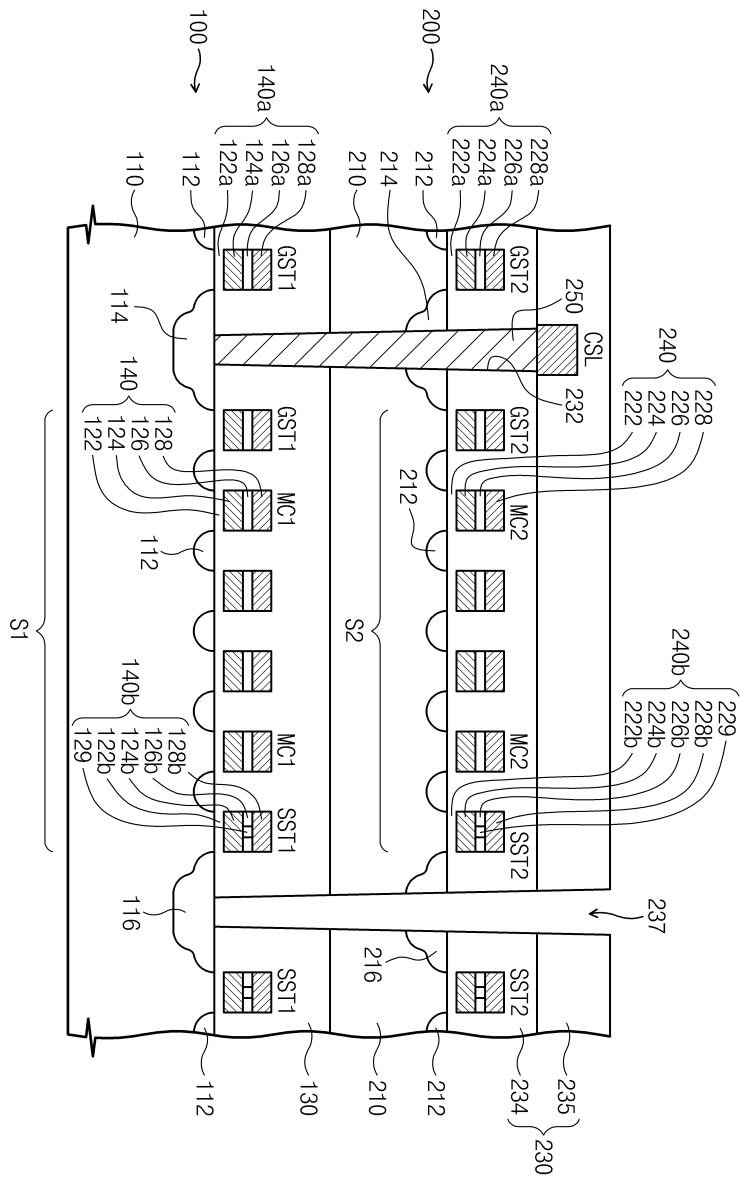
도면6



도면7

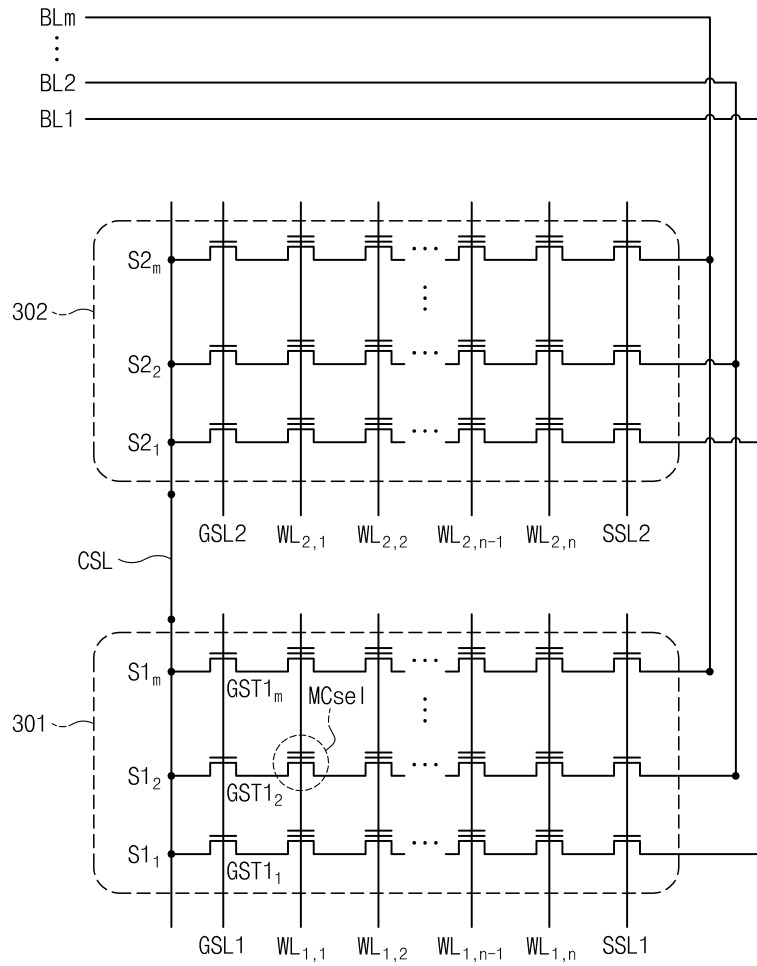


도면8

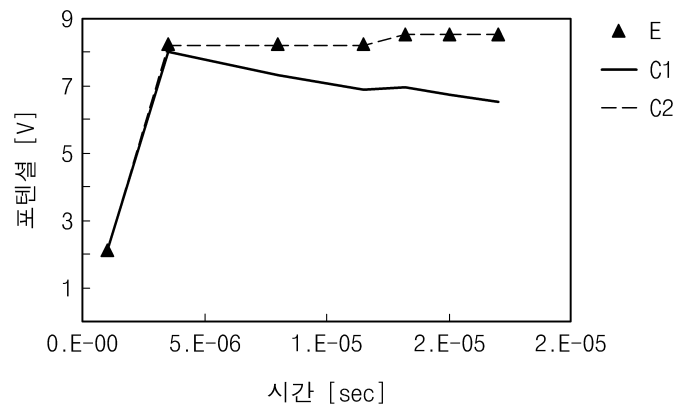




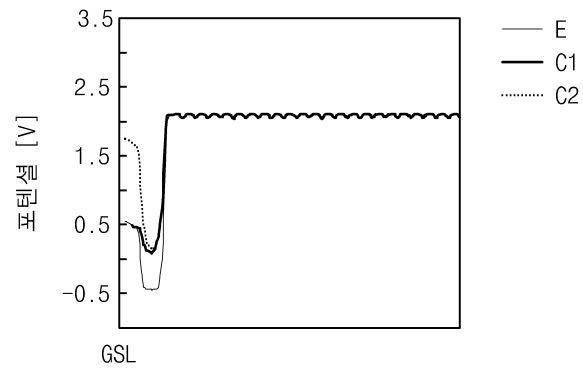
도면10



도면11



도면12



도면13

