

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4282716号
(P4282716)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl.		F I		
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34 3 6 3 M
G 1 1 C	11/406	(2006.01)	G 1 1 C	11/34 3 6 3 L
G 1 1 C	11/4076	(2006.01)	G 1 1 C	11/34 3 6 3 N
			G 1 1 C	11/34 3 5 4 C

請求項の数 25 (全 26 頁)

(21) 出願番号	特願2006-351296 (P2006-351296)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成18年12月27日(2006.12.27)	(74) 代理人	100096231 弁理士 稲垣 清
(65) 公開番号	特開2008-165854 (P2008-165854A)	(72) 発明者	持田 義史 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
(43) 公開日	平成20年7月17日(2008.7.17)	審査官	園田 康弘
審査請求日	平成20年5月13日(2008.5.13)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

外部コマンドに従って実行する第1のリフレッシュと、内部で発生させたタイミングで周期的に実行する第2のリフレッシュとを実行する半導体記憶装置において、

第2のリフレッシュにおけるセルアレイ部のアクセスのための活性化期間（tRAS期間）のp倍（p：正の整数、又は、正の整数分の1）の周期で発振し、該発振周期の周期性信号を出力するオシレーターと、

前記周期性信号をカウントするカウンタと、

前記第2のリフレッシュの動作周期が前記オシレーターの発振周期のq倍（q：正の整数）となるように調整されている所定のコードを出力する第1のROM回路と、該第1のROM回路の出力コードと、前記カウンタのカウント値とを比較し、両者が一致するとリセット信号を発生するリセット条件判定回路とを含み、前記カウンタのカウント値が前記qに対応した値となると前記カウンタにリセット信号を出力するリセット発生部とを有し、

前記オシレーターが出力する周期性信号の周期の1/p倍の期間だけセルアレイ部を活性化させて第2のリフレッシュを実行すると共に、前記リセット発生部がリセットを発生するごとに前記第2のリフレッシュを実行し、前記周期性信号の周期のq倍を、前記第2のリフレッシュの動作周期とすることを特徴とする半導体記憶装置。

【請求項2】

前記第2のリフレッシュにおけるtRAS期間が、前記第1のリフレッシュにおけるt

R A S 期間よりも長いことを特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記リセット発生部によって前記カウンタのカウンタ値がリセットされた後に前記周期性信号が H レベルに立ち上がると、前記第 2 のリフレッシュを実行する、請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記第 2 のリフレッシュ時の前記オシレーターの発振周期が前記第 2 のリフレッシュにおける t_{RAS} 期間よりも長く設定され、かつ、前記第 2 のリフレッシュ時の前記周期性信号の 1 周期内における H レベル期間と前記第 2 のリフレッシュにおける t_{RAS} 期間とが一致しており、前記カウンタのカウンタ値がリセットされた直後のサイクルにおける前記周期性信号の H レベル期間をセルアレイ部の活性化期間として前記第 2 のリフレッシュを実行する、請求項 3 に記載の半導体記憶装置。

10

【請求項 5】

前記カウンタが n ビット (n は 2 以上の整数) のカウンタであり、前記カウンタが出力するカウンタ値の各ビット値の否定論理和と、前記周期性信号との論理積に基づいて、前記周期性信号の H レベル期間をセルアレイ部の活性化期間とした第 2 のリフレッシュを、前記周期性信号の q 倍の周期で実行する、請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記第 2 のリフレッシュ時のオシレーターの発振周期が前記第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍 (r : 正の整数) に設定されており、前記第 2 のリフレッシュでは、前記カウンタのカウンタ値がリセットされた直後のサイクルの開始から前記周期性信号の r サイクル分の期間をセルアレイ部の活性化期間として前記第 2 のリフレッシュを実行する、請求項 1 ~ 3 の何れか一に記載の半導体記憶装置。

20

【請求項 7】

前記 r の値に対応したコードを出力する第 2 の ROM 回路と、該第 2 の ROM 回路の出力と前記カウンタのカウンタ値とを比較し、両者が一致すると一致信号を発生する一致判定回路とを備えており、前記リセット信号が発生した直後のサイクルの開始から、前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第 2 のリフレッシュを実行する、請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記オシレーターは、入力コードに応じて発振周期が調整可能に構成され、前記第 2 のリフレッシュ時には、該第 2 のリフレッシュ時の前記オシレーターの発振周期を決定するための第 3 の ROM 回路から入力するコードに応じた周期で発振し、前記第 3 の ROM 回路の出力コードは、半導体記憶装置の製造後、前記オシレーターの発振周期が前記第 2 のリフレッシュにおける t_{RAS} 期間の p 倍の周期となるコードに調整される、請求項 1 ~ 7 の何れか一に記載の半導体記憶装置。

30

【請求項 9】

前記第 1 のリフレッシュを実行させるためのコマンドが入力されると、セルアレイ部を活性化させるための R A S B 信号を活性化させるセット・リセット型のフリップフロップと、前記 R A S B 信号の活性化後、前記第 1 のリフレッシュにおける t_{RAS} 期間の経過後に前記フリップフロップをリセットさせるための信号 R T O を生成する R T O 生成回路とを備えることを特徴とする、請求項 1 ~ 8 の何れか一に記載の半導体記憶装置。

40

【請求項 10】

前記オシレーターは、半導体記憶装置に前記第 1 のリフレッシュを実行させるためのコマンドが入力されると、前記第 1 のリフレッシュにおける t_{RAS} 期間の s 倍 (s : 正の整数又は正の整数分の 1) の周期で発振を開始し、前記第 1 のリフレッシュでは、前記オシレーターが出力する周期性信号の周期の $1/s$ 倍の期間だけセルアレイ部を活性化させて前記第 1 のリフレッシュを実行する、請求項 1 ~ 9 の何れか一に記載の半導体記憶装置。

【請求項 11】

50

前記第1のリフレッシュ時の前記オシレーターの発振周期が前記第1のリフレッシュにおける t_{RAS} 期間よりも長く設定され、かつ、前記第1のリフレッシュ時の前記周期性信号の1周期内におけるHレベル期間が前記第1のリフレッシュにおける t_{RAS} 期間に設定されており、前記周期性信号の反転信号を、第1のリフレッシュにおけるセルアレイ部を活性化させるための $RASB$ 信号として用いる、請求項10に記載の半導体記憶装置。

【請求項12】

前記オシレーターは、半導体記憶装置に前記第1のリフレッシュを実行させるためのコマンドが入力されると、前記第1のリフレッシュにおける t_{RAS} 期間の s 倍(s :正の整数又は正の整数分の1)の周期で発振を開始し、前記第1のリフレッシュでは、前記オシレーターが出力する周期性信号の周期の $1/s$ 倍の期間だけセルアレイ部を活性化させて前記第1のリフレッシュを実行する、請求項7に記載の半導体記憶装置。

10

【請求項13】

前記第1のリフレッシュ時のオシレーターの発振周期が、前記第1のリフレッシュにおける t_{RAS} 期間の $1/t$ 倍(t :正の整数)に設定されており、前記第1のリフレッシュでは、前記カウンタのカウント開始から前記周期性信号の t サイクル分の期間を、セルアレイ部の活性化期間として前記第1のリフレッシュを実行する、請求項12に記載の半導体記憶装置。

【請求項14】

前記 t の値に対応したコードを出力する第4のROM回路を更に有し、前記一致判定回路は、前記第1のリフレッシュ時は、前記第4のROM回路の出力と前記カウンタのカウント値とを比較して両者が一致すると一致信号を発生し、前記オシレーターの発振開始から前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第1のリフレッシュを実行する、請求項13に記載の半導体記憶装置。

20

【請求項15】

前記第1のリフレッシュ時には、前記第4のROM回路が出力するコードを前記一致判定回路に入力し、前記第2のリフレッシュ時には、前記第2のROM回路が出力するコードを前記一致判定回路に入力する、請求項14に記載の半導体記憶装置。

【請求項16】

前記オシレーターは、半導体記憶装置に前記第1のリフレッシュを実行させるためのコマンドが入力されると、該第1のリフレッシュにおける t_{RAS} 期間の s 倍(s :正の整数又は正の整数分の1)の周期で発振を開始し、前記第1のリフレッシュでは、前記オシレーターが出力する周期性信号の周期の $1/s$ 倍の期間だけセルアレイ部を活性化させて第1のリフレッシュを実行する、請求項8に記載の半導体記憶装置。

30

【請求項17】

前記オシレーターは、前記第1のリフレッシュ時には、該第1のリフレッシュ時の前記オシレーターの発振周期を決定するための第5のROM回路から入力するコードに応じた周期で発振し、前記第5のROM回路の出力コードは、半導体記憶装置の製造後、前記オシレーターの発振周期が前記第1のリフレッシュにおける t_{RAS} 期間の s 倍の周期となるコードに調整される、請求項16に記載の半導体記憶装置。

40

【請求項18】

前記第1のリフレッシュ時には、前記第5のROM回路が出力するコードを前記オシレーターに入力し、前記第2のリフレッシュ時には、前記第2のROM回路が出力するコードを前記オシレーターに入力する、請求項17に記載の半導体記憶装置。

【請求項19】

前記第1のリフレッシュ時と前記第2のリフレッシュ時とで、前記オシレーターの発振周期が異なる、請求項10~18の何れか一に記載の半導体記憶装置。

【請求項20】

前記第1のリフレッシュでは、前記オシレーターは、発振開始後、前記周期性信号の周期の $1/s$ 倍の期間の経過後に発振が停止する、請求項10~19の何れか一に記載の

50

半導体記憶装置。

【請求項 2 1】

前記オシレータは、前記第 1 のリフレッシュを実行させるためのコマンドが入力されると、前記第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍の周期で発振を開始し、前記第 1 のリフレッシュでは、前記オシレータが出力する周期性信号の t (t : 正の整数) サイクル分の期間だけセルアレイ部を活性化させて t_{RAS} 期間とし、前記第 1 のリフレッシュを実行する、請求項 7 に記載の半導体記憶装置。

【請求項 2 2】

前記 t の値に対応したコードを出力する第 4 の ROM 回路を有し、前記一致判定回路は、前記第 1 のリフレッシュ時は、前記第 4 の ROM 回路の出力と前記カウンタのカウン
10 値とを比較して両者が一致すると一致信号を発生し、前記オシレータの発振開始から前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第 1 のリフレッシュを実行する、請求項 2 1 に記載の半導体記憶装置。

【請求項 2 3】

前記第 1 のリフレッシュでは、前記オシレータは、発振開始後、前記周期性信号の周期の t 倍の期間の経過後に発振が停止する、請求項 2 1 又は 2 2 に記載の半導体記憶装置。

【請求項 2 4】

外部コマンドに従って実行する第 1 のリフレッシュと、内部で発生させたタイミングで周期的に実行する第 2 のリフレッシュとを実行する半導体記憶装置において、
20

第 2 のリフレッシュにおけるセルアレイ部のアクセスのための活性化期間 (t_{RAS} 期間) の $1/r$ 倍 (r : 正の整数) の周期で発振し、該発振周期の周期性信号を出力するオシレータと、

前記周期性信号をカウントするカウンタと、

前記カウンタのカウント値が q (q : 正の整数) に対応した値となると前記カウンタにリセット信号を出力するリセット発生部とを有し、

前記カウンタのカウント値がリセットされた直後のサイクルの開始から前記周期性信号の r サイクル分の期間をセルアレイ部の活性化期間として前記第 2 のリフレッシュを実行すると共に、前記リセット発生部がリセットを発生するごとに前記第 2 のリフレッシュを実行し、前記周期性信号の周期の q 倍を、前記第 2 のリフレッシュの動作周期とすることを特徴とする半導体記憶装置。
30

【請求項 2 5】

前記 r の値に対応したコードを出力する第 2 の ROM 回路と、該第 2 の ROM 回路の出力と前記カウンタのカウント値とを比較し、両者が一致すると一致信号を発生する一致判定回路とを備えており、前記リセット信号が発生した直後のサイクルの開始から、前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第 2 のリフレッシュを実行する、請求項 2 4 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、更に詳しくは、データ保持のためにリフレッシュが必要なダイナミック型のメモリセルを有する半導体記憶装置に関する。
40

【背景技術】

【0002】

記憶素子にダイナミック型のメモリセルを用いた半導体記憶装置 (DRAM) は、メモリセルの記憶データが時間経過と共に失われていくため、周期的にリフレッシュを行う必要がある。リフレッシュの種類としては、例えばクロック同期式ダイナミック型 RAM (SDRAM) を例にとると、外部コマンドに従って実行するリフレッシュ (オートリフレッシュ) と、内部で発生させたタイミングで周期的に実行するリフレッシュ (セルフリフレッシュ) とがある。オートリフレッシュは、DRAM をアクティブにした状態で、入力
50

コマンドに従って実行する。オートリフレッシュでは、ライト・リード動作の合間に、リフレッシュを割り込ませるため、リフレッシュの高速化が要求されている。セルフリフレッシュは、スタンバイ状態で、DRAM内部で発生させたタイミングで行う。セルフリフレッシュでは、ライト・リード動作は実施されず、定期間隔でリフレッシュのみが実施されている。

【0003】

オートリフレッシュでは、リフレッシュコマンドが入力されると、あるロウアドレスが選択され、リフレッシュが実行される。このとき、ロウアドレスは、DRAM内部のリフレッシュカウンタがリフレッシュアドレスを自動的に生成するので、外部からアドレス指定する必要はない。データを保持するためには、リフレッシュサイクルの規定時間以内にロウアドレス回数分のオートリフレッシュを実行する必要がある。例えば、8192/64msの場合には、64ms以内に8192回のオートリフレッシュが必要である。オートリフレッシュが終了すると、DRAMは、自動的にアイドル状態に戻る。

10

【0004】

セルフリフレッシュは、クロックを非活性にし、スタンバイモードにして、デバイスの消費電力を低く抑えた状態で行う。セルフリフレッシュは、DRAM内部のリフレッシュカウンタを用いてリフレッシュのタイミングを発生させ、そのタイミングに基づいて、DRAM内部で自動的に行う。

【0005】

オートリフレッシュでは、データリテンションタイムを満足すればよい。オートリフレッシュ時のtRAS期間(tRAS=Active to precharge command period:セルアレイ部のアクセスのための活性化期間)は、スペックのtRASminで規定されている。一方、セルフリフレッシュ時には、平均電流を低く抑える必要性から、リフレッシュ周期を延ばしスペック以上のデータリテンションタイムが必要となる場合がある。このため、オートリフレッシュとセルフリフレッシュとは、tRAS期間を異なる期間にすることが好ましい。しかし、従来の半導体装置では、DRAMアレイ部を活性化するための信号(RASB信号)が、オートリフレッシュ時とセルフリフレッシュ時とで同じ信号経路で生成されることに起因して、双方のtRAS期間が同じ時間に設定されることがあった。この場合には、セルフリフレッシュにおける、メモリセルの再書込み期間を与えるtRAS期間が短く、リストアレベルが不十分となるという問題があった。

20

30

【0006】

上記問題を解消する技術としては、特許文献1に記載の技術がある。図9は、特許文献1に記載の半導体記憶装置におけるRASB信号の生成に関する部分の回路構成を示している。NOR回路201とNOR回路202とは、セット・リセット型のフリップフロップを構成する。NOR回路201の2つの入力のうちの一方には、リフレッシュを指示するためのRF__cmdを入力する。RF__cmdがHレベルとなり、リフレッシュが指示されると、NOR回路201の出力RASBがLレベルに変化してRASB信号が活性化される。

【0007】

活性化されたRASB信号の非活性化には、RTOを用いる。RTOは、フリップフロップを構成するNOR回路202の2つの入力のうちの一方に入力される。RTOの信号経路は、トランジスタ204を介した信号経路(信号経路A)と、トランジスタ205及び遅延回路206を介した信号経路(信号経路B)との2つがある。トランジスタ204のゲートには、セルフリフレッシュであるか否かを示すSR__ENをインバータ203で反転した信号が入力され、トランジスタ205のゲートには、SR__ENが入力される。オートリフレッシュ時には、トランジスタ204がオンして、信号経路Aが選択される。また、セルフリフレッシュ時には、トランジスタ205がオンして、信号経路Bが選択される。

40

【0008】

図10は、図9に示すRASB制御回路200で用いるRTOの生成に関する部分の回

50

路構成を示している。NAND回路213は、RASB信号をインバータ211で反転した信号と、インバータ211の出力を遅延回路212で遅延時間 t_{d_rto} だけ遅延した信号との否定論理積を出力する。インバータ214は、NAND回路213の出力を反転し、RTOとして出力する。RTOは、RASB信号がHレベルからLレベルに変化すると、そのタイミングから遅延回路212の遅延時間 t_{d_rto} だけ遅れて、LレベルからHレベルに変化する。また、RTOは、RASB信号がLレベルからHレベルに変化すると、それに従って、Lレベルに変化する。

【0009】

図11は、図9に示す回路の各部の動作波形を示している。オートリフレッシュを実行する期間は、SR_{EN}はLレベルに固定される。RASB制御回路200では、図9に示す2つのトランジスタ204、205のうち、トランジスタ204のみがオンしており、RTOの信号経路として、信号経路Aが選択される。RASB信号は、はじめ、非活性状態(Hレベル)になっている。RF_{cmd}にワンショットパルスが印加されると、NOR回路201の出力、すなわちRASB信号はHレベルからLレベルに変化し、RASB信号が活性化される。

10

【0010】

RASB信号がHレベルからLレベルに変化すると、RTO生成回路部分のNAND回路213(図10)の入力のうちの一方はすぐにHレベルに変化し、他方は遅延回路212の遅延時間 t_{d_rto} の経過後にHレベルに変化する。NAND回路213の入力の双方がHレベルになると、RTOはLレベルからHレベルに変化する。NOR回路202の入力ノードPREは、トランジスタ204を介してRTOに接続されているので、そのレベルは、RTOのレベル変化に従って、LレベルからHレベルに変化する。

20

【0011】

RTO(ノードPRE)がHレベルに変化することにより、NOR回路202の出力はLレベルに変化する。これにより、NOR回路201の双方の入力がLレベルになって、RASB信号は、LレベルからHレベルに変化する。RASB信号がHレベルになることで、NAND回路213(図10)の出力はHレベルに変化し、RTOはLレベルに変化する。オートリフレッシュ時には、RTOの立ち上がりエッジとノードPREにおける立ち上がりエッジとは時間的に重なっており、RASB信号の立ち下がりエッジから、RTOの立ち上がりエッジ(それに引き続くRASB信号の立ち上がり)までの期間で t_{RAS} が定義されることになる。

30

【0012】

一方、セルフリフレッシュを実行する期間では、SR_{EN}はHレベルに固定される。SR_{EN}がHレベルに固定されることで、2つのトランジスタ204、205のうちトランジスタ205のみがオンし、RTOの信号経路として、信号経路Bが選択される。RF_{cmd}のワンショットパルスによってRASB信号がLレベルに立ち下がり、その後、遅延回路212の遅延時間 t_{d_rto} だけ遅れてRTOがHレベルに立ち上がる。ここまでの動作は、オートリフレッシュ時の動作と同じである。

【0013】

セルフリフレッシュ時には、NOR回路202の入力の信号経路として信号経路Bが選択されているため、ノードPREは、RTOがHレベルとなった後、遅延回路206による遅延時間 t_d だけ遅れてHレベルに立ち上がる。ノードPREがHレベルとなることで、RASB信号はHレベルに変化し、その後、RTOがLレベルに変化する。セルフリフレッシュ時には、入力ノードPREの信号変化はRTOの信号変化から遅延時間 t_d だけ遅れており、RASB信号の立ち下がりエッジから、ノードPREの立ち上がりにより駆動するRASB信号の立ち上がりエッジまでの期間で t_{RAS} が定義されることになる。

40

【0014】

セルフリフレッシュ時の t_{RAS} 期間(t_{RAS_sr})は、オートリフレッシュ時の t_{RAS} 期間(t_{RAS_ref})よりも、遅延回路206の遅延時間 t_d の分だけ長くなる。このため、セルフリフレッシュ時には、この遅延時間 t_d の分だけRASB信号の

50

Lレベル期間（活性期間）が延び、ワード線の選択期間が延長される。これにより、オートリフレッシュ時とセルフリフレッシュ時とで、リフレッシュのサイクルの長さに応じたtRAS期間を得ることができ、双方のリフレッシュで、適切な駆動時間とリストアレベルを得ることができる。

【0015】

【特許文献1】特開2001-283586号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

従来の半導体記憶装置では、遅延回路を使用し、遅延回路の遅延時間により、tRAS期間を規定している。遅延回路の遅延時間は、温度やプロセス変動による影響を受けやすく、tRAS期間を適正値にコントロールすることが難しいという問題がある。また、RASB信号の生成回路は、通常、メモリセルの近傍に配置され、バンクごとに必要である。このRASB信号の生成部分には、RTOの信号経路を切り替えるためのセルフリフレッシュのイネーブル信号(SREN)を配る必要があり、配線本数が増えて信号経路が複雑化するという問題がある。また、遅延回路によって、回路面積が増大するという問題もある。

10

【0017】

本発明は、上記従来技術の問題点を解消し、配線本数の増加及び回路面積の増加を招かずに、リフレッシュの種別に応じたセルアレイ部の活性化期間を実現できる半導体記憶装置を提供することを目的とする。

20

【0018】

また、本発明の別の目的は、セルアレイ部の活性化期間を所望の期間に制御可能な半導体記憶装置を提供することである。

【課題を解決するための手段】

【0019】

上記課題を解決するために、本発明の半導体記憶装置は、外部コマンドに従って実行する第1のリフレッシュと、内部で発生させたタイミングで周期的に実行する第2のリフレッシュとを実行する半導体記憶装置において、第2のリフレッシュにおけるセルアレイ部のアクセスのための活性化期間(tRAS期間)のp倍(p:正の整数、又は、正の整数分の1)の周期で発振し、該発振周期の周期性信号を出力するオシレーターを有し、前記オシレーターが出力する周期性信号の周期の1/p倍の期間だけセルアレイ部を活性化させて第2のリフレッシュを実行すると共に、前記周期性信号の周期のq倍(q:正の整数)を、前記第2のリフレッシュの動作周期とすることを特徴とする。

30

【0020】

本発明の半導体記憶装置では、第2のリフレッシュにおけるtRAS期間のp倍(p=1、2、3、・・・、又は、1、1/2、1/3、・・・)の周期で発振するオシレーターを用い、このオシレーターが出力する周期性信号の周期の1/p倍の期間だけセルアレイ部を活性化させて第2のリフレッシュ(例えばセルフリフレッシュ)を行うと共に、オシレーターの発振周期のq倍(q=1、2、3、・・・)の周期で、第2のリフレッシュを実行する。このようにすることで、第2のリフレッシュにおけるtRAS期間を、第1のリフレッシュ(例えばオートリフレッシュ)におけるtRAS期間とは独立して所望の値に制御することができ、双方のリフレッシュにおいて、リフレッシュ種別に応じて適切なtRAS期間を設定できる。また、従来の半導体記憶装置では、複数のバンクを有する場合には、バンクごとに、リフレッシュの種別を判別するために配線を配る必要があったが、オシレーターが出力する周期性信号を用いて第2のリフレッシュにおけるtRAS期間を規定することで、バンクごとに、リフレッシュの種別を判別するための信号を配る必要がなくなり、信号配線を簡略化できる。更に、従来の半導体記憶装置では、第1のリフレッシュと第2のリフレッシュとでtRAS期間が短い方のtRAS期間を、遅延回路を用いることで延長したが、本発明では、tRAS期間を延長するための遅延回路

40

50

が不要であり、遅延回路分の回路面積を削減できる。

【 0 0 2 1 】

本発明の半導体記憶装置では、前記第2のリフレッシュにおける t_{RAS} 期間が、前記第1のリフレッシュにおける t_{RAS} 期間よりも長い構成を採用できる。この場合、第2のリフレッシュにおけるメモリセルの再書込み期間を長くすることができ、第2のリフレッシュにおいて、メモリセルのリストアレベルを十分に確保することができる。

【 0 0 2 2 】

本発明の半導体記憶装置は、前記周期性信号をカウントするカウンタと、該カウンタのカウント値が前記 q に対応した値となると前記カウンタにリセット信号を出力するリセット発生部とを有し、該リセット発生部がリセットを発生するごとに、前記第2のリフレッシュを実行する構成を採用できる。この場合、カウンタによって周期性信号をカウントし、リセット発生部により、カウント値が q に対応した値となったときにリセットを発行して、リセット発生ごとに第2のリフレッシュを実行することで、オシレーターの発振周期の q 倍の周期（実行間隔）で、第2のリフレッシュを実行することができる。

【 0 0 2 3 】

本発明の半導体記憶装置では、前記リセット発生部が、所定のコードを出力する第1のROM回路と、該第1のROM回路の出力コードと、前記カウンタのカウント値とを比較し、両者が一致するとリセット信号を発生するリセット条件判定回路とを有しており、前記第1のROM回路の出力コードは、前記第2のリフレッシュの動作周期が前記オシレーターの発振周期の q 倍となるように調整されている構成を採用できる。この場合、リセット条件判定部がリセットを発行する周期を、第1のROM回路が出力するコードによって可変に調整することができ、第1のROM回路の出力コードを、 q の値に対応したコードに調整することで、第2のリフレッシュの動作周期を所望の周期に調整することができる。

【 0 0 2 4 】

本発明の半導体記憶装置では、前記リセット発生部によって前記カウンタのカウント値がリセットされた後に前記周期性信号がHレベルに立ち上がると、前記第2のリフレッシュを実行する構成を採用できる。また、前記第2のリフレッシュ時の前記オシレーターの発振周期が前記第2のリフレッシュにおける t_{RAS} 期間よりも長く設定され、かつ、前記第2のリフレッシュ時の前記周期性信号の1周期内におけるHレベル期間と前記第2のリフレッシュにおける t_{RAS} 期間とが一致しており、前記カウンタのカウント値がリセットされた直後のサイクルにおける前記周期性信号のHレベル期間をセルアレイ部の活性化期間として前記第2のリフレッシュを実行する構成を採用することができる。オシレーターの発振周期が、第2のリフレッシュにおける t_{RAS} 期間の整数倍に設定され、第2のリフレッシュにおける t_{RAS} 期間よりも長いときには、周期性信号のHレベル期間をオシレーターの発振周期の $1/p$ 倍に設定し、周期性信号のHレベル期間をセルアレイ部の活性化期間として用いて、第2のリフレッシュを実行すればよい。

【 0 0 2 5 】

本発明の半導体記憶装置では、前記カウンタが n ビット（ n は2以上の整数）のカウンタであり、前記カウンタが出力するカウント値の各ビット値の否定論理和と、前記周期性信号との論理積に基づいて、前記周期性信号のHレベル期間をセルアレイ部の活性化期間とした第2のリフレッシュを、前記周期性信号の q 倍の周期で実行する構成を採用できる。この場合、カウント値が0のときのみ、オシレーターが出力する周期性信号に基づいて、第2のリフレッシュを実行することにより、第2のリフレッシュの動作周期を、オシレーターの発振周期の q 倍とすることができる。また、第2のリフレッシュにおいて、セルアレイ部の活性化期間を、カウント値「0」のときの周期性信号のHレベル期間に連動させることで、第2のリフレッシュにおける t_{RAS} 期間を、オシレーターの発振周期の $1/p$ 倍とすることができる。

【 0 0 2 6 】

本発明の半導体記憶装置では、前記第2のリフレッシュ時のオシレーターの発振周期

10

20

30

40

50

が前記第2のリフレッシュにおけるtRAS期間の $1/r$ 倍(r :正の整数)に設定されており、前記第2のリフレッシュでは、前記カウンタのカウント値がリセットされた直後のサイクルの開始から前記周期性信号の r サイクル分の期間をセルアレイ部の活性化期間として前記第2のリフレッシュを実行する構成を採用できる。オシレーターの発振周期が、第2のリフレッシュにおけるtRAS期間の $1/r$ (1 、 $1/2$ 、 $1/3$ 、 \dots)倍に設定され、第2のリフレッシュにおけるtRAS期間よりも短いときには、周期性信号の複数サイクル、具体的には r サイクル分($r=1$ 、 2 、 3 、 \dots)の期間をtRAS期間として第2のリフレッシュを実行すればよい。なお、 r の値は、 p との関係では、 $r=1/p$ である。

【0027】

本発明の半導体記憶装置では、前記 r の値に対応したコードを出力する第2のROM回路と、該第2のROM回路の出力と前記カウンタのカウント値とを比較し、両者が一致すると一致信号を発生する一致判定回路とを備えており、前記リセット信号が発生した直後のサイクルの開始から、前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第2のリフレッシュを実行する構成を採用できる。この場合、一致判定回路が一致信号を発生するまでの周期性信号のサイクル数を、第2のROM回路が出力するコードを用いて調整することができる。第2のROM回路が出力するコードを、 r の値に対応したコードに調整することにより、第2のリフレッシュにおけるtRAS期間を所望の期間に調整できる。

【0028】

本発明の半導体記憶装置では、前記オシレーターは、入力コードに応じて発振周期が調整可能に構成され、前記第2のリフレッシュ時には、該第2のリフレッシュ時の前記オシレーターの発振周期を決定するための第3のROM回路から入力するコードに応じた周期で発振し、前記第3のROM回路の出力コードは、半導体装置の製造後、前記オシレーターの発振周期が前記第2のリフレッシュにおけるtRAS期間の p 倍の周期となるコードに調整される構成を採用できる。オシレーターの発振周期は、プロセス変動等の影響を受けてばらつくことが考えられるが、半導体記憶装置の製造後、例えばウエハテスト時に、オシレーターの発振周期を調整することで、オシレーターの発振周期を、正確に第2のリフレッシュにおけるtRAS期間の p 倍に設定できる。その結果として、第2のリフレッシュにおけるtRAS期間、及び、第2のリフレッシュの動作周期を、正確に所望の期間又は周期に制御できる。

【0029】

本発明の半導体記憶装置は、前記第1のリフレッシュを実行させるためのコマンドが入力されると、セルアレイ部を活性化させるためのRASB信号を活性化させるセット・リセット型のフリップフロップと、前記RASB信号の活性化後、前記第1のリフレッシュにおけるtRAS期間の経過後に前記フリップフロップをリセットさせるための信号RTOを生成するRTO生成回路とを備える構成を採用することができる。第1のリフレッシュについては、従来と同様に、コマンドの発生から、RTO発生回路による信号RTOの発生までの期間でセルアレイ部を活性化し、第1のリフレッシュを行う構成とすることができる。

【0030】

本発明の半導体記憶装置では、前記オシレーターは、半導体記憶装置に前記第1のリフレッシュを実行させるためのコマンドが入力されると、前記第1のリフレッシュにおけるtRAS期間の s 倍(s :正の整数又は正の整数分の 1)の周期で発振を開始し、前記第1のリフレッシュでは、前記オシレーターが出力する周期性信号の周期の $1/s$ 倍の期間だけセルアレイ部を活性化させて前記第1のリフレッシュを実行する構成を採用できる。第1のリフレッシュ時には、オシレーターを、第1のリフレッシュにおけるtRAS期間の s 倍($s=1$ 、 2 、 3 、 \dots 、又は、 1 、 $1/2$ 、 $1/3$ 、 \dots)の周期で発振させて、その発振周期の $1/s$ 倍の期間だけセルアレイ部を活性化させて第1のリフレッシュを行う。このように構成

10

20

30

40

50

することで、第1のリフレッシュについても、オシレーターの発振周期に基づいた t_{RAS} 期間でリフレッシュを実行することができる。このときの s の値は、 p の値と同じ値、すなわち $s = p$ とすることができ、その場合には、第1のリフレッシュでは、第1のリフレッシュ時のオシレーター周期の $1/p$ 倍の期間だけセルアレイ部を活性化して第1のリフレッシュを実行し、第2のリフレッシュでは、第2のリフレッシュ時のオシレーター周期の $1/p$ 倍の期間だけセルアレイ部を活性化して第2のリフレッシュを実行することになる。

【0031】

本発明の半導体記憶装置では、前記第1のリフレッシュ時の前記オシレーターの発振周期が前記第1のリフレッシュにおける t_{RAS} 期間よりも長く設定され、かつ、前記第1のリフレッシュ時の前記周期性信号の1周期内におけるHレベル期間が前記第1のリフレッシュにおける t_{RAS} 期間に設定されており、前記周期性信号の反転信号を、第1のリフレッシュにおけるセルアレイ部を活性化させるための $RASB$ 信号として用いる構成を採用できる。オシレーターの発振周期が、第1のリフレッシュにおける t_{RAS} 期間の整数倍に設定され、第1のリフレッシュにおける t_{RAS} 期間よりも長いときには、周期性信号のHレベル期間を、第1のリフレッシュ時のオシレーター周期の $1/s$ 倍、すなわち第1のリフレッシュにおける t_{RAS} 期間に設定し、この期間をセルアレイ部の活性化期間として用いて、第1のリフレッシュを実行すればよい。

10

【0032】

本発明の半導体記憶装置では、前記第1のリフレッシュ時のオシレーターの発振周期が、前記第1のリフレッシュにおける t_{RAS} 期間の $1/t$ 倍 (t : 正の整数) に設定されており、前記第1のリフレッシュでは、前記カウンタのカウント開始から前記周期性信号の t サイクル分の期間を、セルアレイ部の活性化期間として前記第1のリフレッシュを実行する構成を採用できる。オシレーターの発振周期が、第1のリフレッシュにおける t_{RAS} 期間の $1/t$ (1 、 $1/2$ 、 $1/3$...) 倍に設定され、第1のリフレッシュにおける t_{RAS} 期間よりも短いときには、周期性信号の複数サイクル、具体的には t サイクル分 ($t = 1$ 、 2 、 3 、...) の期間を t_{RAS} 期間として第1のリフレッシュを実行すればよい。なお、 t の値は、 s との関係では、 $t = 1/s$ である。

20

【0033】

本発明の半導体記憶装置は、前記 t の値に対応したコードを出力する第4のROM回路を更に有し、前記一致判定回路は、前記第1のリフレッシュ時は、前記第4のROM回路の出力と前記カウンタのカウント値とを比較して両者が一致すると一致信号を発生し、前記オシレーターの発振開始から前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第1のリフレッシュを実行する構成を採用できる。この場合、一致判定回路が一致信号を発生するまでの周期性信号のサイクル数を、第4のROM回路が出力するコードを用いて調整することができる。第4のROM回路が出力するコードを、 t の値に対応したコードに調整することにより、第1のリフレッシュにおける t_{RAS} 期間を所望の期間に調整できる。なお、 $r = t$ とし、第1のリフレッシュ時のオシレーターの周期を第1のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍とし、第2のリフレッシュ時のオシレーターの周期を第2のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍とする場合には、双方のリフレッシュにおいて、周期性信号の r サイクル分を t_{RAS} 期間として用い、一致判定回路に入力するコードは同じになるので、第2のROM回路と第4のROM回路とのうちの一方は省略することができる。

30

40

【0034】

本発明の半導体記憶装置では、前記第1のリフレッシュ時には、前記第4のROM回路が出力するコードを前記一致判定回路に入力し、前記第2のリフレッシュ時には、前記第2のROM回路が出力するコードを前記一致判定回路に入力する構成を採用できる。リフレッシュの種別に応じて、第1のリフレッシュ時には第4のROM回路が出力する t の値に対応したコードを一致判定回路に入力し、第2のリフレッシュ時には第2のROM回路が出力する r の値に対応したコードを一致判定回路に入力することで、第1のリフレッシュ

50

ユでは周期性信号の t サイクル分の期間をセルアレイ部の活性化期間として第 1 のリフレッシュを実行でき、第 2 のリフレッシュでは周期性信号の r サイクル分の期間をセルアレイ部の活性化期間として第 2 のリフレッシュを実行できる。

【 0 0 3 5 】

本発明の半導体記憶装置では、前記オシレータは、前記第 1 のリフレッシュ時には、該第 1 のリフレッシュ時の前記オシレータの発振周期を決定するための第 5 の ROM 回路から入力するコードに応じた周期で発振し、前記第 5 の ROM 回路の出力コードは、半導体装置の製造後、前記オシレータの発振周期が前記第 1 のリフレッシュにおける t_{RAS} 期間の s 倍の周期となるコードに調整されている構成を採用できる。この場合、第 1 のリフレッシュにおけるセルアレイ部の活性化期間を、プロセス変動による影響を受けずに、正確に所望の期間に設定できる。

10

【 0 0 3 6 】

本発明の半導体記憶装置では、前記第 1 のリフレッシュ時には、前記第 5 の ROM 回路が出力するコードを前記オシレータに入力し、前記第 2 のリフレッシュ時には、前記第 3 の ROM 回路が出力するコードを前記オシレータに入力する構成を採用できる。この場合、第 5 の ROM 回路が出力するコードと、第 3 の ROM 回路が出力するコードとを、異なるコードに設定することで、第 1 のリフレッシュと第 2 のリフレッシュとで、オシレータの発振周期を異なる周期に制御することができる。

【 0 0 3 7 】

本発明の半導体記憶装置は、前記第 1 のリフレッシュでは、前記オシレータは、発振開始後、前記周期性信号の周期の $1/s$ 倍の期間の経過後に発振が停止する構成を採用することができる。第 1 のリフレッシュは、外部コマンドに従って実行し、オシレータ周期に基づいて周期的に行う必要がないため、第 1 のリフレッシュの実行後は、オシレータを動作させる必要はない。

20

【 0 0 3 8 】

本発明の半導体記憶装置では、前記オシレータは、前記第 1 のリフレッシュを実行させるためのコマンドが入力されると、前記第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍の周期で発振を開始し、前記第 1 のリフレッシュでは、前記オシレータが出力する周期性信号の t (t : 正の整数) サイクル分の期間だけセルアレイ部を活性化させて t_{RAS} 期間とし、前記第 1 のリフレッシュを実行する構成を採用できる。オシレータの発振周期が、 t_{RAS} 期間よりも短いときには、第 1 のリフレッシュと第 2 のリフレッシュとで、オシレータの発振周期を同じ周期として、オシレータ周期の何周期分を t_{RAS} 期間とするかを定める倍率を、第 1 のリフレッシュと第 2 のリフレッシュとで変えることで、双方のリフレッシュにおいて、所望の t_{RAS} 期間を実現する構成としてもよい。具体的には、第 2 のリフレッシュでは、オシレータ周期を第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍に設定し、オシレータ周期の r サイクル分をアレイ部の活性化期間として第 2 のリフレッシュを実行する。また、第 1 のリフレッシュでは、オシレータ周期を、第 2 のリフレッシュ時のオシレータ周期と同じ周期 (第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍) に設定し、オシレータ周期の t サイクル分をアレイ部の活性化期間として第 1 のリフレッシュを実行する。すなわち、オシレータ周期を T_{OSC} ($=$ 第 2 のリフレッシュにおける t_{RAS} 期間の $1/r$ 倍) とすれば、第 1 のリフレッシュでは、 $T_{OSC} \times t$ をアレイ部の活性化期間としてリフレッシュを実行し、第 2 のリフレッシュでは、 $T_{OSC} \times r$ をアレイ部の活性化期間としてリフレッシュを実行する。この場合、 $t = r$ とすることで、双方のリフレッシュにおいて、適切なアレイ部の活性化期間を実現できる。

30

40

なお、 $T_{OSC} \times t =$ 第 1 のリフレッシュにおける t_{RAS} 期間であるから、オシレータ周期 T_{OSC} は、第 1 のリフレッシュにおける t_{RAS} 期間の $1/t$ 倍であるということもできる。すなわち、第 1 のリフレッシュと第 2 のリフレッシュとで、オシレータ周期を第 1 のリフレッシュにおける t_{RAS} 期間の $1/t$ 倍に設定し、第 1 のリフレッシュでは、オシレータ周期の t サイクル分をアレイ部の活性化期間として第 1 のリ

50

フレッシュを実行し、第2のリフレッシュでは、オシレータ周期の r サイクル分をアレイ部の活性化期間として第2のリフレッシュを実行するとしても同じである。

【0039】

本発明の半導体記憶装置は、前記 t の値に対応したコードを出力する第4のROM回路を有し、前記一致判定回路は、前記第1のリフレッシュ時は、前記第4のROM回路の出力と前記カウンタのカウント値とを比較して両者が一致すると一致信号を発生し、前記オシレータの発振開始から前記一致信号の発生までの期間をセルアレイ部の活性化期間として前記第1のリフレッシュを実行する構成を採用できる。この場合、一致判定回路が一致信号を発生するまでの周期性信号のサイクル数を、第4のROM回路が出力するコードを用いて調整することができる。第4のROM回路が出力するコードを、 t の値に対応したコードに調整することにより、第1のリフレッシュにおける $tRAS$ 期間を所望の期間に調整できる。

10

【0040】

本発明の半導体記憶装置は、前記第1のリフレッシュでは、前記オシレータは、発振開始後、前記周期性信号の周期の t 倍の期間の経過後に発振が停止する構成を採用することができる。

【発明の効果】

【0041】

本発明の半導体記憶装置では、第2のリフレッシュにおける $tRAS$ 期間の p 倍の周期で発振するオシレータを用い、このオシレータが出力する周期性信号の周期の $1/p$ 倍の期間だけセルアレイ部を活性化させて第2のリフレッシュを行うと共に、オシレータの発振周期の q 倍の周期で、第2のリフレッシュを実行する。このようにすることで、第2のリフレッシュにおける $tRAS$ 期間を、第1のリフレッシュにおける $tRAS$ 期間とは独立して所望の値に制御することができ、双方のリフレッシュにおいて、リフレッシュ種別に応じて適切な $tRAS$ 期間を設定できる。また、オシレータが出力する周期性信号を用いて第2のリフレッシュにおける $tRAS$ 期間を規定するため、半導体記憶装置が複数のバンクを有する場合でも、バンクごとに、リフレッシュの種別を判別するために配線を配る必要がなく、信号配線を簡略化できる。更に、第1のリフレッシュと第2のリフレッシュとで、 $tRAS$ 期間を異なる期間にするための遅延回路が不要であり、回路面積を削減できる。

20

30

【発明を実施するための最良の形態】

【0042】

以下、図面を参照し、本発明の実施の形態を詳細に説明する。図1は、本発明の第1実施形態の半導体記憶装置におけるRASB信号の生成に関する部分の回路構成を示している。半導体記憶装置で実行されるリフレッシュとしては、オートリフレッシュ(第1のリフレッシュ)と、セルフリフレッシュ(第2のリフレッシュ)とを考える。RASB制御回路100は、コマンドデコーダ101、オシレータ102、ROM回路103、104、OR回路105、110、 n ビットカウンタ106、プログラブルデコーダ107、NOR回路108、111、112、及び、AND回路109を有する。コマンドデコーダ101は、RASやCASなどの外部端子から入力されたコマンドをデコードし、オートリフレッシュ時に、リフレッシュを実行させるための RF_cmd を発生する。

40

【0043】

オシレータ102は、 SR_EN に基づいて発振動作を開始し、所定の周期で発振する。このオシレータ102の発振周期は、ROM回路103が出力する所定ビット数の $CODE_i$ によって調整可能とする。ROM回路103は、例えばFUSE回路として構成される。ROM回路103は、出力する $CODE_i$ のビット数に応じた数のヒューズを有しており、各ヒューズは、電源と出力との間に配置されている。ヒューズカットの際には、ビット値0に対応するヒューズを切断し、ビット値1に対応するヒューズは切断せずに残す。参照側では、電圧の有無によって各ビット値を判断し、 $CODE_i$ を読み出

50

す。

【0044】

一般的に、オシレーターは、奇数段のインバータを用いて構成される。各インバータを構成するトランジスタと電源ラインとの間に電流能力調整用のトランジスタを挿入し、各インバータの電流駆動能力を調整することで、前段から次段への信号伝達のスピードを調整することができ、結果として、発振周期を調整することができる。オシレーター102は、例えばCODE_iをデコードして、デコードしたCODE_iの数値に応じて、電流能力調整用のトランジスタのゲートに印加する電圧を決定し、発振周期をCODE_iに応じた周期に設定する。例えば、CODE_iの値が大きいくほど、インバータの電流駆動能力を大きくして、発振周期を短くする。

10

【0045】

半導体記憶装置の製造に際しては、例えばウエハテスト時に、オシレーター102の発振周期を計測し、発振周期が所望の周期となるようにROM回路103のヒューズカットを実施する。このように発振周期を調整することにより、プロセス変動の影響を受けて、オシレーター102の発振周期がばらついたとしても、発振周期を、正確に所望の周期に調整することができる。

【0046】

上記発振周期の調整では、オシレーター102の発振周期を、セルフリフレッシュ時のセルアレイ部の活性化期間(t_{RAS}期間)に基づいて設定する。詳細には、オシレーター102の発振周期は、pを所定の数(正の整数)として、セルフリフレッシュ時のt_{RAS}期間の設計値のp倍に設定する。このpの値は、オシレーター102の出力からセルフリフレッシュ時のt_{RAS}期間を生成するための論理回路の回路構成で決定される。例えば、オシレーター102の出力OSC₀のデューティ比が50%で、OSC₀のHレベル期間をt_{RAS}期間として用いる回路構成では、p=2である。この構成の場合には、オシレーター102の発振周期を、得たいt_{RAS}期間に対して、その2倍に調整する。

20

【0047】

nビットカウンタ106は、オシレーター102が出力する所定周期の信号OSC₀に基づいてカウントアップを行い、nビットのカウント値(OSC₁~OSC_n)を出力する。プログラマブルデコーダ107は、nビットカウンタ106に対してリセット信号を発生するリセット条件判定回路に相当する。プログラマブルデコーダ107は、nビットカウンタ106が出力するOSC₁~OSC_nで構成されるnビットのデータと、ROM回路104が出力する所定ビット数のCODE_jとを比較し、比較結果に基づいて、リセットを発行する。ROM回路104は、ROM回路103と同様に、FUSEカットのパターンによって、出力するCODE_jが変更できるように構成される。

30

【0048】

プログラマブルデコーダ107は、nビットカウンタ106が出力するnビットのデータ、及び、ROM回路104が出力するCODE_jをそれぞれデコードして比較し、両者が一致すると、出力DETをHレベルにしてリセットを発行する。プログラマブルデコーダ107が出力するDETは、2入力のOR回路105の一方の入力に入力される。OR回路105の他方の入力には、SR_ENの反転信号が入力される。OR回路105の出力は、nビットカウンタ106のリセット端子に入力される。nビットカウンタ106の動作開始前は、プログラマブルデコーダ107が出力するDETはLレベルであり、nビットカウンタ106は、SR_ENがHレベルになると、リセット状態を解除して動作を開始する。動作開始後は、プログラマブルデコーダ107がリセットを発行して出力DETをHレベルに変化させると、カウント値を0にリセットする。

40

【0049】

NOR回路108は、nビットカウンタ106の出力(OSC₁~OSC_n)を入力し、OSC₁~OSC_nの否定論理和を出力する。NOR回路108は、OSC₁~OSC_nが全て0(Lレベル)のとき、1(Hレベル)を出力する。AND回路109は、N

50

OR回路108の出力と、オシレータ102が出力するOSC0との論理積を出力する。AND回路109の出力SRACTは、OSC0がHレベルで、かつ、OSC1~OSCnが全てLレベルのとき、Hレベルとなる。OSC1~OSCnのうちの少なくとも1つがHレベルであるときには、出力SRACTはLレベルとなる。

【0050】

OR回路110は、コマンドデコーダ101から出力されるRF__cmdと、AND回路109から出力されるSRACTとの論理和を出力する。NOR回路111とNOR回路112とは、セット・リセット型のフリップフロップを構成する。NOR回路111の2つの入力のうちの一方は、OR回路110の出力を入力し、他方は、NOR回路112の出力を入力する。また、NOR回路112の入力のうちの一方は、NOR回路111の出力を入力し、他方は、RTOを入力する。RTOは、従来と同様に図10に示す回路で生成することができる。RTOは、RASB信号の立ち下がりエッジから所定時間の経過後にHレベルに立ち上がり、RASB信号の立ち上がり後にLレベルに立ち下がる。

10

【0051】

オートリフレッシュ時には、SR__ENはLレベルに制御され、オシレータ102は停止している。従って、オートリフレッシュ時には、SRACTの信号レベルはLレベルのまま変化せず、OR回路110の出力は、RF__cmdに依存して変化する。一方、セルフリフレッシュ時には、半導体記憶装置はクロックを停止して非活性状態となるため、コマンドデコーダ101には、リフレッシュコマンドは入力されない。従って、RF__cmdはLレベルのまま変化せず、OR回路110の出力は、SRACTに依存して変化する。

20

【0052】

セルフリフレッシュ時には、プログラマブルデコーダ107が周期的にDETをHレベルにしてnビットカウンタ106をリセットすることで、SRACTが周期的にHレベルとなる。SRACTが周期的にHレベルとなることで、セルフリフレッシュが周期的に行われる。このときのリフレッシュ周期は、プログラマブルデコーダ107がリセットを発行する周期で決定される。プログラマブルデコーダ107は、nビットカウンタ106が出力するデータ(OSC1~OSCn)と、ROM回路104が出力するCODEjとを比較してDETをHレベルに変化させるため、リフレッシュ周期は、オシレータ102の発振周期とCODEjとによって決定されることになる。より詳細には、セルフリフレッシュ時のリフレッシュ周期は、CODEjの値に応じて、オシレータ102の発振周期の整数倍(q倍：qは正の整数)に設定される。

30

【0053】

図2は、セルフリフレッシュ時のRASB制御回路100の各部の動作波形を示している。この例では、オシレータ102の発振周期は、ROM回路103が出力するCODEiによって、セルフリフレッシュ時のtRAS期間の2倍に設定されている。すなわち、p=2である。オシレータ102の出力OSC0のデューティ比は50%とする。nビットカウンタ106のビット数は2ビットとし、ROM回路104が出力するCODEjは、“11”であるとする。CODEjの値を、10進数で“3”に対応した値とすることで、セルフリフレッシュの周期は、オシレータ102の発振周期の3倍に設定される。すなわち、q=3である。

40

【0054】

なお、オートリフレッシュ時の動作については、図11におけるSR__ENのLレベル期間における動作と同様である。すなわち、リフレッシュコマンドの入力に対応してコマンドデコーダ101がRF__cmdにワンショットパルスを発生させることでRASB信号をLレベルに立ち下げ、その後、RTO生成回路(図10)が、RASB信号の立ち下がりエッジから所定時間の経過後にRTOがLレベルからHレベルに変化させることで、RASB信号がHレベルに立ち上がる。オートリフレッシュ時のtRAS期間は、RTO生成回路の遅延回路212の遅延時間で決定される。

【0055】

50

セルフリフレッシュへの移行に際して、SR_ENは、LレベルからHレベルに変化し、その後は、Hレベルに固定される。オシレーター102は、SR_ENがLレベルからHレベルに立ち上がることで動作を開始し、CODE_iに基づく発振周期のOSC₀を出力する。また、SR_ENがHレベルに変化することで、nビットカウンタ106のリセットが解除され、nビットカウンタ106は、カウントアップを開始する。

【0056】

オシレーター102が動作を開始すると、OSC₀はHレベルに変化する。このとき、nビットカウンタ106のカウント値は0 (OSC₁ = 0、OSC₂ = 0) であり、NOR回路108が出力するHITは、Hレベルである。従って、OSC₀がHレベルに立ち上がると、AND回路109が出力するSR_ACTはそれに従ってHレベルとなり、フリップフロップを構成するNOR回路111の入力の一方にHレベルが入力されて、R_A_S_B信号はLレベルに立ち下がる。

10

【0057】

R_A_S_B信号がLレベルに立ち下ると、その立下りエッジから遅延回路212 (図10) の遅延時間の経過後に、R_T_OがHレベルに立ち上がる。R_T_OがHレベルとなることで、NOR回路112の出力、すなわちNOR回路111の入力の他方がLレベルに変化する。このとき、NOR回路111に入力するOR回路110の出力、すなわちSR_ACTはHレベルのままなので、NOR回路111が出力するR_A_S_B信号はLレベルのまま維持される。

【0058】

20

オシレーター102の出力OSC₀がHレベルからLレベルに変化すると、AND回路109の出力SR_ACTは、それに従ってLレベルに変化する。これにより、NOR回路111の2つの入力と共にLレベルになるので、R_A_S_B信号はHレベルに立ち上がる。このR_A_S_B信号のLレベル期間がセルフリフレッシュ時のt_R_A_S期間を決定することになり、このt_R_A_S期間は、OSC₀のHレベル期間、つまりは、オシレーター102の発振周期の半周期と一致する。R_T_Oについては、R_A_S_B信号がHレベルに立ち下がることで、Lレベルに立ち下がる (図10参照)。

【0059】

OSC₀のHレベル期間が終了し、OSC₀がLレベルに立ち下ると、nビットカウンタ106は、OSC₀の立ち下がりエッジを検出して、OSC₁を1 (Hレベル) に変化させる。OSC₁がHレベルとなることで、NOR回路108の出力HITはLレベルに変化する。このため、次にサイクルでOSC₀がHレベルに立ち上がっても、SR_ACTはHレベルに変化しない。

30

【0060】

プログラブルデコーダ107で、nビットカウンタ106の出力OSC₁とOSC₂とで構成されるデータ“01”をデコードすると、このデータは「1」に対応しており、CODE_jに対応した値「3」と一致しない。このため、プログラブルデコーダ107の出力DETは、Lレベルに維持されたままとなり、nビットカウンタ106のリセットは発生しない。

【0061】

40

OSC₀のサイクルが進行し、OSC₀の3サイクル目のOSC₀の立ち下がりエッジによって、OSC₁がHレベルになると、このときのOSC₂はHレベルであるので、OSC₁とOSC₂とで構成されるデータが“11”となり、CODE_jの値と一致する。このため、プログラブルデコーダ107は、出力DETをHレベルに変化させる。DETがHレベルに変化することで、nビットカウンタ106はリセットされ、OSC₁及びOSC₂は、共に0 (Lレベル) となる。OSC₁及びOSC₂がLレベルにリセットされると、OSC₁とOSC₂とで構成されるデータがCODE_jの値と一致しなくなり、プログラブルデコーダ107は、出力DETを、Lレベルに変化させる。

【0062】

nビットカウンタ106のリセットにより、OSC₁及びOSC₂がLレベルとなる

50

と、NOR回路108の出力HITは、Hレベルに変化する。このため、OSC0の4サイクル目でOSC0がHレベルに立ち上がると、AND回路109の出力SRACTはHレベルに変化し、RASB信号がLレベルに立ち下がる。このように周期的にSRACTがHレベルに立ち上がることで、セルフリフレッシュが周期的に行われる。RASB信号がLレベルとなった後の動作は、OSC0の1サイクル目の動作と同様であり、OSC0がLレベルに立ち下ると、SRACTがLレベルに変化し、RASB信号がHレベルに立ち上がる。

【0063】

上記では、説明の簡略化のために、CODEjを“11”として、セルフリフレッシュ時のリフレッシュ周期が、オシレーター102の発振周期の3倍になる例について説明したが、リフレッシュ周期を決定するROM回路104のCODEjの値は、実際には、オシレーター102の周期と、ターゲットとなるリフレッシュ周期とに応じて適宜設定すればよい。以下、具体的な数値例を用いて説明する。

【0064】

例えば、Hold 64ms、4KREFの製品では、セルフリフレッシュの周期のターゲットは、 $64\text{ms} / 4096 = 15.625\mu\text{s}$ となる。セルフリフレッシュ時のtRAS期間を40nsとし、オシレーター102の発振周期を80nsとする。このオシレーター102の周期は、ROM回路103が出力するCODEiで定義される。nビットカウンタ106には、9ビットのカウントを用い、CODEjのビット数は9ビットとする。

【0065】

セルフリフレッシュ時のリフレッシュ周期は、CODEjの各ビットの値をdec<s> (<s>: 1~9)として、下記式、

$$80\text{ns} \times (2^8 \times \text{dec}\langle 9 \rangle + 2^7 \times \text{dec}\langle 8 \rangle + 2^6 \times \text{dec}\langle 7 \rangle + 2^5 \times \text{dec}\langle 6 \rangle + 2^4 \times \text{dec}\langle 5 \rangle + 2^3 \times \text{dec}\langle 4 \rangle + 2^2 \times \text{dec}\langle 3 \rangle + 2^1 \times \text{dec}\langle 2 \rangle + 2^0 \times \text{dec}\langle 1 \rangle)$$

で表すことができる。例えば、CODEj <9: 1>を“011000011”とセットすることで、リフレッシュ周期を15.6μsに設定することができる。このときの分解能は、オシレーター102の発振周期の80ns (0.08μs)である。また、リフレッシュ周期の最大周期は、40.88μsとなり、これは、Hold 167msに相当する。

【0066】

別の数値例として、オシレーター102の周期を400nsとし、セルフリフレッシュ時のtRAS期間を40nsとする場合について説明する。これは、p=10に相当する。図3は、オシレーター102の回路構成を示している。この例では、3つのNOR回路131、133、136と、3つのNAND回路132、134、135を組み合わせて、リングオシレーターを構成している。オシレーター102は、NOR回路136から、OSC0を出力する。オシレーター102の出力OSC0の周期は、ROM回路103が出力するCODEiによって、400nsに調整されている。

【0067】

図4は、図3に示すオシレーター102の各部の動作波形を示している。NAND回路135の出力をOSC__1、NOR回路131の出力をOSC__2、NAND回路132の出力をOSC__3、NOR回路133の出力をOSC__4、NAND回路134の出力をOSC__5とする。初期状態では、OSC__1、OSC__3、OSC__5はHレベル、OSC0、OSC__2、OSC__4はLレベルとなっている。OSC__ENをHレベルに変化させてオシレーター102を活性化させると、OSC__1がLレベルに変化し、次いで、OSC__2がHレベルに、OSC__3がLレベルに、OSC__4がHレベルに、OSC__5がLレベルに変化していく。

【0068】

OSC__5がLレベルに変化すると、OSC__1がHレベルに変化し、その後、OSC__2、OSC__3、OSC__4、OSC__5と順次にレベルが変化する。OSC__1~O

10

20

30

40

50

SC_5のレベル変化の間隔は $400\text{ ns} / 2 = 200\text{ ns}$ であり、1段あたりのレベル変化の時間差は、 $200\text{ ns} / 5 = 40\text{ ns}$ である。図3に示すオシレーター102では、出力OSC0は、OSC_1がLレベルとなってからOSC_2がHレベルに変化するまでの時間差(40 ns)だけHレベルとなる。つまり、オシレーター102が出力するOSC0のデューティ比は10%である。OSC0のHレベル期間は、セルフリフレッシュ時のtRAS期間に対応しており、このようなオシレーターを用いることで、セルフリフレッシュ時のtRAS期間40 nsを得ることができる。

【0069】

nビットカウンタ106のビット数、及び、ROM回路104が出力するCODEjのビット数を7ビットとする。上記構成のオシレーターでは、セルフリフレッシュ時のリフレッシュ周期は、CODEjの各ビットの値をdec<s>(s:1~7)として、下記式、

$$400\text{ ns} \times (2^6 \times \text{dec}\langle 7 \rangle + 2^5 \times \text{dec}\langle 6 \rangle + 2^4 \times \text{dec}\langle 5 \rangle + 2^3 \times \text{dec}\langle 4 \rangle + 2^2 \times \text{dec}\langle 3 \rangle + 2^1 \times \text{dec}\langle 2 \rangle + 2^0 \times \text{dec}\langle 1 \rangle)$$

で表すことができる。CODEjを、“0100111”に設定すると、リフレッシュ周期は $15.6\text{ }\mu\text{ s}$ となる。この例では、リフレッシュ周期の分解能は400 nsであり、最大周期は $50.8\text{ }\mu\text{ s}$ となる。

【0070】

本実施形態では、リフレッシュ周期を生成するためのオシレーター102の周期を、セルフリフレッシュにおけるtRAS期間のp倍に設定し、セルフリフレッシュの周期を、オシレーター102の周期のq倍に設定する。このようなオシレーター102を用いて、セルフリフレッシュ時のtRAS期間を規定することで、オートリフレッシュを含む外部アクセス時のtRAS期間とは異なる期間のtRASでセルフリフレッシュを実現できる。また、セルフリフレッシュ時のtRAS期間をオートリフレッシュ時よりも長くすることで、スピードを重視しないセルフリフレッシュにおいて、リストアレベルを確保することができる。

【0071】

本実施形態では、オシレーター102の発振周期を、ROM回路103の出力CODEiによって調整可能に構成すると共に、オシレーター102の発振周期が、セルフリフレッシュ時のtRAS期間のp倍となるように、回路を構成する。このようにすることで、プロセス変動の影響を受けて、オシレーター102の周期にばらつきが生じたときでも、オシレーター102の周期を、ROM回路103の出力CODEiにより正確に所望の周期に設定することができ、セルフリフレッシュ時のtRAS期間を正確に制御することができる。

【0072】

本実施形態では、セルフリフレッシュのイネーブル信号であるSR_ENは、オシレーター102とnビットカウンタ106に入力すればよく、メモリセル近傍にSR_ENを配線する必要がない。また、図9に示す従来の回路構成では、バンクごとにSR_ENを配る必要がありRTOを遅延させるための遅延回路206をバンクごとに配置する必要があるが、本実施形態では、SR_ACTの生成に係る回路部分は各バンクに共通に用いることができ、回路面積及び配線本数を削減することができる。

【0073】

図5は、本発明の第2実施形態の半導体記憶装置におけるRASB制御回路の構成を示している。本実施形態のRASB制御回路100aは、図1に示す構成に加えて、オートリフレッシュ時でのオシレーター102の発振周波数を決定するROM回路113を備える。第1実施形態では、オートリフレッシュ時のtRAS期間については、遅延回路212(図10)の遅延時間を用いて規定している。本実施形態では、オートリフレッシュ時のtRAS期間についても、オシレーター102の出力OSC0に基づいて規定する。

【0074】

10

20

30

40

50

本実施形態では、ROM回路103に加えて、ROM回路113を用い、セルフリフレッシュとオートリフレッシュとで、オシレータ102に入力するコードを切り替える。ROM回路113は、オートリフレッシュ時のオシレータ102の発振周期を調整するためのROM回路であり、ROM回路103と同様に、FUSE回路として構成され、出力するCODE_iのビット数に応じた数のヒューズを有する。ROM回路113が出力するCODE_iは、半導体記憶装置の製造後、例えばウエハテスト時に、オシレータ102の発振周期を観測して、オシレータ102の発振周期が、オートリフレッシュ時のtRAS期間の設計値のp倍となるコードに調整される。

【0075】

コマンドデコーダ101は、オートリフレッシュを示すコマンドが入力されると、RF_cmdにワンショットパルスを出力する。コマンドデコーダ101が生成するRF_cmdは、NOR回路111及び112で構成されるセット・リセット型のフリップフロップに入力される。このフリップフロップの出力(NOR回路111の出力)をインバータ117で反転させたものをRF_ENとして用いる。NOR回路112には、RASB信号が入力され、これをRF_ENのリセット信号として用いる。すなわち、RF_ENは、オートリフレッシュ時に、リフレッシュコマンドの発生によってHレベルに変化し、RASB信号の非活性化後にLレベルに変化する。

【0076】

オシレータ102は、トランジスタ115を介してROM回路103に接続され、トランジスタ116を介してROM回路113に接続される。トランジスタ115のゲートには、RF_ENをインバータ118で反転した信号が入力され、トランジスタ116のゲートには、RF_ENが入力される。トランジスタ115及び116は、RF_ENの信号レベルに応じて、何れか一方がオンするように制御される。オシレータ102は、OR回路114が出力するRF_ENとSR_ENとの論理和を入力し、OR回路114の出力がHレベルのときに発振動作を行う。オシレータ102は、RF_ENがHレベルのときは、トランジスタ116を介して入力するROM回路113の出力コードに応じた周期で発振し、RF_ENがLレベルでSR_ENがHレベルのときは、トランジスタ115を介して入力するROM回路103の出力コードに応じた周期で発振する。

【0077】

図6は、図5に示すRASB制御回路100aの各部の動作波形を示している。この例は、 $p = 2$ に相当する。初めにオートリフレッシュ時の動作について説明する。オートリフレッシュ時には、SR_ENはLレベルに制御される。コマンドデコーダ101からNOR回路111にリフレッシュコマンド(RF_cmd)が入力されると、NOR回路111の出力はLレベルに変化し、RF_ENはHレベルに変化する。RF_ENがHレベルとなることで、オシレータ102が動作を開始する。このとき、トランジスタ115はオフ、トランジスタ116はオンしており、オシレータ102は、オンしたトランジスタ116を介してROM回路113が出力するコードを読み出して、読み出したコードに応じた周期、すなわち、オートリフレッシュ時のtRAS期間のp倍の周期で発振する。

【0078】

オシレータ102が動作を開始することで、オシレータ102の出力OSC0がHレベルに立ち上がる。このとき、SR_ENはLレベルに制御されているため、nビットカウンタ106は停止しており、OSC1~OSCnはLレベルとなっている。従って、NOR回路108の出力HITはHレベルであり、AND回路109の出力SR_ACTは、OSC0に従ってHレベルに立ち上がる。RASB制御回路100aでは、AND回路109の出力SR_ACTをインバータ119で反転したものをRASB信号として用いており、RASB信号は、OSC0がHレベルに変化することでLレベルに立ち下がる。

【0079】

RF_ENは、RASB信号の立ち下がり後は、NOR回路111及び112で構成さ

10

20

30

40

50

れるフリップフロップによってHレベルに保持される。OSC0がHレベルからLレベルに立ち下がると、RASB信号はLレベルからHレベルに立ち上がり、RASB信号の活性化が解除される。このRASB信号のLレベル期間により、オートリフレッシュ時のtRAS期間が規定される。RASB信号のLレベル期間は、オシレータ102が出力するOSC0のHレベル期間に対応するので、例えばOSC0のデューティ比が50%であれば、ROM回路113が出力するCODEiによって、オシレータ102の発振周期を、得たいtRAS期間の2倍に設定することで、所望のtRAS期間を得ることができる。

【0080】

RASB信号がHレベルに変化すると、NOR回路112の入力のうち的一方がHレベルに変化することでフリップフロップがリセットされ、RF_ENがHレベルからLレベルに変化する。RF_ENがLレベルとなることで、オシレータ102は発振動作を停止する。その後は、RF_cmdにワンショットのパルスが入力されるたびに、上記と同様な動作でオシレータ102が発振を開始して、RASB信号がLレベルに立ち下がる。また、オシレータ102の出力OSC0がLレベルに変化すると、RASB信号がHレベルに変化してオシレータ102が停止される。このような動作を繰り返すことで、外部コマンドに基づくオートリフレッシュが実行される。

【0081】

次いで、セルフリフレッシュ時の動作について説明する。セルフリフレッシュ時には、SR_ENがHレベルに固定される。また、外部コマンドが入力されないため、RF_ENの状態変化はなく、RF_ENはLレベルに固定される。RF_ENがLレベルであるため、トランジスタ115はオンし、トランジスタ116はオフする。セルフリフレッシュへの移行に際して、SR_ENがLレベルからHレベルに変化すると、オシレータ102及びnビットカウンタ106は動作を開始する。このとき、オシレータ102は、オンとなったトランジスタ115を介して、ROM回路103が出力するコードを読み出し、読み出したコードに応じた周期、すなわち、セルフリフレッシュ時のtRAS期間のp倍の周期で発振する。

【0082】

オシレータ102が発振を開始した後の動作は、図2に示す第1実施形態における動作と同様である。すなわち、nビットカウンタ106のカウント値が0のとき、オシレータ102の出力OSC0のHレベル期間だけSR_ACTがHレベルとなって、RASB信号がLレベルになる。このRASB信号のLレベル期間により、セルフリフレッシュ時のtRAS期間が規定される。RASB信号のLレベル期間は、オシレータ102が出力するOSC0のHレベル期間に対応するので、例えばOSC0のデューティ比が50%であれば、ROM回路103が出力するCODEiによって、オシレータ102の発振周期を、得たいtRAS期間の2倍に設定することで、所望のtRAS期間を得ることができる。

【0083】

オシレータ102の出力OSC0のサイクルが進み、nビットカウンタ106のカウント値(OSC1~OSCn)が、ROM回路104が出力するCODEjに対応した値となると、プログラマブルデコーダ107は、DETをHレベルに立ち上げてnビットカウンタ106をリセットする。nビットカウンタ106がリセットされることで、NOR回路108の出力HITがHレベルとなり、OSC0の次のサイクルでのHレベル期間だけ、SR_ACTがHレベルとなって、RASB信号がLレベルとなる。このような動作を繰り返し行うことで、セルフリフレッシュを周期的に実行する。

【0084】

本実施形態では、オートリフレッシュ時には、オシレータ102を、ROM回路113が出力するCODEiによってオートリフレッシュ時のtRAS期間のp倍の周期で発振させ、オシレータ102が出力するOSC0に基づいて、RASB信号をLレベルに活性化させる。このように、オートリフレッシュの際にも、オシレータ102を

10

20

30

40

50

用いて R A S B 信号の活性化期間 (t R A S 期間) を決定することで、遅延回路を用いて t R A S 期間を決定する場合に比して、オートリフレッシュ時の t R A S 期間を、正確に所望の時間に設定できる。その他の効果は、第 1 実施形態と同様である。

【 0 0 8 5 】

図 7 は、本発明の第 3 実施形態の半導体記憶装置における R A S B 制御回路の構成を示している。本実施形態では、セルフリフレッシュ時のオシレーター 1 0 2 の発振周期を、セルフリフレッシュにおける t R A S 期間よりも短く設定する。具体的には、オシレーター 1 0 2 の発振周期を、セルフリフレッシュにおける t R A S 期間の設計値の $1 / r$ 倍 (r : 正の整数、 p を正の整数分の 1 として $p = 1 / r$) に設定し、オシレーター周期の $1 / p$ 倍、すなわちオシレーター周期の r 倍を、セルフリフレッシュ時の t R A S 期間として用いる。また、本実施形態の R A S B 制御回路 1 0 0 b では、オシレーター周期の何周期分を t R A S 期間として用いるかを決定するための R O M 回路 1 2 0 が追加されている。

10

【 0 0 8 6 】

オシレーター 1 0 2 の発振周期が、セルフリフレッシュにおける t R A S 期間の $1 / r$ 倍であるときには、オシレーター 1 0 2 が出力する O S C 0 の r サイクル分の期間だけ、R A S B 信号を活性化させればよい。R O M 回路 1 2 0 は、 r の値に対応した C O D E k を出力し、プログラムデコーダ 1 0 7 は、 n ビットカウンタ 1 0 6 の出力 O S C 1 ~ O S C n と、R O M 回路 1 2 0 が出力する C O D E k とを比較し、両者が一致すると、その旨を示す一致信号 D E T 2 を出力する。

20

【 0 0 8 7 】

プログラムデコーダ 1 0 7 は、第 1 実施形態で説明したように、 n ビットカウンタ 1 0 6 の出力 O S C 1 ~ O S C n と R O M 回路 1 0 4 が出力する C O D E j とが一致すると、 n ビットカウンタ 1 0 6 に対してリセット出力 D E T を発行する機能も有する。つまり、プログラマブルデコーダ 1 0 7 は、カウント値が q に対応した値となったときにリセットを発生するリセット条件判定回路と、 n ビットカウンタ 1 0 6 のカウント値が r に対応した所定の値となったことを検出する一致判定回路とを兼ねる構成となっている。なお、 r と q との関係については、セルフリフレッシュにおける t R A S 期間は、セルフリフレッシュ周期よりも短い必要があり、 $q > r$ である。

30

【 0 0 8 8 】

図 8 は、図 7 に示す R A S B 制御回路 1 0 0 b の各部の動作波形を示している。ここでは、 n ビットカウンタ 1 0 6 のビット数は 2 ビットとし、R O M 回路 1 0 4 が出力する C O D E j は、第 1 実施形態で説明した図 2 の場合と同様に、“ 1 1 ” であるとする。すなわち、 $q = 3$ である。また、R O M 回路 1 2 0 が出力する C O D E k は、“ 1 0 ” である。すなわち、 $r = 2$ ($p = 1 / 2$) である。この場合、オシレーター 1 0 2 の発振周期の 2 周期分を t R A S 期間として用いることから、オシレーター 1 0 2 の発振周期は、セルフリフレッシュ時の t R A S 期間の $1 / 2$ 倍になるように調整される。すなわち、R O M 回路 1 0 3 が出力する C O D E i は、オシレーター 1 0 2 の発振周期がセルフリフレッシュ時の t R A S 期間の $1 / 2$ 倍となるコードに調整される。

40

【 0 0 8 9 】

セルフリフレッシュへの移行に際して、S R _ E N が、L レベルから H レベルに変化すると、オシレーター 1 0 2 は、S R _ E N が L レベルから H レベルに立ち上がることで動作を開始し、R O M 回路 1 0 3 が出力する C O D E i に基づく周期の O S C 0 を出力する。また、S R _ E N が H レベルに変化することで、 n ビットカウンタ 1 0 6 のリセットが解除され、 n ビットカウンタ 1 0 6 は、カウントアップを開始する。

【 0 0 9 0 】

オシレーター 1 0 2 が発振を開始し、出力 O S C 0 が H レベルに立ち上がると、N O R 回路 1 0 8 の出力 H I T は H レベルであるので、A N D 回路 1 2 1 の双方の入力が H レベルとなり、A N D 回路 1 2 1 の出力は、H レベルに変化する。この A N D 回路 1 2 1 の出力は、N O R 回路 1 2 3 及び 1 2 4 で構成されるセット・リセット型フリップに入力さ

50

れる。AND回路121の出力がHレベルになることで、NOR回路123の出力はLレベルとなり、これをインバータ125で反転したSRACTはHレベルに変化する。その後のSRACTがHレベルに変化してからRASB信号がLレベルに立ち下がるまでの動作は、第1実施形態と同様である。

【0091】

オシレーター102の出力OSC0がLレベルに立ち下がると、AND回路121の出力はLレベルに変化する。このとき、NOR回路124によってNOR回路123の入力の一方がHレベルに保持されるので、NOR回路123の出力はLレベルのままであり、SRACTはHレベルを維持する。nビットカウンタ106は、OSC0の立ち下がりにより、カウント値を“01”に変化させる。このカウント値は、ROM回路104が出力するCODEj(11)にも、ROM回路120が出力するCODEk(10)にも一致しないので、プログラマブルデコーダ107の出力DET及びDET2は変化しない。

10

【0092】

オシレーター102の出力OSC0の2サイクル目で、OSC0がHレベルからLレベルに変化すると、nビットカウンタ106の出力は“10”となる。プログラマブルデコーダ107は、nビットカウンタ106のカウント値と、ROM回路120が出力するCODEkとが一致することを検出して、出力DET2を、Hレベルに変化させる。このDET2は、AND回路122の2つの入力のうち的一方に入力され、AND回路122は、他方の入力であるOSC0が次のサイクルでHレベルに立ち上がると、出力をHレベルに変化させる。

20

【0093】

AND回路122の出力がHレベルになると、NOR回路124の出力はLレベルに変化し、セット・リセット型フリップフロップがリセットされる。これにより、NOR回路123の出力がHレベルに変化して、SRACTがLレベルに変化する。SRACTがLレベルに立ち下がると、OR回路110の出力はLレベルに変化し、NOR回路111の出力がHレベルに変化して、RASB信号が非活性化される。RASB信号の活性化期間は、オシレーター102が出力OSC0をHレベルに立ち上げてから、プログラムデコーダ107がDET2をHレベルに変化させた直後のサイクルにおけるOSC0の立ち上がりエッジまでで規定され、オシレーター102の発振周期の2周期分となる。

30

【0094】

その後、オシレーター102の出力OSC0の3サイクル目で、OSC0がHレベルからLレベルに立ち下がると、nビットカウンタ106のカウント値は“11”となる。この値は、ROM回路104が出力するCODEjと一致するので、プログラマブルデコーダ107は、DETをHレベルに変化させ、nビットカウンタ106をリセットする。これにより、OSC0の次のサイクルの立ち上がりエッジ時に、再びSRACTがHレベルに立ち上がり、RASB信号が活性化される。この動作については、第1実施形態と同様である。

【0095】

本実施形態では、オシレーター102の発振周期を、セルフリフレッシュにおけるtRAS期間の整数分の1倍(1/r倍)に設定し、オシレーター102の発振周期のrサイクル分を、セルフリフレッシュにおけるtRAS期間として用いる。本実施形態では、オシレーター102の発振周期を、セルフリフレッシュにおけるtRAS期間よりも短く設定するが、このような場合には、オシレーター102が出力するOSC0の複数サイクル、具体的にはrサイクル分の期間で、tRAS期間を設定すればよい。その他の効果については、第1実施形態と同様である。

40

【0096】

なお、第1及び第2実施形態では、オシレーター102が出力するOSC0のHレベル期間を用いてtRAS期間を設定したが、これには限定されない。RASB制御回路内の信号レベルを適宜入れ替えて、OSC0のLレベル期間を用いてtRAS期間を設定す

50

る構成を採用することもできる。

【0097】

第2実施形態では、オートリフレッシュ時にはオシレータ102の発振周期をオートリフレッシュ時の t_{RAS} 期間の p 倍に設定し、セルフリフレッシュ時にはオシレータ102の発振周期をセルフリフレッシュ時の t_{RAS} 期間の p 倍に設定して、双方のリフレッシュにおいて、オシレータ周期の $1/p$ 倍を t_{RAS} 期間として用いたが、オートリフレッシュ及びセルフリフレッシュでのオシレータ102の発振周期の t_{RAS} 期間に対する倍率は、同じ倍率である必要はなく、第1のリフレッシュと第2のリフレッシュとで異なる倍率に設定することもできる。例えば、オートリフレッシュ時とセルフリフレッシュ時とでオシレータ102が出力する周期信号のデューティ比を可変とし、オートリフレッシュ時のオシレータ102の発振周期を t_{RAS} 期間の s 倍(s :正の整数)に設定し、オートリフレッシュでは、オシレータ周期の $1/s$ 倍を、オートリフレッシュ時の t_{RAS} 期間として用いる構成を採用することもできる。

10

【0098】

第3実施形態では、プログラブルデコーダ107が、ROM回路104が出力するCODE j に基づいてリセットを発行するリセット条件判定回路と、ROM回路120が出力するCODE k に基づいてOSC0が所望のサイクル分進んだかを判断するための一致判定回路とを兼ねる例について説明したが、これには限られない。リセット条件判定回路と、一致判定回路とを、個別のプログラブルデコーダで構成することもできる。

【0099】

20

また、オシレータ周期を t_{RAS} 期間よりも短くする第3実施形態においても、第2実施形態と同様に、オートリフレッシュ時の t_{RAS} 期間を、オシレータ102の発振周期を用いて規定することができる。この場合、各リフレッシュにおけるセルアレイ部の活性化期間は、各リフレッシュにおけるオシレータ102の発振周期と、プログラブルデコーダ107がDET2を発生するまでのサイクル数との積で決まることになるので、オシレータ102の発振周期及びDET2発生までのサイクル数の少なくとも一方をリフレッシュ種別に応じて変更すればよい。

【0100】

例えば、オートリフレッシュ時とセルフリフレッシュ時とでオシレータ102の発振周期を同じ周期に設定し、プログラブルデコーダ107にてDET2を発生させるまでのサイクル数を、オートリフレッシュとセルフリフレッシュとで異なるサイクル数とする。具体的には、オートリフレッシュではオシレータ周期の t 倍(t :正の整数)を t_{RAS} 期間とし、セルフリフレッシュではオシレータ周期の r (r :正の整数)倍を t_{RAS} 期間とする。この場合のオシレータ102の発振周期は、オートリフレッシュ時の t_{RAS} 期間の $1/t$ 倍、又は、セルフリフレッシュ時の t_{RAS} 期間の $1/r$ 倍である。上記動作を実現させるためには、図7に示す構成に、 t に対応したコードを出力するROM回路を追加し、オートリフレッシュ時には、そのROM回路の出力コードをプログラブルデコーダ107に入力し、プログラブルデコーダ107にて、オシレータ周期の t サイクル分を検出すればよい。

30

【0101】

40

また、上記に代えて、オシレータ102の発振周期を、オートリフレッシュとセルフリフレッシュとで異なる周期とし、プログラブルデコーダ107にてDET2を発生させるまでのサイクル数を、第1のリフレッシュと第2のリフレッシュとで同じサイクル数とすることができる。具体的には、オートリフレッシュ時のオシレータ102の発振周期をオートリフレッシュにおける t_{RAS} 期間の p 倍の周期とし、セルフリフレッシュ時のオシレータ102の発振周期をセルフリフレッシュにおける t_{RAS} 期間の p 倍の周期として、双方のリフレッシュで、オシレータ102の発振周期の $1/p$ 倍(= r 倍)を t_{RAS} 期間として用いる。このような動作を実現させるためには、図7に示す構成に、図5のROM回路113に相当するROM回路を追加し、オートリフレッシュとセルフリフレッシュとで、オシレータ102に入力するコードを切り替えてオ

50

シミュレーター周期を変化させればよい。

【0102】

更には、オートリフレッシュとセルフリフレッシュとでオシミュレーター102の発振周期を異なる周期にしつつ、プログラマブルデコーダー107にてDET2を発生させるまでのサイクル数を、第1のリフレッシュと第2のリフレッシュとで異なるサイクル数とすることもできる。具体的には、オートリフレッシュ時のオシミュレーター102の発振周期をオートリフレッシュにおけるtRAS期間の $1/t$ (t : 正の整数、 s を正の整数分の1として $s = 1/t$)倍とし、セルフリフレッシュ時のオシミュレーターの発振周期をセルフリフレッシュにおけるtRAS期間の $1/r$ (r : 正の整数: $r = 1/p$)倍として、オートリフレッシュ時にはオシミュレーター周期の t 倍をtRAS期間として用い、セルフリフレッシュ時にはオシミュレーター周期の r 倍をtRAS期間として用いる。このような動作を実現するためには、図7に示す構成に、図5のROM回路113に相当するROM回路と、 t に対応したコードを出力するROM回路(ROM回路120に相当)とを更に加え、オートリフレッシュとセルフリフレッシュとで、オシミュレーター102に入力するコード、及び、プログラマブルデコーダー107に入力するコードを切り替えればよい。

10

【0103】

以上、本発明をその好適な実施形態に基づいて説明したが、本発明の半導体記憶装置は、上記実施形態にのみ限定されるものではなく、上記実施形態の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。

【図面の簡単な説明】

20

【0104】

【図1】本発明の第1実施形態の半導体記憶装置におけるRASB信号の生成に関する部分の構成を示す回路ブロック図。

【図2】図1に示すRASB制御回路におけるセルフリフレッシュ時の各部の動作波形を示すタイミングチャート。

【図3】オシミュレーターの回路構成を示す回路図。

【図4】図3に示すオシミュレーターの各部の動作波形を示すタイミングチャート。

【図5】本発明の第2実施形態の半導体記憶装置におけるRASB制御回路の構成を示す回路ブロック図。

【図6】図5に示すRASB制御回路の各部の動作波形を示すタイミングチャート。

30

【図7】本発明の第3実施形態の半導体記憶装置におけるRASB制御回路の構成を示す回路ブロック図。

【図8】図7に示すRASB制御回路の各部の動作波形を示すタイミングチャート。

【図9】特許文献1に記載の半導体記憶装置におけるRASB信号の生成に関する部分の回路構成を示す回路ブロック図。

【図10】図9に示すRASB制御回路で用いるRTOの生成に関する部分の回路構成を示す回路図。

【図11】図9に示す従来のRASB制御回路の各部の動作波形を示すタイミングチャート。

【符号の説明】

40

【0105】

100、100a、100b: RASB制御回路

101: コマンドデコーダー

102: オシミュレーター

103、104、113、120: ROM回路

105、110、114: OR回路

106: nビットカウンタ

107: プログラマブルデコーダー

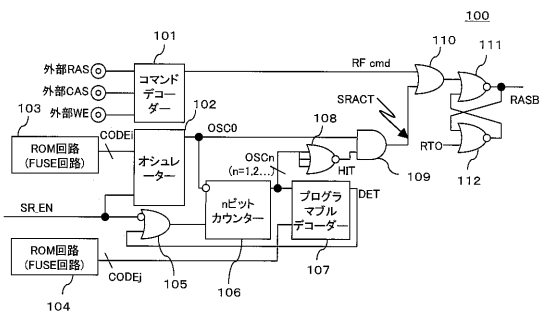
108、111、112、123、124: NOR回路

109: AND回路

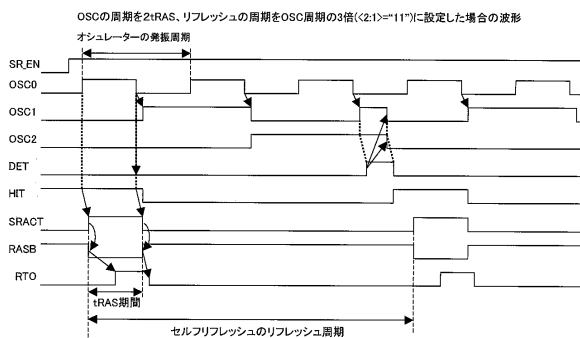
50

- 117、118、119、125：インバータ
- 115、116：トランジスタ
- 121、122：AND回路

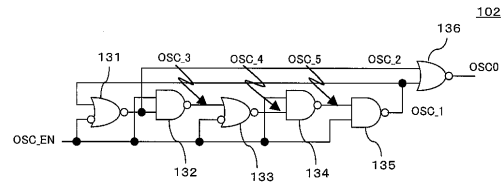
【図1】



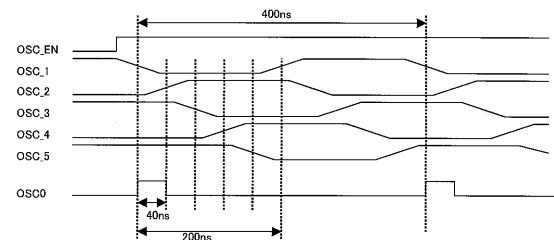
【図2】



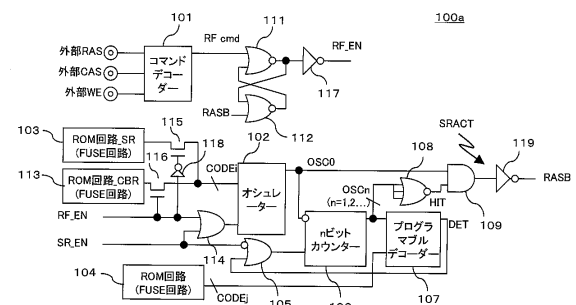
【図3】



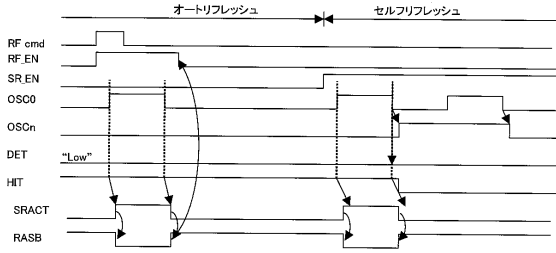
【図4】



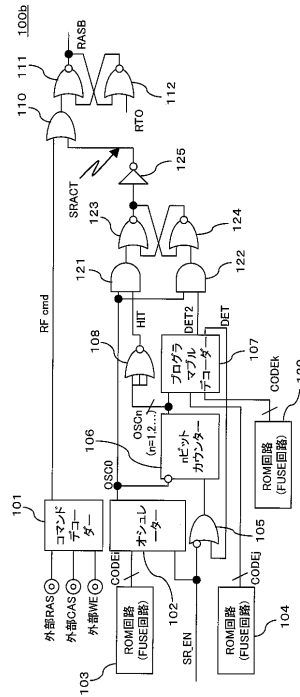
【図5】



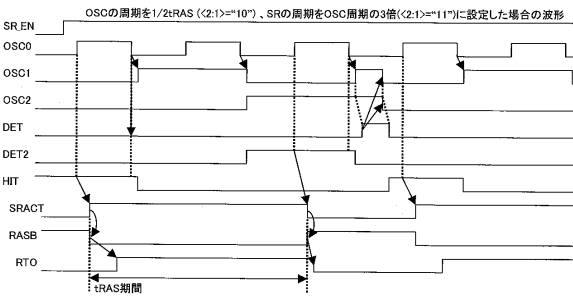
【図6】



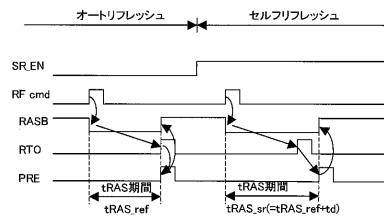
【図7】



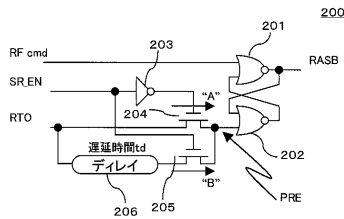
【図8】



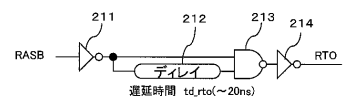
【図11】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開平05 - 047175 (JP, A)
特開平08 - 087883 (JP, A)
特開平07 - 078468 (JP, A)
特開2001 - 283586 (JP, A)
特開2000 - 012388 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/403
G11C 11/406
G11C 11/4076