

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-170914

(P2011-170914A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 K	5 F 0 8 3
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 T	5 M 0 2 4
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 E	
H O 1 L 27/108 (2006.01)	H O 1 L 23/12 5 0 1 Z	
H O 1 L 23/12 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2010-33196 (P2010-33196)
 (22) 出願日 平成22年2月18日 (2010.2.18)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (74) 代理人 100129023
 弁理士 佐々木 敬
 (72) 発明者 田島 慎吾
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 (72) 発明者 武田 裕正
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

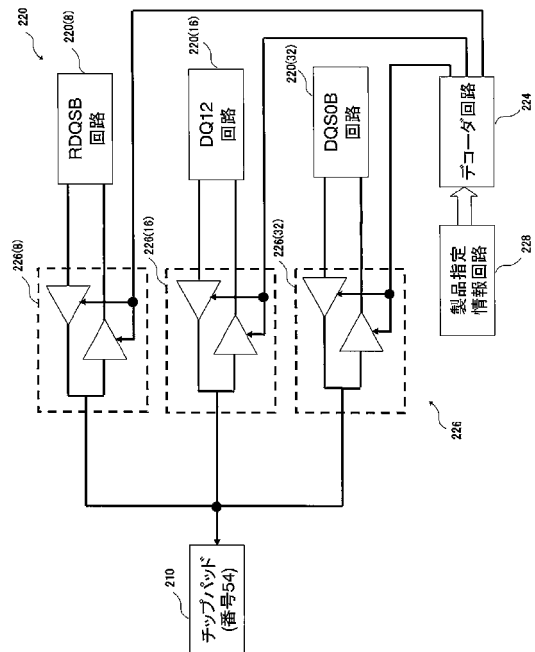
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】単一の半導体メモリチップを互いに異なるピン配列を備えたパッケージに実装する場合に、半導体メモリチップのパッド数の増加を防止する。

【解決手段】製品指定情報が、ボンディング回路、ヒューズ回路等の製品指定情報回路228から与えられる。デコード回路224は、この製品指定情報をデコードして、該デコード結果に応じて複数の信号回路220の1つを選択的にチップ・パッド210に接続する。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

所定数のチップパッドからなるパッド配列を備え、× 8 品、× 16 品および× 32 品のいずれか一つで動作可能な半導体メモリチップと、複数のピンからなるピン配列とを備えたパッケージとを有し、前記チップパッド配列は、少なくとも 2 列に配列されると共に、前記半導体メモリチップは、所定のチップパッドに接続するピンの信号に応じて、前記所定のチップパッドに接続させる信号回路を、切り替える切り替え回路を備え、前記切り替え回路により、前記パッケージが× 8 品の場合、前記所定のチップパッドはリードデータストロープ信号用の信号回路に接続され、前記パッケージが× 16 品の場合、前記所定のチップパッドはデータ信号用の信号回路に接続されることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、前記切り替え回路により、前記パッケージが× 32 品の場合、前記所定のチップパッドはデータストロープ信号用の信号回路に接続されることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、前記半導体メモリチップは、DDR2 SDRAMチップであることを特徴とする半導体装置。

【請求項 4】

所定数のチップパッドと、前記チップパッドのうち、特定のチップパッドの信号を切り替える切り替え回路を備え、× 8 品、× 16 品および× 32 品のいずれか一つのDDR2 SDRAMチップとして動作可能であることを特徴とする半導体メモリチップ。

20

【請求項 5】

請求項 4 に記載の半導体メモリチップにおいて、前記切り替え回路により、前記パッケージが× 8 品の場合、前記所定のチップパッドはリードデータストロープ信号用の信号回路に接続され、前記パッケージが× 16 品の場合、前記所定のチップパッドはデータ信号用の信号回路に接続されることを特徴とする半導体メモリチップ。

【請求項 6】

請求項 5 に記載の半導体メモリチップにおいて、前記切り替え回路により、前記パッケージが× 32 品の場合、前記所定のチップパッドはデータストロープ信号用の信号回路に接続されることを特徴とする半導体メモリチップ。

30

【請求項 7】

所定数のチップパッドからなるパッド配列を備え、× 8 品、× 16 品および× 32 品のいずれか一つとして動作可能な半導体メモリチップと、複数のピンからなるピン配列とを備えたパッケージとを用意し、前記パッケージが× 8 品の場合、所定のチップパッドはリードデータストロープ信号用の信号回路に接続され、前記パッケージが× 16 品の場合、前記所定のチップパッドはデータ信号用の信号回路に接続され、前記パッケージが× 32 品の場合、前記所定のチップパッドはデータストロープ信号用の信号回路に接続されることにより、× 8 品、× 16 品および× 32 品のDDR2 SDRAMを個別に製造することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は、半導体装置に係り、特に、半導体チップのパッケージ技術に関する。

【背景技術】**【0002】**

現在、半導体装置は、高容量化および高速化が進んでいるだけでなく、パッケージのサイズも同時に縮小化されている。DRAM (Dynamic Random Access Memory) は、高機能なメモリとして、携帯電話、サーバ、PC (Personal Computer) 等、様々な用途に使用されているため、少品種、且つ、大量生産が求められている。したがって、1つのチップで、4、8、16、32ビット等、異なる

50

るデータ幅で動作可能なDRAMチップが開発されている。このようなDRAMチップは、4ビット構成、8ビット構成、16ビット構成、32ビット構成（以下、×4品、×8品、16品、×32品と記載）のいずれか一つとして使用可能である。また、一般製品は、JEDEC（Joint Electronic Device Engineering Council）と呼ばれる組織により標準化されている。この規格では、DRAMチップおよびデータ幅に応じて、パッケージのピン配置、ピンの信号の割り当て等が定められている。

【0003】

引用文献1では、×16品として動作させる際に、DQ系上位ビット側パッドとして用いられる複数のパッド（パッケージパッド）が配列形成されるパッケージのDQ系上位ビット側パッド領域に、DQ系上位ビット側パッド以外の追加のパッドを形成させた半導体装置が開示されている。該追加のパッドは、×4品又は×8品として動作させる際に使用される。すなわち、パッドを追加することにより、×4品、×8品および×16品のいずれのビット構成としても動作可能な半導体装置を得ている。また、引用文献1に示された半導体装置は、DDR3 SDRAMチップとして使用されることが前提となっており、DDR2 SDRAMチップについては何ら記載されていない。パッケージのピン配置およびピンの信号の割り当ては、DDR2 SDRAMチップとDDR3 SDRAMチップでは全く異なるため、DDR2 SDRAMチップでは、DDR3 SDRAMチップとは異なる配慮が必要である。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-95911号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述のように、半導体メモリチップおよびデータ幅の種類により、パッケージのピン配置およびピンの信号の割り当てが異なる。また、異なるビット構成を同一のチップで構成するには、専用のチップパッドが必要となるため、チップサイズが増大する。

【課題を解決するための手段】

【0006】

本発明の一態様によれば、所定数のチップパッドからなるパッド配列を備え、×8品、×16品および×32品のいずれか一つで動作可能な半導体メモリチップと、複数のピンからなるピン配列とを備えたパッケージとを有し、前記チップパッド配列は、少なくとも2列に配列されると共に、前記半導体メモリチップは、所定のチップパッドに接続するピンの信号に応じて、前記所定のチップパッドに接続させる信号回路を、切り替える切り替え回路を備え、前記切り替え回路により、前記パッケージが×8品の場合、前記所定のチップパッドはリードデータストロブ信号用の信号回路に接続され、前記パッケージが×16品の場合、前記所定のチップパッドはデータ信号用の信号回路に接続されることを特徴とする半導体装置が得られる。

【0007】

本発明の別の態様によれば、所定数のチップパッドと、前記チップパッドのうち、特定のチップパッドの信号を切り替える切り替え回路を備え、×8品、×16品および×32品のいずれか一つのDDR2 SDRAMチップとして動作可能であることを特徴とする半導体メモリチップが得られる。

【0008】

本発明のさらに別の態様によれば、所定数のチップパッドからなるパッド配列を備え、×8品、×16品および×32品のいずれか一つとして動作可能な半導体メモリチップと、複数のピンからなるピン配列とを備えたパッケージとを用意し、前記パッケージが×8品の場合、所定のチップパッドはリードデータストロブ信号用の信号回路に接続され、

10

20

30

40

50

前記パッケージが×16品の場合、前記所定のチップパッドはデータ信号用の信号回路に接続され、前記パッケージが×32品の場合、前記所定のチップパッドはデータストロープ信号用の信号回路に接続されることにより、×8品、×16品および×32品のDDR2 SDRAMを個別に製造することを特徴とする半導体装置の製造方法が得られる。

【発明の効果】

【0009】

本発明によると、×8品、×16品および×32品のいずれか一つで動作可能な半導体メモリチップは、半導体メモリチップのビット構成に依りて、チップパッドに接続させる信号回路を切り替える。これにより、専用のチップパッドが不要となり、チップサイズの増大を防止することができる。

10

【図面の簡単な説明】

【0010】

【図1】JEDECにより標準化されたDDR2 SDRAMチップにおける×8品のパッケージのピン配置図である。

【図2】JEDECにより標準化されたDDR2 SDRAMチップにおける×16品のパッケージのピン配置図である。

【図3】JEDECにより標準化されたDDR2 SDRAMチップにおける×32品のパッケージのピン配置図である。

【図4】本発明に係るDDR2 SDRAMチップにおけるチップパッドの配置図である。

20

【図5】本発明に係るDDR2 SDRAMチップにおける×8品、×16品および×32品のチップパッドへの信号の割り当てを示す図である。

【図6】本発明に係るDDR2 SDRAMチップにおける×8品のピンとチップパッド間の配線図である。

【図7】本発明に係るDDR2 SDRAMチップにおける×16品のピンとチップパッド間の配線図である。

【図8】本発明に係るDDR2 SDRAMチップにおける×32品のピンとチップパッド間の配線図である。

【図9】本発明に係るDDR2 SDRAMチップのデータ幅に依りて、チップパッドに接続させる信号回路を、切り替える切り替え回路の第1の実施例を示す図である。

30

【図10】DDR2 SDRAMチップのデータ幅に依りて、チップパッドに接続させる信号回路を、切り替える切り替え回路の第2の実施例を示す図である。

【発明を実施するための形態】

【0011】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0012】

本発明の実施の形態に係る半導体装置は、×8品、×16品および×32品のいずれか一つで動作可能な半導体メモリチップと複数のピン110からなるピン配列とを備えたパッケージ100を有する。ここで、半導体メモリチップは、DDR2 SDRAMチップ200であるとする。

40

【0013】

理解を容易にするために、先ず、DDR2 SDRAMチップ200のパッケージ100について説明する。

【0014】

図1～図3に、JEDECにより標準化されたDDR2 SDRAMチップ200における×8品、×16品および×32品のパッケージ100のピン配置が示されている。パッケージ100のピン110の配置および信号は、JEDECにより定められている。尚、図1～図3に示されたピン110は、ピン110に付された信号を送受する。ここで、各ピン110で送受される信号について説明すると、Aが冒頭に付された信号はアドレス信号群、BAが冒頭に付された信号はバンクアドレス信号群、DQが冒頭に付された信号

50

はデータ信号群、R A S Bはロウアドレスストロープ信号、C A S Bはカラムアドレスストロープ信号、D Q S、U D Q SおよびL D Q Sはデータストロープ信号群、D Q S B、U D Q S BおよびL D Q S Bは反転データストロープ信号群、R D Q Sはリードデータストロープ信号、R D Q S Bは反転リードデータストロープ信号である。また、C Sはチップセレクト信号、C S Bは反転チップセレクト信号、C K Eはクロックイネーブル信号、C Kはクロック信号、C K Bは反転クロック信号、V D Dは内部回路の電源信号、V S Sは内部回路のグランド信号、V D D Qはデータ回路の電源信号、V S S Qはデータ回路のグランド信号、V D D LはD D L回路の電源信号、V S S LはD D L回路のグランド信号、V R E Fは参照電圧信号、D Mが付された信号はデータマスク信号群である。W E Bはライトイネーブル信号、O D Tはオンダイターミネーション信号である。

10

【0015】

即ち、アドレス信号群、バンクアドレス信号群、データ信号群、ロウアドレスストロープ信号、カラムアドレスストロープ信号、データストロープ信号群、D Q S B、反転データストロープ信号群、リードデータストロープ信号、反転リードデータストロープ信号、チップセレクト信号、反転チップセレクト信号、クロックイネーブル信号、クロック信号、反転クロック信号、内部回路の電源信号、内部回路のグランド信号、データ回路の電源信号、データ回路のグランド信号、D D L回路の電源信号、D D L回路のグランド信号、参照電圧信号、データマスク信号群、ライトイネーブル信号、オンダイターミネーション信号は、互いに異なる機能を有する信号である。

20

【0016】

以下、D D R 2 S D R A Mチップ200における×8品、×16品および×32品のパッケージ100のピン配置を具体的に説明する。

【0017】

図1に示すように、D D R 2 S D R A Mチップ200における×8品のパッケージ100は、60個のピン110を備えている。また、パッケージ100は、データ幅が8ビットであることから8本のデータ信号D Q 0～D Q 7、1つのデータストロープ信号対(D Q S、D Q S B)および1つのリードデータストロープ対(R D Q S、R D Q S B)を備えている。パッケージ100は、縦方向にA～Lで示され、横方向に1～9で示された部分領域に区分されている。パッケージ100は、縦横方向の一点鎖線で表したパッケージ100の中心線により、4つのブロック、すなわち、左下(1～5、A～F)、左上(1～5、F～L)、右下(5～9、A～F)、右上(5～9、F～L)のブロックに分けられている。(D Q S、D Q S B)は、右下のブロックに配置され、(R D Q S、R D Q S B)は、左下のブロックに配置されている。

30

【0018】

図2に示すように、D D R 2 S D R A Mチップ200における×16品のパッケージ100は、84個のピン110を備えている。また、パッケージ100は、データ幅が16ビットであることから16本のデータ信号D Q 0～D Q 15と、2つのデータストロープ信号対(L D Q S、L D Q S B)および(U D Q S、U D Q S B)を備えている。パッケージ100は、縦方向にA～Rで示され、横方向に1～9で示された部分領域に区分されている。パッケージ100は、縦横方向の一点鎖線で表したパッケージ100の中心線により、4つのブロック、すなわち、左下(1～5、A～H)、左上(1～5、H～R)、右下(5～9、A～H)、右上(5～9、H～R)のブロックに分けると、2つのデータストロープ信号対(L D Q S、L D Q S B)および(U D Q S、U D Q S B)ともに、右下のブロックに配置されている。

40

【0019】

図3に示すように、D D R 2 S D R A Mチップ200における×32品のパッケージ100は、128個のピン110を備えている。パッケージ100は、データ幅が32ビットであることから32本のデータ信号D Q 0～D Q 31と、4つのデータストロープ信号対(D Q S 0～3、D Q S 0～3 B)を備えている。パッケージ100は、縦方向にA～Sで示され、横方向に1～12で示された部分領域に区分されている。パッケージ10

50

0 は、縦横方向の一点鎖線で表したパッケージ 100 の中心線により、4 つのブロック、左下 (1 ~ 5、A ~ H)、左上 (1 ~ 5、H ~ S)、右下 (5 ~ 9、A ~ H)、右上 (5 ~ 9、H ~ S) のブロックに分けると、4 つのデータストロープ信号対 (DQS0 ~ 3、DQS0 ~ 3B) は、4 つのブロックに別々に配置されている。

【0020】

上記のように、×8品のパッケージ100は、×16品および×32品のいずれのパッケージ100にもない1つのリードデータストロープ信号対 (RDQS、RDQSB) を有し、これらはリードデータストロープ信号用の信号である。データ信号 (DQ0 ~ 7) を DDR2 SDRAM チップ 200 から読み出すとき、すなわち、DDR2 SDRAM チップ 200 がデータ信号をメモリチップコントローラに出力するときに機能し、データ信号を DDR2 SDRAM チップ 200 に書き込むときには機能しない。

10

【0021】

一方、×8品のパッケージ100における1つのデータストロープ信号対 (DQS、DQSB) と、×16品のパッケージ100における2つのデータストロープ信号対 (LDQS、LDQSB)、(UDQS、UDQSB) と、×32品のパッケージ100における4つのデータストロープ信号対 (DQS0 ~ 3、DQS0 ~ 3B) は、データストロープ信号用の信号であり、DDR2 SDRAM チップ 200 の読み書きの両方において機能する。

【0022】

具体的には、×8品のパッケージ100における1つのデータストロープ信号対 (DQS、DQSB) は、DQ0 ~ 7 の読み書きのときに機能する。また、×16品のパッケージ100における2つのデータストロープ信号対 (LDQS、LDQSB)、(UDQS、UDQSB) は、それぞれ DQ0 ~ 7、DQ8 ~ 15 の読み書きのときに機能する。×32品のパッケージ100では、4つのデータストロープ信号対 (DQS0、DQSB0)、(DQS1、DQSB1)、(DQS2、DQSB2)、(DQS3、DQSB3) は、それぞれ DQ0 ~ 7、DQ8 ~ 15、DQ16 ~ 23、DQ24 ~ 31 の読み書きのときに機能する。

20

【0023】

次に、DDR2 SDRAM チップ 200 におけるチップパッド 210 の配置について説明する。

30

【0024】

図4に示されたDDR2 SDRAM チップ 200 のチップパッド 210 は、DDR2 SDRAM チップ 200 の略中央部分に2列に配置されている。このように、1列よりも2列に配置するほうが、チップの面積を減少させることができるため、本実施の形態では、チップパッド 210 を2列に配列した場合を例にとって説明する。また、DDR2 SDRAM チップ 200 は、133個のチップパッド 210 を有している。

【0025】

ここで、DDR2 SDRAM チップ 200 における×8品、×16品および×32品のチップパッド 210 への信号の割り当てについて説明する。

【0026】

図5を参照すると、チップパッド 210 の個数は133個であるのに対し、ピン 110 の個数は、最も多いビット構成である×32品においても128個であり、チップパッド 210 の個数のほうが、ピン 110 の個数より多くなっている。これは、DDR2 SDRAM チップ 200 には、パッケージ 100 のピン 110 には接続されないがテスト動作等のためのチップパッド 210 が必要であるためである。マイナス記号は不使用又はテスト用、NC は不使用を表す。

40

【0027】

次に、パッケージ 100 に搭載されたチップパッド 210 について具体的に説明する。

【0028】

図6は、DDR2 SDRAM チップ 200 における×8品のピン 110 とチップパッド

50

ド 2 1 0 間の配線図である。パッケージ 1 0 0 の表面（紙面裏側）には、DDR 2 SDRAM チップ 2 0 0 が搭載されている。DDR 2 SDRAM チップ 2 0 0 の所定数のチップパッド 2 1 0 からなるチップパッド配列は、パッケージ 1 0 0 の裏面（紙面前側）に向けて、パッケージ 1 0 0 の開口部（図示せず）に配置されている。該開口部を通して、パッケージ 1 0 0 のピン 1 1 0 と DDR 2 SDRAM チップ 2 0 0 のチップパッド 2 1 0 が接続される。尚、開口部は、パッケージ 1 0 0 における数字 4 ~ 6 で示された領域の一部が切り取られることにより形成される。

【 0 0 2 9 】

続いて、パッケージ 1 0 0 のピン 1 1 0 と DDR 2 SDRAM チップ 2 0 0 のチップパッド 2 1 0 の接続方法について詳細に説明する。図 6 に示すように、パッケージ 1 0 0 の裏面には、外部との接続端子となるピン 1 1 0 と、ボンディングフィンガ（図示せず）と、配線 1 2 0 とを備えている。ボンディングフィンガは、チップパッド 2 1 0 とピン 1 1 0 の間に配置される。配線 1 2 0 により、ピン 1 1 0 とボンディングフィンガとが接続される。さらに、ボンディングフィンガと、DDR 2 SDRAM チップ 2 0 0 のチップパッド 2 1 0 とが配線 1 2 0 により接続される。このようにパッケージ 1 0 0 のピン 1 1 0 と DDR 2 SDRAM チップ 2 0 0 のチップパッド 2 1 0 とが接続された後、配線 1 2 0 を含む開口部を樹脂等で封止することで半導体装置が形成される。

10

【 0 0 3 0 】

図 6 に示された x 8 品のパッケージ 1 0 0 における部分領域（3、B）の RDQS 信号のピン 1 1 0 は、番号 5 3 のチップパッド 2 1 0 に、部分領域（2、A）の RDQS B 信号のピン 1 1 0 は、番号 5 4 のチップパッド 2 1 0 に接続されている。

20

【 0 0 3 1 】

図 7 は、DDR 2 SDRAM チップ 2 0 0 における x 1 6 品の、パッケージ 1 0 0 のピン 1 1 0 とチップパッド 2 1 0 間の配線図である。図示されているように、部分領域（F、1）の DQ 6 信号のピン 1 1 0 は、番号 5 3 のチップパッド 2 1 0 に、部分領域（D、1）の DQ 1 2 信号のピン 1 1 0 は、番号 5 4 のチップパッド 2 1 0 に接続されている。

【 0 0 3 2 】

図 8 は、DDR 2 SDRAM チップ 2 0 0 における x 3 2 品の、パッケージ 1 0 0 のピン 1 1 0 とチップパッド 2 1 0 間の配線図である。図示されているように、部分領域（D、3）の DQS 0 信号のピン 1 1 0 は、番号 5 3 のチップパッド 2 1 0 に、部分領域（C、4）の DQS 0 B 信号のピン 1 1 0 は、番号 5 4 のチップパッド 2 1 0 に接続されている。

30

【 0 0 3 3 】

上記したように、本発明に係る実施形態では、DDR 2 SDRAM チップ 2 0 0 では、番号 5 3 および 5 4 で示されたチップパッド 2 1 0 に割り当てられる信号が x 8 品、x 1 6 品、および、x 3 2 品で異なる。しかし、特定のチップパッド 2 1 0（ここでは、番号 5 3、5 4）に対して、x 8 品、x 1 6 品、および x 3 2 品に応じた信号を切り替える切り替え回路を設けている。

【 0 0 3 4 】

ここで、図 5 に戻ると、図 5 の点線で囲まれた領域からも理解できるように、番号 5 3 のチップパッド 2 1 0 は、x 8 品の場合は RDQS 信号に、x 1 6 品の場合は DQ 6 信号に、x 3 2 品の場合は DQS 0 信号に割り当てられている。同様に、番号 5 4 のチップパッド 2 1 0 は、x 8 品の場合は RDQS B 信号に、x 1 6 品の場合は DQ 1 2 信号に、x 3 2 品の場合は DQS 0 B 信号に割り当てられている。即ち、本発明の一実施形態は、番号 5 3 および / 又は 5 4 のチップパッド 2 1 0 の信号の割り当てを切り替えることを特徴としている。後述するが、本発明に係る DDR 2 SDRAM チップ 2 0 0 は、チップパッド 2 1 0 に接続する信号回路を切り替える切り替え回路を有することによって特徴付けられる。

40

【 0 0 3 5 】

50

これにより、× 8 品、× 1 6 品および× 3 2 品を同一のチップで構成する際、× 1 6 品および× 3 2 品になく、× 8 品にのみ有する R D Q S 信号および R D Q S B 信号のための専用のチップパッド 2 1 0 を別途設ける必要がなくなり、チップパッド 2 1 0 の増加によるチップサイズの増大を防止することができる。

【 0 0 3 6 】

図 5 に示すようにチップパッド 2 1 0 の信号の割り当てを定めた場合、上記以外のチップパッド 2 1 0 のうち切り替えが必要なチップパッド 2 1 0 として、例えば、番号 3 8、3 9、5 1、6 0、9 4、9 6、9 8 ~ 1 0 0、1 1 1、1 1 7、1 1 9、1 2 0、1 2 6 のチップパッド 2 1 0 を挙げることができる。例えば、番号 1 2 0 のチップパッド 2 1 0 については、× 1 6 品の場合は D Q 1 3 信号、× 3 2 品の場合は D Q S 1 B 信号に切り替える必要がある。× 8 品の場合は不使用であるため、D Q 1 3 信号、D Q S 1 B 信号のどちらに接続されても、開放していてもよい。

10

【 0 0 3 7 】

その他の番号のチップパッド 2 1 0 については、異なるビット構成間で同一機能の信号となるように割り当てているため、切り替えは必要ない。例えば、番号 9 2 のチップパッド 2 1 0 は、× 8 品の場合は A 1 1 信号、× 1 6 品の場合は A 1 1 信号、× 3 2 品の場合は A 4 信号の割り当てであるため、切り替えが必要ない。

【 0 0 3 8 】

上記のように、× 8 品 ~ × 3 2 品間で、チップパッド 2 1 0 に同一の機能を有する信号回路を割り当てることにより、異なる機能を有する信号回路同士の切り替えを行う切り替え回路の数を少なくしている。これにより、余分なチップパッド 2 1 0、切り替え回路、信号回路を省略することができる。

20

【 0 0 3 9 】

図 9 および図 1 0 に、ビット構成品に応じて、チップパッド 2 1 0 に接続させる信号回路 2 2 0 を、切り替える切り替え回路の実施例を示す。

【 0 0 4 0 】

図 9 を参照すると、切り替え回路として、ヒューズ 2 2 2 を含むヒューズ回路を用いた例が示されている。図 9 に示された例では、× 8 品、× 1 6 品および× 3 2 品の信号回路 2 2 0 (8)、2 2 0 (1 6) および 2 2 0 (3 2) は、それぞれヒューズ 2 2 2 (8)、2 2 2 (1 6) および 2 2 2 (3 2) を介して、番号 5 4 のチップパッド 2 1 0 に設けられている。

30

【 0 0 4 1 】

図示されたヒューズ 2 2 2 の選択的な切断により、番号 5 4 のチップパッド 2 1 0 と信号回路 2 2 0 の接続を切り替える。実線は接続状態、点線は開放状態を示す。この例の場合、番号 5 4 のチップパッド 2 1 0 と、× 1 6 品および× 3 2 品のヒューズの両方が切断されており、× 8 品のヒューズは接続した状態である。図 9 に示された切り替え回路は、DDR 2 SDRAM チップ 2 0 0 の製造の際は、番号 5 4 のチップパッド 2 1 0 に、× 8 品、× 1 6 品および× 3 2 品の信号回路 2 2 0 の全てを接続した状態で製造される。組み立て工程の際に、上記のように、ビット構成品に応じてヒューズ 2 2 2 を選択的に切断する。また、ボンディングによって切り替えを行う場合、切り替え回路として、ヒューズ 2 2 2 の代わりにアンチヒューズを含むボンディング回路を用いれば良い。この場合は、DDR 2 SDRAM チップ 2 0 0 の製造のときは、× 8 品、× 1 6 品および× 3 2 品の信号回路 2 2 0 (8)、2 2 0 (1 6) および 2 2 0 (3 2) と番号 5 4 のチップパッド 2 1 0 を、アンチヒューズを介することにより開放しておき、組み立て工程でアンチヒューズを短絡させる。これによって、ビット構成品に応じた信号回路 2 2 0 のいずれか一つを番号 5 4 のチップパッド 2 1 0 に接続させることができる。

40

【 0 0 4 2 】

図 1 0 を参照すると、デコーダ回路 2 2 4 と、デコーダ回路 2 2 4 によって制御されるトリステートバッファ 2 2 6 とを組み合わせた回路が切り替え回路として用いられている。図 1 0 に示された例では、× 8 品、× 1 6 品および× 3 2 品の信号回路 2 2 0 (8)

50

、220(16)および220(32)が、それぞれトライステートバッファ226(8)、226(16)および226(32)を介して、番号54のチップパッド210に設けられている。各トライステートバッファ226は、番号54のチップパッドと各信号回路220の間を流れる方向において反対向きに向いた2つのトライステートバッファ(以下、サブトライステートバッファと記載)から構成される。更に、図示されたデコーダ回路224には、×8品、×16品および×32品のビット構成にに応じた2ビットの製品指定情報が、ボンディング回路、ヒューズ回路、又は、別の回路等の製品指定情報回路228から与えられる。この例においても、番号54のチップパッド210に設けられた信号回路220を切り替え回路によって切り替える場合が示されている。

【0043】

図示されたデコーダ回路224は、製品指定情報回路228から2ビットの製品指定情報が与えられると、当該製品指定情報に応じ、トライステートバッファ226のそれぞれに対して、1ビットの制御信号が供給される。

【0044】

トライステートバッファ226の各々は、制御信号が、例えば、論理“1”の場合、2つのサブトライステートバッファで信号が入力から出力へ流れることが可能になることにより、番号54のチップパッド210とトライステートバッファ226に対応する信号回路220の間で双方向に信号を流すことができる。このトライステートバッファ226の各々の状態をハイ/ロウ状態と呼ぶ。他方、制御信号が、論理“0”の場合、トライステートバッファ226の各々は、ハイインピーダンス状態となることにより、番号54のチップパッド210と対応する信号回路220が絶縁される。

【0045】

この構成では、製品指定情報回路228から製品指定情報がデコーダ回路224に与えられると、デコーダ回路224は、製品指定情報に応じ、論理“1”の制御信号を単一のトライステートバッファ(例えば、226(8))に出力し、残りの2つのトライステートバッファ(226(16)、226(32))には、論理“0”の制御信号を出力する。この結果、論理“1”の制御信号を受けた単一のトライステートバッファ226(8)のみがハイ/ロウ状態となり、信号が入力から出力へ流れることにより、番号54のチップパッドと信号回路220を双方向に信号を流すことができる。論理“0”の制御信号を受けた他のトライステートバッファ228(16)、226(32)は、ハイインピーダンス状態となり、番号54のチップパッドと信号回路220(8)、220(16)、220(32)が絶縁される。このように、図9の場合と同様に、この構成によっても、ビット構成にに応じた信号回路220のいずれか一つをチップパッド54に接続することができる。

【0046】

尚、トライステートバッファ226の各々は、番号54のチップパッド210とトライステートバッファ226に対応する信号回路220の間で一方向にのみ信号を流す場合には、1つのサブトライステートバッファを省略することができる。

【0047】

図2および図3に戻ると、×16品では、2つのデータストロープ信号対(LDQS、LDQSB)および(UDQS、UDQSB)は、右下のブロックに配置されている。一方、×32品では、4つのデータストロープ信号対(DQS0~3、DQS0~3B)は、4つのブロックに別々に配置されている。したがって、×32品と×16品を1チップで実現するには、配線120や配線の引き回しが困難であり、専用のチップパッド210が必要であるという問題があった。

【0048】

本実施形態では、図5に示すように、×8品、×16品および×32品のうち、少なくとも2つで共用されるチップパッド210(例えば、番号117、126、128等)を設け、これらチップパッド210近傍に、ビット構成にに応じた信号回路220を設置すると共に、これらチップパッド210と信号回路220との間に、切り替え回路を設けた

10

20

30

40

50

構成を備えている。この構成によれば、ビット構成品に応じた信号回路220を切り替え回路により選択的にチップパッド210に接続することにより、前述した実施形態と同様な効果を得ることができる。

【符号の説明】

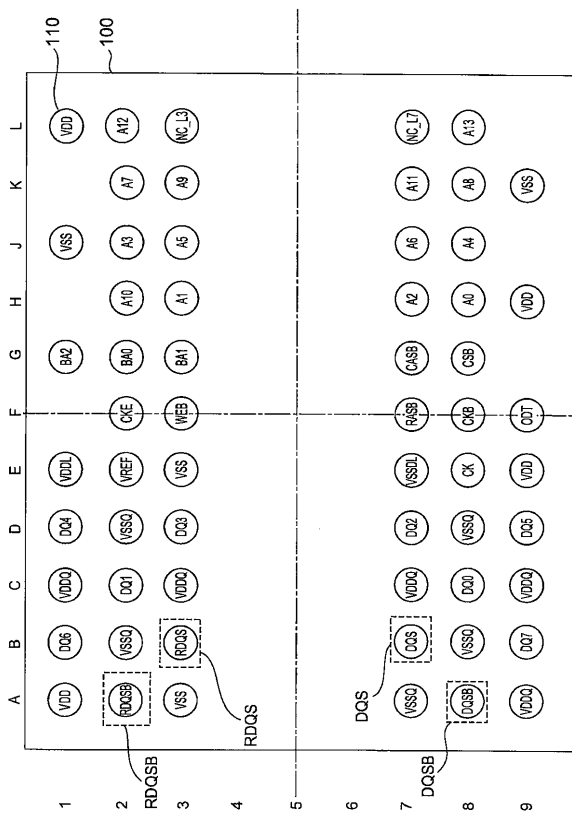
【0049】

- 100 パッケージ
- 110 ピン
- 120 配線
- 200 DDR2 SDRAMチップ
- 210 チップパッド
- 220 信号回路
- 220(8) ×8品の信号回路
- 220(16) ×16品の信号回路
- 220(32) ×32品の信号回路
- 222 ヒューズ
- 222(8) ×8品のヒューズ
- 222(16) ×16品のヒューズ
- 222(32) ×32品のヒューズ
- 224 デコーダ回路
- 226 トライステートバッファ
- 226(8) ×8品のトライステートバッファ
- 226(16) ×16品のトライステートバッファ
- 226(32) ×32品のトライステートバッファ
- 228 製品指定情報回路

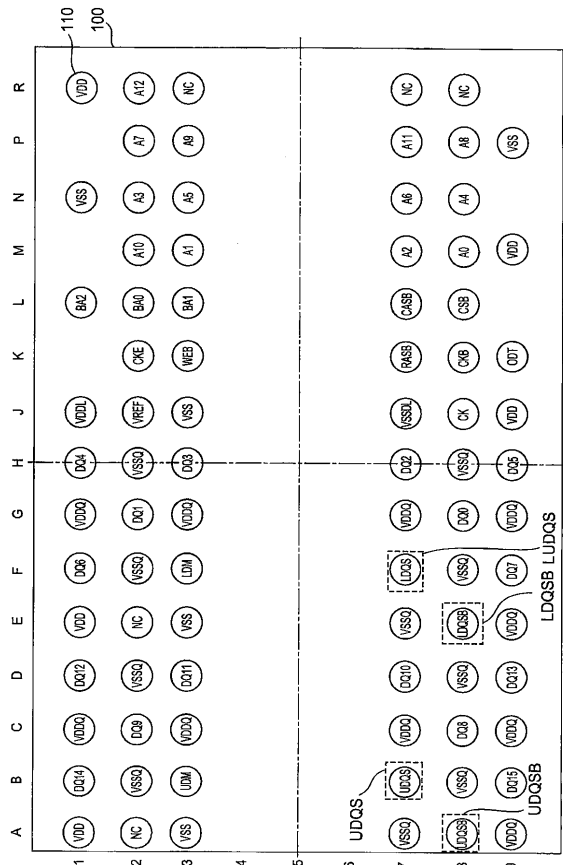
10

20

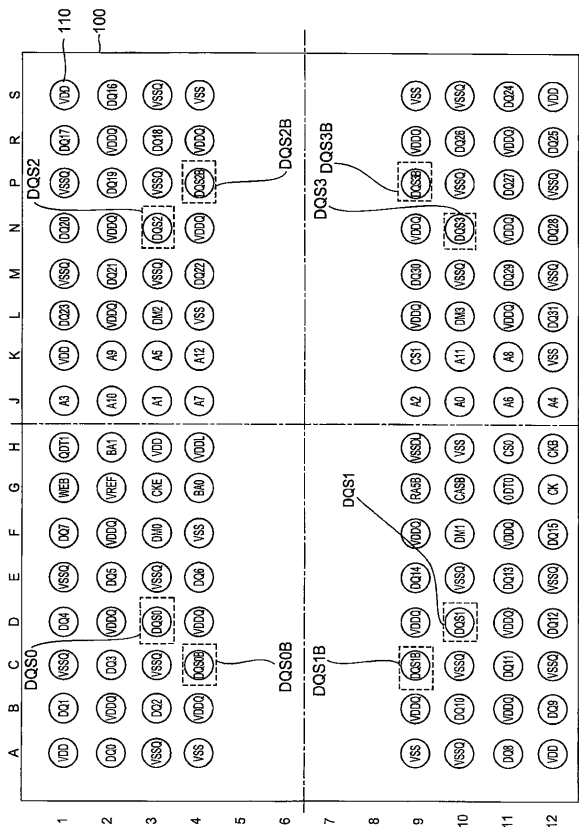
【図1】



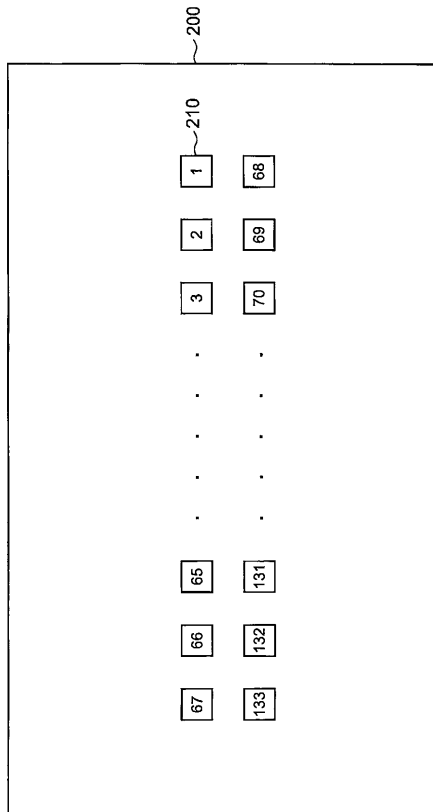
【図2】



【図3】



【図4】

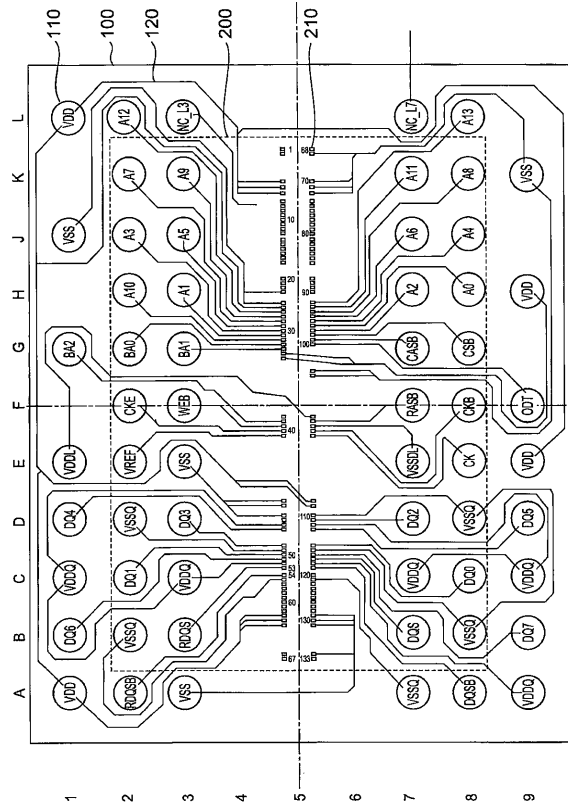


【図5】

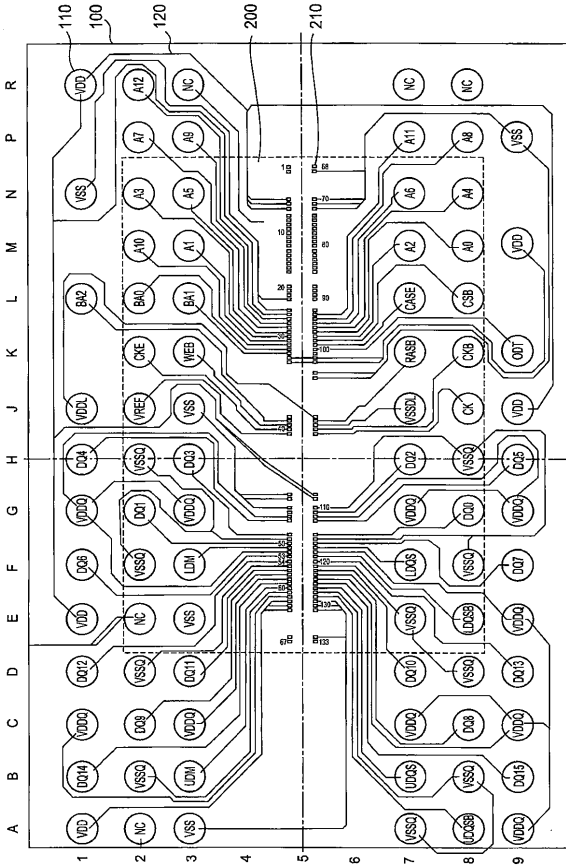
チップパット番号	x32品	x16品	x8品
1			
2			
3	VDD	VDD	VDD
4	VDD	VDD	VDD
5	VDD	VDD	VDD
6	VSSQ		
7	DQ16		
8	DQ18		
9	VDDQ		
10	DQ17		
11	DQ19		
12	VSSQ		
13	DQS2B		
14	DQS2		
15	VDDQ		
16	DQ20		
17	DQ21		
18	VSSQ		
19	DQ22		
20	DQ23		
21	VDDQ		
22	DM2		
23	VSS	VSS	VSS
24	VSS	VSS	VSS
25	VDD	VDD	VDD
26	A9	A9	A9
27	A5	A12	A12
28	A12	A7	A7
29	A3	A5	A5
30	A10	A3	A3
31	A1	A1	A1
32	A10	A10	A10
33	BA2	BA0	BA0
34	BA1	BA1	BA1
35	VDD	VDD	VDD
36	VDD	VDD	VDD
37	VF	VF	VF
38	WEB	BA2	BA2
39	BA0	WEB	WEB
40	CKE	CKE	CKE
41	VREF	VREF	VREF
42	VSS	VSS	VSS
43	VSS	VSS	VSS
44	VSS	VSS	VSS
45	DM0	NC	NC
46	VDDQ	VDDQ	VDDQ
47	DQ7	DQ4	DQ4
48	DQ6	DQ3	DQ3
49	VSSQ	VSSQ	VSSQ
50	DQ5	DQ1	DQ1
51	DQ4	UDM	DQ6
52	VDDQ	VDDQ	VDDQ
53	DQS0	DQ6	RDQS
54	DQS0B	DQ12	RDQS
55	VSSQ	VSSQ	VSSQ
56	DQ3	DQ11	
57	DQ1	DQ9	
58	VDDQ	VDDQ	
59	DQ2	DQ14	
60	DQ0	UDM	
61	VSSQ	VSSQ	
62	NC	VDDQ	
63	VDD	VDD	VDD
64	VDD	VDD	VDD
65	VDD	VDD	VDD
66			
67			

チップパット番号	x32品	x16品	x8品
68			
69	VSS	VSS	VSS
70	VSS	VSS	VSS
71	VSS	VSS	VSS
72	VSS	VSS	VSS
73	VSSQ		
74	DQ24		
75	DQ26		
76	VDDQ		
77	DQ25		
78	DQ27		
79	VSSQ		
80	DQS3B		
81	DQS3		
82	VDDQ		
83	DQ28		
84	DQ29		
85	VSSQ		
86	DQ30		
87	DQ31		
88	VDDQ		
89	DM3		
90			
91	A8	NC	A13
92	A4	A11	A11
93	A11	A8	A8
94	CS1	A6	A6
95	A6	A4	A4
96	CS0	A0	A0
97	A0	A2	A2
98	A2	CSB	CSB
99	ODT	CASB	CASB
100	CASB	ODT	ODT
101	VSS	VSS	VSS
102	VSS	VSS	VSS
103	VDDL	VDDL	VDDL
104	RASB	RASB	RASB
105	VSSDL	VSSDL	VSSDL
106	CKB	CKB	CKB
107	CK	CK	CK
108	VDD	VDD	VDD
109	VDD	VDD	VDD
110	NC	VSSQ	VSSQ
111	DM1	DQ2	DQ2
112	VDDQ	VDDQ	VDDQ
113	DQ15	DQ5	DQ5
114	DQ14	DQ0	DQ0
115	VSSQ	VSSQ	VSSQ
116	DQ13	DQ7	DQ7
117	DQ12	LDQS	DQ5
118	VDDQ	VDDQ	VDDQ
119	DQS1	LDQSB	DQSB
120	DQS1B	DQ13	NC
121	VSSQ	VSSQ	VSSQ
122	DQ11	DQ10	
123	DQ9	DQ8	
124	VDDQ	VDDQ	
125	DQ10	DQ16	
126	DQ8	LDQS	
127	VSSQ	VSSQ	
128	NC	UDQSB	
129	VSS	VSS	VSS
130	VSS	VSS	VSS
131	VSS	VSS	VSS
132	VSS	VSS	VSS
133			

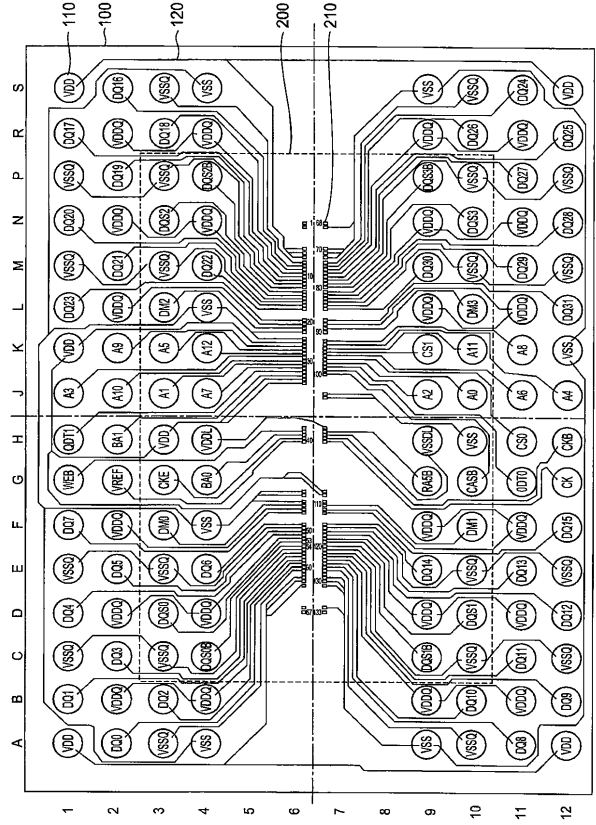
【図6】



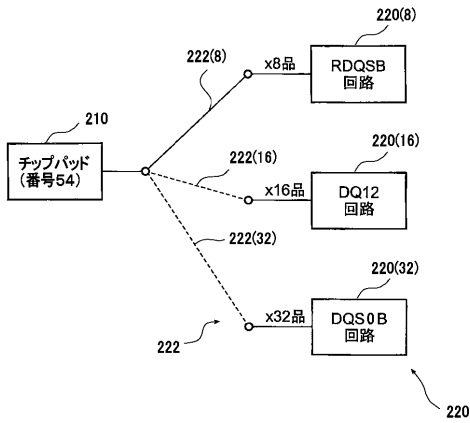
【図 7】



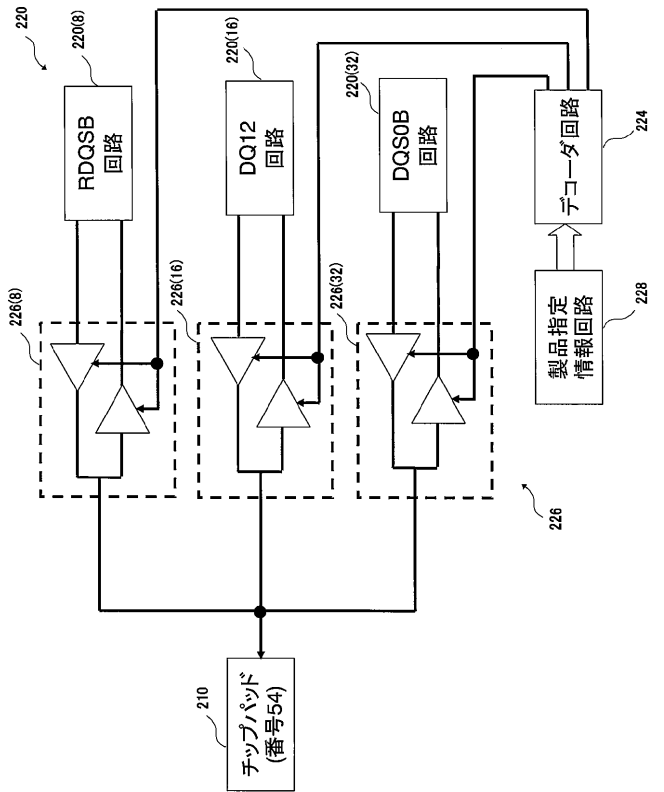
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 小林 勝太郎

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5F083 AD00 GA09 LA25 ZA23 ZA29

5M024 AA74 BB04 DD60 JJ03 JJ04 LL17 PP01