



(12)发明专利

(10)授权公告号 CN 106252315 B

(45)授权公告日 2019.07.02

(21)申请号 201510325542.0

(22)申请日 2015.06.13

(65)同一申请的已公布的文献号
申请公布号 CN 106252315 A

(43)申请公布日 2016.12.21

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张纪阔

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51)Int.Cl.

H01L 23/488(2006.01)

H01L 21/48(2006.01)

(56)对比文件

US 2015/0035139 A1,2015.02.05,说明书第11-19段,附图1A-2K.

US 2005/0040543 A1,2005.02.24,说明书第33-81段,附图4-7.

审查员 余元

权利要求书1页 说明书6页 附图8页

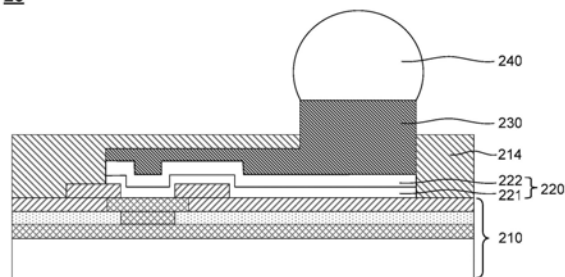
(54)发明名称

封装结构及其制造方法

(57)摘要

本发明提供了一种封装结构及其制造方法,其中,所述封装结构的制造方法包括:提供一基底;在所述基底上形成金属层;在所述金属层上形成图形化的导电层,所述导电层具有一凸起部;对所述导电层未覆盖的金属层进行刻蚀以暴露出部分基底;在所述导电层和暴露出的基底上形成图形化的介电层,所述介电层未覆盖所述导电层的凸起部;以及在所述凸起部上形成球形凸块。在本发明提供的封装结构及其制造方法中,采用两次曝光技术,在一次光刻工艺中同时形成凸点底部金属层(UBM)和再分布层(RDL),从而简化了工艺步骤,降低了制造成本,提升了产品良率和产能。

20



1. 一种封装结构的制造方法,其特征在于,包括:
 - 提供一基底;
 - 在所述基底上形成金属层;
 - 在所述金属层上形成图形化的导电层,所述导电层具有一凸起部;
 - 对所述导电层未覆盖的金属层进行刻蚀以暴露出部分基底;
 - 在所述导电层和暴露出的基底上形成图形化的介电层,所述介电层未覆盖所述导电层的凸起部;以及
 - 在所述凸起部上形成球形凸块;其中,所述导电层包括第一导电子层和第二导电子层,以及在所述金属层上形成导电层的过程包括:
 - 在所述金属层上涂布光阻层,并进行第一曝光以在所述光阻层中形成第一开口,所述第一开口的底部暴露出所述金属层;
 - 在所述光阻层的第一开口内进行第一次电镀以形成第一导电子层;
 - 对所述光阻层进行第二曝光以在所述光阻层中形成第二开口,所述第二开口的底部暴露出所述金属层且与所述第一开口合为一体;
 - 在所述光阻层的第一开口和第二开口内进行第二次电镀以形成第二导电子层,所述第一导电子层与第二导电子层合为一体形成导电层;以及,
 - 去除所述光阻层。
2. 如权利要求1所述的封装结构的制造方法,其特征在于,所述基底具有一导电接触窗,所述金属层覆盖在所述导电接触窗的上面。
3. 如权利要求1所述的封装结构的制造方法,其特征在于,所述金属层包括第一金属子层和第二金属子层,在所述基底上形成金属层的过程包括:
 - 在所述基底上形成第一金属子层;
 - 在所述第一金属子层上形成第二金属子层;
 - 其中,所述第一金属子层和第二金属子层在同一个溅射工艺中形成。
4. 如权利要求1所述的封装结构的制造方法,其特征在于,所述第一导电子层的厚度范围在20微米至40微米之间,所述第二导电子层的厚度范围在5微米至20微米之间。

封装结构及其制造方法

技术领域

[0001] 本发明涉及集成电路制造领域,特别涉及一种封装结构及其制造方法。

背景技术

[0002] 集成电路的封装结构通常包括球形凸块(Bump),该球形凸块(Bump)作为基底上的接触点与另一基底(如芯片、封装基板或印刷电路板等)上的接触点实现电性连接。有些情况下,芯片与基底之间的间隙比较大,因此需要增加 Bump的高度来抵消芯片与基底之间的间隙。目前,业界通常会在Bump的下面设置凸点底部金属层(under bump metallization,简称UBM)以增加Bump的高度。

[0003] 请参考图1k,其为现有技术的封装结构的结构示意图。如图1k所示,现有的封装结构10包括:基底110;形成于所述基底110上的再分布层(RDL)120、凸点底部金属层(UBM)和球形凸块(Bump)140,所述凸点底部金属层(UBM)包括导电柱体130以及由第三金属子层115和第四金属子层116构成的导电柱基,所述球形凸块(Bump)140通过所述凸点底部金属层(UBM)与所述再分布层(RDL)120电性连接。其中,所述基底110通常为一芯片,所述凸点底部金属层(UBM)能够增加所述球形凸块(Bump)140的高度,从而填补所述球形凸块(Bump)140与另一基底的空隙,所述另一基底可为芯片、封装基板或印刷电路板等等。

[0004] 请结合参考图1a至图1k,其为现有技术的封装结构的制造过程的结构示意图。如图1a至图1k所示,现有的封装结构的制造方法包括如下步骤:

[0005] 步骤一:如图1a所示,提供基底110;

[0006] 步骤二:如图1b所示,通过第一次溅射工艺在所述基底110上形成第一金属层,所述第一金属层包括第一金属子层111和第二金属子层112,所述第一金属子层111位于所述基底110与所述第二金属子层112之间;

[0007] 步骤三:如图1c所示,在所述第二金属子层112上涂布第一光阻层113并进行曝光以在所述第一光阻层113中形成第一开口,所述第一开口的底部暴露出所述第二金属子层112;

[0008] 步骤四:如图1d所示,在所述第一光阻层113的第一开口内进行第一次电镀以形成再分布层(RDL)120;

[0009] 步骤五:如图1e所示,去除所述第一光阻层113,并对所述第一金属子层111和第二金属子层112进行刻蚀以暴露出部分基底110;

[0010] 步骤六:如图1f所示,在所述再分布层(RDL)120上形成图形化的介电层114;

[0011] 步骤七:如图1g所示,通过第二次溅射工艺在所述再分布层(RDL)120和介电层114上形成第二金属层,所述第二金属层包括第三金属子层115和第四金属子层116,所述第三金属子层115位于所述再分布层(RDL)120与第四金属子层116之间或所述介电层114与第四金属子层116之间;

[0012] 步骤八:如图1h所示,在所述第四金属子层116上涂布第二光阻层117并进行曝光以在所述第二图形化光阻层117中形成第二开口,所述第二开口的底部暴露出所述第四金

属子层116;

[0013] 步骤九:如图1i所示,在所述第二光阻层117的第二开口内进行第二次电镀以形成所述导电柱体130;

[0014] 步骤十:如图1j所示,去除所述第二光阻层117,并对所述第三金属子层 115和第四金属子层116进行刻蚀以暴露出所述介电层114;

[0015] 步骤十一:如图1k所示,在所述凸点底部金属层 (UBM) 上形成球形凸块 (Bump) 140。

[0016] 在现有的制造工艺中,一般先进行RDL工艺再进行UBM工艺。如上所述,在进行UBM工艺之前,先进行第一次溅射以形成再分布层 (RDL) 120的基材,接着进行第一次电镀以形成所述再分布层 (RDL) 120。在完成RDL工艺之后,进行第二次溅射以形成所述凸点底部金属层 (UBM) 的导电柱基,之后进行第二次电镀以形成所述凸点底部金属层 (UBM) 的导电柱体 130。最后,在所述凸点底部金属层 (UBM) 上形成球形凸块 (Bump) 140。其中,所述凸点底部金属层 (UBM) 的导电柱体130通常由铜 (Cu) 制成,由铜 (Cu) 制成的导电柱体130一般称为铜柱 (Cu Pillar)。

[0017] 虽然凸点底部金属层 (UBM) 能够增加所述球形凸块 (Bump) 140的高度,但是制作凸点底部金属层 (UBM) 需要额外增加溅射工艺、光刻和刻蚀工艺。如上所述,制作现有的封装结构需要进行两次溅射、两次电镀、两次光刻和刻蚀,即溅射---光阻涂布---曝光---电镀---光阻剥离---刻蚀---溅射---光阻涂布---曝光---电镀---光阻剥离---刻蚀。可见,现有的封装结构的制造方法工艺复杂、不但影响产能和良率而且所费材料也很多,制造成本高。

发明内容

[0018] 本发明的目的在于提供一种封装结构及其制造方法,以解决现有技术中制作封装结构的工艺步骤繁多,造成制造成本高,同时影响产能和良率的问题。

[0019] 为解决上述技术问题,本发明提供一种封装结构的制造方法,所述封装结构的制造方法包括:

[0020] 提供一基底;

[0021] 在所述基底上形成金属层;

[0022] 在所述金属层上形成图形化的导电层,所述导电层具有一凸起部;

[0023] 对所述导电层未覆盖的金属层进行刻蚀以暴露出部分基底;

[0024] 在所述导电层和暴露出的基底上形成图形化的介电层,所述介电层未覆盖所述导电层的凸起部;以及

[0025] 在所述凸起部上形成球形凸块。

[0026] 可选的,在所述的封装结构的制造方法中,所述基底具有一导电接触窗,所述金属层覆盖在所述导电接触窗的上面。

[0027] 可选的,在所述的封装结构的制造方法中,所述金属层包括第一金属子层和第二金属子层,在所述基底上形成金属层的过程包括:

[0028] 在所述基底上形成第一金属子层;

[0029] 在所述第一金属子层上形成第二金属子层;

[0030] 其中,所述第一金属子层和第二金属子层在同一个溅射工艺中形成。

[0031] 可选的,在所述的封装结构的制造方法中,所述导电层包括第一导电子层和第二导电子层,在所述金属层上形成导电层的过程包括:

[0032] 在所述金属层上涂布光阻层,并进行第一曝光以在所述光阻层中形成第一开口,所述第一开口的底部暴露出所述金属层;

[0033] 在所述光阻层的第一开口内进行第一次电镀以形成第一导电子层;

[0034] 对所述光阻层并进行第二曝光以在所述光阻层中形成第二开口,所述第二开口的底部暴露出所述金属层且与所述第一开口合为一体;

[0035] 在所述光阻层的第一开口和第二开口内进行第二次电镀以形成第二导电子层,所述第一导电子层与第二导电子层合为一体形成导电层;以及

[0036] 去除所述光阻层。

[0037] 可选的,在所述的封装结构的制造方法中,所述第一导电子层的厚度范围在20微米至40微米之间,所述第二导电子层的厚度范围在5微米至20微米之间。

[0038] 本发明还提供一种封装结构,所述封装结构包括:基底;形成于所述基底上的金属层;形成于所述金属层上的导电层,所述导电层具有一凸起部;形成于所述凸起部上的球形凸块;以及形成于所述导电层和基底上的介电层。

[0039] 可选的,在所述的封装结构中,所述基底具有一导电接触窗,所述球形凸块通过所述导电层和金属层与所述导电接触窗实现电性连接。

[0040] 可选的,在所述的封装结构中,所述金属层包括在同一个溅射工艺中形成的第一金属子层和第二金属子层,所述第一金属子层位于所述基底与第二金属层之间。

[0041] 可选的,在所述的封装结构中,所述导电层包括第一导电子层和第二导电子层,所述第一导电子层位于所述金属层与第二导电子层之间。

[0042] 可选的,在所述的封装结构中,所述第一导电子层的厚度范围在20微米至 40微米之间,所述第二导电子层的厚度范围在5微米至20微米之间。

[0043] 在本发明提供的封装结构及其制造方法中,采用两次曝光技术,在一次光刻工艺中同时形成凸点底部金属层(UBM)和再分布层(RDL),从而简化了工艺步骤,降低了制造成本,提升了产品良率和产能。

附图说明

[0044] 图1a至图1k是现有技术的封装结构的制造过程的结构示意图;

[0045] 图2a至图2i是本发明实施例的封装结构的制造过程的结构示意图。

具体实施方式

[0046] 以下结合附图和具体实施例对本发明提出的封装结构及其制造方法作进一步详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0047] 请参考图2i,其为本发明实施例的封装结构的结构示意图。如图2i所示,所述封装结构的制造方法包括如下步骤:

- [0048] 提供一基底210;
- [0049] 在所述基底210上形成金属层220;
- [0050] 在所述金属层220上形成图形化的导电层230,所述导电层230具有一凸起部;
- [0051] 对所述导电层230未覆盖的金属层220进行刻蚀以暴露出部分基底210;
- [0052] 在所述导电层230和暴露出的基底210上形成图形化的介电层214,所述介电层214未覆盖所述导电层230的凸起部;以及
- [0053] 在所述凸起部上形成球形凸块240。
- [0054] 下面结合图2a至图2i,更详细的说明本发明实施例的封装结构的制造过程。
- [0055] 首先,如图2a所示,提供一基底210,所述基底210具有一导电接触窗210a。
- [0056] 接着,如图2b所示,通过一次溅射工艺在所述基底210上依次形成第一金属子层221和第二金属子层222,所述第一金属子层221和第二金属子层222组成金属层220,所述金属层220覆盖在所述导电接触窗210a的上面。
- [0057] 然后,在所述金属层220上形成图形化的导电层230,形成导电层230的具体过程包括以下步骤:
- [0058] 步骤一:如图2c所示,在所述金属层220上涂布光阻层213并进行第一曝光以在所述光阻层213中形成第一开口213a,所述第一开口213a的底部暴露出所述金属层220;
- [0059] 步骤二:如图2d所示,在所述光阻层213的第一开口213a内进行第一次电镀以形成第一导电子层231;
- [0060] 步骤三:如图2e所示,对所述光阻层213并进行第二曝光以在所述光阻层213中形成第二开口213b,所述第二开口213b的底部暴露出所述金属层220且与所述第一开口213a合为一体;
- [0061] 步骤四:如图2f所示,在所述光阻层213的第一开口213a和第二开口213b内进行第二次电镀以形成第二导电子层232,所述第一导电子层231与第二导电子层232合为一体形成导电层230;
- [0062] 步骤五:如图2g所示,去除所述光阻层213。
- [0063] 在本实施例中,利用两次曝光技术形成了具有凸起部的导电层230,所述导电层230包括位于第一开口213a内的凸点底部金属层(UBM)和第二开口213b内的再分布层(RDL),所述凸点底部金属层(UBM)的厚度等于所述第一导电子层231和第二导电子层232的厚度之和,所述再分布层(RDL)的厚度等于所述第二导电子层232的厚度。
- [0064] 本实施例中,所述光阻层213的材料采用正性光阻(例如AZ4620)。正性光阻在曝到光的地方会被显影液洗掉,而没有曝到光的部分会保留下来。
- [0065] 形成所述导电层230之后,对所述导电层230未覆盖的金属层220进行刻蚀以暴露出部分基底210。请继续参考图2g,进行刻蚀时所述光阻层213已经被去除,未被所述导电层230覆盖的部分金属层220,包括第一金属子层221和第二金属子层222均被完全刻蚀掉了,暴露出下面的基底210。
- [0066] 此后,如图2h所示,在所述导电层230和暴露出的基底210上形成图形化的介电层214,所述介电层214未覆盖所述导电层230的凸起部。本实施例中。所述介电层214采用的材料为聚苯并噁唑(英文全称为Polybenzoxazol,简称PBO)
- [0067] 最后,如图2i所示,在所述导电层230的凸起部上形成球形凸块240。

[0068] 所述导电层230,包括第一导电层231与第二导电层232均可采用任何适当的导电材料,包括Cu、Ni、Pt、Al或其任意组合,且通过任何适当的技术而形成,例如PVD、CVD、电化学沉积(electrochemical deposition,简称ECD)、分子束外延(molecular beam epitaxy,简称MBE)、原子层沉积(atomic layer deposition,简称ALD)、电镀(electroplating)等等。本实施例中,所述第一导电层231与第二导电层232采用相同的材料,均由铜(Cu)制成。

[0069] 优选的,所述第一导电层231的厚度范围在20微米(μm)至40微米(μm)之间,进一步的,所述第一导电层231的厚度范围在30微米(μm)至35微米(μm)之间,例如所述第一导电层231的厚度为32微米(μm)、33微米(μm)或34微米(μm)。

[0070] 优选的,所述第二导电层232的厚度范围在5微米(μm)至20微米(μm)之间,进一步的,所述第二导电层232的厚度范围在10微米(μm)至15微米(μm)之间,例如所述第二导电层232的厚度为11微米(μm)、12微米(μm)或13微米(μm)。

[0071] 所述金属层220,包括第一金属层221和第二金属层222均可由任何适当的金属材料所构成,包括Cu、Ni、Pt、Al或其任意组合,且通过任何适当的技术而形成,例如PVD、CVD、电化学沉积(electrochemical deposition,简称ECD)、分子束外延(molecular beam epitaxy,简称MBE)、原子层沉积(atomic layer deposition,简称ALD)、电镀(electroplating)等等。本实施例中,所述第一金属层221由钛(Ti)制成,所述第二金属层222由铜(Cu)制成。

[0072] 在本实施例提供的封装结构的制造方法中,先进行UBM工艺再进行RDL工艺,制造过程包括一次溅射、一次光阻涂布、两次曝光、两次电镀、一次光阻剥离和一次刻蚀,即溅射---光阻涂布---第一次曝光---电镀---第二次曝光---电镀---光阻剥离---刻蚀。而传统的封装结构的制造方法是先进行RDL工艺再进行UBM工艺,制造过程包括两次溅射、两次光阻涂布、两次曝光、两次电镀、两次光阻剥离和两次刻蚀,即第一次溅射---第一次光阻涂布---第一次曝光---第一次电镀---第一次光阻剥离---第一次刻蚀---第二次溅射---第二次光阻涂布---第二次电镀---第二次光阻剥离---第二次刻蚀。

[0073] 由此可见,采用所述封装结构的制造方法可以减少一次溅射、一次光阻涂布、一次光阻剥离和一次刻蚀,不但能够简化工艺步骤、降低工艺难度,从而提高产能和良率,而且能够节省光阻的使用量、降低制造成本。

[0074] 相应的,本发明实施例还提供了一种封装结构20。请参考图2i,其为本发明实施例的封装结构的结构示意图。如图2i所示,所述封装结构20包括:基底210;形成于所述基底210上的金属层220;形成于所述金属层220上的导电层230,所述导电层230具有一凸起部;形成于所述凸起部上的球形凸块240;以及形成于所述导电层230和所述基底210上的介电层214。

[0075] 具体的,所述基底210具有一导电接触窗210a,所述导电接触窗210a用于与外部电性连接。所述基底210上形成有金属层220,所述金属层220的上面形成有导电层230,所述导电层230具有一凸起部,所述凸起部的上面形成有一球形凸块240,所述球形凸块240通过所述导电层230、金属层220而与所述导电接触窗210a电性连接。在所述封装结构20中,所述球形凸块240作为接触点,可与外部器件,例如芯片、封装基板或印刷电路板等等实现电性连接。

[0076] 所述导电层230和所述基底210上形成有图形化的介电层214,未被所述导电层230覆盖的基底210以及所述导电层230中除了凸起部的位置均被所述介电层214覆盖。

[0077] 本实施例中,所述金属层220包括第一金属子层221和第二金属子层222,所述第一金属子层221覆盖在所述导电接触窗210a上,所述第二金属子层222 覆盖在所述第一金属子层221上。

[0078] 本实施例中,所述导电层230包括第一导电子层231和第二导电子层232,第一导电子层231位于所述第二金属子层222和第二导电子层232之间。

[0079] 优选的,所述第一导电子层231和第二导电子层232的厚度范围均在2微米至20微米之间。

[0080] 综上,在本发明实施例提供的封装结构及其制造方法中,采用两次曝光技术,在一次光刻工艺中同时形成凸点底部金属层(UBM)和再分布层(RDL),从而简化了工艺步骤,降低了制造成本,提升了产品良率和产能。

[0081] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

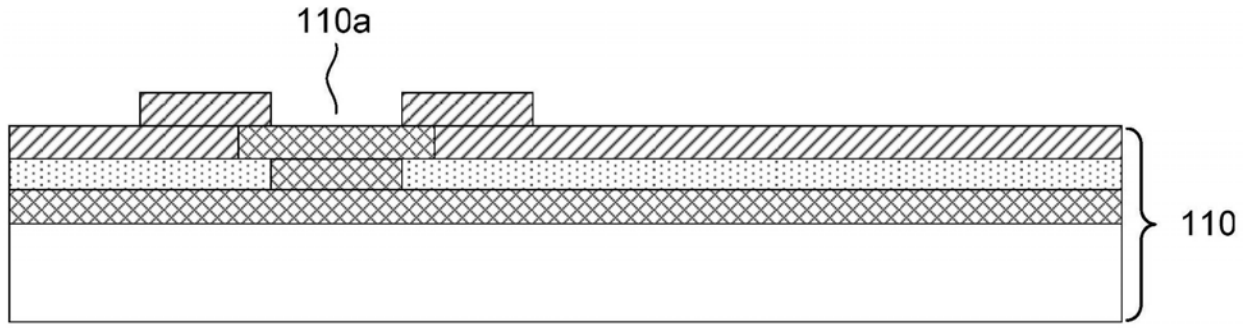


图1a

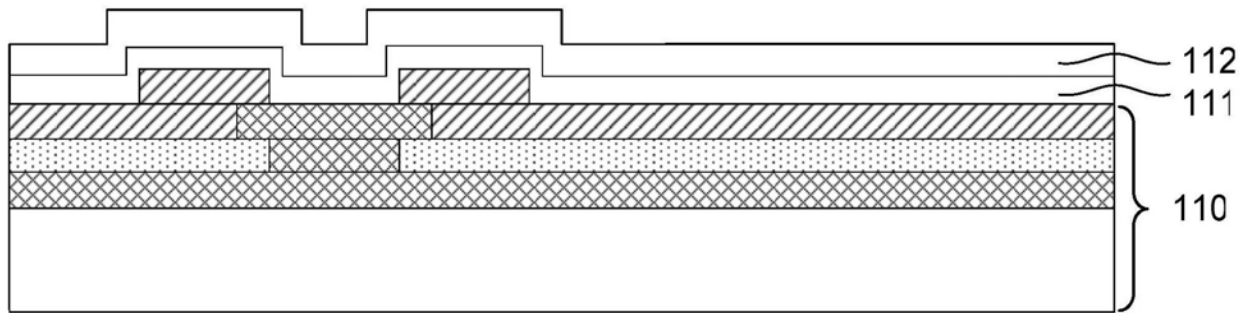


图1b

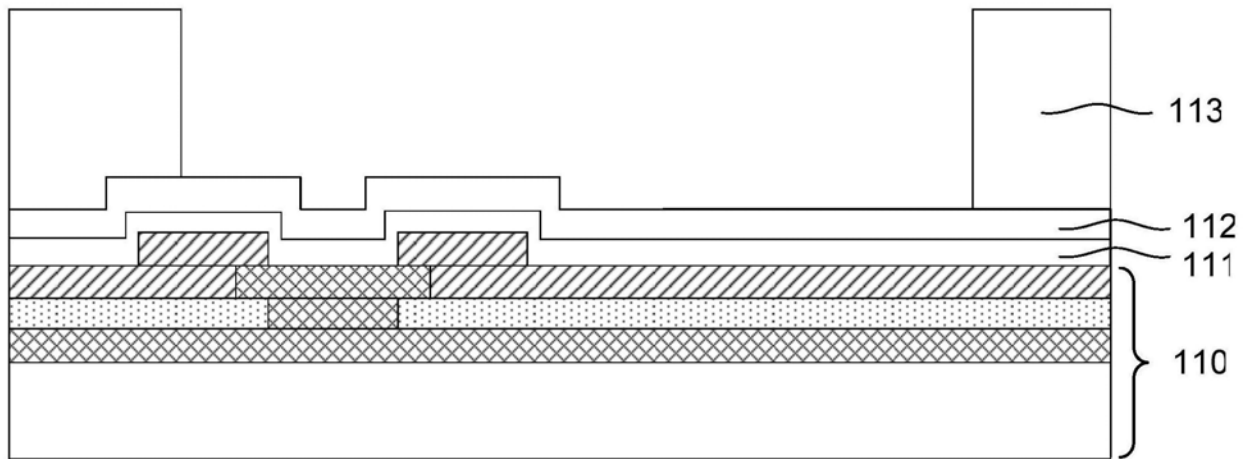


图1c

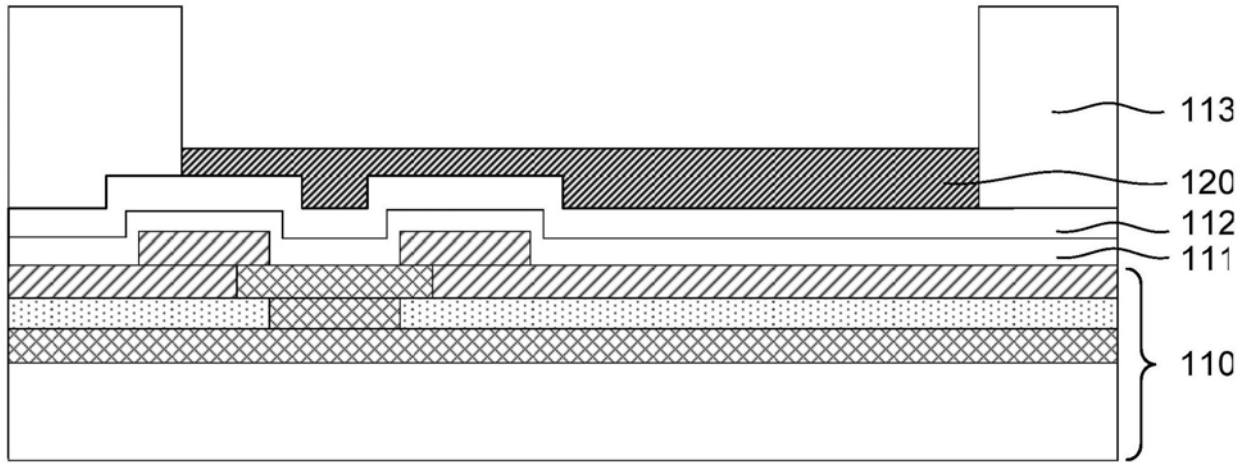


图1d

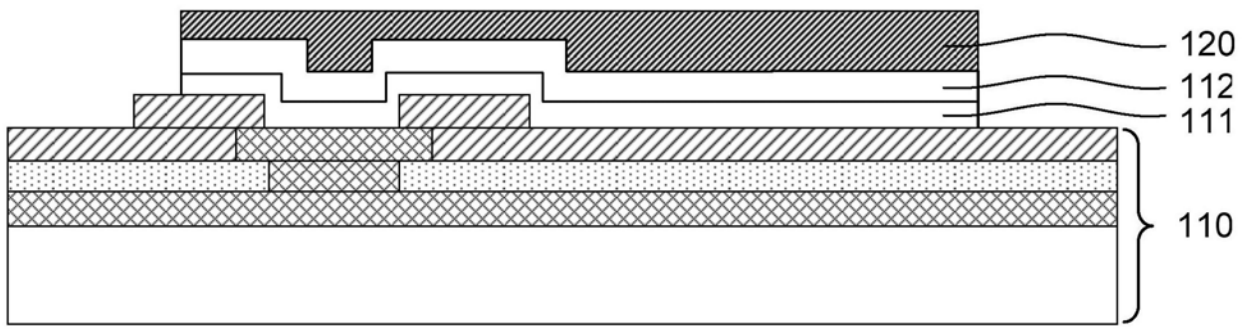


图1e

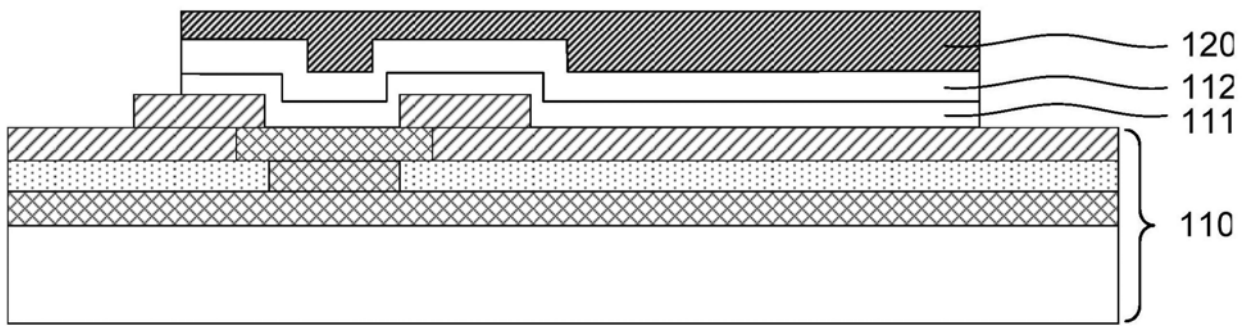


图1f

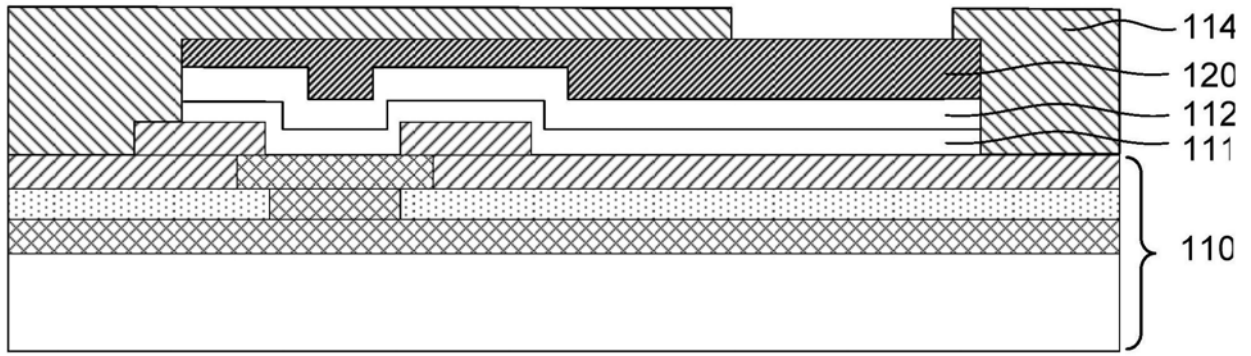


图1g

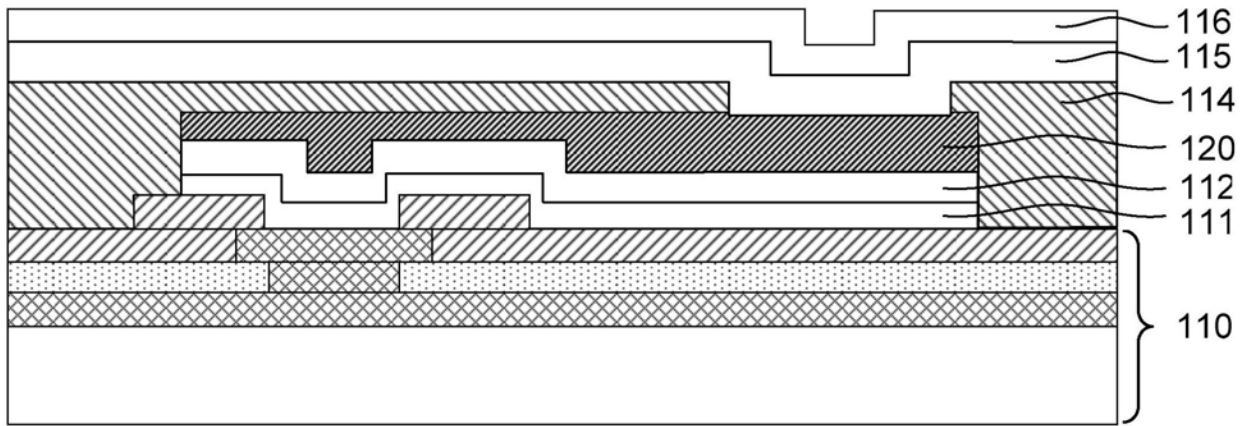


图1h

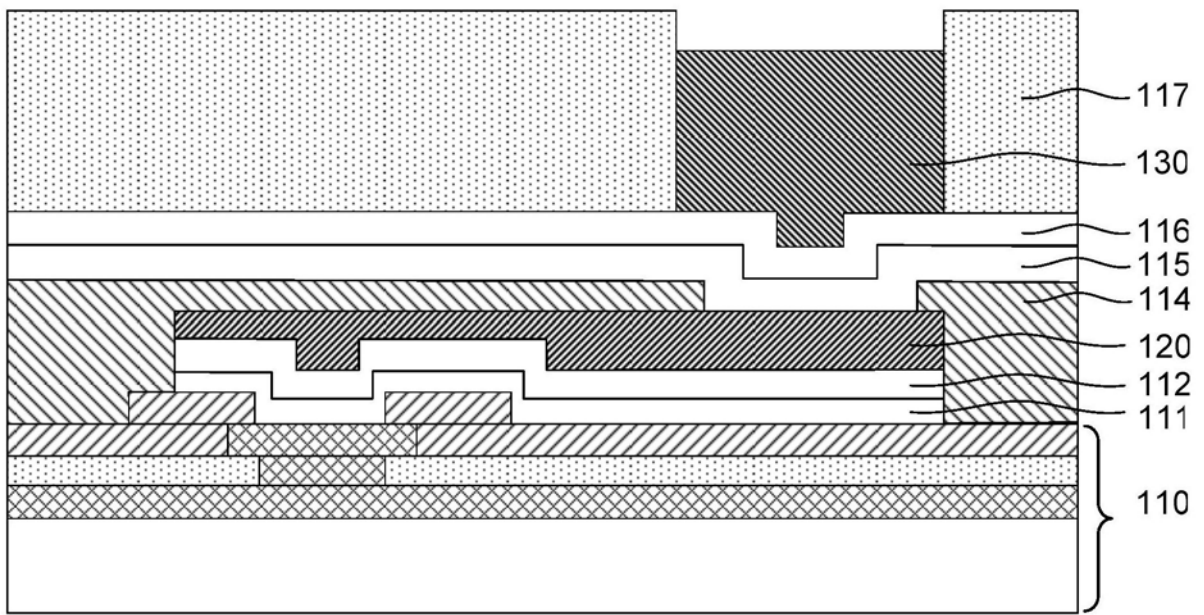


图1i

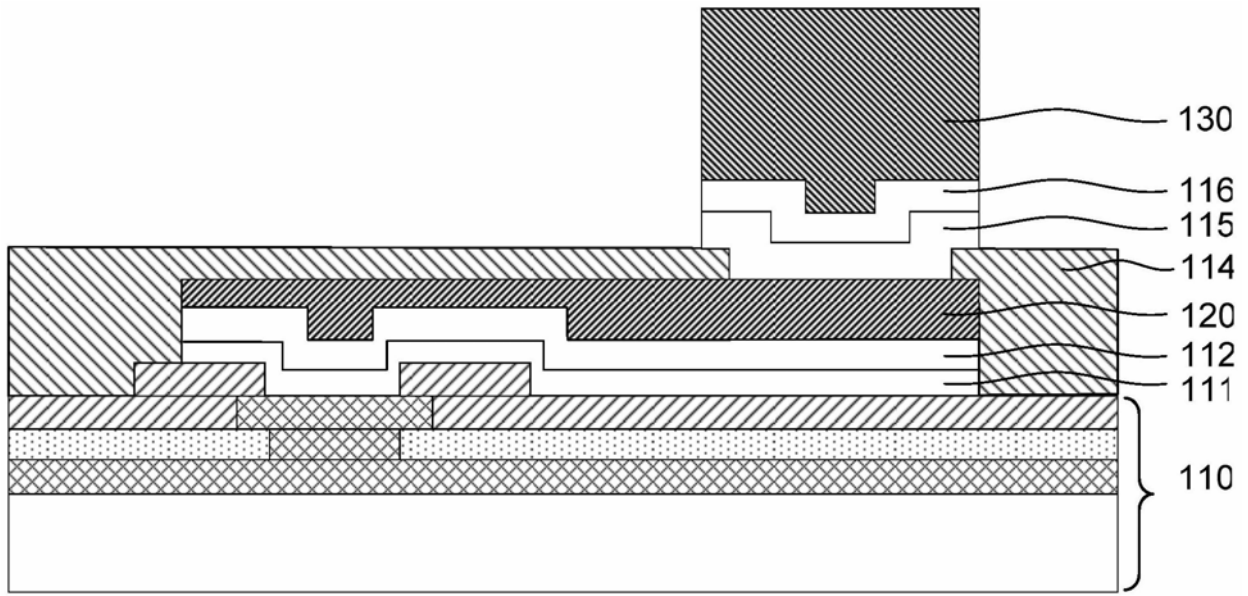


图1j

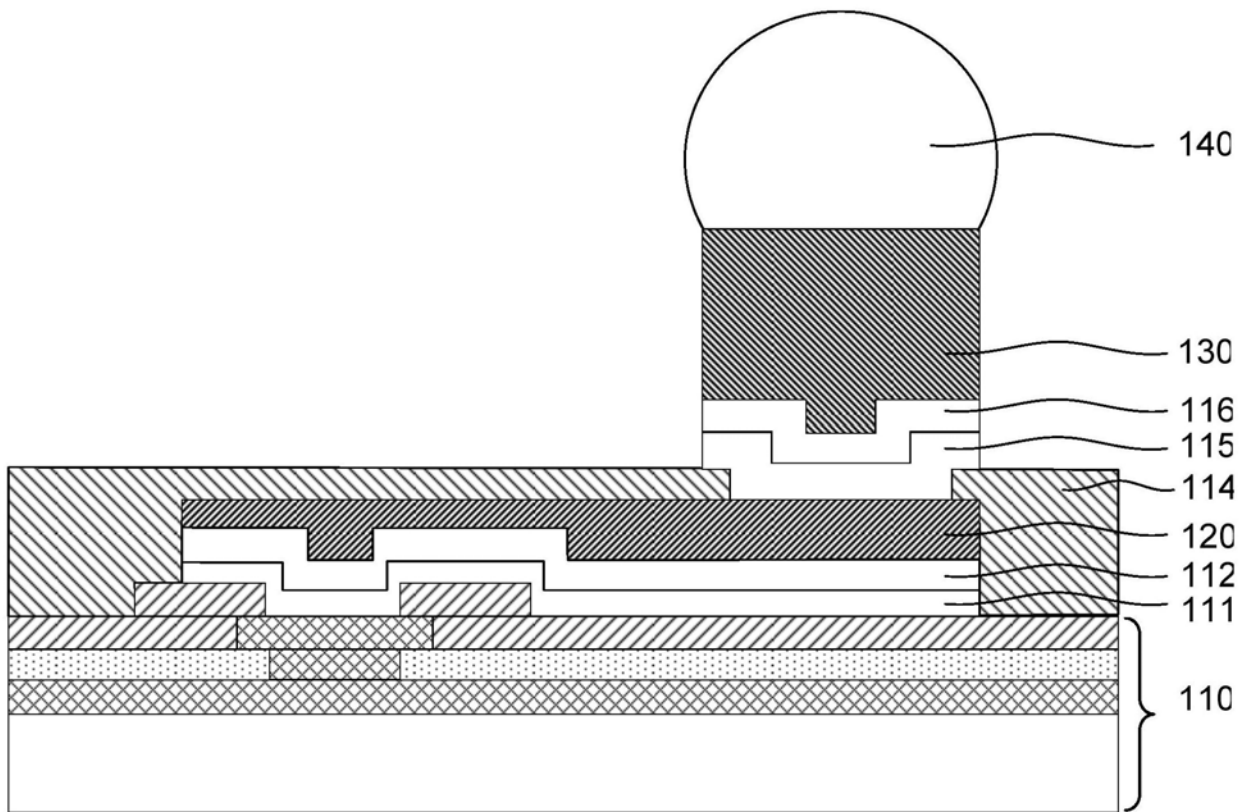


图1k

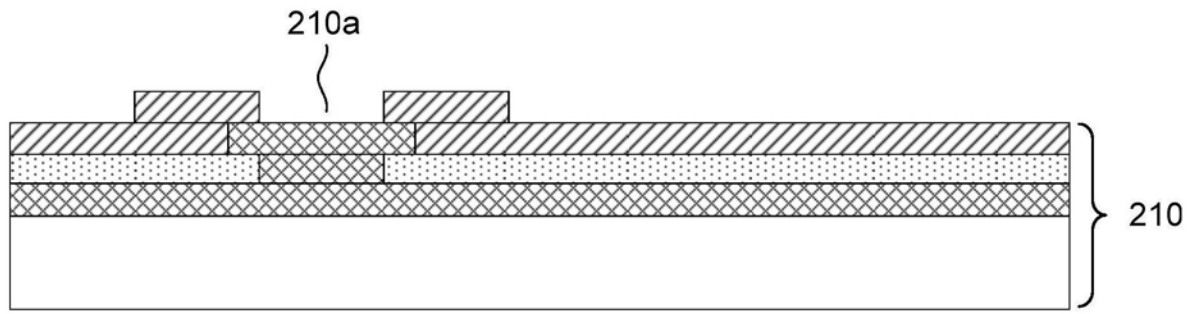


图2a

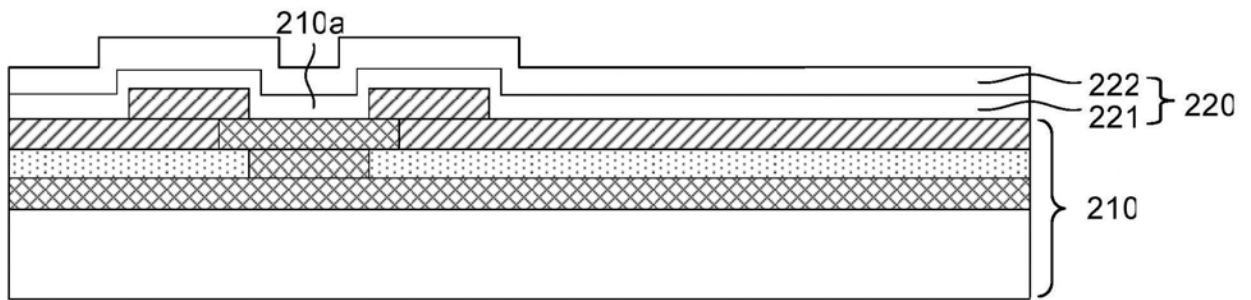


图2b

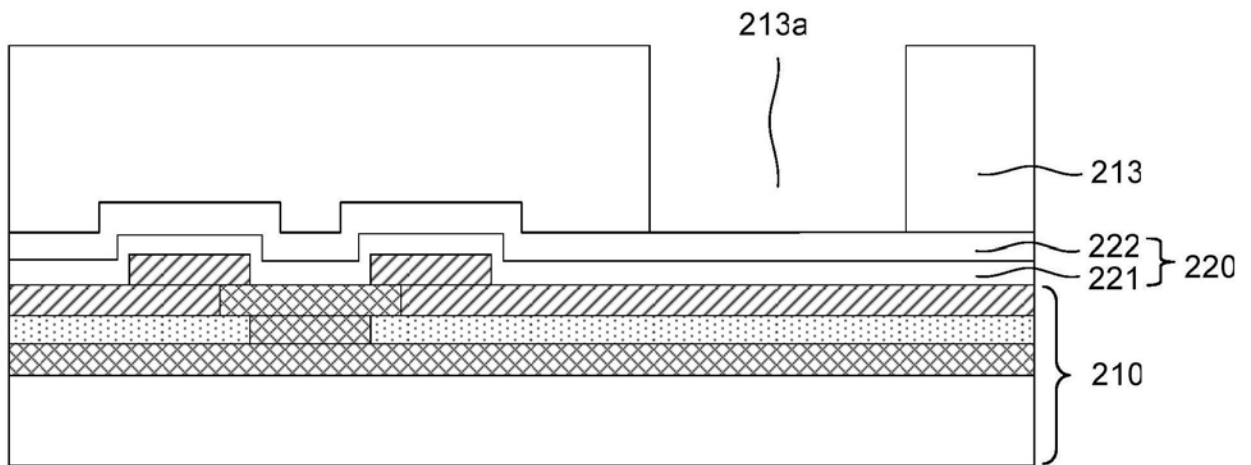


图2c

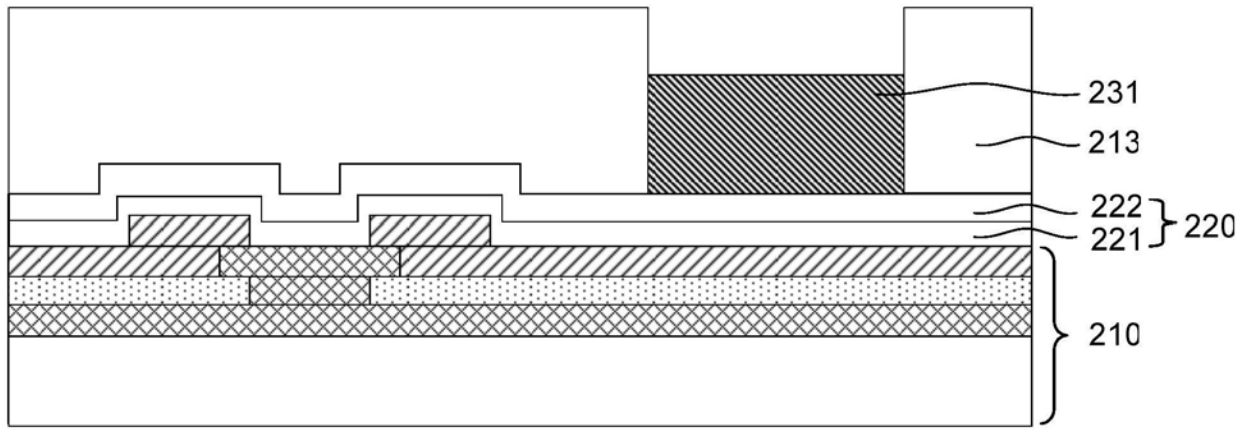


图2d

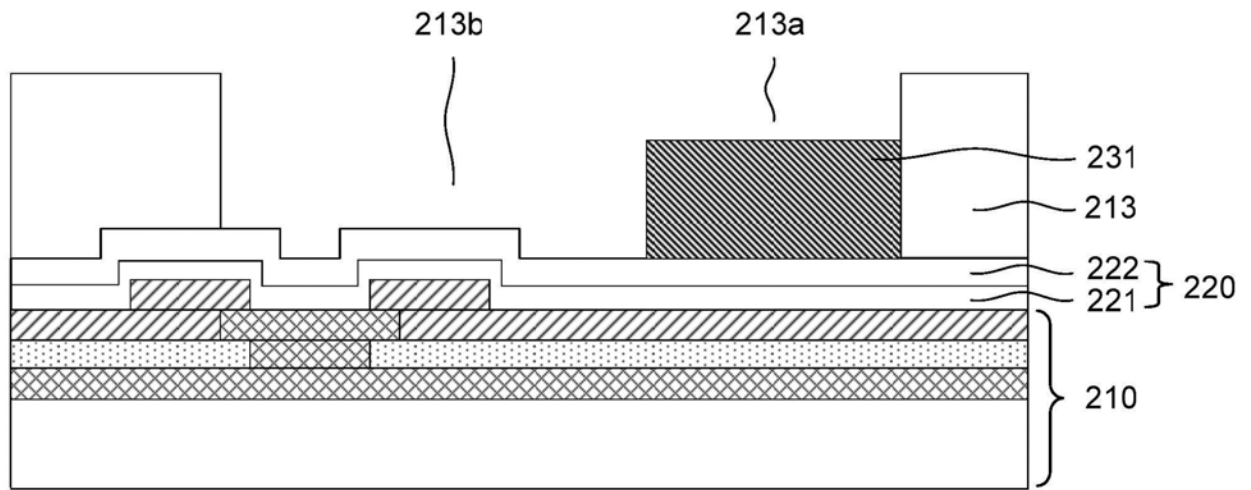


图2e

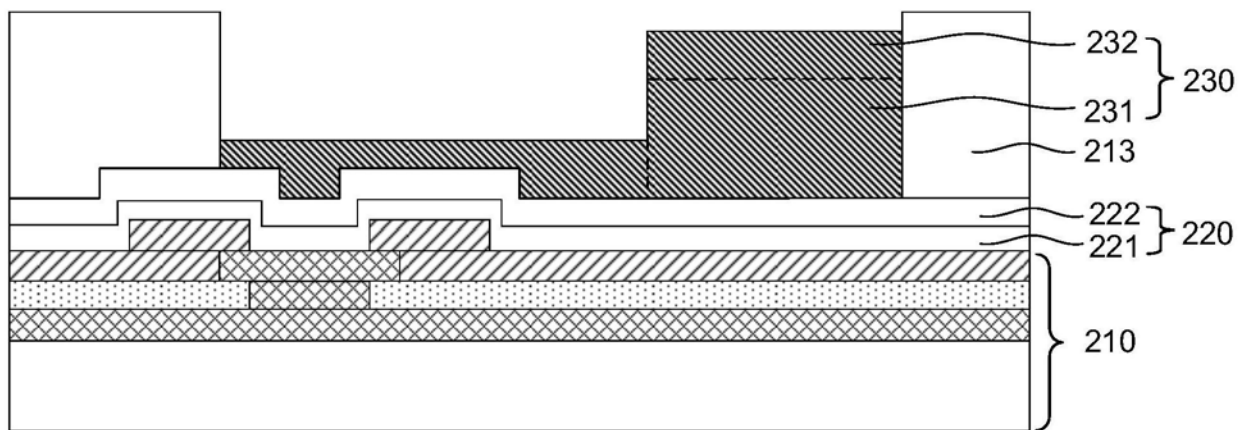


图2f

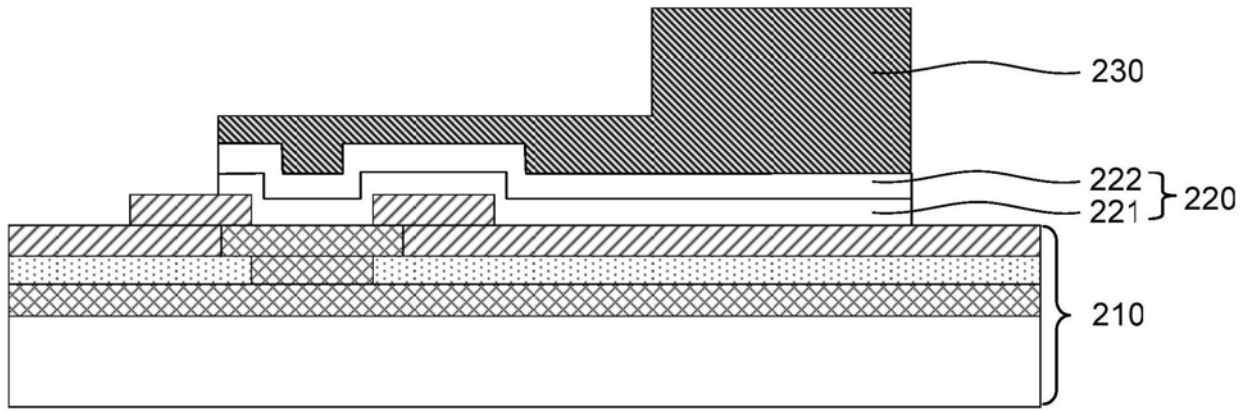


图2g

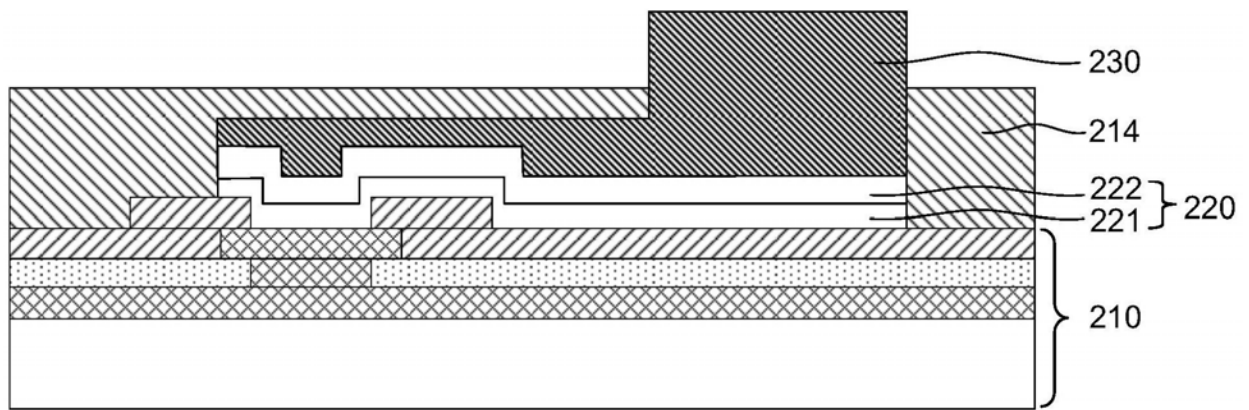


图2h

20

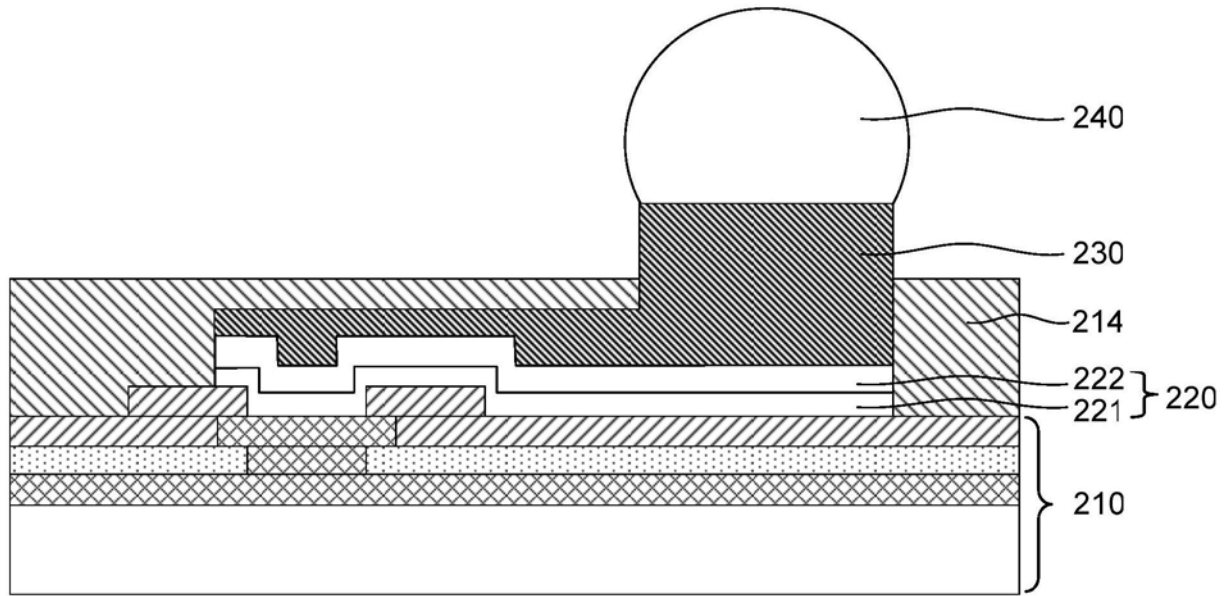


图2i