

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710088698.7

[51] Int. Cl.

H01L 27/092 (2006.01)
H01L 27/088 (2006.01)
H01L 27/12 (2006.01)
H01L 27/02 (2006.01)
H01L 21/82 (2006.01)
H01L 21/8234 (2006.01)

[43] 公开日 2007年9月19日

[11] 公开号 CN 101038920A

[51] Int. Cl. (续)

H01L 21/8238 (2006.01)

H01L 21/84 (2006.01)

[22] 申请日 2007.3.16

[21] 申请号 200710088698.7

[30] 优先权

[32] 2006.3.17 [33] US [31] 11/378,907

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

[72] 发明人 柯志欣 李文钦 葛崇祐 陈宏玮

[74] 专利代理机构 隆天国际知识产权代理有限公司
代理人 陈晨

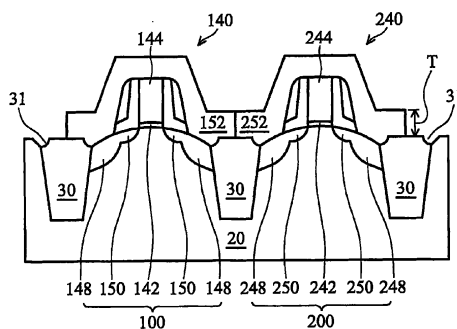
权利要求书 2 页 说明书 10 页 附图 7 页

[54] 发明名称

半导体结构及其形成方法

[57] 摘要

本发明提供一种半导体结构及其形成方法，该方法以扩散地形程序 (diffusion topography engineering, DTE) 形成半导体结构。首先在半导体基板中形成沟槽隔离区以定义扩散区。在含氢环境下，对半导体基板进行 DTE 程序，且在扩散区上形成 MOS 元件。DTE 程序造成硅迁移，形成圆形或 T 形的扩散区表面。此方法更可包括在进行 DTE 程序前，使扩散区的一部分形成凹陷。在 DTE 程序后，此扩散区形成倾斜表面。本发明能够改善各 MOS 元件内部的应力，从而提高元件的性能。



1. 一种半导体结构，包括：

基板，包括第一扩散区及第二扩散区，该第一扩散区有大抵圆弧的第一表面，该第二扩散区有大抵圆弧的第二表面；

第一 MOS 元件在该第一扩散区上；

第二 MOS 元件在该第二扩散区上；

第一应力介电层在该第一 MOS 元件上；以及

第二应力介电层在该第二 MOS 元件上，其中该第一及第二应力介电层具有实质上不同的应力。

2. 如权利要求 1 所述的半导体结构，其中该第一扩散区具有第一长度，且当该第一长度小于约 $10\mu\text{m}$ 时，该第一扩散区的半径大于约 $0.5\mu\text{m}$ 。

3. 如权利要求 1 所述的半导体结构，其中该第一扩散区有第一顶部表面，该第二扩散区有第二顶部表面，且其中该第一顶部表面与第二顶部表面有大于 10\AA 的差距。

4. 如权利要求 1 所述的半导体结构，其中该第一扩散区的中心区高于边缘区。

5. 权利要求 4 所述的半导体结构，其中该中心区与该边缘区的高度差大于该扩散区长度的 $1/50$ 。

6. 如权利要求 5 所述的半导体结构，其中该中心区与该边缘区的高度差大于该扩散区长度的 10% 。

7. 如权利要求 1 所述的半导体结构，其中该第一应力介电层及该第二应力介电层的厚度差约在 25\AA 至 250\AA 。

8. 一种半导体结构，包括：

基板，包括扩散区；

沟槽隔离区，邻接该扩散区，且从基板表面延伸至该基板内，其中该扩散区有延伸区延伸至该沟槽隔离区之上；

MOS 元件在该扩散区上；以及

应力层在该 MOS 元件上。

9. 如权利要求 8 所述的半导体结构，其中该延伸区长度与该扩散区长度的比值大于约 $3/50$ 。

10. 如权利要求 9 所述的半导体结构，其中该延伸区长度与该扩散区长度的比值大于约 1/10。

11. 如权利要求 8 所述的半导体结构，其中当主动区密度大于约 35%时，该延伸区的长度小于约 650Å，当该主动区密度介于约 15%至 35%之间时，该延伸区的长度小于约 550Å，当该主动区密度小于约 15%时，该延伸区的长度小于约 450Å。

12. 一种半导体结构的形成方法，包括：

提供基板，包括扩散区；

形成沟槽隔离区，邻接该扩散区，且从该基板表面延伸至该基板内；

在该基板上进行扩散地形程序；

形成栅极介电层在该基板上；

形成栅极电极在该栅极介电层上；

形成栅极间隙壁在该栅极电极的侧壁上；

形成源/漏极区，且实质上邻接该栅极间隙壁；以及

形成应力膜在该栅极电极、该栅极间隙壁及该源/漏极区上。

13. 如权利要求 12 所述的半导体结构的形成方法，其中该扩散区表面呈圆形。

14. 如权利要求 12 所述的半导体结构的形成方法，其中该扩散区呈表面 T 形。

15. 如权利要求 12 所述的半导体结构的形成方法，其中在进行该扩散地形程序前，先预蚀刻暴露的扩散区，以形成倾斜的扩散区表面。

半导体结构及其形成方法

技术领域

本发明关于 MOS 元件及其形成方法，且特别关于利用 DTE 程序来改善 MOS 元件的性能。

背景技术

浅沟槽隔离区(以下简称 STI)及扩散区(源/漏极区)的轮廓会强烈影响 MOS 元件的性能，例如，结电容、栅极氧化漏电流、次临界漏电流、结漏电流等。目前已有有人提出具有圆角的扩散区来解决上述问题。但随着减少浅沟槽隔离区及扩散区的尺寸愈来愈小。控制轮廓已经变得愈来愈具有挑战性。

传统 MOS 元件的制造方法有许多缺点。例如，在形成 STI 的过程中，会在 STI 及扩散区上形成不良的凹陷(divot)。凹陷会造成寄生边缘晶体管(parasitic corner transistor)并使电场聚集在 STI 的边缘，因而产生逆短沟道效应(RNCE)，导致栅极边角漏电流(corner gate leakage)、多晶硅栅极桥接(poly gate stringer)并对栅极关键尺寸的控制产生问题。此外，在宽度较小的元件中进行填充后热循环(post-gapfill thermal cycle)时，沿着 STI 侧壁进行的氧化程序也可能会导致不佳的 STI 压应力，而降低元件性能。

目前已有利用地形程序的例子。例如，在源/漏极区形成凹陷以改进扩散区的轮廓，再结合高应力接触蚀刻停止层(high-stress contact etch stop layer)技术，以在沟道区内产生更佳的应力，增进 MOS 元件的性能。

具有凹槽的源/漏极区与应力接触蚀刻停止层可在沟道区中产生更佳的应变效应(strain effects)，然而凹槽会破坏源/漏极电阻与结深度的平衡并可能造成硅化物突穿(punch through)导致源/漏极至基板的漏电流。

因此业界亟需能增进 MOS 元件性能，却不会产生上述缺点的方法。

发明内容

本发明优选实施例为提供一种改进扩散区的半导体元件，及利用 DTE

程序来形成 MOS 元件的方法。

本发明的一个方案为半导体结构，包括：基板，该基板包括第一扩散区及第二扩散区，该第一扩散区有大抵圆弧的第一表面，该第二扩散区有大抵圆弧的第二表面；第一 MOS 元件在该第一扩散区上；第二 MOS 元件在该第二扩散区上；第一应力介电层在该第一 MOS 元件上；以及第二应力介电层在该第二 MOS 元件上，其中该第一及第二应力介电层具有实质上不同的应力。第一 MOS 元件优选为 NMOS 元件，且第二 MOS 元件优选为 PMOS 元件，其中该第一介电层有张应力，且该第二介电层有压应力。

如上所述的半导体结构，其中该第一扩散区具有第一长度，且当该第一长度小于约 $10\mu\text{m}$ 时，该第一扩散区的半径大于约 $0.5\mu\text{m}$ 。

如上所述的半导体结构，其中该第一扩散区有第一顶部表面，该第二扩散区有第二顶部表面，且其中该第一顶部表面与第二顶部表面有大于 10\AA 的差距。

如上所述的半导体结构，其中该第一扩散区的中心区高于边缘区。

如上所述的半导体结构，其中该中心区与该边缘区的高度差大于该扩散区长度的 $1/50$ 。

如上所述的半导体结构，其中该中心区与该边缘区的高度差大于该扩散区长度的 10% 。

如上所述的半导体结构，其中该第一应力介电层及该第二应力介电层的厚度差约在 25\AA 至 250\AA 。本发明的另一方案为半导体结构，包括：基板，该基板包括扩散区；沟槽隔离区，邻接该扩散区，且从基板表面延伸至该基板内，其中该扩散区有延伸区延伸至该沟槽隔离区之上；MOS 元件在该扩散区；以及应力层在该 MOS 元件上。该半导体结构包括具有第二 MOS 元件的第二扩散区。

如上所述的半导体结构，其中该延伸区长度与该扩散区长度的比值大于约 $3/50$ 。

如上所述的半导体结构，其中该延伸区长度与该扩散区长度的比值大于约 $1/10$ 。

如上所述的半导体结构，其中当主动区密度大于约 35% 时，该延伸区的长度小于约 650\AA ，当该主动区密度介于约 15% 至 35% 之间时，该延伸区的

长度小于约 550Å，当该主动区密度小于约 15%时，该延伸区的长度小于约 450Å。

本发明的另一方案为半导体结构，包括：基板，包括扩散区；沟槽隔离区，邻接该扩散区，且从该基板表面延伸至该基板内，其中该扩散区呈倾斜状，且靠近栅极电极的第一区实质上高于靠近该沟槽隔离层区的第二区，MOS 元件在该扩散区上，以及应力层在该 MOS 元件上。该半导体结构可包括具有 MOS 元件的第二倾斜的扩散区。

本发明还提供一种优选实施例的形成方法，包括：提供半导体基板；形成浅沟槽隔离区，且从基板表面延伸至半导体基板内，其中该浅沟槽隔离区可界定出扩散区；在半导体基板上的含氢周围进行扩散地形程序(以下简称 DTE)；形成栅极介电层在该基板上；形成栅极电极在该栅极介电层上；形成栅极间隙壁在该栅极电极的侧壁上；形成源/漏极区实质上邻接该栅极间隙壁的侧壁；以及形成应力膜在该栅极电极、该栅极间隙壁及源/漏极区上。该栅极间隙壁可为复合介电层，复合介电层的厚度可依元件所需的性能控制在约 20 Å 至 700Å 之间。在源/漏极形成后可移除间隙壁，因此由应力介电层提供较大的应力。

在本发明的一种方案中，形成圆形表面的扩散区。在另一方案中，形成 T 形表的面扩散区。在又一方案中，在进行 DTE 程序前，预蚀刻(pre-etching)曝露的扩散区，以形成倾斜的扩散区表面。且扩散区的形状会受到 DTE 程序时的气压及温度影响。

因 DTE 程序改变扩散区的表面形状，因此改善各 MOS 元件内部的应力，从而提高元件的性能。

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举优选实施例，并配合所附附图，作如下详细说明。

附图说明

图 1 显示基板及用来形成浅沟槽隔离区的前驱结构。

图 2 显示形成异向性沟槽。

图 3 显示以化学机械研磨程序平坦化晶圆表面。

图 4 显示移除垫层及掩模层。

图 5 显示形成圆弧状的扩散区表面。

图 6 显示形成 MOS 元件在基板上。

图 7 显示形成双高应力膜。

图 8 显示形成延伸区在 STI 的凹陷内及形成 T 形扩散区表面。

图 9 显示形成 NOMS 元件及 PMOS 元件在扩散区上。

图 10 显示分别形成栅极结构在扩散区上。

图 11 显示在形成栅极间隙壁后，分别在扩散区中形成凹槽。

图 12 显示进行 DTE 程序。

图 13 显示漏电流(I_{off})与元件驱动电流(I_{on})的关系图。

其中，附图标记说明如下：

| | | |
|-------------------------|--------------------|-----------|
| 20~基板； | 22~垫层； | 24~掩模层； |
| 26~光阻层； | 28~异向性沟槽； | 30~STI 区； |
| 100~第一扩散区； | 200~第二扩散区； | r~半径； |
| L_1 ~扩散区 100、200 的长度； | D ~高度差； | |
| 140~NMOS 元件； | 240~PMOS 元件； | |
| 144、244~栅极电极； | 142、242~栅极介电层； | |
| 148、248~源/漏极区； | 150、250~源/漏极扩增区； | |
| 152、252~应力介电层； | 31~STI 的凹陷； | |
| 50~延伸区； | L_2 ~延伸区 50 的长度； | |
| 152、252~应力介电层； | 141、241~栅极结构； | |
| 146、246~栅极间隙壁； | 160、260~凹槽； | |
| E~深度； | L_3 ~宽度； | |
| 162、262~倾斜表面； | 152、252~应力介电层； | |
| 164~张应力； | 42、44、46、48~曲线。 | |

具体实施方式

依照硅迁移原理，在氢气下进行退火程序可减少硅的悬浮键(dangling bonds)量，使表面原子迁移，形成低表面能量、低表面面积及低应力的表面。DTE 的过程可形成良好形状的 MOS 元件，以增加沟道区内的应力，此应力来自于应力介电层，并可改善 MOS 元件的性能。

图 1 至图 10 显示本发明 DTE 的优选实施例。参照图 1, 有基板 20 及用来形成浅沟槽隔离区(以下简称 STI)的前驱结构。在优选实施例中, 基板 20 为硅基板。在另一实施例中, 基板 20 包括硅、锗、铜或上述的组合。基板 20 可为绝缘层上有硅(SOI)的结构。

形成垫层 22 及掩模层 24 在基板 20 上。垫层 22 优选为薄膜, 且以热处理形成。在优选实例中, 可利用低压化学气相沉积氮化硅以形成掩模层 24。在另一实施例中, 利用氮气-氢气进行硅的热氮化处理或等离子体阳极氮化以形成掩模 24。接着, 形成图案化光刻胶层 26。在掩模层 24 和光刻胶层 26 之间可形成介电抗反射层(ARC)(未图示)。介电抗反射层包括有机或无机介电材质, 例如, 以等离子体增强化学气相沉积氮氧化硅或氧化硅。

参照图 2, 形成异向性沟槽 28, 优选利用含氟化合物以异向性等离子体蚀刻来形成。接着移除光刻胶层 26。在优选实施例中, 填入介电材质至沟槽 28 中, 介电材质优选为以高密度等离子体形成的氧化硅。在另一实施例中, 填入混合材质, 例如, 结合 CVD 氧化硅及 CVD 多晶硅。在填满沟槽 28 后, 填入的材质最好在 800°C 下进行高温氧化退火或传统的 1000°C 含氩退火来致密化。再以化学机械研磨程序平坦化晶圆表面, 以形成 STI 区 30, 如图 3 所示。STI 区 30 可界定出第一扩散区 100(有时称为主动区)及第二扩散区 200。扩散区 100 及 200 优选具有轻掺杂杂质, 杂质的种类依后序形成的 MOS 元件来决定。在优选实施例中, 扩散区 100 掺杂 P 型杂质, 且扩散区 200 掺杂 N 型杂质。

图 4 显示, 移除垫层 22 及掩模层 24。掩模层 24 优选在磷酸中进行蚀刻, 且温度介于 50°C 至 200°C 之间。垫层 22 优选以释稀的氢氟酸移除。应注意的是, 蚀刻程序会导致扩散区/STI 区的边缘形成凹陷(divots)³¹。

接着进行 DTE 程序。在优选实施例中, 在含氢气的退火条件下进行 DTE 程序。环境周围最好包含其它的气体, 例如, 氮、氦、氟、氩、氙及上述的组合。气压优选介于约 1 托至 1000 托之间, 且更优选介于约 1 托至 300 托之间。DTE 程序的温度优选于约 700°C 至 1200°C 之间, 更优选介于约 900°C 至 1100°C 之间, 且持续进行约 5 至 120 秒。

参照图 5, 因 DTE 程序会迁移硅原子, 所以扩散区 100 及 200 的表面会呈圆弧状。温度、压力及退火的时间皆会影响扩散区 100、200 的表面轮廓。

扩散区 100、200 的圆形表面受许多因素影响，例如，扩散区的材质及其长度 L_1 ，因此对于不同的材质及长度 L_1 需要不同的温度、压力及退火时间，本领域技术人员通过例行的实验即可找出适合的温度、压力及退火时间。

基板 20 优选为弯曲表面，因此可减少 STI 区 30 边角产生的应力。弯曲可以半径 r 来定义，其为一种标准值(normalized value)且优选小于 $1\mu\text{m}$ 。半径 r 与扩散区 100、200 的长度 L_1 有关，且当扩散区 100、200 的长度 L_1 分别小于约 $10\mu\text{m}$ 时，半径 r 最好大于约 $0.5\mu\text{m}$ 。且实质上靠近扩散区 100、200 中心的最高点与实质上靠近 STI 区 30 的最低点有高度差 D ，高度差 D 与长度 L 的比例优选大于约 $1/50$ ，更优选介于约 $1/2$ 至 $1/10$ 之间。扩散区 100、200 的表面优选有相同的曲率。

在芯片上，理想的半径 r 与主动区的密度有关。主动区密度是所有主动区面积与所有区域面积的比值。若主动区的密度大于约 35%，则半径 r 优选小于约 $3\mu\text{m}$ ，若主动区的密度介于约 15%至 35%之间，则半径 r 优选小于约 $2\mu\text{m}$ ，若主动区的密度小于 15%，则半径 r 优选小于约 $1\mu\text{m}$ 。

参照图 6，形成 MOS 元件在基板 20 上。在优选实施例中，形成 NMOS 元件 140 在扩散区 100 上，且形成 PMOS 元件 240 在扩散区 200 上。

接着，可按照现有技术的方式形成栅极介电层 142、242 与栅极电极 144、244。在沉积栅极介电层后，接着沉积栅极电极。栅极介电层可包括氧化硅、氮氧化硅、氮化硅、氧化铝、氧化镧、氧化铪、氧化锆、氮氧化铪及上述的组合。栅极电极层优选包括导电材质，例如，金属、硅化金属、氮化金属、掺杂多晶硅或其它导电材质。进行光刻步骤，接着以蚀刻程序在扩散层 100、200 中形成栅极介电层 142、242 与栅极电极 144、244。且优选以杂质注入形成源/漏极扩增区 150、250。

接着在各栅极电极 144、244 的侧边上形成间隙壁 146、246。先以化学气相沉积介电材质，再对介电材质进行异向性蚀刻以形成间隙层壁 146、246。间隙壁 146、246 可为复合间隙壁，包括介电衬层及间隙壁主体(spacer body)，且间隙壁的厚度依元件的性能介于约 20\AA 至 700\AA 之间。在形成源/漏极后移除间隙壁 146、246，因此，应力介电层可提供较大的应力。且优选以杂质注入来形成源/漏极 148、248。

参照图 7，形成双应力膜(dual high-stress film)，包括在扩散区 100 中有

应力介电层 152, 在扩散区 200 中有应力介电层 252。应力介电层 152、252 可为接触蚀刻停止层(contact etch stop layers)或额外形成的介电层。在优选实施例中, 应力介电层提供高应力, 且可用氮化硅、氮氧化硅及其类似物来形成。应力介电层 152 优选有张应力, 且应力介电层 252 优选有压应力。应力介电层 152、252 的应力优选介于约 0.1 至 3 GPa 之间。因张应力介电层 152 可对 MOS 元件 140 的沟道区内提供张应力以提高电子迁移速率, 而压应力介电层 252 可对 MOS 元件 240 的沟道区提供压应力以提高空穴迁移速率, 因此可增进 NMOS 元件 140 及 PMOS 元件 240 的性能。在优选实施例中, 应力层 152、252 包括相同的材质, 例如, 氮化硅或氮氧化硅, 但因为以不同的沉积参数来形成, 所以可形成不同的应力层。在另一实施例中, 可利用不同的材质来形成应力层。应力层 152、252 优选以化学气相沉积来形成, 例如低压化学气相沉积(LPCVD), 等离子体增强化学气相沉积(PECVD)等常用及现有的技术。

应力介电层 152、252 的厚度优选介于约 250Å 至 1500Å 之间, 且更优选介于约 250 Å 至 850Å 之间。当扩散区 100、200 的长度 L_1 小于约 10 μm 时, 应力介电层 152、252 的厚度最优选介于 250 Å 至 1000Å 之间。应力介电层 152、252 彼此间的厚度差优选介于 25 Å 至 250Å 之间, 且应力介电层 152、252 的顶部表面有大于约 10Å 的阶梯差(step difference)。而应力介电层 152、252 的厚度 T 也与主动区的密度有关。因此, 需依主动区的密度选择厚度 T。若主动区的密度大于约 35%时, 则厚度 T 优选小于约 900nm。若主动区的密度介于约 15%至 35%之间时, 则厚度 T 优选小于约 1 μm 。若主动区的密度小于约 15%时, 则厚度 T 优选小于约 100nm。

参照图 8、图 9, 在优选实施例中, 先前的步骤与图 1 至图 4 的步骤类似。在另一优选实施例中, 在含氢气的环境下进行 DTE 程序, 且环境中优选有气体, 例如, 氮、氦、氟、氩、氙及上述的组合。气压优选介于约 1 托至 1000 托之间, 更优选介于 1 托至 100 托之间。DTE 程序的温度优选介于 700°C 至 1200°C 之间, 更优选介于约 1000°C 至 1200°C 间, 且持续进行约 10 至 200 秒。

以 DTE 程序形成延伸区(extension)50 在 STI 的凹陷 31(参照图 4)内, 及形成 T 形扩散区表面。通过 STI 区 30 的边角向沟道区施加应力。DTE 程序

的优选参数与上述类似。例如，较高的温度、较低的压力及/或较长的退火时间以促进更多的硅迁移会形成具 T 形的扩散区表面。而较低的温度、较高的压力及/或较短的退火时间则会形成具圆形的扩散区表面。因此，可通过控制温度、压力及处理时间，来形成 T 形或圆形的扩散区表面。例如，表一显示各种不同的 DTE 参数及其形成的扩散区表面。

表一

| | 温度(°C) | 压力(托) | 处理时间 | 表面 |
|--------|--------|-------|------|-----|
| 参数设定 1 | 950 | 1 | 40 秒 | 圆形 |
| 参数设定 2 | 950 | 10 | 2 分钟 | 圆形 |
| 参数设定 3 | 1000 | 1 | 10 秒 | 圆形 |
| 参数设定 4 | 1000 | 1 | 40 秒 | T 形 |
| 参数设定 5 | 1000 | 10 | 2 分钟 | T 形 |

由上述可知，影响形成 T 形或圆形扩散区表面的因素众多，例如，材质、扩散区的尺寸，而上述 DTE 的参数只为举例说明，本领域技术人员可通过例行的试验找出适合形成 T 形或圆形扩散区表面的参数。

在优选实施例中，在形成沟槽的程序中自然会形成延伸区 50。在另一实施例中，蚀刻 STI 区 30 的边角后形成延伸区 50。

延伸区 50 的长度 L_2 优选依主动区的密度来决定。若主动区的密度大于约 35%，则长度 L_2 优选小于约 650Å，若主动区的密度介于约 15%至 35%之间时，则长度 L_2 优选小于约 550Å。若主动区的密度小于约 15%时，则长度 L_2 优选小于约 450Å。扩散区 100、200 长度 L_1 与 L_2 的比值优选介于约 1/50 至 3/5 之间，更优选介于约 1/10 至 3/5 之间。且扩散区 100、200 的顶部表面优选与 STI 区 30 的顶部表面相同。

参照图 9，分别形成 NOMS 元件 140 及 PMOS 元件 240 在扩散区 100、200 上。然后形成双应力膜 152、252 覆盖在 MOS 元件 140、240 上。关于应力介电层 152、252 已详述于上述实施例中，因此不再重复叙述。

参照图 10 至图 12，在优选实施例中，先前的步骤与图 1 至图 4 的步骤类似。参照图 10，分别形成栅极结构 141、241 在扩散区 100、200 上。在形

成栅极结构 141、241 前可不进行 DTE 程序,但也可进行 DTE 程序。参照图 11,在形成栅极间隙壁 146、246 后,分别在扩散区 100、200 中形成凹槽 160、260,优选以干等离子体蚀刻或其它蚀刻技术来形成。在另一优选实施例中,基板 20 包括硅,且在等离子体蚀刻程序中可使用含氟化学物质。凹槽 160、260 的深度 E 与宽度 L_3 的比值优选介于约 3/500 至 1/2 之间,更优选介于约 1/10 至 1/2 之间。

参照图 12,进行 DTE 程序。利用硅迁移,分别在扩散区 100、200 中形成倾斜表面 162、262。DTE 程序的参数,例如,温度、压力及处理时间与上述实施例类似。利用调整 DTE 程序的参数,可实质上平坦化表面 162、262,但其仍维持倾斜。倾斜表面 162、262 的高度差 H 及长度 L_3 的比值优选介于约 3/500 至 1/2 之间,且更优选介于约 1/10 至 1/1 之间,最优选介于 1/5 至 1/2 之间。

在 DTE 程序后,形成源/漏极区 148、248 及应力介电层 152、252,且形成的详细步验已详述于上述实施例中。

应力接触蚀刻停止层(stressed-GESL)不只可对倾斜的源/漏极提供水平的应力,也可提供垂直的应力。例如,应力介电层 152 在沿着倾斜面 162 上有张应力 164,可对沟道提供垂直的压应力及水平的张应力。应力介电层的水平及垂直应力可增进 NMOS 元件的驱动电流。

图 13 显示漏电流(I_{off})与元件驱动电流(I_{on})的关系图。传统 PMOS 元件及经 DTE 程序的 PMOS 元件可分别获得曲线 42、44,且传统 NMOS 元件及经 DTE 程序的 NMOS 元件可分别获得曲线 46、48。NMOS 及 PMOS 元件在相同的漏电流下,本发明的元件的驱动电流比未经 DTE 程序的传统元件提高约 24%至 27%的性能。在其它的试验结果(图未示)亦显示经 DTE 程序形成的元件在延迟时间上较传统的元件减少约 10%。

本发明的优选实施例中可增加 MOS 元件内的应力。一般来说,由应力介电层提供应力比由扩散区表面提供要好。且 STI 区的边角的应力也可提高性能。第一,在优选实施例中,可轻易地与双应力膜技术结合,以获得应变集中位置(strain superposition)。第二,DTE 程序使扩散区表面更平坦,可在其上方的栅极介电层更为完整,且 MOS 元件更可靠。第三、可减少硅化物冲击造成源/漏极区产生凹槽的问题。综上所述,DTE 程序对 CMOS 元件

的改进提供低成本的技术。

虽然本发明已以优选实施例公开如上，然其并非用以限制本发明，本领域技术人员在不脱离本发明的精神和范围内，当可作些许变更与修饰，因此本发明的保护范围当视后附的权利要求书所界定的范围为准。

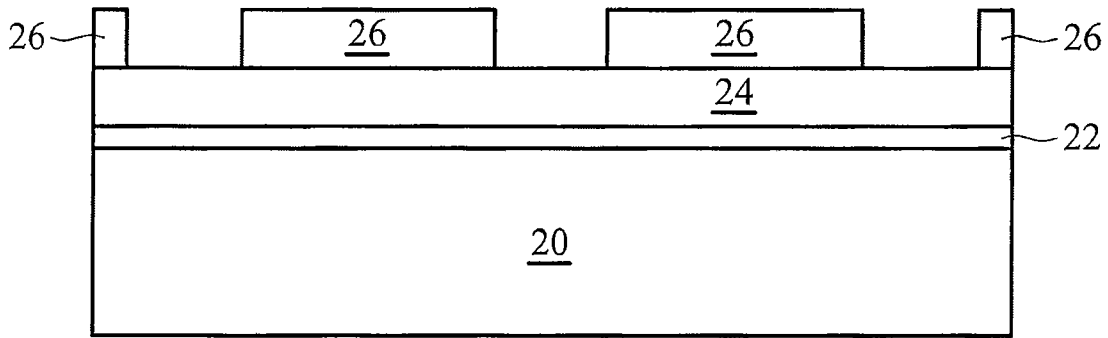


图1

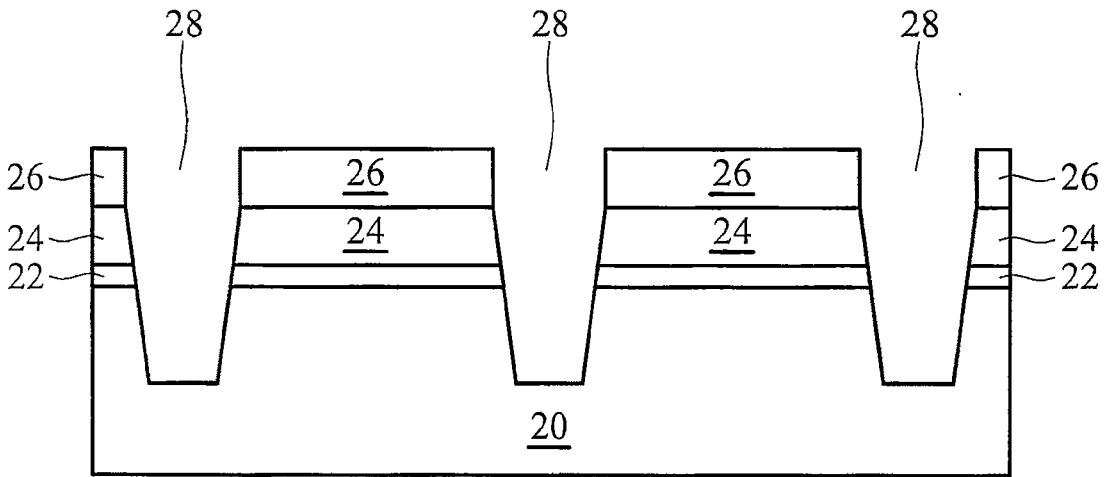


图2

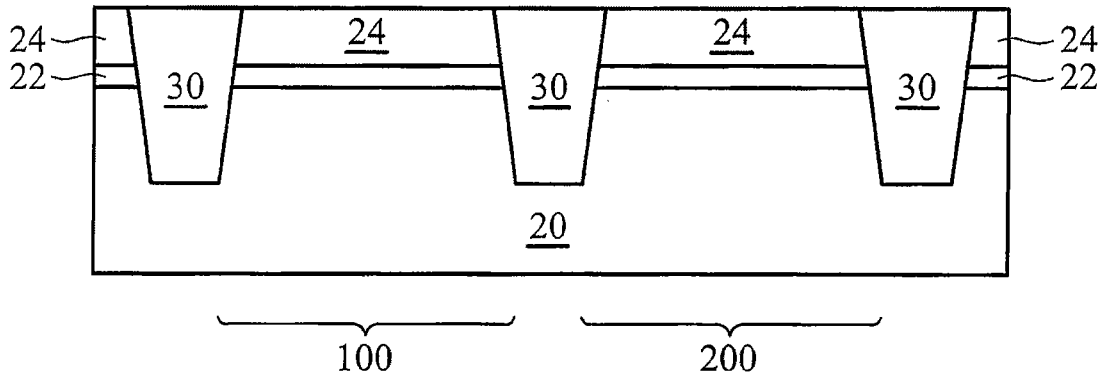


图3

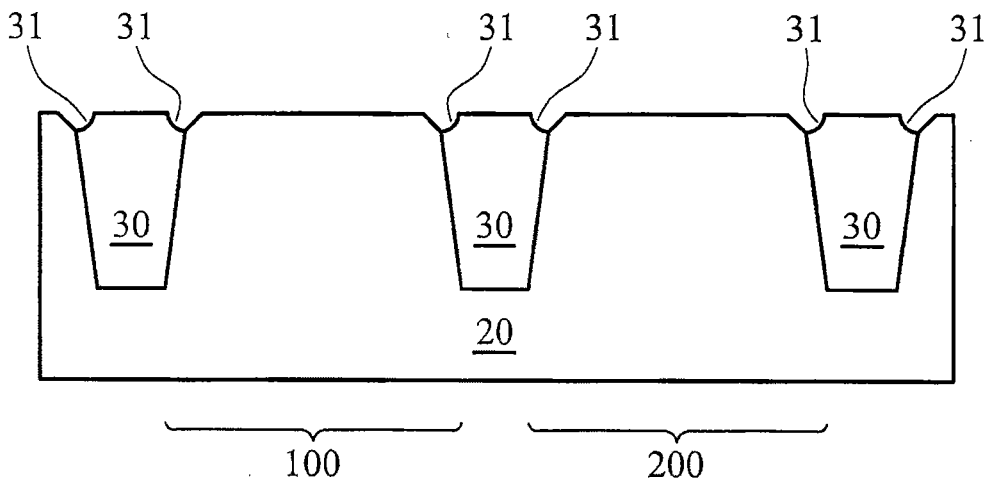


图4

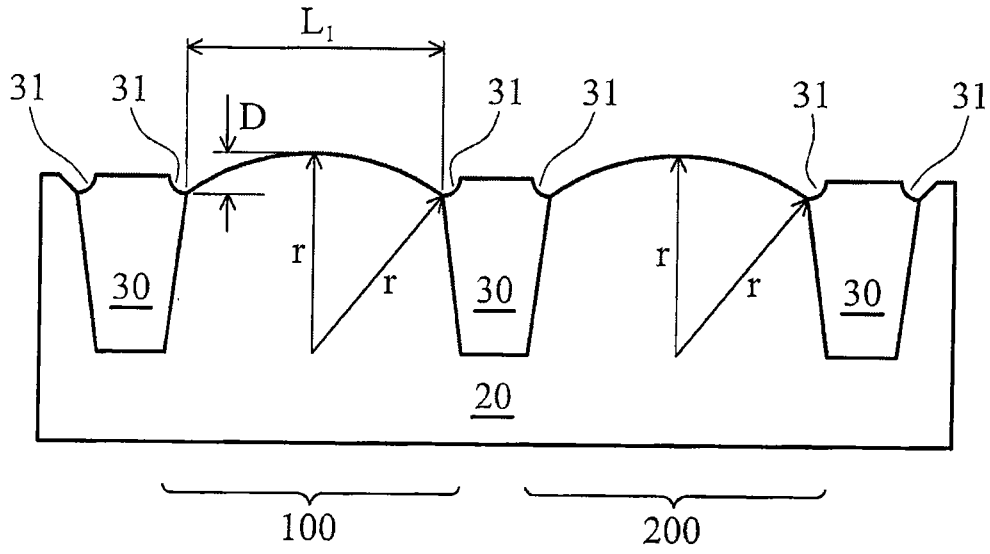


图5

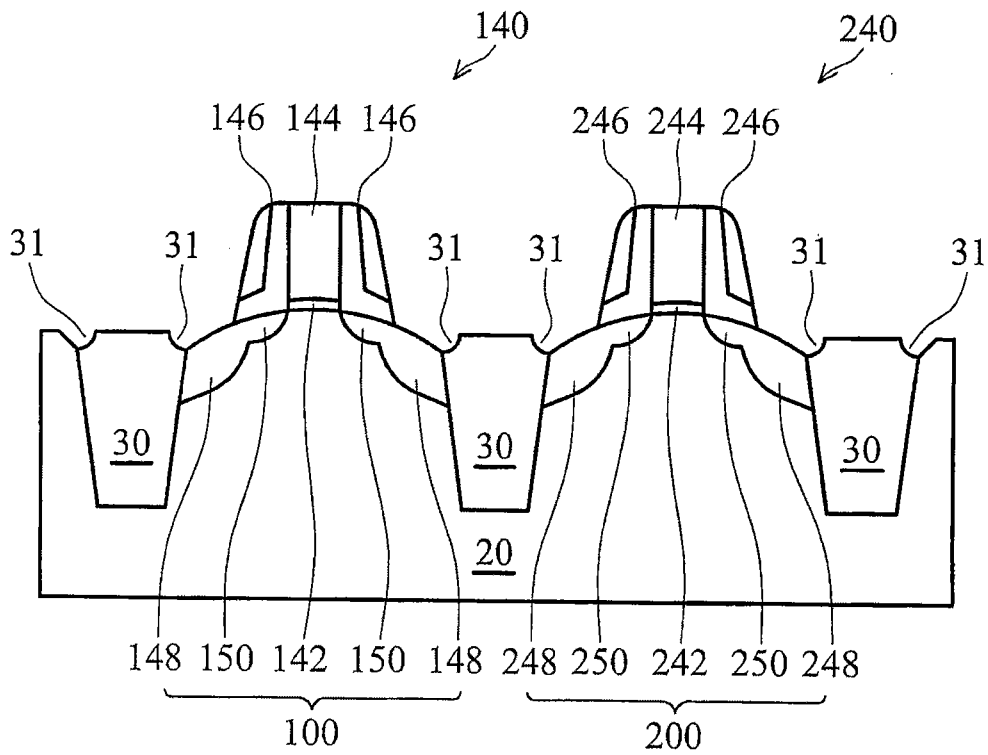


图6

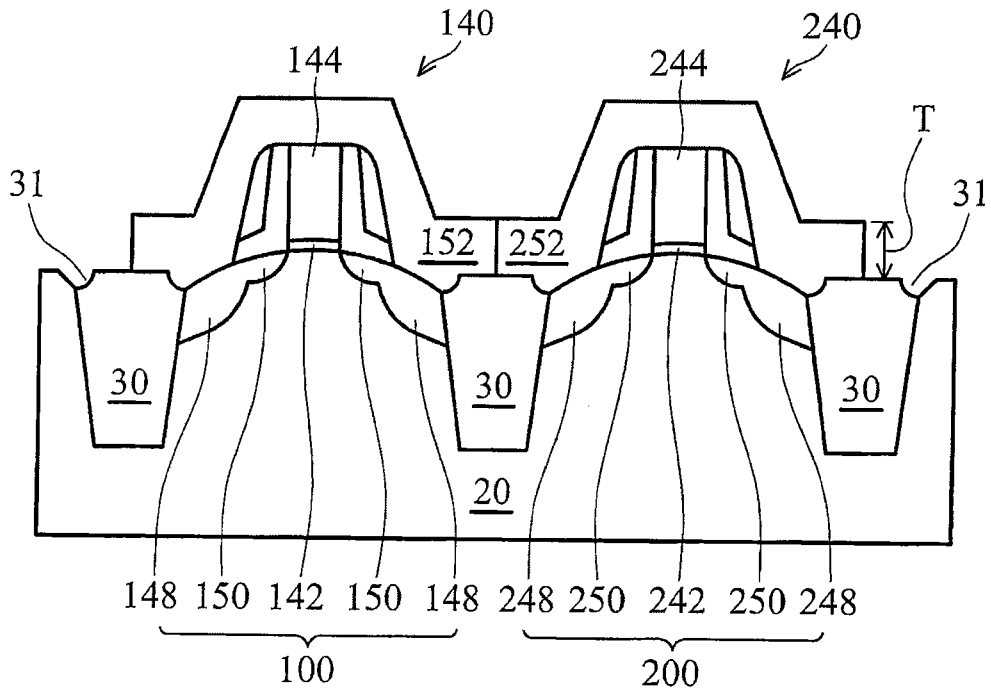


图7

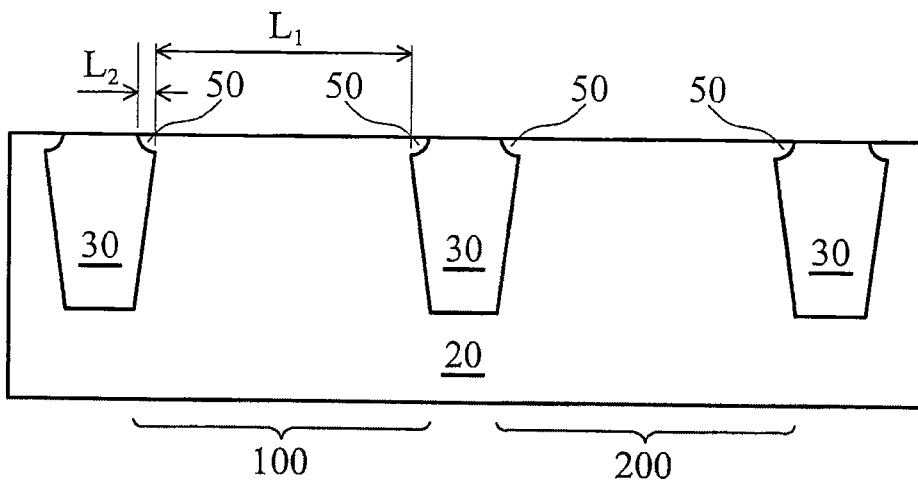


图8

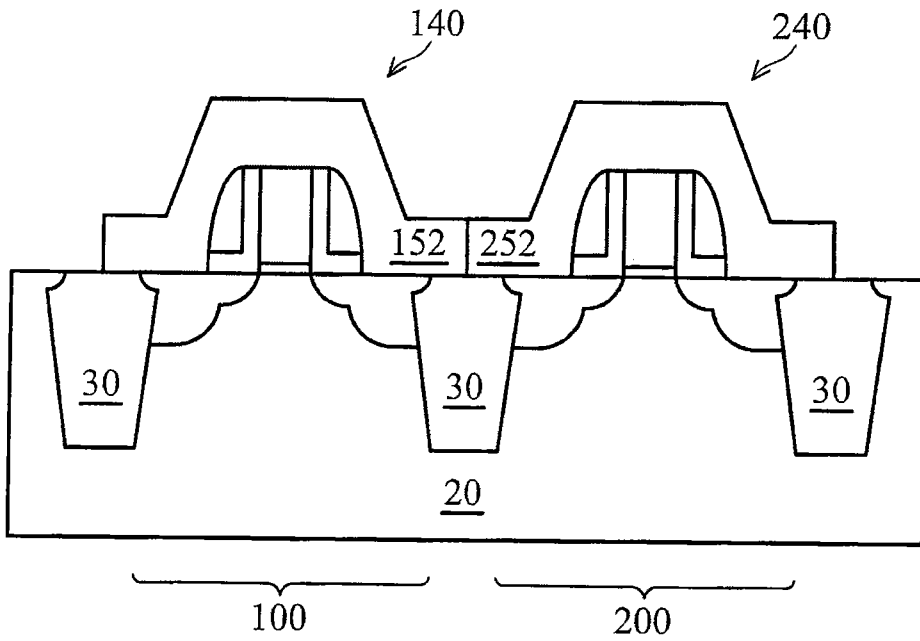


图9

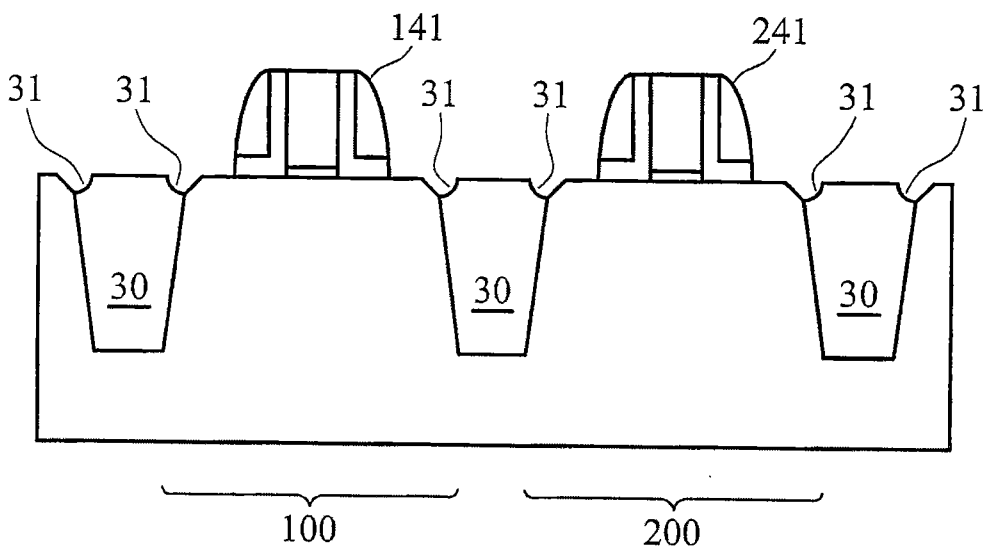


图10

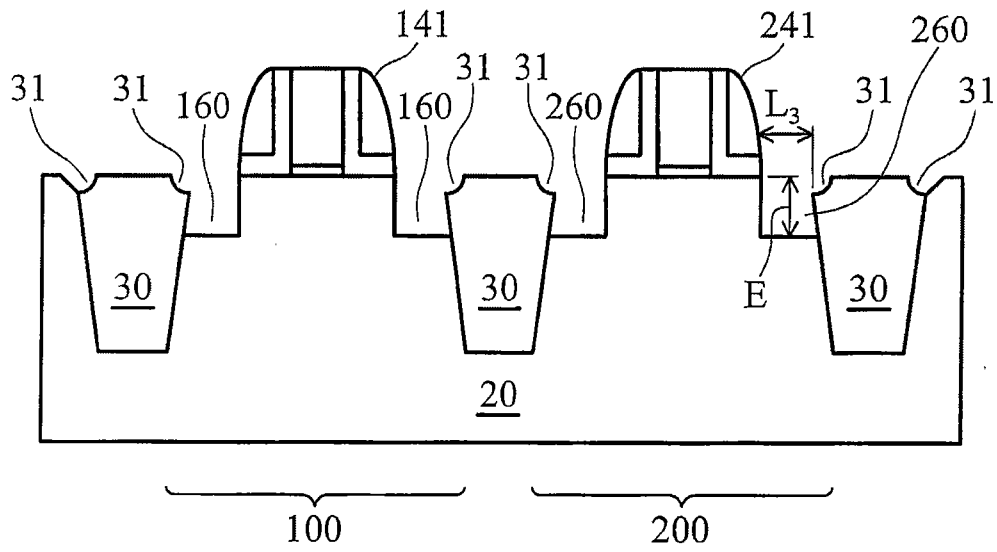


图11

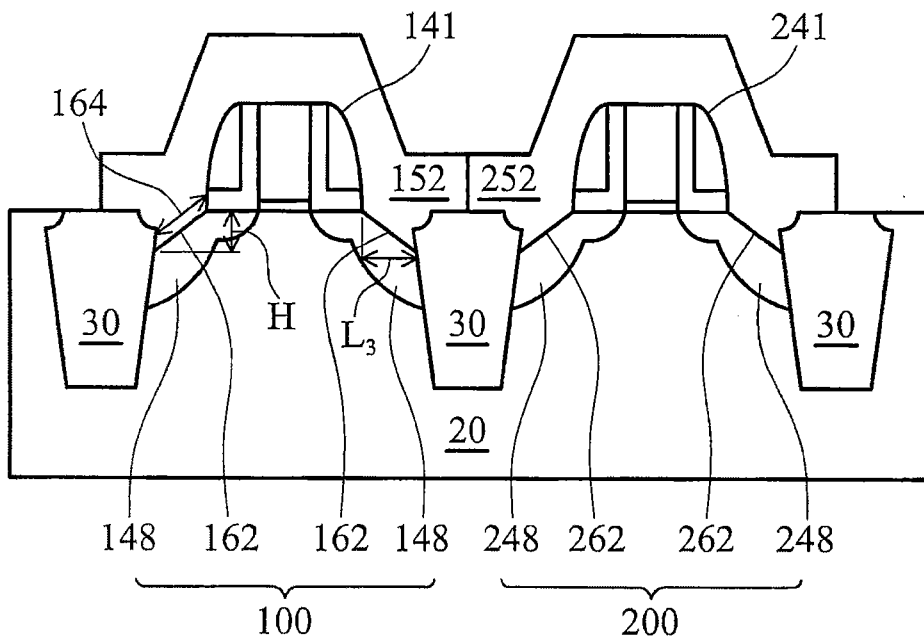


图12

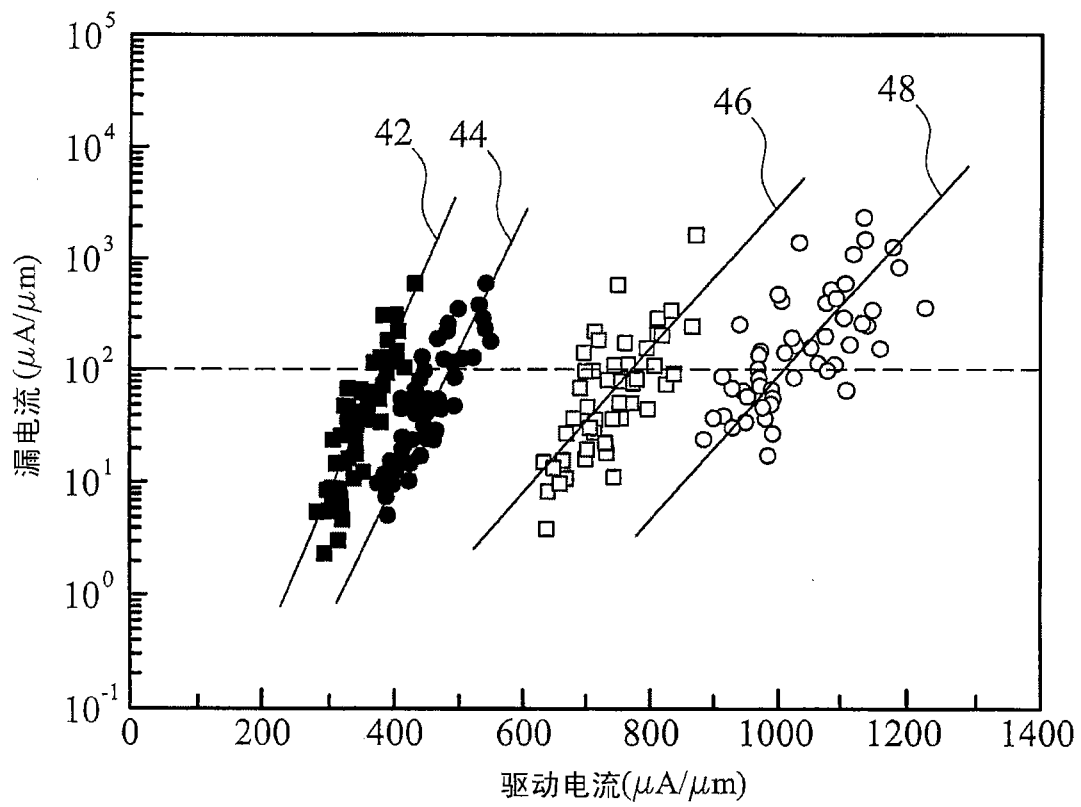


图13