

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7174271号
(P7174271)

(45)発行日 令和4年11月17日(2022.11.17)

(24)登録日 令和4年11月9日(2022.11.9)

| | | | | | |
|------------|----------------|---------|-------|-------|--|
| (51)国際特許分類 | | F I | | | |
| H 0 3 L | 7/00 (2006.01) | H 0 3 L | 7/00 | 2 2 0 | |
| H 0 3 L | 7/22 (2006.01) | H 0 3 L | 7/22 | | |
| H 0 4 B | 1/403(2015.01) | H 0 4 B | 1/403 | | |

請求項の数 18 (全21頁)

| | | | |
|-------------|-----------------------------|----------|---|
| (21)出願番号 | 特願2020-529872(P2020-529872) | (73)特許権者 | 514315159 株式会社ソシオネクスト 神奈川県横浜市港北区新横浜 2 丁目 1 0 番 2 3 |
| (86)(22)出願日 | 平成30年7月10日(2018.7.10) | (74)代理人 | 100090273 弁理士 國分 孝悦 |
| (86)国際出願番号 | PCT/JP2018/025983 | (72)発明者 | 柘植 政利 神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 株式会社ソシオネクスト内 |
| (87)国際公開番号 | WO2020/012550 | 審査官 | 竹内 亨 |
| (87)国際公開日 | 令和2年1月16日(2020.1.16) | | |
| 審査請求日 | 令和3年6月10日(2021.6.10) | | |

最終頁に続く

(54)【発明の名称】 位相同期回路、送受信回路及び集積回路

(57)【特許請求の範囲】

【請求項 1】

第 1 の遅延量が調整可能であり、前記第 1 の遅延量で第 1 の参照クロック信号を遅延し、第 1 の遅延参照クロック信号を出力する第 1 の遅延回路と、

前記第 1 の遅延参照クロック信号と第 1 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 1 のクロック制御信号を生成する第 1 のクロック制御回路と、

前記第 1 のクロック制御信号に基づいて前記第 1 の出力クロック信号を生成する第 1 のクロック信号生成回路と、

前記第 1 の出力クロック信号のジッタを監視し、前記第 1 の出力クロック信号のジッタの監視結果に基づいて前記第 1 の遅延量を調整する第 1 の監視回路とを有し、

前記第 1 の監視回路は、前記第 1 のクロック制御信号の変動に基づいて、前記第 1 の遅延量を調整する位相同期回路。

【請求項 2】

さらに、第 2 の参照クロック信号と第 2 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 2 のクロック制御信号を生成する第 2 のクロック制御回路と、

前記第 2 のクロック制御信号に基づいて前記第 2 の出力クロック信号を生成する第 2 のクロック信号生成回路とを有し、

前記第 1 の監視回路は、前記第 1 のクロック制御信号の変動と前記第 2 のクロック制御信号の変動に基づいて、前記第 1 の遅延量を調整する請求項 1 に記載の位相同期回路。

【請求項 3】

さらに、第2の参照クロック信号と第2の出力クロック信号の位相を比較し、前記比較の結果に基づいて第2のクロック制御信号を生成する第2のクロック制御回路と、

前記第2のクロック制御信号に基づいて前記第2の出力クロック信号を生成する第2のクロック信号生成回路と、

第2の遅延量が調整可能であり、前記第2の遅延量で第3の参照クロック信号を遅延し、第2の遅延参照クロック信号を出力する第2の遅延回路と、

前記第2の遅延参照クロック信号と第3の出力クロック信号の位相を比較し、前記比較の結果に基づいて第3のクロック制御信号を生成する第3のクロック制御回路と、

前記第3のクロック制御信号に基づいて前記第3の出力クロック信号を生成する第3のクロック信号生成回路と、

前記第3の出力クロック信号のジッタを監視し、前記第3の出力クロック信号のジッタの監視結果に基づいて前記第2の遅延量を調整する第2の監視回路とを有する請求項1に記載の位相同期回路。

【請求項4】

前記第1のクロック制御回路と前記第1のクロック信号生成回路の組みは、前記第2のクロック制御回路と前記第2のクロック信号生成回路の組みと、前記第3のクロック制御回路と前記第3のクロック信号生成回路の組みとの間に設けられ、

前記第1の監視回路は、前記第1のクロック制御回路と前記第1のクロック信号生成回路の組みと、前記第2のクロック制御回路と前記第2のクロック信号生成回路の組みとが動作し、前記第3のクロック制御回路と前記第3のクロック信号生成回路の組みが動作していない状態で、前記第1のクロック制御信号の変動に基づいて、前記第1の遅延量を調整し、

その後、前記第2の監視回路は、前記第1のクロック制御回路と前記第1のクロック信号生成回路の組みと、前記第2のクロック制御回路と前記第2のクロック信号生成回路の組みと、前記第3のクロック制御回路と前記第3のクロック信号生成回路の組みが動作している状態で、前記第3のクロック制御信号の変動に基づいて、前記第2の遅延量を調整する請求項3に記載の位相同期回路。

【請求項5】

第1の遅延量が調整可能であり、前記第1の遅延量で第1の参照クロック信号を遅延し、第1の遅延参照クロック信号を出力する第1の遅延回路と、

前記第1の遅延参照クロック信号と第1の出力クロック信号の位相を比較し、前記比較の結果に基づいて第1のクロック制御信号を生成する第1のクロック制御回路と、

前記第1のクロック制御信号に基づいて前記第1の出力クロック信号を生成する第1のクロック信号生成回路と、

前記第1の出力クロック信号のジッタを監視し、前記第1の出力クロック信号のジッタの監視結果に基づいて前記第1の遅延量を調整する第1の監視回路とを有し、

前記第1の監視回路は、送信回路により前記第1の出力クロック信号に基づいて生成された送信信号を受信回路が受信したことによって得られる前記受信回路の受信信号のアイパターンの開口面積に基づいて、前記第1の遅延量を調整する位相同期回路。

【請求項6】

前記第1の監視回路は、前記送信回路により前記第1の出力クロック信号に基づいて生成された送信信号を前記受信回路が受信したことによって得られる前記受信回路の受信信号のアイパターンの開口面積が最大となるように、前記第1の遅延量を調整する請求項5に記載の位相同期回路。

【請求項7】

第1の出力クロック信号を生成する第1の位相同期回路と、

前記第1の出力クロック信号に基づいて送信を行う第1の送信回路と、

前記第1の出力クロック信号に基づいて受信を行う第1の受信回路とを有し、

前記第1の位相同期回路は、

第1の遅延量が調整可能であり、前記第1の遅延量で第1の参照クロック信号を遅延し

10

20

30

40

50

、第1の遅延参照クロック信号を出力する第1の遅延回路と、

前記第1の遅延参照クロック信号と前記第1の出力クロック信号の位相を比較し、前記比較の結果に基づいて第1のクロック制御信号を生成する第1のクロック制御回路と、

前記第1のクロック制御信号に基づいて前記第1の出力クロック信号を生成する第1のクロック信号生成回路と、

前記第1の出力クロック信号のジッタを監視し、前記第1の出力クロック信号のジッタの監視結果に基づいて前記第1の遅延量を調整する第1の監視回路とを有し、

前記第1の監視回路は、前記第1のクロック制御信号の変動に基づいて、前記第1の遅延量を調整する送受信回路。

【請求項8】

さらに、第2の出力クロック信号を生成する第2の位相同期回路と、

前記第2の出力クロック信号に基づいて送信を行う第2の送信回路と、

前記第2の出力クロック信号に基づいて受信を行う第2の受信回路とを有し、

前記第2の位相同期回路は、

第2の参照クロック信号と前記第2の出力クロック信号の位相を比較し、前記比較の結果に基づいて第2のクロック制御信号を生成する第2のクロック制御回路と、

前記第2のクロック制御信号に基づいて前記第2の出力クロック信号を生成する第2のクロック信号生成回路とを有し、

前記第1の監視回路は、前記第1のクロック制御信号の変動と前記第2のクロック制御信号の変動に基づいて、前記第1の遅延量を調整する請求項7に記載の送受信回路。

【請求項9】

さらに、第2の出力クロック信号を生成する第2の位相同期回路と、

前記第2の出力クロック信号に基づいて送信を行う第2の送信回路と、

前記第2の出力クロック信号に基づいて受信を行う第2の受信回路と、

第3の出力クロック信号を生成する第3の位相同期回路と、

前記第3の出力クロック信号に基づいて送信を行う第3の送信回路と、

前記第3の出力クロック信号に基づいて受信を行う第3の受信回路とを有し、

前記第2の位相同期回路は、

第2の参照クロック信号と前記第2の出力クロック信号の位相を比較し、前記比較の結果に基づいて第2のクロック制御信号を生成する第2のクロック制御回路と、

前記第2のクロック制御信号に基づいて前記第2の出力クロック信号を生成する第2のクロック信号生成回路とを有し、

前記第3の位相同期回路は、

第2の遅延量が調整可能であり、前記第2の遅延量で第3の参照クロック信号を遅延し、第2の遅延参照クロック信号を出力する第2の遅延回路と、

前記第2の遅延参照クロック信号と前記第3の出力クロック信号の位相を比較し、前記比較の結果に基づいて第3のクロック制御信号を生成する第3のクロック制御回路と、

前記第3のクロック制御信号に基づいて前記第3の出力クロック信号を生成する第3のクロック信号生成回路と、

前記第3の出力クロック信号のジッタを監視し、前記第3の出力クロック信号のジッタの監視結果に基づいて前記第2の遅延量を調整する第2の監視回路とを有する請求項7に記載の送受信回路。

【請求項10】

前記第1の位相同期回路は、前記第2の位相同期回路と前記第3の位相同期回路との間に設けられ、

前記第1の監視回路は、前記第1の位相同期回路と前記第2の位相同期回路が動作し、前記第3の位相同期回路が動作していない状態で、前記第1のクロック制御信号の変動に基づいて、前記第1の遅延量を調整し、

その後、前記第2の監視回路は、前記第1の位相同期回路と前記第2の位相同期回路と前記第3の位相同期回路が動作している状態で、前記第3のクロック制御信号の変動に基

10

20

30

40

50

づいて、前記の第 2 の遅延量を調整する請求項 9 に記載の送受信回路。

【請求項 1 1】

第 1 の出力クロック信号を生成する第 1 の位相同期回路と、
 前記第 1 の出力クロック信号に基づいて送信を行う第 1 の送信回路と、
 前記第 1 の出力クロック信号に基づいて受信を行う第 1 の受信回路とを有し、
 前記第 1 の位相同期回路は、
 第 1 の遅延量が調整可能であり、前記第 1 の遅延量で第 1 の参照クロック信号を遅延し、
 第 1 の遅延参照クロック信号を出力する第 1 の遅延回路と、
 前記第 1 の遅延参照クロック信号と前記第 1 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 1 のクロック制御信号を生成する第 1 のクロック制御回路と、
 前記第 1 のクロック制御信号に基づいて前記第 1 の出力クロック信号を生成する第 1 のクロック信号生成回路と、
 前記第 1 の出力クロック信号のジッタを監視し、前記第 1 の出力クロック信号のジッタの監視結果に基づいて前記第 1 の遅延量を調整する第 1 の監視回路とを有し、
 前記第 1 の監視回路は、前記第 1 の送信回路により前記第 1 の出力クロック信号に基づいて生成された送信信号を前記第 1 の受信回路が受信したことによって得られる前記第 1 の受信回路の受信信号のアイバターンの開口面積に基づいて、前記第 1 の遅延量を調整する送受信回路。

10

【請求項 1 2】

前記第 1 の監視回路は、前記第 1 の送信回路により前記第 1 の出力クロック信号に基づいて生成された送信信号を前記第 1 の受信回路が受信したことによって得られる前記第 1 の受信回路の受信信号のアイバターンの開口面積が最大となるように、前記第 1 の遅延量を調整する請求項 1 1 に記載の送受信回路。

20

【請求項 1 3】

第 1 の出力クロック信号を生成する第 1 の位相同期回路と、
 前記第 1 の出力クロック信号に基づいて、第 1 の送信データを送信する第 1 の送信回路と、
 前記第 1 の出力クロック信号に基づいて、第 1 の受信データを受信する第 1 の受信回路と、
 前記第 1 の送信データを前記第 1 の送信回路に出力し、前記第 1 の受信データを前記第 1 の受信回路から入力する内部回路とを有し、
 前記第 1 の位相同期回路は、
 第 1 の遅延量が調整可能であり、前記第 1 の遅延量で第 1 の参照クロック信号を遅延し、
 第 1 の遅延参照クロック信号を出力する第 1 の遅延回路と、
 前記第 1 の遅延参照クロック信号と前記第 1 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 1 のクロック制御信号を生成する第 1 のクロック制御回路と、
 前記第 1 のクロック制御信号に基づいて前記第 1 の出力クロック信号を生成する第 1 のクロック信号生成回路と、
 前記第 1 の出力クロック信号のジッタを監視し、前記第 1 の出力クロック信号のジッタの監視結果に基づいて前記第 1 の遅延量を調整する第 1 の監視回路とを有し、
 前記第 1 の監視回路は、前記第 1 のクロック制御信号の変動に基づいて、前記第 1 の遅延量を調整する集積回路。

30

40

【請求項 1 4】

さらに、第 2 の出力クロック信号を生成する第 2 の位相同期回路と、
 前記第 2 の出力クロック信号に基づいて、第 2 の送信データを送信する第 2 の送信回路と、
 前記第 2 の出力クロック信号に基づいて、第 2 の受信データを受信する第 2 の受信回路とを有し、
 前記第 2 の位相同期回路は、
 第 2 の参照クロック信号と前記第 2 の出力クロック信号の位相を比較し、前記比較の結果

50

果に基づいて第 2 のクロック制御信号を生成する第 2 のクロック制御回路と、

前記第 2 のクロック制御信号に基づいて前記第 2 の出力クロック信号を生成する第 2 のクロック信号生成回路とを有し、

前記第 1 の監視回路は、前記第 1 のクロック制御信号の変動と前記第 2 のクロック制御信号の変動に基づいて、前記第 1 の遅延量を調整する請求項 1 3 に記載の集積回路。

【請求項 1 5】

さらに、第 2 の出力クロック信号を生成する第 2 の位相同期回路と、

前記第 2 の出力クロック信号に基づいて、第 2 の送信データを送信する第 2 の送信回路と、

前記第 2 の出力クロック信号に基づいて、第 2 の受信データを受信する第 2 の受信回路と、

第 3 の出力クロック信号を生成する第 3 の位相同期回路と、

前記第 3 の出力クロック信号に基づいて、第 3 の送信データを送信する第 3 の送信回路と、

前記第 3 の出力クロック信号に基づいて、第 3 の受信データを受信する第 3 の受信回路とを有し、

前記第 2 の位相同期回路は、

第 2 の参照クロック信号と前記第 2 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 2 のクロック制御信号を生成する第 2 のクロック制御回路と、

前記第 2 のクロック制御信号に基づいて前記第 2 の出力クロック信号を生成する第 2 のクロック信号生成回路とを有し、

前記第 3 の位相同期回路は、

第 2 の遅延量が調整可能であり、前記第 2 の遅延量で第 3 の参照クロック信号を遅延し、第 2 の遅延参照クロック信号を出力する第 2 の遅延回路と、

前記第 2 の遅延参照クロック信号と前記第 3 の出力クロック信号の位相を比較し、前記比較の結果に基づいて第 3 のクロック制御信号を生成する第 3 のクロック制御回路と、

前記第 3 のクロック制御信号に基づいて前記第 3 の出力クロック信号を生成する第 3 のクロック信号生成回路と、

前記第 3 の出力クロック信号のジッタを監視し、前記第 3 の出力クロック信号のジッタの監視結果に基づいて前記第 2 の遅延量を調整する第 2 の監視回路とを有する請求項 1 3 に記載の集積回路。

【請求項 1 6】

前記第 1 の位相同期回路は、前記第 2 の位相同期回路と前記第 3 の位相同期回路との間に設けられ、

前記第 1 の監視回路は、前記第 1 の位相同期回路と前記第 2 の位相同期回路が動作し、前記第 3 の位相同期回路が動作していない状態で、前記第 1 のクロック制御信号の変動に基づいて、前記第 1 の遅延量を調整し、

その後、前記第 2 の監視回路は、前記第 1 の位相同期回路と前記第 2 の位相同期回路と前記第 3 の位相同期回路が動作している状態で、前記第 3 のクロック制御信号の変動に基づいて、前記第 2 の遅延量を調整する請求項 1 5 に記載の集積回路。

【請求項 1 7】

第 1 の出力クロック信号を生成する第 1 の位相同期回路と、

前記第 1 の出力クロック信号に基づいて、第 1 の送信データを送信する第 1 の送信回路と、

前記第 1 の出力クロック信号に基づいて、第 1 の受信データを受信する第 1 の受信回路と、

前記第 1 の送信データを前記第 1 の送信回路に出力し、前記第 1 の受信データを前記第 1 の受信回路から入力する内部回路とを有し、

前記第 1 の位相同期回路は、

第 1 の遅延量が調整可能であり、前記第 1 の遅延量で第 1 の参照クロック信号を遅延し

10

20

30

40

50

、第1の遅延参照クロック信号を出力する第1の遅延回路と、

前記第1の遅延参照クロック信号と前記第1の出力クロック信号の位相を比較し、前記比較の結果に基づいて第1のクロック制御信号を生成する第1のクロック制御回路と、

前記第1のクロック制御信号に基づいて前記第1の出力クロック信号を生成する第1のクロック信号生成回路と、

前記第1の出力クロック信号のジッタを監視し、前記第1の出力クロック信号のジッタの監視結果に基づいて前記第1の遅延量を調整する第1の監視回路とを有し、

前記第1の監視回路は、前記第1の送信回路により前記第1の出力クロック信号に基づいて生成された送信信号を前記第1の受信回路が受信したことによって得られる前記第1の受信回路の受信信号のアイバターンの開口面積に基づいて、前記第1の遅延量を調整する集積回路。

10

【請求項18】

前記第1の監視回路は、前記第1の送信回路により前記第1の出力クロック信号に基づいて生成された送信信号を前記第1の受信回路が受信したことによって得られる前記第1の受信回路の受信信号のアイバターンの開口面積が最大となるように、前記第1の遅延量を調整する請求項17に記載の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期回路、送受信回路及び集積回路に関する。

20

【背景技術】

【0002】

電圧制御発振器の出力クロックを所定の値に分周したフィードバッククロックを分周器により生成するフェーズロックループを用いたクロック発生回路が知られている（特許文献1参照）。位相比較器は、フィードバッククロックと入力基準クロックとの位相差を検出してこの位相差を無くするための位相誤差信号を生成して電圧制御発振器の出力クロックを制御する。調整回路は、入力基準クロックの周波数変動が所定の範囲より大きい場合、周波数変動を所定の範囲内に調整する。

【0003】

また、位相比較器の第1の入力に与えられる信号と位相比較器の第2の入力に与えられる信号との間の位相差を示す信号を生成するための位相比較器を含む位相ロックループ回路が知られている（特許文献2参照）。第1の遅延素子は、位相比較器の第1の入力に供給される信号に遅延を与える。第2の遅延素子は、位相比較器の第2の入力に供給される信号に遅延を与える。第1の遅延素子及び第2の遅延素子のうちの少なくとも1つによって与えられる遅延は、関連する遅延制御値に従って変化する。マイクロコントローラは、第1の遅延素子及び第2の遅延素子に結合され、関連する遅延制御値を生成する。位相ロックループ回路と第1の遅延素子と第2の遅延素子とマイクロコントローラは、同じ半導体基板上に存在する。

30

【0004】

また、入力クロックから位相補間制御信号を生成する位相補間制御部を有する位相ロックループが知られている（特許文献3参照）。位相/周波数検出器は、第2の基準クロックとフィードバッククロックとの位相差を検出し、位相差を表す位相誤差信号を出力する。ループフィルタは、位相誤差信号をフィルタリングして第1の制御信号を生成する。位相補間発振器は、位相補間制御信号によって制御される第1の基準クロックと第1の制御信号によって制御される発振条件とによって位相補間された出力クロックを生成する。N分周回路（Nは整数）は、フィードバッククロックを生成するために出力クロックをN分周する。可変遅延モジュールは、位相/周波数検出器に結合され、第2の制御信号によって制御される量だけ入力クロックを遅延させて第2の基準クロックを生成する。

40

【先行技術文献】

【特許文献】

50

【 0 0 0 5 】

【文献】特開 2 0 0 4 - 1 5 3 3 3 2 号公報

米国特許第 9 8 5 9 9 0 1 号明細書

米国特許第 8 2 5 3 4 5 4 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

位相ロックループ回路は、出力クロック信号を生成する。しかし、出力クロック信号にジッタが発生することがある。ジッタは、出力クロック信号の時間軸方向に発生する高周波数の変動（揺らぎ）である。

10

【 0 0 0 7 】

1つの側面では、本発明の目的は、出力クロック信号のジッタを低減することができる位相同期回路、送受信回路及び集積回路を提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

位相同期回路は、第1の遅延量が調整可能であり、前記第1の遅延量で第1の参照クロック信号を遅延し、第1の遅延参照クロック信号を出力する第1の遅延回路と、前記第1の遅延参照クロック信号と第1の出力クロック信号の位相を比較し、前記比較の結果に基づいて第1のクロック制御信号を生成する第1のクロック制御回路と、前記第1のクロック制御信号に基づいて前記第1の出力クロック信号を生成する第1のクロック信号生成回路と、前記第1の出力クロック信号のジッタを監視し、前記第1の出力クロック信号のジッタの監視結果に基づいて前記第1の遅延量を調整する第1の監視回路とを有し、前記第1の監視回路は、前記第1のクロック制御信号の変動に基づいて、前記第1の遅延量を調整する。

20

【発明の効果】

【 0 0 0 9 】

1つの側面では、第1の出力クロック信号のジッタを低減することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図1】図1は、第1の実施形態による集積回路の構成例を示す図である。

30

【図2】図2は、複数の位相ロックループ回路に共通に接続される電源電位ノード及びグランド電位ノードを示す図である。

【図3】図3は、位相ロックループ回路の構成例を示す図である。

【図4】図4は、集積回路の制御方法を示すフローチャートである。

【図5】図5は、第2の実施形態による位相ロックループ回路の構成例を示す図である。

【図6】図6は、第3の実施形態による位相ロックループ回路の構成例を示す図である。

【図7】図7は、集積回路の制御方法を示すフローチャートである。

【図8】図8は、第4の実施形態による送受信回路の構成例を示す図である。

【図9】図9は、遅延回路の遅延量調整前のアイパターンを示す図である。

【図10】図10は、遅延回路の遅延量調整後のアイパターンを示す図である。

40

【発明を実施するための形態】

【 0 0 1 1 】

(第1の実施形態)

図1は、第1の実施形態による集積回路100の構成例を示す図である。集積回路100は、中央処理ユニット(CPU)101と、複数レーンの送受信回路111~114とを有する。

【 0 0 1 2 】

送受信回路111は、送信回路(TX)121と、位相ロックループ(PLL)回路131と、受信回路(RX)141とを有する。位相ロックループ回路131は、位相同期回路であり、出力クロック信号を生成する。送信回路121は、位相ロックループ回路1

50

3 1 が生成する出力クロック信号に基づいて、送信データを送信する。受信回路 1 4 1 は、位相ロックループ回路 1 3 1 が生成する出力クロック信号に基づいて、受信データを受信する。中央処理ユニット 1 0 1 は、内部回路であり、送信回路 1 2 1 に送信データを出し、受信回路 1 4 1 から受信データを入力する。送信回路 1 2 1 は、位相ロックループ回路 1 3 1 が生成する出力クロック信号に同期して、中央処理ユニット 1 0 1 から入力した送信データをパラレルからシリアルに変換し、シリアルの送信データを他の集積回路に送信する。受信回路 1 4 1 は、クロックデータリカバリ (CDR) 回路を有し、位相ロックループ回路 1 3 1 が生成する出力クロック信号に同期して、他の集積回路から受信したシリアルの受信信号を基に、クロック信号と受信データを再生する。そして、受信回路 1 4 1 は、受信データをシリアルからパラレルに変換し、パラレルの受信データを中央処理

10

【 0 0 1 3 】

送受信回路 1 1 2 は、送信回路 1 2 2 と、位相ロックループ回路 1 3 2 と、受信回路 1 4 2 とを有する。位相ロックループ回路 1 3 2 は、位相同期回路であり、出力クロック信号を生成する。送信回路 1 2 2 は、位相ロックループ回路 1 3 2 が生成する出力クロック信号に基づいて、送信データを送信する。受信回路 1 4 2 は、位相ロックループ回路 1 3 2 が生成する出力クロック信号に基づいて、受信データを受信する。中央処理ユニット 1 0 1 は、送信回路 1 2 2 に送信データを出し、受信回路 1 4 2 から受信データを入力する。送信回路 1 2 2 は、送信回路 1 2 1 と同様の処理を行う。受信回路 1 4 2 は、受信回路 1 4 1 と同様の処理を行う。

20

【 0 0 1 4 】

送受信回路 1 1 3 は、送信回路 1 2 3 と、位相ロックループ回路 1 3 3 と、受信回路 1 4 3 とを有する。位相ロックループ回路 1 3 3 は、位相同期回路であり、出力クロック信号を生成する。送信回路 1 2 3 は、位相ロックループ回路 1 3 3 が生成する出力クロック信号に基づいて、送信データを送信する。受信回路 1 4 3 は、位相ロックループ回路 1 3 3 が生成する出力クロック信号に基づいて、受信データを受信する。中央処理ユニット 1 0 1 は、送信回路 1 2 3 に送信データを出し、受信回路 1 4 3 から受信データを入力する。送信回路 1 2 3 は、送信回路 1 2 1 と同様の処理を行う。受信回路 1 4 3 は、受信回路 1 4 1 と同様の処理を行う。

【 0 0 1 5 】

送受信回路 1 1 4 は、送信回路 1 2 4 と、位相ロックループ回路 1 3 4 と、受信回路 1 4 4 とを有する。位相ロックループ回路 1 3 4 は、位相同期回路であり、出力クロック信号を生成する。送信回路 1 2 4 は、位相ロックループ回路 1 3 4 が生成する出力クロック信号に基づいて、送信データを送信する。受信回路 1 4 4 は、位相ロックループ回路 1 3 4 が生成する出力クロック信号に基づいて、受信データを受信する。中央処理ユニット 1 0 1 は、送信回路 1 2 4 に送信データを出し、受信回路 1 4 4 から受信データを入力する。送信回路 1 2 4 は、送信回路 1 2 1 と同様の処理を行う。受信回路 1 4 4 は、受信回路 1 4 1 と同様の処理を行う。

30

【 0 0 1 6 】

送受信回路 1 1 1 ~ 1 1 4 は、それぞれ、位相ロックループ回路 1 3 1 ~ 1 3 4 を有するので、送受信速度を異ならせることができる。しかし、複数の位相ロックループ回路 1 3 1 ~ 1 3 4 は、相互に近くに配置されるため、電源ノイズの干渉が発生し易い。

40

【 0 0 1 7 】

なお、5 個以上の送受信回路 1 1 1 ~ 1 1 4 等を設けてもよい。また、送受信回路 1 1 1 ~ 1 1 4 毎に中央処理ユニット 1 0 1 を設けてもよい。

【 0 0 1 8 】

図 2 は、複数の位相ロックループ回路 1 3 1 ~ 1 3 4 に共通に接続される電源電位ノード VDD 及びグランド電位ノード GND を示す図である。3 種類の電源接続方法が存在する。

【 0 0 1 9 】

50

第1の電源接続方法では、複数の位相ロックループ回路131～134は、集積回路100内で、共通の電源電位ノードVDD及びグランド電位ノードGNDに接続されている。

【0020】

第2の電源接続方法では、複数の位相ロックループ回路131～134の電源電位ノード及びグランド電位ノードは、集積回路100内では分離されている。その場合、複数の位相ロックループ回路131～134は、パッケージの電源接続により、共通の電源電位ノードVDD及びグランド電位ノードGNDに接続されている。

【0021】

第3の電源接続方法では、複数の位相ロックループ回路131～134の電源電位ノード及びグランド電位ノードは、集積回路100及びパッケージ内では分離されている。その場合、複数の位相ロックループ回路131～134は、ボードの電源接続により、共通の電源電位ノードVDD及びグランド電位ノードGNDに接続されている。

10

【0022】

集積回路100が多数の送受信回路111～114を設ける場合には、パッケージの端子(ボール)を全ての送受信回路111～114毎に分離することが困難である。その場合、第2の電源接続方法になる場合が多い。

【0023】

複数の位相ロックループ回路131～134が同時に動作すると、複数の位相ロックループ回路131～134間では、電源電位ノードVDD及びグランド電位ノードGNDを介して、電源ノイズが相互干渉する。

20

【0024】

図3は、本実施形態による位相ロックループ回路131及び132の構成例を示す図である。

【0025】

位相ロックループ回路131は、遅延回路311と、位相周波数検出器(PFD)312と、チャージポンプ(CP)313と、ローパスフィルタ(LPF)314と、電圧制御発振器(VCO)315と、分周器(DIV)316と、アナログデジタル変換器(ADC)317と、遅延制御回路318とを有し、出力クロック信号CK1を生成する。

【0026】

遅延回路311は、遅延量が調整可能であり、その遅延量で参照クロック信号RCKを遅延し、遅延参照クロック信号RCKaを出力する。参照クロック信号RCKは、例えば100MHzである。分周器316は、電圧制御発振器315が生成した出力クロック信号CK1を分周し、その分周したクロック信号CK1aを位相周波数検出器312に出力する。位相周波数検出器312は、遅延参照クロック信号RCKaとクロック信号CK1aとの位相及び周波数を比較し、その比較の結果に基づいてアップ信号UP又はダウン信号DNをチャージポンプ313に出力する。チャージポンプ313は、アップ信号UPが入力されると制御信号V1の電圧を高くし、ダウン信号DNが入力されると制御信号V1の電圧を低くする。ローパスフィルタ314は、制御信号V1をローパスフィルタリングし、そのローパスフィルタリングしたクロック制御信号V1aを電圧制御発振器315に出力する。位相周波数検出器312とチャージポンプ313とローパスフィルタ314と分周器316は、クロック制御信号V1aを生成するクロック制御回路の一例である。電圧制御発振器315は、クロック信号生成回路であり、クロック制御信号V1aの電圧に基づいた周波数の出力クロック信号CK1を生成する。出力クロック信号CK1は、例えば、数GHzである。なお、アナログデジタル変換器317と遅延制御回路318については、後述する。

30

40

【0027】

位相ロックループ回路132は、遅延回路321と、位相周波数検出器322と、チャージポンプ323と、ローパスフィルタ324と、電圧制御発振器325と、分周器326とを有し、出力クロック信号CK2を生成する。

【0028】

50

遅延回路 3 2 1 は、所定の遅延量で参照クロック信号 R C K を遅延し、遅延参照クロック信号 R C K b を出力する。なお、遅延回路 3 2 1 は、削除してもよい。分周器 3 2 6 は、電圧制御発振器 3 2 5 が生成した出力クロック信号 C K 2 を分周し、その分周したクロック信号 C K 2 b を位相周波数検出器 3 2 2 に出力する。位相周波数検出器 3 2 2 は、遅延参照クロック信号 R C K b とクロック信号 C K 2 b との位相及び周波数を比較し、その比較の結果に基づいてアップ信号 U P 又はダウン信号 D N をチャージポンプ 3 2 3 に出力する。チャージポンプ 3 2 3 は、アップ信号 U P が入力されると制御信号 V 2 の電圧を高くし、ダウン信号 D N が入力されると制御信号 V 2 の電圧を低くする。ローパスフィルタ 3 2 4 は、制御信号 V 2 をローパスフィルタリングし、そのローパスフィルタリングしたクロック制御信号 V 2 b を電圧制御発振器 3 2 5 に出力する。位相周波数検出器 3 2 2 とチャージポンプ 3 2 3 とローパスフィルタ 3 2 4 と分周器 3 2 6 は、クロック制御信号 V 2 b を生成するクロック制御回路の一例である。電圧制御発振器 3 2 5 は、クロック信号生成回路であり、クロック制御信号 V 2 b の電圧に基づいた周波数の出力クロック信号 C K 2 を生成する。なお、位相ロックループ回路 1 3 2 は、位相ロックループ回路 1 3 1 に対して、異なる構成により、出力クロック信号 C K 2 を生成してもよい。

10

【 0 0 2 9 】

位相ロックループ回路 1 3 1 及び 1 3 2 が同時に動作すると、位相ロックループ回路 1 3 1 及び 1 3 2 間では、電源電位ノード V D D 及びグランド電位ノード G N D を介して、電源ノイズが相互干渉する。その結果、出力クロック信号 C K 1 及び出力クロック信号 C K 2 にジッタが生じる。ジッタは、出力クロック信号 C K 1 及び C K 2 の時間軸方向に発生する高周波数の変動（揺らぎ）である。

20

【 0 0 3 0 】

出力クロック信号 C K 1 のジッタの大きさは、電源ノイズと出力クロック信号 C K 1 の位相に依存している。したがって、出力クロック信号 C K 1 の位相を適切な位相に変えることにより、出力クロック信号 C K 1 のジッタを低減することができる。位相ロックループ回路 1 3 1 は、遅延回路 3 1 1 が遅延参照クロック信号 R C K a の位相を変えることにより、出力クロック信号 C K 1 の位相を変え、その結果、出力クロック信号 C K 1 のジッタを低減することができる。遅延制御回路 3 1 8 は、出力クロック信号 C K 1 のジッタが最小になるように、遅延回路 3 1 1 の遅延量を調整する。

【 0 0 3 1 】

出力クロック信号 C K 1 のジッタの大きさは、クロック制御信号 V 1 a の変動量の大きさに依存する。すなわち、クロック制御信号 V 1 a の変動量が大きいくほど、出力クロック信号 C K 1 のジッタが大きくなる。そこで、アナログデジタル変換器 3 1 7 は、クロック制御信号 V 1 a をアナログからデジタルに変換し、デジタルの制御信号 D 1 を遅延制御回路 3 1 8 に出力する。遅延制御回路 3 1 8 は、制御信号 D 1 の変動量が最小になるように、遅延制御信号 C T L 1 により、遅延回路 3 1 1 の遅延量を調整する。これにより、遅延制御回路 3 1 8 は、出力クロック信号 C K 1 のジッタが最小になるように、遅延制御信号 C T L 1 により、遅延回路 3 1 1 の遅延量を調整することができる。

30

【 0 0 3 2 】

具体的には、遅延制御回路 3 1 8 は、遅延回路 3 1 1 の遅延量を最小値から最大値まで変化させ、遅延量毎に、制御信号 D 1 の最大値と最小値を検出し、制御信号 D 1 の最大値と最小値との差分を変動量として検出する。そして、遅延制御回路 3 1 8 は、遅延回路 3 1 1 の遅延量の最小値から最大値の中で、制御信号 D 1 の変動量が最小となる遅延量を探索し、遅延回路 3 1 1 の遅延量を固定する。これにより、出力クロック信号 C K 1 のジッタを最小にすることができる。

40

【 0 0 3 3 】

遅延回路 3 1 1 の遅延量を変えることにより、遅延参照クロック信号 R C K a の位相が変わり、位相ロックループ回路 1 3 1 による電源ノイズの位相が変わる。これにより、位相ロックループ回路 1 3 2 が生成する出力クロック信号 C K 2 のジッタも低減する。

【 0 0 3 4 】

50

以上のように、アナログデジタル変換器 3 1 7 と遅延制御回路 3 1 8 は、監視回路の一例であり、出力クロック信号 C K 1 のジッタを監視し、出力クロック信号 C K 1 のジッタの監視結果に基づいて、遅延回路 3 1 1 の遅延量を調整する。

【 0 0 3 5 】

図 4 は、集積回路 1 0 0 の制御方法を示すフローチャートである。ステップ S 4 0 1 では、中央処理ユニット 1 0 1 は、位相ロックループ回路 1 3 1 及び位相ロックループ回路 1 3 2 を起動する。ステップ S 4 0 2 では、中央処理ユニット 1 0 1 は、位相ロックループ回路 1 3 1 のアナログデジタル変換器 3 1 7 を起動する。

【 0 0 3 6 】

ステップ S 4 0 3 では、遅延制御回路 3 1 8 は、遅延回路 3 1 1 の遅延量 $d e l$ に 0 (10
最小値) を代入する。遅延量 $d e l$ は、遅延コードでもよい。ステップ S 4 0 4 では、遅延制御回路 3 1 8 は、変数 i に 0 を代入する。

【 0 0 3 7 】

ステップ S 4 0 5 では、遅延制御回路 3 1 8 は、遅延量 $d e l$ が最大遅延量 n より小さいか否かを判定する。遅延制御回路 3 1 8 は、遅延量 $d e l$ が最大遅延量 n より小さい場合には、ステップ S 4 0 6 に進み、遅延量 $d e l$ が最大遅延量 n より小さくない場合には、ステップ S 4 1 9 に進む。

【 0 0 3 8 】

ステップ S 4 0 6 では、遅延制御回路 3 1 8 は、アナログデジタル変換器 3 1 7 が出力する制御信号 D 1 の値を最大値 $m a x$ 及び最小値 $m i n$ に代入する。 20

【 0 0 3 9 】

ステップ S 4 0 7 では、遅延制御回路 3 1 8 は、変数 i が検出回数 m より小さいか否かを判定する。検出回数 m は、遅延制御回路 3 1 8 が制御信号 D 1 を検出する回数である。遅延制御回路 3 1 8 は、変数 i が検出回数 m より小さい場合には、ステップ S 4 0 8 に進み、変数 i が検出回数 m より小さくない場合には、ステップ S 4 1 4 に進む。

【 0 0 4 0 】

ステップ S 4 0 8 では、遅延制御回路 3 1 8 は、アナログデジタル変換器 3 1 7 が出力する制御信号 D 1 の値を変数 $o u t$ に代入する。ステップ S 4 0 9 では、遅延制御回路 3 1 8 は、変数 $o u t$ が最大値 $m a x$ より大きいかが判定する。遅延制御回路 3 1 8 は、変数 $o u t$ が最大値 $m a x$ より大きい場合には、ステップ S 4 1 2 に進み、変数 $o u t$ が最大値 $m a x$ より大きくない場合には、ステップ S 4 1 0 に進む。 30

【 0 0 4 1 】

ステップ S 4 1 2 では、遅延制御回路 3 1 8 は、最大値 $m a x$ に変数 $o u t$ を代入し、ステップ S 4 1 3 に進む。

【 0 0 4 2 】

ステップ S 4 1 0 では、遅延制御回路 3 1 8 は、変数 $o u t$ が最小値 $m i n$ より小さいか否かを判定する。遅延制御回路 3 1 8 は、変数 $o u t$ が最小値 $m i n$ より小さい場合には、ステップ S 4 1 1 に進み、変数 $o u t$ が最小値 $m i n$ より小さくない場合には、ステップ S 4 1 3 に進む。

【 0 0 4 3 】

ステップ S 4 1 1 では、遅延制御回路 3 1 8 は、最小値 $m i n$ に変数 $o u t$ を代入し、ステップ S 4 1 3 に進む。 40

【 0 0 4 4 】

ステップ S 4 1 3 では、遅延制御回路 3 1 8 は、変数 i をインクリメントし、ステップ S 4 0 7 に戻る。上記の処理を m 回繰り返すことにより、制御信号 D 1 の最大値 $m a x$ と最小値 $m i n$ を検出することができる。

【 0 0 4 5 】

ステップ S 4 1 4 では、遅延制御回路 3 1 8 は、最大値 $m a x$ から最小値 $m i n$ を減算した値を、変動量 $a m p$ に代入する。

【 0 0 4 6 】

ステップS 4 1 5では、遅延制御回路3 1 8は、遅延量d e lが0であるか否かを判定する。遅延制御回路3 1 8は、遅延量d e lが0である場合には、ステップS 4 1 7に進み、遅延量d e lが0でない場合には、ステップS 4 1 6に進む。

【0 0 4 7】

ステップS 4 1 7では、遅延制御回路3 1 8は、変動量a m pを最小変動量a m p__m i nに代入し、遅延量d e lを最小変動遅延量d e l__m i nに代入し、ステップS 4 1 8に進む。

【0 0 4 8】

ステップS 4 1 6では、遅延制御回路3 1 8は、変動量a m pが最小変動量a m p__m i nより小さいか否かを判定する。遅延制御回路3 1 8は、変動量a m pが最小変動量a m p__m i nより小さい場合には、ステップS 4 1 7に進み、変動量a m pが最小変動量a m p__m i nより小さくない場合には、ステップS 4 1 8に進む。

10

【0 0 4 9】

ステップS 4 1 8では、遅延制御回路3 1 8は、遅延量d e lをインクリメントし、ステップS 4 0 4に戻る。遅延量d e lの最小値0から最大値nまで上記の処理を繰り返す。最小変動量a m p__m i nには、遅延量d e lを最小値0から最大値nまで変化させた場合の変動量a m pの中で、最小の変動量a m pが代入される。最小変動遅延量d e l__m i nには、遅延量d e lの最小値0から最大値nまでの中で、最小の変動量a m p__m i nとなる場合の遅延量d e lが代入される。

【0 0 5 0】

ステップS 4 1 9では、遅延制御回路3 1 8は、遅延量d e lに最小変動遅延量d e l__m i nを代入する。ステップS 4 2 0では、遅延制御回路3 1 8は、遅延回路3 1 1の遅延量d e lを固定し、遅延量d e lの調整を完了する。その後、集積回路1 0 0は、通常動作を行う。

20

【0 0 5 1】

(第2の実施形態)

図5は、第2の実施形態による位相ロックループ回路1 3 1及び1 3 2の構成例を示す図である。以下、本実施形態が第1の実施形態と異なる点を説明する。図5の位相ロックループ回路1 3 1は、図3の位相ロックループ回路1 3 1と同じ構成を有する。図5の位相ロックループ回路1 3 2は、図3の位相ロックループ回路1 3 2に対して、アナログデジタル変換器3 2 7を追加したものである。

30

【0 0 5 2】

アナログデジタル変換器3 2 7は、ローパスフィルタ3 2 4が出力するクロック制御信号V 2 bをアナログからデジタルに変換し、デジタルの制御信号D 2を遅延制御回路3 1 8に出力する。遅延制御回路3 1 8は、遅延回路3 1 1の遅延量を最小値から最大値まで変化させ、制御信号D 1の変動量と制御信号D 2の変動量の総和が最小となる遅延回路3 1 1の遅延量を探索する。そして、遅延制御回路3 1 8は、遅延回路3 1 1の遅延量を、制御信号D 1の変動量と制御信号D 2の変動量の総和が最小となる遅延量に調整する。具体的な調整方法は、図4のフローチャートと同様である。これにより、位相ロックループ回路1 3 1が生成する出力クロック信号C K 1のジッタと、位相ロックループ回路1 3 2が生成する出力クロック信号C K 2のジッタを低減することができる。

40

【0 0 5 3】

本実施形態は、3個以上の位相ロックループ回路に適用することもできる。すべての位相ロックループ回路1 3 1～1 3 4に、アナログデジタル変換器と可変の遅延回路を設け、すべての位相ロックループ回路1 3 1～1 3 4に共通の遅延制御回路3 1 8を設ける。遅延制御回路3 1 8は、各位相ロックループ回路1 3 1～1 3 4の遅延回路の遅延量を変化させ、すべての位相ロックループ回路1 3 1～1 3 4の制御信号D 1, D 2等の変動量の総和が最小となるように、すべての位相ロックループ回路1 3 1～1 3 4の遅延回路の遅延量を調整する。

【0 0 5 4】

50

なお、すべての位相ロックループ回路 1 3 1 ~ 1 3 4 の制御信号 D 1 , D 2 等の変動量の総和が最小であっても、いずれかの位相ロックループ回路の制御信号の変動量が閾値より大きい場合には、その遅延量の組み合わせは、採用しないようにしてもよい。

【 0 0 5 5 】

(第 3 の実施形態)

図 6 は、第 3 の実施形態による位相ロックループ回路 1 3 1 ~ 1 3 4 の構成例を示す図である。以下、本実施形態が第 1 の実施形態と異なる点を説明する。位相ロックループ回路 1 3 1 と位相ロックループ回路 1 3 2 と位相ロックループ回路 1 3 3 と位相ロックループ回路 1 3 4 は、その順番で、相互に隣接して設けられている。位相ロックループ回路 1 3 2 は、位相ロックループ回路 1 3 1 と位相ロックループ回路 1 3 3 との間に設けられて

10

【 0 0 5 6 】

図 6 の位相ロックループ回路 1 3 1 は、図 3 の位相ロックループ回路 1 3 1 に対して、アナログデジタル変換器 3 1 7 及び遅延制御回路 3 1 8 を削除したものである。遅延回路 3 1 1 は、所定の遅延量で参照クロック信号 R C K を遅延し、遅延参照クロック信号 R C K a を位相周波数検出器 3 1 2 に出力する。なお、遅延回路 3 1 1 は、削除してもよい。

【 0 0 5 7 】

図 6 の位相ロックループ回路 1 3 2 は、図 3 の位相ロックループ回路 1 3 2 に対して、アナログデジタル変換器 3 2 7 及び遅延制御回路 3 2 8 を追加したものである。遅延回路 3 2 1 は、遅延量が調整可能であり、その遅延量で参照クロック信号 R C K を遅延し、遅延参照クロック信号 R C K b を位相周波数検出器 3 2 2 に出力する。アナログデジタル変換器 3 2 7 は、クロック制御信号 V 2 b をアナログからデジタルに変換し、デジタルの制御信号 D 2 を遅延制御回路 3 2 8 に出力する。遅延制御回路 3 2 8 は、制御信号 D 2 の変動量が最小になるように、遅延制御信号 C T L 2 により、遅延回路 3 2 1 の遅延量を調整する。これにより、遅延制御回路 3 2 8 は、出力クロック信号 C K 2 のジッタが最小になるように、遅延制御信号 C T L 2 により、遅延回路 3 2 1 の遅延量を調整することができる。アナログデジタル変換器 3 2 7 と遅延制御回路 3 2 8 は、監視回路の一例であり、出力クロック信号 C K 2 のジッタを監視し、出力クロック信号 C K 2 のジッタの監視結果に基づいて、遅延回路 3 2 1 の遅延量を調整する。

20

30

【 0 0 5 8 】

位相ロックループ回路 1 3 3 は、遅延回路 3 3 1 と、位相周波数検出器 3 3 2 と、チャージポンプ 3 3 3 と、ローパスフィルタ 3 3 4 と、電圧制御発振器 3 3 5 と、分周器 3 3 6 と、アナログデジタル変換器 3 3 7 と、遅延制御回路 3 3 8 とを有し、出力クロック信号 C K 3 を生成する。

【 0 0 5 9 】

遅延回路 3 3 1 は、遅延量が調整可能であり、その遅延量で参照クロック信号 R C K を遅延し、遅延参照クロック信号 R C K c を出力する。分周器 3 3 6 は、電圧制御発振器 3 3 5 が生成した出力クロック信号 C K 3 を分周し、その分周したクロック信号 C K 3 c を位相周波数検出器 3 3 2 に出力する。位相周波数検出器 3 3 2 は、遅延参照クロック信号 R C K c とクロック信号 C K 3 c との位相及び周波数を比較し、その比較の結果に基づいてアップ信号 U P 又はダウン信号 D N をチャージポンプ 3 3 3 に出力する。チャージポンプ 3 3 3 は、アップ信号 U P が入力されると制御信号 V 3 の電圧を高くし、ダウン信号 D N が入力されると制御信号 V 3 の電圧を低くする。ローパスフィルタ 3 3 4 は、制御信号 V 3 をローパスフィルタリングし、そのローパスフィルタリングしたクロック制御信号 V 3 c を電圧制御発振器 3 3 5 に出力する。位相周波数検出器 3 3 2 とチャージポンプ 3 3 3 とローパスフィルタ 3 3 4 と分周器 3 3 6 は、クロック制御信号 V 3 c を生成するクロック制御回路の一例である。電圧制御発振器 3 3 5 は、クロック信号生成回路であり、クロック制御信号 V 3 c の電圧に基づいた周波数の出力クロック信号 C K 3 を生成する。アナログデジタル変換器 3 3 7 は、クロック制御信号 V 3 c をアナログからデジタルに変換

40

50

し、デジタルの制御信号 D 3 を遅延制御回路 3 3 8 に出力する。遅延制御回路 3 3 8 は、制御信号 D 3 の変動量が最小になるように、遅延制御信号 C T L 3 により、遅延回路 3 3 1 の遅延量を調整する。これにより、遅延制御回路 3 3 8 は、出力クロック信号 C K 3 のジッタが最小になるように、遅延制御信号 C T L 3 により、遅延回路 3 3 1 の遅延量を調整することができる。アナログデジタル変換器 3 3 7 と遅延制御回路 3 3 8 は、監視回路の一例であり、出力クロック信号 C K 3 のジッタを監視し、出力クロック信号 C K 3 のジッタの監視結果に基づいて、遅延回路 3 3 1 の遅延量を調整する。

【 0 0 6 0 】

位相ロックループ回路 1 3 4 は、遅延回路 3 4 1 と、位相周波数検出器 3 4 2 と、チャージポンプ 3 4 3 と、ローパスフィルタ 3 4 4 と、電圧制御発振器 3 4 5 と、分周器 3 4 6 と、アナログデジタル変換器 3 4 7 と、遅延制御回路 3 4 8 とを有し、出力クロック信号 C K 4 を生成する。

【 0 0 6 1 】

遅延回路 3 4 1 は、遅延量が調整可能であり、その遅延量で参照クロック信号 R C K を遅延し、遅延参照クロック信号 R C K d を出力する。分周器 3 4 6 は、電圧制御発振器 3 4 5 が生成した出力クロック信号 C K 4 を分周し、その分周したクロック信号 C K 4 d を位相周波数検出器 3 4 2 に出力する。位相周波数検出器 3 4 2 は、遅延参照クロック信号 R C K d とクロック信号 C K 4 d との位相及び周波数を比較し、その比較の結果に基づいてアップ信号 U P 又はダウン信号 D N をチャージポンプ 3 4 3 に出力する。チャージポンプ 3 4 3 は、アップ信号 U P が入力されると制御信号 V 4 の電圧を高くし、ダウン信号 D N が入力されると制御信号 V 4 の電圧を低くする。ローパスフィルタ 3 4 4 は、制御信号 V 4 をローパスフィルタリングし、そのローパスフィルタリングしたクロック制御信号 V 4 d を電圧制御発振器 3 4 5 に出力する。位相周波数検出器 3 4 2 とチャージポンプ 3 4 3 とローパスフィルタ 3 4 4 と分周器 3 4 6 は、クロック制御信号 V 4 d を生成するクロック制御回路の一例である。電圧制御発振器 3 4 5 は、クロック信号生成回路であり、クロック制御信号 V 4 d の電圧に基づいた周波数の出力クロック信号 C K 4 を生成する。アナログデジタル変換器 3 4 7 は、クロック制御信号 V 4 d をアナログからデジタルに変換し、デジタルの制御信号 D 4 を遅延制御回路 3 4 8 に出力する。遅延制御回路 3 4 8 は、制御信号 D 4 の変動量が最小になるように、遅延制御信号 C T L 4 により、遅延回路 3 4 1 の遅延量を調整する。これにより、遅延制御回路 3 4 8 は、出力クロック信号 C K 4 のジッタが最小になるように、遅延制御信号 C T L 4 により、遅延回路 3 4 1 の遅延量を調整することができる。アナログデジタル変換器 3 4 7 と遅延制御回路 3 4 8 は、監視回路の一例であり、出力クロック信号 C K 4 のジッタを監視し、出力クロック信号 C K 4 のジッタの監視結果に基づいて、遅延回路 3 4 1 の遅延量を調整する。

【 0 0 6 2 】

図 7 は、本実施形態による集積回路 1 0 0 の制御方法を示すフローチャートである。位相ロックループ回路 1 3 1 ~ 1 3 4 は、距離が近い位相ロックループ回路間の電源ノイズの干渉が大きく、距離が遠い位相ロックループ回路間の電源ノイズの干渉が小さい。そこで、本実施形態では、位相ロックループ回路 1 3 1 ~ 1 3 4 のうち、隣接した位相ロックループ回路間でジッタを最小にするための遅延量の調整を順に行うことで、すべての位相ロックループ回路間の電源ノイズの干渉を抑制する。これにより、すべての位相ロックループ回路 1 3 1 ~ 1 3 4 の出力クロック信号 C K 1 ~ C K 4 のジッタを低減することができる。

【 0 0 6 3 】

ステップ S 7 0 1 では、中央処理ユニット 1 0 1 は、位相ロックループ回路 1 3 1 及び 1 3 2 を動作させ、他の位相ロックループ回路 1 3 3 及び 1 3 4 等を動作させない状態に制御する。

【 0 0 6 4 】

次に、ステップ S 7 0 2 では、遅延制御回路 3 2 8 は、図 4 のフローチャートと同様に、制御信号 D 2 の変動量を観測し、制御信号 D 2 の変動量が最小となるように、遅延回路

10

20

30

40

50

3 2 1 の遅延量を調整する。これにより、隣接する位相ロックループ回路 1 3 1 及び 1 3 2 間の電源ノイズの干渉を抑制し、出力クロック信号 C K 1 及び C K 2 のジッタを低減することができる。

【 0 0 6 5 】

次に、ステップ S 7 0 3 では、中央処理ユニット 1 0 1 は、位相ロックループ回路 1 3 1 ~ 1 3 3 を動作させ、他の位相ロックループ回路 1 3 4 等を動作させない状態に制御する。

【 0 0 6 6 】

次に、ステップ S 7 0 4 では、遅延制御回路 3 3 8 は、図 4 のフローチャートと同様に、制御信号 D 3 の変動量を観測し、制御信号 D 3 の変動量が最小となるように、遅延回路 3 3 1 の遅延量を調整する。これにより、隣接する位相ロックループ回路 1 3 1 ~ 1 3 3 間の電源ノイズの干渉を抑制し、出力クロック信号 C K 1 ~ C K 3 のジッタを低減することができる。

10

【 0 0 6 7 】

次に、ステップ S 7 0 5 では、中央処理ユニット 1 0 1 は、位相ロックループ回路 1 3 1 ~ 1 3 4 を動作させ、他の位相ロックループ回路を動作させない状態に制御する。

【 0 0 6 8 】

次に、ステップ S 7 0 6 では、遅延制御回路 3 4 8 は、図 4 のフローチャートと同様に、制御信号 D 4 の変動量を観測し、制御信号 D 4 の変動量が最小となるように、遅延回路 3 4 1 の遅延量を調整する。これにより、隣接する位相ロックループ回路 1 3 1 ~ 1 3 4 間の電源ノイズの干渉を抑制し、出力クロック信号 C K 1 ~ C K 4 のジッタを低減することができる。

20

【 0 0 6 9 】

その後、すべての位相ロックループ回路について同様の処理を行う。これにより、すべての位相ロックループ回路の出力クロック信号のジッタを低減することができる。

【 0 0 7 0 】

(第 4 の実施形態)

図 8 は、第 4 の実施形態による送受信回路 1 1 1 及び 1 1 2 の構成例を示す図である。以下、本実施形態が第 1 の実施形態と異なる点を説明する。

【 0 0 7 1 】

送受信回路 1 1 1 は、送信回路 1 2 1 と、位相ロックループ回路 1 3 1 と、受信回路 1 4 1 と、アイモニタ 1 5 1 とを有する。図 8 の位相ロックループ回路 1 3 1 は、図 3 の位相ロックループ回路 1 3 1 に対して、アナログデジタル変換器 3 1 7 を削除したものである。送信回路 1 2 1 は、位相ロックループ回路 1 3 1 が生成した出力クロック信号 C K 1 に同期して、パターンジェネレータにより生成されたテストパターンデータを送信する。受信回路 1 4 1 の入力端子は、切り替え可能である。図 1 の通常モードでは、受信回路 1 4 1 の入力端子は、他の集積回路に接続され、受信回路 1 4 1 は、他の集積回路が送信したデータを受信する。図 8 の調整モードでは、受信回路 1 4 1 の入力端子は、送信回路 1 2 1 の出力端子に接続され、受信回路 1 4 1 は、送信回路 1 2 1 が送信したデータを受信する。アイモニタ 1 5 1 は、図 9 及び図 1 0 に示すように、受信回路 1 4 1 が受信したデータのアイパターンの開口 9 0 1 及び 1 0 0 1 を検出する。アイパターンは、複数のデータ遷移パターンを時間軸上で重ね合わせるにより形成されるパターンである。遅延制御回路 3 1 8 は、アイモニタ 1 5 1 が検出したアイパターンの開口 9 0 1 及び 1 0 0 1 を基に、出力クロック信号 C K 1 のジッタが最小になるように、遅延回路 3 1 1 の遅延量を調整する。

30

40

【 0 0 7 2 】

送受信回路 1 1 2 は、送信回路 1 2 2 と、位相ロックループ回路 1 3 2 と、受信回路 1 4 2 と、アイモニタ 1 5 2 とを有する。図 8 の位相ロックループ回路 1 3 2 は、図 3 の位相ロックループ回路 1 3 2 と同じ構成を有する。送信回路 1 2 2 は、位相ロックループ回路 1 3 2 が生成した出力クロック信号 C K 2 に同期して、パターンジェネレータにより生

50

成されたテストパターンデータを送信する。受信回路 1 4 2 の入力端子は、切り替え可能である。図 1 の通常モードでは、受信回路 1 4 2 の入力端子は、他の集積回路に接続され、受信回路 1 4 2 は、他の集積回路が送信したデータを受信する。図 8 の調整モードでは、受信回路 1 4 2 の入力端子は、送信回路 1 2 2 の出力端子に接続され、受信回路 1 4 2 は、送信回路 1 2 2 が送信したデータを受信する。アイモニタ 1 5 2 は、受信回路 1 4 2 が受信したデータのアイパターンの開口を検出する。

【 0 0 7 3 】

なお、遅延回路 3 2 1 の遅延量の制御を行わないので、送信回路 1 2 2 は、テストパターンデータを送信しなくてもよい。受信回路 1 4 2 の入力端子は、送信回路 1 2 2 の出力端子に接続しなくてもよい。アイモニタ 1 5 2 は、削除してもよい。

10

【 0 0 7 4 】

図 9 は、遅延回路 3 1 1 の遅延量調整前のアイパターンを示す図である。アイモニタ 1 5 1 は、アイパターンの開口 9 0 1 を検出する。遅延回路 3 1 1 の遅延量が不適切である場合には、出力クロック信号 C K 1 のジッタが大きくなり、アイパターンの開口 9 0 1 が小さくなる。

【 0 0 7 5 】

図 1 0 は、遅延回路 3 1 1 の遅延量調整後のアイパターンを示す図である。アイモニタ 1 5 1 は、アイパターンの開口 1 0 0 1 を検出する。遅延回路 3 1 1 の遅延量が適切である場合には、出力クロック信号 C K 1 のジッタが小さくなり、アイパターンの開口 1 0 0 1 が大きくなる。

20

【 0 0 7 6 】

遅延制御回路 3 1 8 は、アイパターンの開口面積が最大になるように、遅延回路 3 1 1 の遅延量を調整する。すなわち、遅延制御回路 3 1 8 は、出力クロック信号 C K 1 に基づいて生成された送信信号のアイパターンの開口に基づいて、遅延回路 3 1 1 の遅延量を調整する。

【 0 0 7 7 】

例えば、アイモニタ 1 5 1 は、受信回路 1 4 1 の出力信号に対して、メイン用サンブラとモニタ用サンブラにより、サンプリングし、閾値と比較することにより 2 値判定を行う。この際、アイモニタ 1 5 1 は、モニタ用サンブラのサンプリング位相と閾値を変えながら、メイン用サンブラを用いて判定された値とモニタ用サンブラを用いて判定された値とを比較することにより、アイパターンの開口を検出する。遅延制御回路 3 1 8 は、アイパターンの開口面積が最大となる遅延回路 3 1 1 の遅延量を探索する。そして、遅延制御回路 3 1 8 は、アイパターンの開口面積が最大となるように、遅延回路 3 1 1 の遅延量を調整する。これにより、出力クロック信号 C K 1 及び C K 2 のジッタを低減することができる。

30

【 0 0 7 8 】

なお、ジッタの観点から、遅延制御回路 3 1 8 は、アイパターンの時間軸方向の中央部の開口面積が最大となるように、遅延回路 3 1 1 の遅延量を調整してもよい。

【 0 0 7 9 】

また、上記の受信回路 1 4 1 及びアイモニタ 1 5 1 の代わりに、他の集積回路内の受信回路及びアイモニタを用いてもよい。その場合、送信回路 1 2 1 は、出力クロック信号 C K 1 に同期して、テストパターンデータを他の集積回路に送信する。他の集積回路では、受信回路がそのテストパターンデータを受信し、アイモニタ 1 5 1 がそのテストパターンデータのアイパターンの開口を検出する。遅延制御回路 3 1 8 は、他の集積回路のアイモニタにより検出されたアイパターンの開口面積が最大になるように、遅延回路 3 1 1 の遅延量を調整する。

40

【 0 0 8 0 】

また、図 8 に示した、第 4 の実施形態による位相ロックスルーブ回路 1 3 1、1 3 2 に対しては、以下のような変形が可能である。

【 0 0 8 1 】

50

例えば、図5に示した、第2の実施形態による位相ロックループ回路131、132と同様に、遅延制御回路318が、アイモニタ151が検出したアイパターンの開口に加えて、アイモニタ152が検出したアイパターンの開口を基に、アイモニタ151及び152が検出した2つのアイパターンの開口面積の総和が最大となるように、遅延回路311の遅延量を調整するようにしてもよい。

【0082】

また、図6に示した、第3の実施形態による位相ロックループ回路131～134と同様に、図8の位相ロックループ回131、132に加えて、位相ロックループ回路131と同様の回路を相互に隣接するように設け、隣接した位相ロックループ回路間でジッタを最小にするための遅延量の調整を順に行うようにしてもよい。

10

【0083】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【産業上の利用可能性】

【0084】

1つの側面では、出力クロック信号のジッタを低減することができる。

20

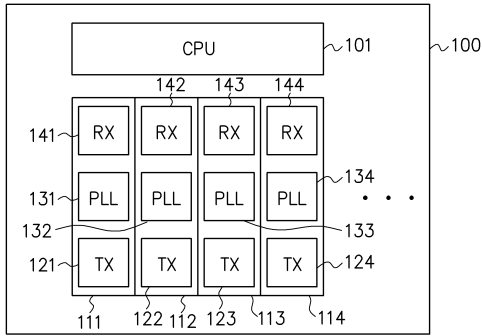
30

40

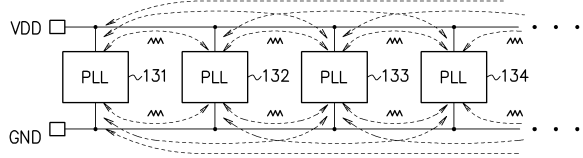
50

【図面】

【図 1】

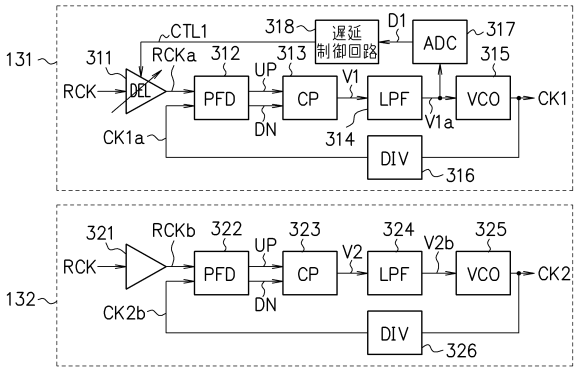


【図 2】

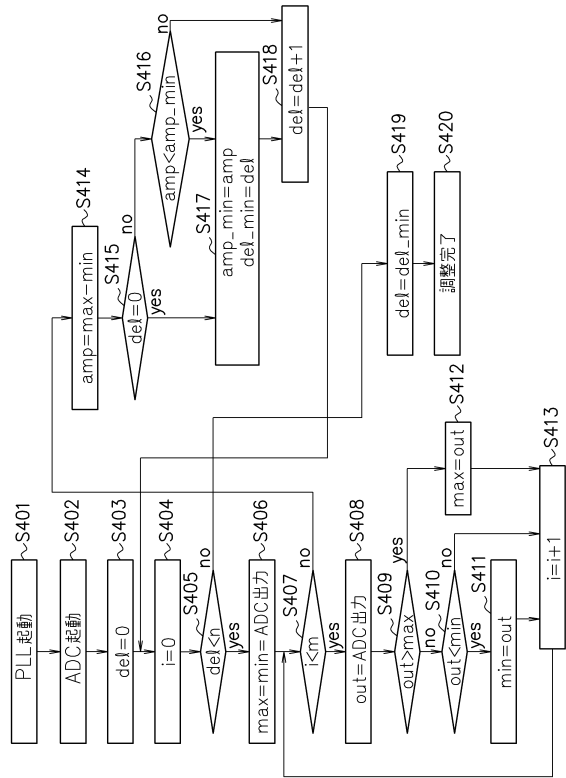


10

【図 3】



【図 4】



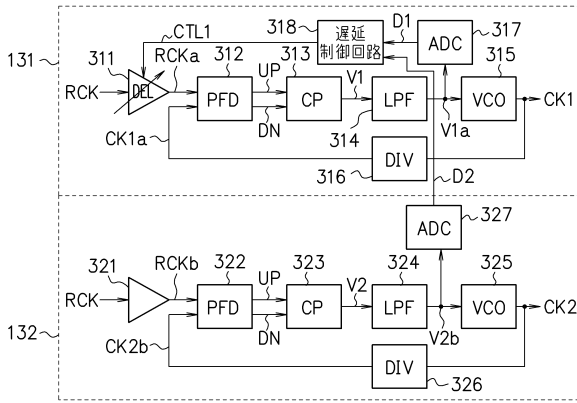
20

30

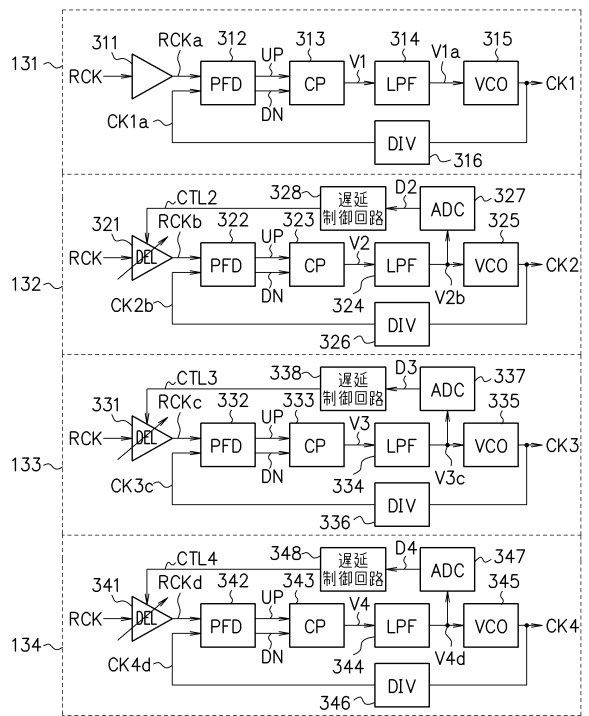
40

50

【図5】



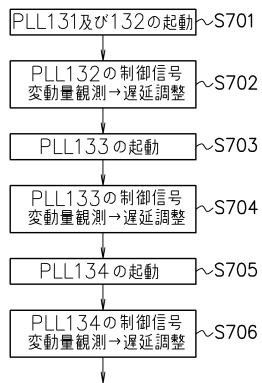
【図6】



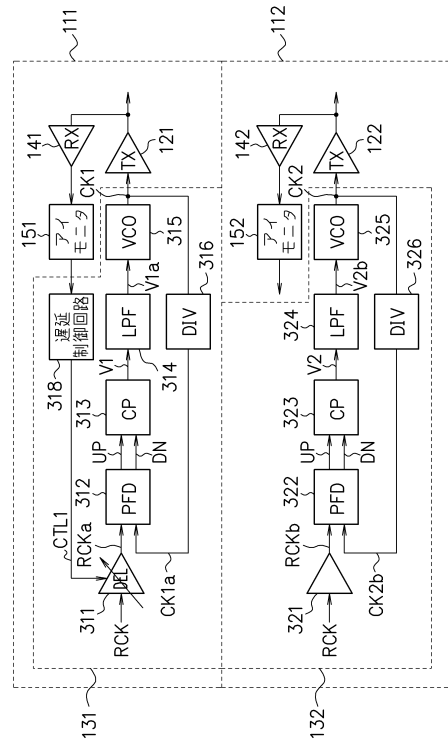
10

20

【図7】



【図8】

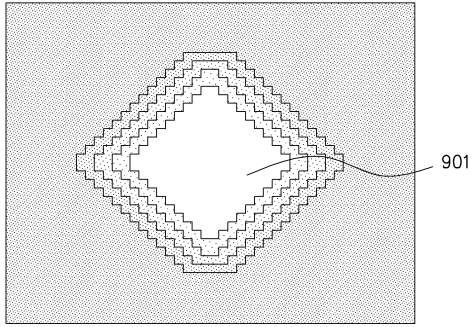


30

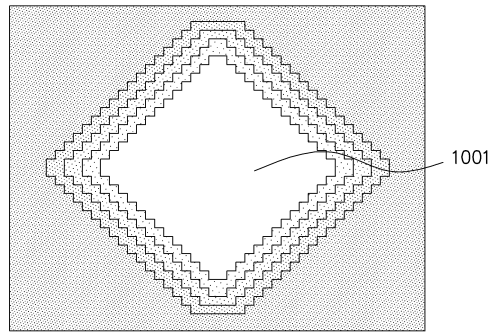
40

50

【 図 9 】



【 図 10 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表 2013 - 528011 (JP, A)
特開 2004 - 153332 (JP, A)
特開平 10 - 032489 (JP, A)
特開 2003 - 229762 (JP, A)
特開 2010 - 278720 (JP, A)
特開 2011 - 171895 (JP, A)
特開 2015 - 046799 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H03L 7/00 - 7/26
H04B 1/403