(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.7
H01L 21/335

(45) 공고일자 2004년02월19일
(11) 등록번호 10-0419440
(24) 등록일자 2004년02월06일

(21) 출원번호 10-2001-0006566
(22) 출원일자 2001년02월10일
(65) 공개번호 10-2001-0082118
(43) 공개일자 2001년08월29일

(30) 우선권주장 09/502,420 2000년02월11일 미국(US)

(73) 특허권자 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 마얀준
미국워싱턴98683밴쿠버에스이24웨이18311

오노요시
미국워싱턴98607카마스엔더블유24서클2526

(74) 대리인 백덕열
이태희

심사관 : 정회환

(54) 다층 유전체 스택 및 그의 제조방법

요약

고-k 물질층과 삽입물질층이 교대로 형성된 다층 유전체 스택이 제공된다. 삽입물질이 존재하고 또한 고-k 물질이 얇기 때문에, 비교적 높은 어닐링 온도에서도 고-k 물질내에서의 결정화 작용을 감소 또는 배제할 수 있다. 고-k 유전체층은 지르코늄 또는 하프늄의 금속 산화물로 된 것이 바람직하다. 삽입층은 비결정성인 산화알루미늄, 질화알루미늄 또는 질화실리콘으로 된 것이 바람직하다. 각각의 층들내에서 결정성 구조체가 발현되는 것이 감소되기 때문에, 전체 터널링 전류가 감소된다. 또한, 상기 언급한 다층 유전체 스택을 형성하기 위하여 원하는 물질을 퇴적하는 방법으로서, 원자적 층 퇴적법, 스퍼터링법 그리고 증착법을 이용한다.

대표도

도 2

색인어

다층 유전체 스택

명세서

도면의 간단한 설명

도 1은, 이산화실리콘 유전체층을 갖는 집적회로 구조체를 나타내는 개략 단면도이다(종래기술).

도 2는, 다층 유전체 스택을 갖는 집적회로 구조체를 나타내는 개략 단면도이다.
도 3은, 다층 유전체 스택내의 층의 갯수가 변화될 수 있음을 나타내는 개략 단면도이다.
도 4는, 실리콘 기판과 다층 유전체층 사이에 삽입된 산화 장벽을 나타내는 개략 단면도이다.
도 5는, 복수개의 유전체층과 전극층을 퇴적한 이후의 중간단계를 나타내는 개략 단면도이다.
도 6은, 대체 게이트 방법을 이용하여 본 발명의 소자를 형성함에 있어서의 중간단계를 나타내는 개략 단면도로서, 예비적 게이트를 제거한 후의 구조체를 나타내고 있다.
도 7은, 대체 게이트 방법을 이용하여 본 발명의 소자를 형성함에 있어서의 중간단계를 나타내는 개략 단면도로서, 유전체 물질과 전극물질의 복수개의 층을 퇴적한 후의 구조체를 나타내고 있다.
도 8은, 도 7의 소자에 대하여 평탄화 공정을 수행하여 과량의 물질을 제거한 것을 나타내는 개략 단면도이다.
도 9는, 본 발명의 방법에서의 단계들을 요약한 순서도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 통상적인 집적회로(IC) 제조공정에 관한 것으로서, 보다 상세하게는 다층 유전체 스택 및 그러한 스택의 제조방법에 관한 것이다.
현재의 Si VLSI 기술은 MOS 소자내의 게이트 유전체(gate dielectric)로서 SiO_2 를 사용한다. 소자의 크기가 지속적으로 축소됨에 따라서, 게이트 및 채널 영역간의 정전용량을 동일하게 유지하기 위해, SiO_2 층의 두께 또한 감소되어야 한다. 2 나노미터(nm) 미만의 두께가 장래에 요구되고 있다. 그러나, SiO_2 박막층을 통해서 높은 터널링 전류(tunneling current)가 발생하기 때문에 다른 대안적 물질을 고려할 필요가 있다. 높은 유전상수를 갖는 물질은 게이트 유전체 층을 보다 두껍게 할 수 있으므로 상기의 터널링 전류 문제를 완화시킨다. 본 명세서에서 이른바 고-k(high-k) 유전체막이라 함은, 이산화실리콘에 비해서 유전상수가 높은 것을 정의하는 것이다. 통상적으로, 이산화실리콘의 유전상수는 대략 4인데, 유전상수가 대략 10보다 큰 게이트 유전체 물질을 사용한다면 바람직할 것이다.
상기 언급한 고-k 유전체에 관련된 하나의 일반적인 문제는, 그러한 유전체가 일반적인 집적회로 제조 조건하에서 결정성 구조체를 발현시킨다는 점이다. 그 결과, 막의 표면은 매우 거칠게 된다. 표면이 거칠게 되면 유전체막에 인접한 채널영역내에 불균일한 전기장이 초래된다. 이러한 막은 MOSFET 소자의 게이트 유전체로서 적합하지 않다.
높은 직터널링 전류로 인해서, CMOS 소자내의 게이트 유전체로서 1.5 nm 보다 얇은 SiO_2 막을 통상적으로 사용할 수 없게 된다. 현재, SiO_2 의 대체물질을 찾기 위한 밀도있는 연구가 진행되고 있는데, TiO_2 와 Ta_2O_5 가 가장 주목되고 있다. 그러나, 고온의 퇴적후 어닐링(post deposition annealing), 및 계면 SiO_2 층의 형성으로 인해서, 상응 SiO_2 두께(equivalent SiO_2 thickness, 일명, 상응 산화물 두께(equivalent oxide thickness(EOT)))를 1.5 nm 미만으로 하는 것은 매우 어렵다.

발명이 이루고자 하는 기술적 과제

전체적인 성능을 떨어뜨리지 않고 또는 터널링 전류를 증대시키지 않으면서, 산화물 박막의 문제점을 완화시킬 수 있는 대안적 유전체가 있다면 바람직하다.
고-k 유전체막이, MOS 트랜지스터내의 게이트전극과 그 아래의 채널영역간 절연 장벽으로서 사용될 수 있다면 바람직하다.
고-k 유전체막이, 그 표면이 덜 거칠고, 결정성이 낮으며 또한 누설 전류가 저감되도록 형성될 수 있다면 바람직할 것이다. 이렇듯 유전상수가 높고 비결정성 인 물질이 집적회로의 게이트 유전체와 단락 커패시터(shortage capacitor)에 사용될 수 있다면 바람직하다.

발명의 구성 및 작용

따라서, 이산화실리콘에 비해서 높은 유전상수를 갖는 고-k 물질층과 삽입물질층이 교대로 형성된 다층 유전체 스택이 제공된다. 고-k 물질은, 산화티타늄(TiO_2), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화탄탈륨(Ta_2O_5) 그리고 바륨 및 스트론튬 티타늄 옥사이드($(Ba, Sr)TiO_3$)로 이루어진 군으로부터 선택되고, 바람직한 것은 산화지르코늄 및 산화하프늄이다. 삽입물질은 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 질화실리콘(SiN 또는 Si_3N_4) 또는 이산화실리콘(SiO_2)으로부터 선택되며, 바람직한 것은 산화알루미늄, 질화알루미늄 또는 질화실리콘이다. 바람직하기로는, 고-k 물질층 및 삽입물질층이 교대로 형성된 것이 종래기술의 집적회로내의 이산화실리콘 유전체층을 대체한다. 각각의 층은 바람직하기로는, 그 두께가 50 Å 미만이다. 삽입물질에 의해 구획된 얇은 고-k 물질층들로 인해서 결정성 구조체의 형성이 감소되거나 배제된다. 복수개의 층들은 터널링 전류를 감소시키는데, 이는 소자의 성능을 개선시킨다. 전체 높이가 고정된 경우, 층이 추가되면 터널링 전류가 감소한다. 주어진 높이의 스택의 전체 정전

용량은, 삽입물질과 고-k 물질 양자의 유전상수에 따라 변화된다. 필요로 하는 전체 두께를 위한 층의 갯수는, 각 층에서의 최소 두께 그리고 요구되는 소자의 성능에 의해서 제한된다.
또한, 반도체 기판 위에 놓여져 있는 제1 유전체 물질층, 제1층 위에 놓여져 있는 제2 유전체 물질층, 제2층 위에 놓여져 있으며, 제1층과 동일한 물질로 이루어진 제3층을 갖는 다층 유전체 스택 및 그 유전체 스택 위에 놓여져 있는 전극을 포함하는, 집적회로(IC)용 구조체가 제공된다. 유전체 스택의 성분은 상기 언급한 바와 같다. 유전체 스택의 전체 두께는 바람직하기로는 20 내지 200 Å이다.
본 발명의 다른 실시예에 따른 집적회로 구조체는, 게이트전극; 상기 게이트전극 아래에 상면을 갖는 채널영역; 제1 유전체 물질을 포함하는 제1 유전체층, 제2 유전체 물질을 포함하는 제2 유전체층, 및 제1 유전체 물질을 포함하는 제3 유전체층을 구비하고 게이트전극과 채널영역의 상면 사이에 삽입된, 게이트 유전체 스택을 포함하는 MOS 트랜지스터이다.
본 발명의 다른 실시예에 의하면, 실리콘 기판과 유전체 스택의 사이에 삽입된 산화 장벽(oxidation barrier)을 추가로 포함함으로써, 산소가 유전체 스택의 아래에 있는 실리콘 기판내로 전이되는 것을 방지한다. 그 계면 물질(interface material)은 질화알루미늄, 질화실리콘 및 옥시질화실리콘으로 이루어진 군으로부터 선택된다.
윗쪽 표면을 갖는 반도체 기판 위에 IC를 조립함에 있어서, 반도체 기판 위에 다층 유전체 스택을 형성하는 방법이 제공된다. 본 방법은:
a) 반도체 기판의 윗쪽 표면 위에 제1 유전체층을 형성하는 단계;
b) 제1 유전체층 위에 제2 유전체층을 형성하는 단계; 및
c) 제2 유전체층 위에, 제1 유전체 물질과 동일한 유전체 물질을 포함하는 제3 유전체층을 형성하는 단계를 포함한다
.
바람직하기로는, 각각의 유전체층은, 종종 펄스화된(pulsed) CVD법이라고 일컬어지는 원자적 층 퇴적(atomic layer deposition)법에 의해 형성되는데, 이는 전구체를 산화시켜 목적하는 산화물을 형성하는 방법이다. 비록 원자적 층 퇴적법이 바람직하기는 하나, 각각의 유전체층을 퇴적하는 대안적 방법으로서 스퍼터링법 및 증착법도 있다.
복수개의 유전체층을 퇴적한 다음, 전체 유전체 스택은 바람직하기로는, 대략 400 내지 900 ℃의 온도에서 어닐링되어, 스택, 층들사이의 계면 및 기판과의 계면을 컨디션(condition)한다.
전극층을 퇴적시키는 단계 및 전극층과 그 아래의 복수개의 유전체층을 패터닝하는 단계를 포함하는 후속 공정을 수행하여 다층 유전체 스택 구조체를 형성한다.
예시를 위한(스케일과 무관) 도면들을 참고할 때, 도 1은 종래기술의 통상적인 집적회로(IC) 구조체, 구체적으로는 MOS 트랜지스터 게이트 구조체(10)를 나타낸다. MOS 트랜지스터 구조체(10)는 반도체 기판(12) 위에 형성되며, 채널영역(15)을 포함하는 활성영역(14) 위에 놓여진다. MOS 트랜지스터 게이트 구조체(10)는 폭을 갖는 채널영역(15) 위에 위치하는 이산화실리콘 유전체층(16)을 갖는다. 통상적으로 폴리실리콘으로 도핑된 전극(18)이 유전체층(16) 위에 형성되어 게이트 구조체(10)가 완성된다.
또한, 완성된 MOS 트랜지스터는 도 1 및 기타 도면에서 나타낸 바와 같이, 소스영역(21), 드레인영역(23) 및 필드 격리영역(27)을 포함한다. 그러나, 이들은 당업자들에게는 공지된 것이므로, 이하에서는 더 이상 개시 또는 언급하지 않기로 한다. 본 명세서의 이하에서는, 본 발명이 유전체 물질을 이용한 다른 소자 구조체에도 적용될 수 있음을 강조하기 위해서, MOS 트랜지스터 게이트 구조체(10)에 유사한 구조체를 종종 집적회로 구조체라 한다.
IC 소자의 크기가 지속적으로 축소됨에 따라서, 전체 소자의 정전용량 및 기타의 특성들을 동일한 수준으로 유지하기 위하여, 이산화 실리콘 유전체층(16)의 두께 또한 감소되어야 한다. IC 소자의 "크기(size)"는 통상적으로는 채널영역(15)의 길이를 뜻한다. 도 1에서 보듯이, 그 길이는 통상적으로 게이트전극(18)의 길이와 같다. 그 길이가 계속적으로 축소됨에 따라 채널영역의 면적이 감소하게 된다. 정전용량을 유지하기 위해서, 이산화실리콘층의 두께는 감소되어야 한다. 이산화실리콘 유전체층의 요구되는 두께가 20 Å정도로 매우 얇아짐에 따라 높은 터널링 전류가 발생되므로 통상적으로 다른 대안적 물질의 사용이 필요하게 된다. 대안적 물질은 일명 "고-k" 물질이라고 하는데, 이는 그 물질들이 이산화실리콘에 비해 높은 유전상수를 가지고 있기 때문이다. 현재 고-k 물질로서 사용가능한 것으로는, 산화티타늄(TiO_2), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화탄탈륨(Ta_2O_5) 그리고 바륨 및 스트론튬 티타늄 옥사이드($(Ba, Sr)TiO_3$) 등을 들 수 있다. 유감스럽게도, 이들 물질은 통상의 제조 조건 또는 후속의 공정 온도하에서, 다결정성 구조체를 발현시키는 경향을 지니고 있다. 이들 다결정성 구조체로 인해 누설 전류가 증가한 다.
본 발명은, 고-k 물질층과 삽입물질층을 교대로 형성시킴으로써 상기한 문제를 해결하고자 한다. 삽입물질은 바람직하기로는 비결정성이다.고-k 박층을 구획하는 얇은 삽입물질층으로 인해서, 고-k층내에 다결정성 구조체가 형성되는 것이 감소되거나 배제된다. 삽입물질은 비결정성이어서, 인접한 층내에 결정화가 일어나는 것 또한 감소시키는 경향을 지닌다. 또한, 얇은 고-k층을 지니고 있기 때문에, 결정화가 일어나더라도 비교적 작은 결정 구조체를 생성함에 그친다. 비록 비결정성 삽입물질이 바람직하기는 하지만, 단결정 물질 또는 작은 다결정성 구조체를 갖는 물질들 역시 본 발명의 범위에 포함되는 것이다.
도 2에서, 집적회로 구조체(110)가 반도체 기판(112)의 활성영역(114) 위에 형성되어 있다. 집적회로 구조체는, 도 1에서의 이산화실리콘 유전체층(16)을 대체하는 다층 유전체 스택(116)을 갖는다. 다층 유전체 스택은 활성영역(114) 위에 삽입층(130)을, 그리고 삽입층(130) 위에 고-k층(140)을 갖는다. 삽입층(130)은, 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 질화실리콘(SiN 또는 Si_3N_4) 또는 이산화실리콘(SiO_2)으로 이루어져 있으나, 바람직한 것은 산화알루미늄이다. 삽입층(130)의 두께는 50 Å미만이다. 고-k층(140)은 고-k 유전체 물질로 이루어져 있다. 고-k 유전체물질로서는, 산화티타늄(TiO_2), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화탄탈륨(Ta_2O_5) 그리고 바륨 및 스트론튬 티타늄 옥사이드($(Ba, Sr)TiO_3$) 등이 있으나, 바람직한 것은 산화지르코늄 또는 산화하프늄이다. 제2 삽입층(150)은 고-k층(140) 위에 놓여져 있고, 바람직하기로는 삽입층(130)과 동일한 물질로 이루어진다. 본 발

명의 바람직한 일실시예에 의하면, 상기 층들이 반복되는데, 예를 들어 $Al_2O_3/ZrO_2/Al_2O_3/ZrO_2/Al_2O_3/ZrO_2$ 과 같이 형성된다.

도 3에서 보듯이, 층들의 갯수 또는 패턴은 많이 반복될 수 있다. 층이 추가될 수록 다층 유전체 스택의 터널링 전류를 감소시키는 경향이 생기고, 한편으로는 그와 동시에 전체 정전용량을 감소시킨다. 터널링 전류가 낮고 정전용량이 높은 것이 바람직하므로, IC 소자에서 요구되는 성능에 따라 양자간의 조절이 바람직하게 이루어질 수 있다. 또한, 고-k층(140)이 삽입층(130)보다 먼저 퇴적되도록, 물질의 순서를 바꾸는 것도 가능하다.

상기에서 비록 층의 갯수가 짝수개인 경우를 언급하였으나, 최상층으로서 별도의 층을 갖는 것도 본 발명의 범위내에 포함된다. 전극(118)과 양호하게 계면을 형성할 수 있는 최상층이 선택될 수 있다.

삽입층(130)을 구성하는 물질로서는, 그 삽입층이 아래에 있는 실리콘을 보호하는 산화 장벽의 역할을 할 수 있도록 하는 것을 선택한다. 삽입층(130)이 산화 장벽으로서 기능하지 못하거나, 고-k층(140)이 아래에 있는 실리콘 기판과 접촉되게 된 경우라면, 도 4에서 보듯이, 반도체 기판(112)과 다층 유전체 스택(116) 사이에 산화 장벽(170)이 제공된다. 본 발명에서 요구되는 두께에서, 산화 장벽으로서 기능하는 물질로는 산화알루미늄, 질화실리콘 및 옥시질화실리콘을 들 수 있다.

도 5는, 본 발명에 따른, 다층 유전체 스택(216)을 갖는 집적회로 구조체 제 조에 있어서의 중간단계의 실시예를 나타내고 있다. 전체 웨이퍼(212) 위에, 고-k 물질층(230)과 삽입물질층(240)을 교대로 복수개 형성시켜 퇴적함으로써 다층 유전체 스택(216)을 형성한다. 그 다음, 전극층(218)을 전체 웨이퍼 위에 퇴적시킨다. 전극층(218)과 그 아래에 있는 다층 유전체 스택(216)이 패터닝된 후 에칭되어, 도 2에서 보는 바와 같은 집적회로 구조체를 형성한다. 추가적인 공정들이 수행되어 목적하는 접합부 또는 다른 구조체들을 형성한다.

또한, 본 발명의 다층 유전체 스택은 최근의 대체 게이트 제조방법(substitute gate manufacturing method)에서 사용되기에 적합하다. 대체 게이트는, 나중에는 제거되도록 되어 있는 예비적 게이트 구조체의 형성과 관련이 있다. 예비적 게이트 구조체가 제거된 후, 그 예비적 게이트 구조체가 있었던 곳에 개구부가 남는다. 다음에, 최종 게이트가 그 개구부에 형성된다. 도 6은, 대체 게이트 형성의 중간단계에서의 반도체 기판을 나타내고 있다. 예비적 게이트 구조체는 제거되어, 평탄화 물질(311), 바람직하기로는 이산화실리콘 또는 질화실리콘으로 둘러싸인 개구부(300)를 형성한다.

도 7은 후속 단계를 나타내고 있는데, 삽입물질층(330)과 고-k물질층(340)을 교대로 형성시켜 다층 유전체 스택층(316)을 형성하고, 대체 게이트를 형성하는 개구부를 갖는 반도체 기판(312) 위에 전극층(318)을 퇴적시킨다. 화학기계연마법(chemical mechanical polish) 또는 기타의 적당한 공정에 의해서, 평탄화 물질(311) 위에 있는 영역으로부터 다층 유전체 스택층(316) 및 전극층(318)이 제거되어 도 8에서 보는 바와 같은 구조체를 형성한다.

도 8은, 본 발명을 대체 게이트 구조체에 적용한 것을 나타내고 있다. 다층 유전체 스택(416)은 활성영역(414) 위에 놓여진다. 다층 유전체 스택(416)이 형성되는 동안, 다층 측벽(422 및 424)이 함께 형성된다. 바람직하기로는 금속으로 되어 있는 전극(418)이, 다층 측벽(422 및 424) 사이에서, 다층 유전체 스택(416) 위에 놓여진다.

본 발명의 방법의 단계들을 도 9에서 개략적으로 나타내었다. 첫번째 단계(510)는 반도체 기판을 제공하는 단계이다. 본 발명의 대안적 실시예로서, 반도체 기판 위에 산화 장벽을 형성시킬 수도 있다.

단계(520)는, 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 질화실리콘(SiN 또는 Si_3N_4) 또는 이산화실리콘(SiO_2)과 같은 삽입물질, 또는 산화티타늄(TiO_2), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화탄탈륨(Ta_2O_5) 그리고 바륨 및 스트론튬 티타늄 옥사이드($(Ba, Sr)TiO_3$)와 같은 고-k 물질로 된, 50 Å 미만의 박층을 퇴적하는 단계이다. 바람직하기로는, 35 Å미만의 박층이 퇴적될 수 있다. 훨씬 얇은 20 Å미만의 박층도 바람직하다.

단계(530)는, 고-k 물질 또는 삽입물질중 단계(520)에서 퇴적되지 않은 물질을 50 Å미만의 두께를 갖는 박층으로서 퇴적하는 단계이다. 바람직하기로는, 35 Å미만의 박층이 퇴적될 수 있다. 훨씬 얇은 20 Å미만의 박층도 바람직하다.

본 발명의 바람직한 일실예에 의하면, "펄스화된(pulsed) CVD" 또는 "원자적 층 에피탁시(atomic layer epitaxy)"라고 일컬어지는 원자적 층 퇴적법(원자적 층 CVD)을 사용하여 극도로 얇은 물질층을 기판 위에 퇴적한다. 원자적 층 퇴적법(원자적 층 CVD)은 화학흡착(chemisorption)이라고 알려져 있는 화학 현상을 이용한다. 화학흡착에서, 기상(gas phase)의 물질이 표면에 흡착하고 포화되어 단일층을 형성하게 된다. 대부분의 통상적인 퇴적방법에서는 물리흡착(physisorption) 공정을 채용하는데, 이는 순전히 통계적으로 표면이 덮여지는 다층 퇴적영역을 형성시키는 것이다. 화학흡착의 장점을 이용함으로써, 두께 및 조성에 있어서 매우 균일한 막을 성장시킬 수 있다. 예를 들어, 염화지르코늄($ZrCl_4$)을 이용하여 상기 첫번째 단일층을 형성하고, 염화지르코늄 시스템을 퍼지(purging)한 후, 그 표면을 수증기(H_2O)에 노출시킴으로써, 실리콘 위에 이러한 방식으로 산화지르코늄막을 성장시킬 수 있음이 알려져 있다. 산화지르코늄막을 제조하기 위한 다른 전구체로서는, 지르코늄사이드($Zr(iOPr)_4$) 및 지르코늄 테트라메틸 헵탄디오네이토($Zr(tmhd)_4$)를 들 수 있다. 화학흡착은, 주어진 기-액 결합체에 대하여 매우 제한된 범위의 온도와 압력에서 일어난다. 예를 들어, $ZrCl_4$ 및 H_2O를 이용하여, 300 ℃의 온도에서, 산화지르코늄이 실리콘 기판 위에 퇴적되는 것으로 알려져 있다. 공정이 진행되면 단일층이 생성되기 때문에, 추가적인 단일층의 첨가에 의해 보다 얇은 산화지르코늄막이 생성된다. 원하는 두께만큼 고-k 물질이 퇴적되게 되면, 하나 이상의 단일층을 원하는 두께에 이를 때까지 퇴적시켜서 삽입물질층을 형성할 수 있다. 예를 들어, 디메틸 알루미늄 하이드라이드(DMAH)와 H_2O를 사용하여 Al_2O_3 를 생성한다. 선 택된 전구체(precursors)와 관련하여 화학흡착을 이용하기 위해서는, 과도한 실험을 통하지 않고 일반적 공정들을 최적화시킬 필요가 있다. 이러한 퇴적 방법에 있어서 중요한 요소는, 하나의 성분을 다음 성분이 도입되기 전에 충분히 퍼징하는 것, 그리고 온도 및 압력을 조절할 수 있는 능력인데, 고-k 물질과 삽입물질에 대해 다를 수 있다. 원자적 층 퇴적법(원자적 층 CVD)을 통해서, 10 Å미만 두께의 층, 바람직하기로는 대략 2 내지 5 Å두께의 층을 제조할 수 있다. 비록 실험상으로는 원자적 층 퇴적이 성취되는 것으로 나타나지만, 반도체 기판 위에 이러한 초박형의 원자적 층을 퇴적시키기 위한 효율적인 도구는 현재 존재하지 않는다.

통상적인 시스템을 이용하는 다른 대안적 퇴적기술은, 타겟(target)을 스퍼터(sputter)하여 고-k물질 또는 삽입물질의 박층을 형성하는 것이다. 고순도 금속으로 된 두 개의 스퍼터링 타겟이 사용된다. 예를 들어, 지르코늄으로 된 하나의 타겟과 알루미늄으로 된 하나의 타겟이 사용될 수 있다. 각각의 타겟은 퇴적시간을 조절하기 위하여 자체적으로 셔터(shutter)를 지니고 있다. 웨이퍼를 준비하여 퇴적 챔버내에 놓는다. 그 다음, 웨이퍼를 실온 내지 500 ℃의 온도로 가열한다. 다음으로, 아르곤과 산소의 혼합물을 퇴적 챔버내에 도입한다. 챔버내에, 대략 500 W 내지 5kW의 스퍼터링 파워를 갖는 플라즈마가 생성된다. 알루미늄 타겟용 셔터가 바람직하기로는 대략 1 내지 10초 동안 열려서 웨이퍼 위에 알루미늄을 퇴적한 후, 닫힌다. 알루미늄 타겟 셔터가 닫힌 후, 지르코늄 셔터가 대략 1 내지 20초 동안 열려서 지르코늄을 웨이퍼 위에 퇴적한 다음, 닫힌다. 챔버내의 산소로 말미암아, 웨이퍼 위의 퇴적과 동시에, 타겟 물질이 각각 Al_2O_3 및 ZrO_2 의 산화물을 형성한다. 다음에, 상기 단계들을 원하는 만큼 반복하여, $Al_2O_3/ZrO_2/Al_2O_3/ZrO_2/Al_2O_3/ZrO_2$ 와 같은 복수개의 유전체 스택층을 제조한다.
본 발명의 다른 대안적 실시예에 따른 퇴적법에서는, 타겟을 증착시켜 박층을 퇴적시킨다. 타겟을 플라즈마에 노출시키고, 대략 1,000 내지 2,000 ℃의 온도로 가열시키는 점을 제외하면, 그 기본적인 공정은 스퍼터링에 관련하여 위에서 언급한 내용과 실질적으로 동일하다. 위에서 언급한 바대로, 셔터를 사용하여 퇴적 시간을 조절하고, 타겟들을 번갈아 퇴적한다.
상기 실시예들에서는 삽입층이 고-k층보다 먼저 퇴적되지만, 고-k층을 첫번째로 퇴적하는 것도 본 발명의 범위내에 포함된다. 또한, 첫번째 층과 마지막 층이 동일한 물질로 되거나 또는 마지막 층이 다른 물질로 되어 있는 것과 같이, 층수가 홀수가 되도록 제조하는 것도 본 발명의 범위에 포함된다.
단계(540)에서는, 원하는 갯수의 층이 퇴적될 때까지, 단계(520)과 단계(530)을 반복한다. 각 층의 퇴적에 있어서, 셔터 또는 다른 수단을 이용하여 퇴적 시간을 조절한다.
단계(550)는, 아르곤, 질소 또는 질소와 수소의 혼합물을 포함하는 불활성 분위기내에서 또는 산소, 수증기, 탈질 산화물 또는 일산화질소를 포함하는 산화 분위기내에서, 다층 유전체 스택을 어닐링하는 단계이다. 바람직하기로는 400 내지 900 ℃로 승온시켜 어닐링을 수행함으로써, 고-k층과 삽입층은 물론, 다양한 층간 의 계면 및 아래에 있는 실리콘과의 계면을 컨디션한다.
단계(560)는, 전극을 퇴적하고, 전극과 그 아래의 다층 유전체 스택을 패터닝하는 단계이다. 패터닝에 있어서, 통상적인 패터닝 공정이나 또는 대체 게이트 공정중 어느 하나를 필요에 따라서 채용할 수 있다.

발명의 효과

본 발명은, 트랜지스터의 게이트 유전체로서의 이산화실리콘을 대체하는데 특히 적합하긴 하지만, 저장 커패시터(storage capacitors), 강유전성 기억소자(ferroelectric memory devices) 또는 다른 형태의 집적회로에도 유용하게 이용될 수 있다.
본 발명의 범위를 벗어나지 않는 한, 대안적인 다른 실시예들도 적용가능하다. 도시된 실시예들로부터 분명하듯이, 몇가지의 다른 집적회로 구조체와 관련된 다양한 구조에 본 발명이 적용될 수 있다. 당업자라면, 다양하게 변형된 방법들을 본 발명의 범위내에서 도출해낼 것이다. 따라서, 이상의 개시 내용 및 그에 대한 설명들은 단지 예시를 위한 것일뿐, 본 발명의 범위를 제한하는 것이 아님은 물론이다. 본 발명은 청구범위에 의해 정의된다.

(57) 청구의 범위

청구항 1.
a) 게이트전극;
b) 상기 게이트전극 아래에 상면을 갖는 채널영역;
c) 제1 유전체 물질을 포함하는 제1 유전체층, 제2 유전체 물질을 포함하는 제2 유전체층, 및 제1 유전체 물질을 포함하는 제3 유전체층을 구비하고 게이트전극과 채널영역의 상면 사이에 삽입된, 게이트 유전체 스택을 포함하고,
상기 제1 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5 으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2 으로 이루어진 군으로부터 선택되는, MOS 트랜지스터.
청구항 2.
다층 게이트 유전체 스택을 구비하는 IC용 집적회로 구조체로서,
a) 제1 유전체 물질을 포함하고, 반도체기판을 피복하는 제1 유전체층;
b) 제2 유전체 물질을 포함하고, 상기 제1 유전체층을 피복하는 제2 유전체층;
c) 상기 제1 유전체 물질을 포함하고, 상기 제1 및 제2 유전체층을 피복하는 제3 유전체층; 및
d) 상기 게이트 유전체 스택을 피복하는 게이트전극을 포함하고,
상기 제1 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5 으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2 으로 이루어진 군으로부터 선택되는, 집적회로 구조체.
청구항 3.
삭제
청구항 4.
삭제
청구항 5.

제2항에 있어서, 제1 유전체층의 두께가 50 Å미만인, 집적회로 구조체.

청구항 6.

제2항에 있어서, 제1 유전체층의 두께가 2Å 내지 5 Å인, 집적회로 구조체.

청구항 7.

제2항에 있어서, 제2 유전체층의 두께가 50 Å 미만인, 집적회로 구조체.

청구항 8.

제2항에 있어서, 제2 유전체층의 두께가 2 내지 5 Å인, 집적회로 구조체.

청구항 9.

제2항에 있어서, 제1 유전체층과 반도체 기판 사이에 삽입된 산화 장벽을 추가로 포함하는, 집적회로 구조체.

청구항 10.

제9항에 있어서, 산화 장벽이 질화실리콘과 옥시질화실리콘으로 이루어진 군으로부터 선택되는 물질로 이루어진, 집적회로 구조체.

청구항 11.

제2항에 있어서, 반도체 기판과 전극 사이에, 제1 유전체 물질층과 제2 유전체 물질층이 교대로 형성된 복수개의 층이 삽입되어 있는, 집적회로 구조체.

청구항 12.

제11항에 있어서, 교대로 형성된 복수개의 층의 결합 두께가 20Å 내지 200Å인 , 집적회로 구조체.

청구항 13.

게이트 유전체 스택의 형성 방법으로서,

a) 반도체 기판의 상면에 제1 유전체층을 형성하는 단계;

b) 제1 유전체층 위에 제2 유전체층을 형성하는 단계;

c) 제2 유전체층 위에, 제1 유전체 물질과 동일한 유전체 물질을 포함하는 제3 유전체층을 형성하는 단계; 및

d) 게이트 유전체 스택상에 게이트전극을 형성하는 단계를 포함하고,

상기 제1 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5 으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2 으로 이루어진 군으로부터 선택되는, 게이트 유전체 스택의 형성 방법.

청구항 14.

제13항에 있어서, 반도체 기판을 400 내지 900 ℃의 온도에서 어닐링하여 유전체 스택을 개질(改質)하는 단계를 추가로 포함하는, 게이트 유전체 스택의 형성 방법.

청구항 15.

제14항에 있어서, 유전체 스택 위로 전극층을 퇴적시키는 단계 및 전극층과 그 아래의 유전체 스택을 패터닝하여 원하는 집적회로 구조체를 형성시키는 단계를 추가적으로 포함하는, 게이트 유전체 스택의 형성 방법.

청구항 16.

제13항에 있어서, 제1 유전체층을 형성하는 단계는, 원자적 층 퇴적법을 이용하여 제1 유전체 물질층을 퇴적시키는 단계인, 게이트 유전체 스택의 형성 방법.

청구항 17.

제13항에 있어서, 제2 유전체층을 형성하는 단계는, 원자적 층 퇴적법을 이용하여 제2 유전체 물질층을 퇴적시키는 단계인, 게이트 유전체 스택의 형성 방법.

청구항 18.

제13항에 있어서, 제1 유전체층을 형성하는 단계는, 원자적 층 퇴적법을 이용하여 제1 유전체 물질의 제1 전구체를 퇴적시키는 단계인, 게이트 유전체 스택의 형성 방법.

청구항 19.

제18항에 있어서, 제1 전구체를 산화시켜 제1 유전체 물질을 형성하는 단계를 추가로 포함하는, 게이트 유전체 스택의 형성방법.

청구항 20.

제18항에 있어서, 제1 전구체가 자기-제한적(self-limiting)으로 형성된 단분자층으로서 퇴적되는, 게이트 유전체 스택의 형성 방법.

청구항 21.

제18항에 있어서, 제1 전구체가 $ZrCl_4$, $Zr(iOPr)_4$ 및 $Zr(tmhd)_4$ 로 이루어진 군으로부터 선택되는, 게이트 유전체 스택의 형성 방법.

청구항 22.

제13항에 있어서, 제1 유전체층을 형성하는 단계는 소정의 시간 동안 제1 타겟을 스퍼터링하는 것을 이용하고, 제2 유전체층을 형성하는 단계는 소정의 시간 동안 제2 타겟을 펄스 스퍼터링하는 것을 이용하는, 게이트 유전체 스택의 형성 방법.

청구항 23.

제22항에 있어서, 제1 타겟과 제2 타겟을 스퍼터링하는 시간을 셔터에 의해 조절하는, 게이트 유전체 스택의 형성 방법.

청구항 24.

제22항에 있어서, 스퍼터링을 산화 분위기에서 수행하는, 게이트 유전체 스택의 형성 방법.

청구항 25.

제13항에 있어서, 제1 유전체층을 형성하는 단계는 제1 타겟 물질을 소정의 시간 동안 증착시키는 것을 이용하고, 제2 유전체층을 형성하는 단계는 제2 타겟 물질을 소정의 시간 동안 증착시키는 것을 이용하는, 게이트 유전체 스택의 형성 방법.

청구항 26.

제25항에 있어서, 제1 타겟과 제2 타겟의 증착 시간을 셔터에 의해 조절하는, 게이트 유전체 스택의 형성 방법.

청구항 27.

a) 게이트전극;

b) 상기 게이트전극 아래에 상면을 갖는 채널영역;

c) 제1 유전체 물질을 포함하는 제1 유전체층, 제2 유전체 물질을 포함하는 제2 유전체층, 및 제1 유전체 물질을 포함하는 제3 유전체층을 구비하고 게이트전극과 채널영역의 상면 사이에 삽입된, 게이트 유전체 스택을 포함하고,

상기 제1 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5으로 이루어진 군으로부터 선택되는, MOS 트랜지스터.

청구항 28.

다층 게이트 유전체 스택을 구비하는 IC용 집적회로 구조체로서,

a) 제1 유전체 물질을 포함하고, 반도체기판을 피복하는 제1 유전체층;

b) 제2 유전체 물질을 포함하고, 상기 제1 유전체층을 피복하는 제2 유전체층;

c) 상기 제1 유전체 물질을 포함하고, 상기 제1 및 제2 유전체층을 피복하는 제3 유전체층; 및

d) 상기 게이트 유전체 스택을 피복하는 게이트전극을 포함하고,

상기 제1 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5으로 이루어진 군으로부터 선택되는, 집적회로 구조체.

청구항 29.

게이트 유전체 스택의 형성 방법으로서,

a) 반도체 기판의 상면에 제1 유전체층을 형성하는 단계;

b) 제1 유전체층 위에 제2 유전체층을 형성하는 단계;

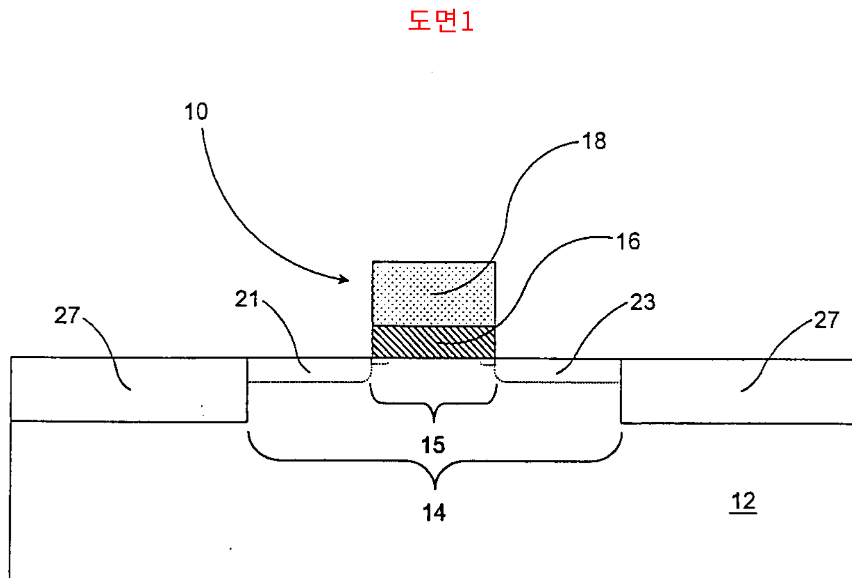
c) 제2 유전체층 위에, 제1 유전체 물질과 동일한 유전체 물질을 포함하는 제3 유전체층을 형성하는 단계; 및

d) 게이트 유전체 스택상에 게이트전극을 형성하는 단계를 포함하고,

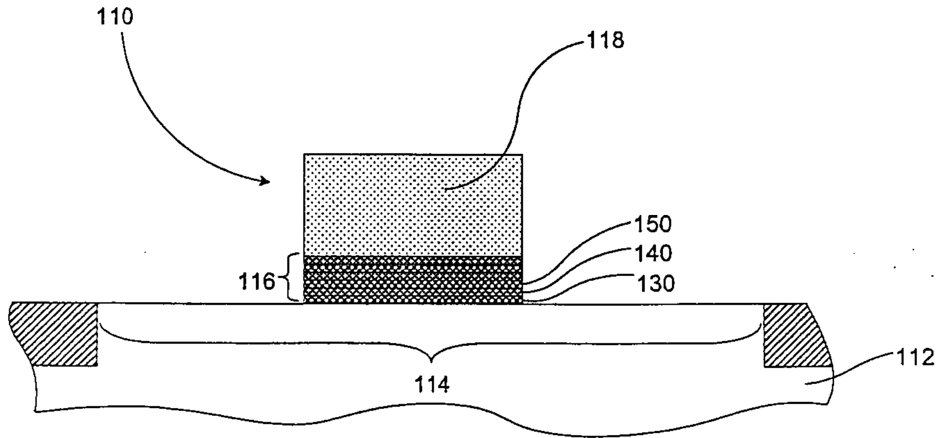
상기 제1 유전체 물질이 Al_2O_3, AlN, SiN, Si_3N_4 및 SiO_2으로 이루어진 군으로부터 선택되고, 상기 제2 유전체 물질이 ZrO_2, HfO_2, TiO_2 및 Ta_2O_5으로 이루어진 군으로부터 선택되는, 게이트 유전체 스택의 형성방법.

도면

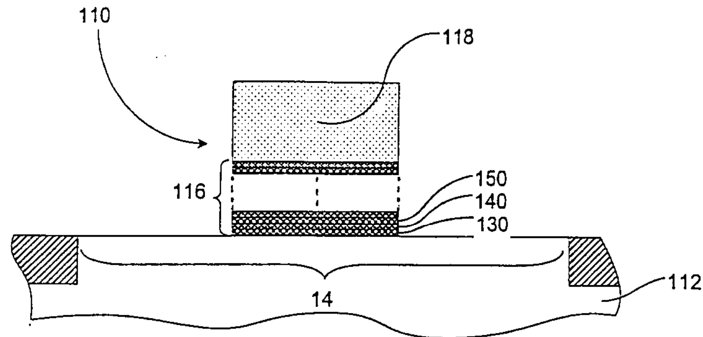
도면1



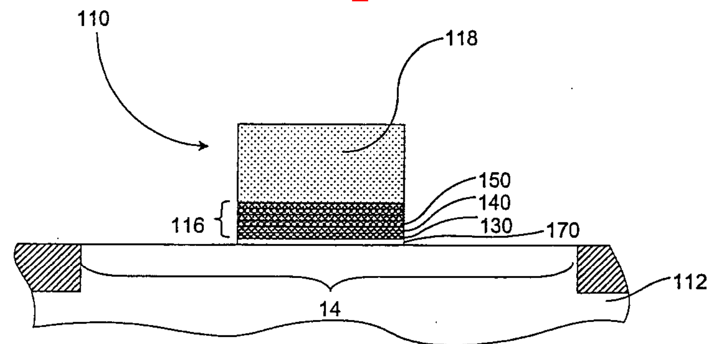
도면2



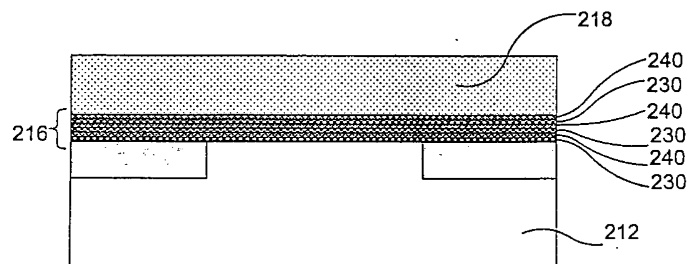
도면3



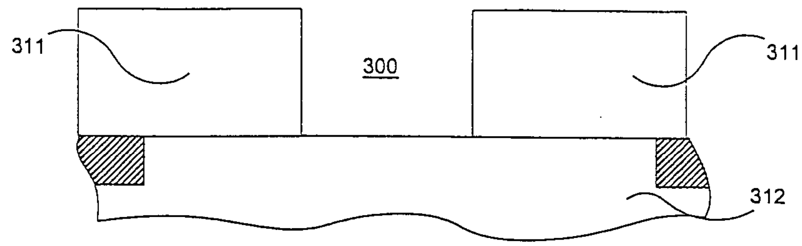
도면4



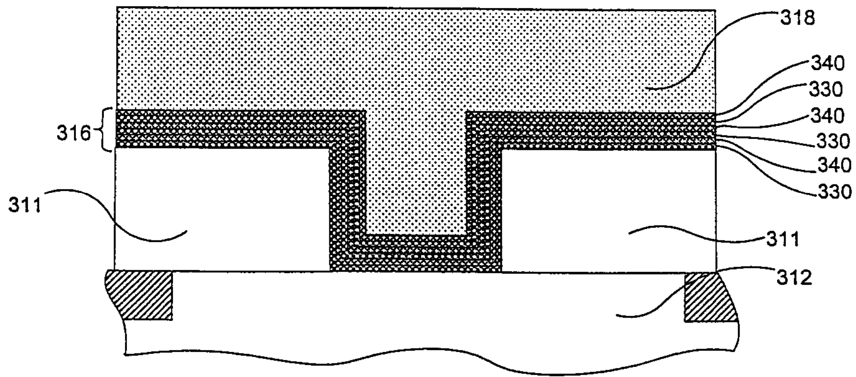
도면5



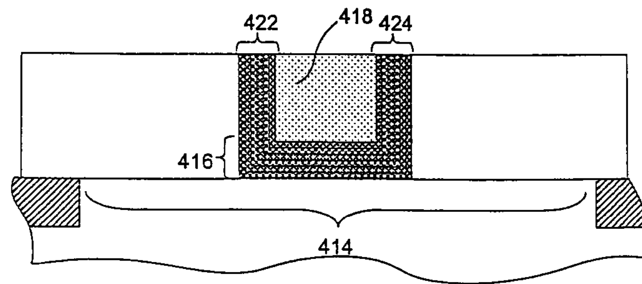
도면6



도면7



도면8



도면9