



(12) 发明专利

(10) 授权公告号 CN 109950220 B

(45) 授权公告日 2021.01.01

(21) 申请号 201711400808.9

(22) 申请日 2017.12.21

(65) 同一申请的已公布的文献号
申请公布号 CN 109950220 A

(43) 申请公布日 2019.06.28

(73) 专利权人 合肥杰发科技有限公司
地址 230000 安徽省合肥市望江西路800号
创新产业园A3楼10层

(72) 发明人 熊险峰 宋征华

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 李庆波

(51) Int.Cl.

H01L 23/485 (2006.01)

H01L 21/48 (2006.01)

(56) 对比文件

US 2004/0058520 A1, 2004.03.25

CN 101179057 A, 2008.05.14

CN 1404134 A, 2003.03.19

审查员 孙丽

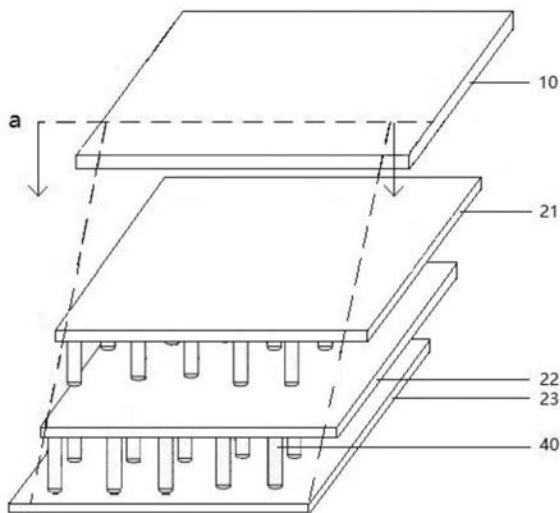
权利要求书1页 说明书5页 附图4页

(54) 发明名称

接合垫结构及接合垫结构的制作方法

(57) 摘要

本发明公开了一种接合垫结构及接合垫结构的制作方法。接合垫结构包括第一金属层；相对第一金属层依次层叠设置的至少两第二金属层；第一金属层与第二金属层之间及第二金属层之间设置有介电层；第一金属层及与第一金属层相邻的第二金属层在接合垫结构区域外电性连接；第二金属层的相邻两层之间电性连接。本发明还公开了一种接合垫结构的制作方法，通过该方法，可以避免大尺寸铜键合线产生的弹坑问题。



1. 一种接合垫结构,其特征在于,包括:
 - 第一金属层;
 - 相对所述第一金属层依次层叠设置的至少三个第二金属层;
 - 所述第一金属层与所述第二金属层之间及所述第二金属层之间设置有介电层;
 - 所述第一金属层及与所述第一金属层相邻的第二金属层在所述接合垫结构区域外电性连接;
 - 所述第二金属层的相邻两层之间电性连接;
 - 其中,中间的所述第二金属层两侧设置的所述第二金属层分割为若干条状金属;且两个所述第二金属层的金属条在同一平面投影不重合;一个所述第二金属层的金属条的投影处于另一所述第二金属层的两个金属条的投影之间。
2. 根据权利要求1所述接合垫结构,其特征在于,与所述第一金属层相邻的第二金属层分割为若干条状金属。
3. 根据权利要求1所述接合垫结构,其特征在于,所有所述第二金属层分割为若干条状金属。
4. 根据权利要求3所述接合垫结构,其特征在于,所述第二金属层的相邻两层上的金属条在同一平面内的投影相交。
5. 根据权利要求4所述接合垫结构,其特征在于,所述第二金属层的相邻两层上的金属条在同一平面内的投影垂直相交。
6. 根据权利要求5所述接合垫结构,其特征在于,所述第二金属层的相邻两层上的金属条在同一平面内的投影相交处将所述相邻两第二金属层电性连接。
7. 根据权利要求1所述接合垫结构,其特征在于,每一所述第二金属层上的金属条的总面积占对应所述第二金属层总面积一定比例。
8. 根据权利要求1所述接合垫结构,其特征在于,在所述接合垫结构的第一金属层上设置钝化层,且所述钝化层覆盖所述第一金属层的边缘而将所述第一金属层的中间位置暴露,以对接合垫结构进行保护。
9. 一种接合垫结构的制作方法,其特征在于,包括:
 - 提供半导体芯片;
 - 相对所述半导体芯片形成第一介电层;
 - 相对所述第一介电层依次层叠形成至少三个第二金属层,在所述第二金属层之间设置第二介电层;其中,中间的所述第二金属层两侧设置的所述第二金属层分割为若干条状金属;且两个所述第二金属层的金属条在同一平面投影不重合;一个所述第二金属层的金属条的投影处于另一所述第二金属层的两个金属条的投影之间;
 - 将所述第二金属层的相邻两层之间电性连接;
 - 相对所述第二金属层形成第一金属层,且在所述第一金属层与所述第二金属层之间设置第三介电层;
 - 在所述接合垫结构区域外将所述第一金属层及与所述第一金属层相邻的第二金属层之间电性连接。

接合垫结构及接合垫结构的制作方法

技术领域

[0001] 本发明涉及集成电路技术领域,特别是涉及一种接合垫结构及接合垫结构的制作方法。

背景技术

[0002] 接合垫(Pond Pad)是介于容纳在半导体芯片内的集成电路(Integrated Circuit, IC)及芯片封装体之间的接口,用于传送电力、接地及输入/输出信号至芯片元件。引线键合(Wire Bonding, WB)是一种使用细金属线,利用热、压力、超声波等能量使金属引线与接合垫紧密焊合,实现芯片与外部的电气互连和芯片间的信息互通。

[0003] 结合图1所示,现有接合垫结构包括第一金属层10,若干第二金属层21-23,由金属层间介电层(inter-metal dielectric layer, IMD)所隔离,各金属层通过贯穿介电层的通孔(Via)40实现电性连接,目前铜线以其价格低廉、高可靠性及良好电导率和热导率,相比其他材质使用同样线径可承受更大电流的优势成为越来越多大功率器件的选择,而当大尺寸铜线在接合垫上进行键合,所需键合力较大,该力度直接作用在接合垫的第一金属层10时,容易在第一金属层10与第二金属层21的通孔40之间形成弹坑,当弹坑严重时所有的通孔40和金属层都出现裂痕,对芯片的可靠性造成重大威胁,甚至导致芯片功能失效。

发明内容

[0004] 本发明主要解决的技术问题是提供一种接合垫结构及接合垫结构的制作方法,在兼顾成本与性能的同时避免大尺寸铜键合线产生的弹坑问题。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种接合垫结构,包括:

[0006] 第一金属层;

[0007] 相对所述第一金属层依次层叠设置的至少两第二金属层;

[0008] 所述第一金属层与所述第二金属层之间及所述第二金属层之间设置有介电层;

[0009] 所述第一金属层及与所述第一金属层相邻的第二金属层在所述接合垫结构区域外电性连接;

[0010] 所述第二金属层的相邻两层之间电性连接。

[0011] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种接合垫结构的制作方法,包括:

[0012] 提供半导体芯片;

[0013] 相对所述半导体芯片形成第一介电层;

[0014] 相对所述第一介电层依次层叠形成至少两第二金属层,在所述第二金属层之间设置第二介电层;

[0015] 将所述第二金属层的相邻两层之间电性连接;

[0016] 相对所述第二金属层形成第一金属层,且在所述第一金属层与所述第二金属层之

间设置第三介电层；

[0017] 在所述接合垫结构区域外将所述第一金属层及与所述第一金属层相邻的第二金属层之间电性连接。

[0018] 本发明的有益效果是：区别于现有技术的情况，本发明通过在所述接合垫结构区域外将所述第一金属层及与所述第一金属层相邻的第二金属层之间电性连接，从而避免大尺寸铜键合线产生的弹坑问题。

附图说明

[0019] 图1是现有的设置于半导体芯片上接合垫结构的截面示意图；

[0020] 图2是本发明第一实施例接合垫结构的金属层立体结构示意图；

[0021] 图3是本发明第二实施例接合垫结构的金属层立体结构示意图；

[0022] 图4是本发明第三实施例接合垫结构的金属层立体结构示意图；

[0023] 图5是本发明第三实施例接合垫结构的金属层设置于半导体芯片上的截面结构示意图；

[0024] 图6是本发明第四实施例接合垫结构的金属层立体结构示意图；

[0025] 图7是本发明第五实施例接合垫结构的金属层设置于半导体芯片上的截面结构示意图；

[0026] 图8是本发明接合垫结构的制作方法流程示意图。

具体实施方式

[0027] 下面结合附图和实施例对本发明进行详细的说明。

[0028] 请参阅图2，是本发明第一实施例接合垫结构的金属层立体结构示意图（沿图2中虚线a纵截），所述接合垫结构位于半导体芯片60上，包括：

[0029] 第一金属层10；

[0030] 相对所述第一金属层10依次层叠设置的至少两第二金属层（在本实施例中，包括三个第二金属层，分别为第二金属层21，第二金属层22，第二金属层23，在其他实施例中，所述第二金属层的数量可以根据需要进行设置）；

[0031] 所述第一金属层10与所述第二金属层21之间及所述第二金属层21-23之间均设置有介电层；

[0032] 所述接合垫结构区域外设置第一通孔（图中未标出），所述第一通孔通过导线将所述第一金属层10及与所述第一金属层相邻的第二金属层21连接，实现所述第一金属层10与所述第一金属层相邻的第二金属层21的电性连接。

[0033] 所述第二金属层21-23的相邻两层之间通过第二通孔40电性连接。

[0034] 在所述接合垫结构的第一金属层10上设置钝化层50，且所述钝化层50覆盖所述第一金属层10的边缘而将第一金属层10的中间位置暴露，以对接合垫结构进行保护。

[0035] 本实施例中，所述第一金属层10及所述第二金属层21-23的材质为铝（Al）；所述介电层31-33为氮化硅（SiN_x）；所述第二通孔40内的导电材料为钨（W）。

[0036] 当大尺寸（如1.8mil）铜线（在其他实施例中并不限定为铜线）在所述接合垫结构上进行键合时，所述第一金属层10和所述第二金属层21之间的第一介电层可以大面积承受

键合带来的应力,让铜键合线键合时产生的冲击力均匀分散到每一第二金属层21-23上。

[0037] 请参阅图3,是本发明第二实施例接合垫结构的金属层立体结构示意图(沿图3中虚线a纵截),所述接合垫结构位于半导体芯片60上,与图2的区别在于:

[0038] 本实施例中,所述第二金属层21分割为若干条状金属(在其他实施例中可为其他某一第二金属层分割为条状金属),所述每一第二金属层21上的金属条的总面积小于对应所述第二金属层总面积,具体的,所述每一第二金属层21上的金属条的总面积小于对应所述第二金属层总面积的60%。

[0039] 当大尺寸(如1.8mil)铜线(在其他实施例中并不限定为铜线)在所述接合垫结构上进行键合时,所述第一金属层10和所述第二金属层21之间的第一介电层可以大面积承受键合带来的应力,让铜键合线键合时产生的冲击力均匀分散到第二金属层21上,沿第二金属层21上的金属条分散,由于所述每一第二金属层21上的金属条的总面积占对应所述第二金属层总面积小于60%,使得冲击力分散到相邻两层之间的介电层上。

[0040] 请参阅图4及图5,图4是本发明第三实施例接合垫结构的金属层立体结构示意图,结合图5,图5是本发明第三实施例接合垫结构的金属层设置于半导体芯片上的截面结构示意图(沿图4中虚线a纵截),所述接合垫结构位于半导体芯片60上,与图3的区别在于:

[0041] 本实施例中,所述第二金属层21-23均分割为若干条状金属。

[0042] 所述第二金属层21及22上的金属条在同一平面内的投影相交,且相交处通过第二通孔40将所述第二金属层21与22电性连接,同时所述第二金属层22及23上的金属条在同一平面内的投影相交,且相交处通过第二通孔40将所述第二金属层22与23电性连接。

[0043] 具体地,所述第二金属层21-23中的相邻两个上的金属条在同一平面内的投影垂直相交,即在同一平面内的投影,第二金属层21上的金属条垂直第二金属层22上的金属条,第二金属层22上的金属条垂直第二金属层23上的金属条,且每相邻两第二金属层21-23上金属条投影相交处通过第二通孔40将第二金属层21-23中的相邻两个金属层电性连接(在本实施例中每相邻两第二金属层上金属条所有投影相交处均设置第二通孔,在其他实施例中可在每相邻两第二金属层上金属条部分投影相交处设置第二通孔,也可在每相邻两第二金属层其他位置设置第二通孔,将相邻两第二金属层电性连接)。

[0044] 具体的,两间隔设置的第二金属层如所述第二金属层21和23上的金属条在同一平面的投影重合(在其他实施例中两间隔设置的第二金属层上的金属条在同一平面的投影可不重合)。

[0045] 本实施例中,所述每一第二金属层21-23上的金属条的总面积小于对应所述第二金属层总面积,具体的,所述每一第二金属层21-23上的金属条的总面积小于对应所述第二金属层总面积的60%。

[0046] 当大尺寸(如1.8mil)铜线(在其他实施例中并不限定为铜线)在所述接合垫结构上进行键合时,所述第一金属层10和所述第二金属层21之间的第一介电层31可以大面积承受键合带来的应力,让铜键合线键合时产生的冲击力均匀分散到每一第二金属层21-23上,之后再沿第二金属层21-23上的金属条垂直相交的X,Y轴分散,由于所述每一第二金属层21-23上的金属条的总面积占对应所述第二金属层总面积小于60%,使得冲击力分散到相邻两层之间的介电层31-33上。

[0047] 请参阅图6,是本发明第四实施例接合垫结构的金属层立体结构示意图,与图5的

区别在于：

[0048] 在所述相邻两第二金属层间设置第二通孔40电性连接，层与层间的第二通孔40对应间隔排布，如第二金属层21和22之间设置的两相邻第二通孔41和42，第二金属层22和23之间设置的第二通孔43与所述第二通孔41和42在同一平面内的投影位于所述第二通孔41和42之间。

[0049] 请参阅图7，是本发明第五实施例接合垫结构的金属层设置于半导体芯片上的截面结构示意图（沿垂直于虚线a方向纵截），所述接合垫结构位于半导体芯片60上，与图5的区别在于：

[0050] 两间隔设置的第二金属层如所述第二金属层21和23上的金属条在同一平面的投影不重合，如所述第二金属层21上的两个金属条211与212平行，在同一投影平面上，第二金属层23上的金属条231在金属条211与金属条212之间。

[0051] 请参阅图8，是本发明接合垫结构的制作方法流程示意图，包括：

[0052] 步骤S1：提供半导体芯片60。

[0053] 所述半导体芯片为硅（Si）。

[0054] 步骤S2：相对所述半导体芯片60形成第一介电层31。

[0055] 通过旋转涂布的方式沉积介电材料于所述半导体芯片60上，形成第一介电层31，本实施例中，所述介电材料为氮化硅（ SiN_x ）。

[0056] 步骤S3：相对所述第一介电层31依次层叠形成至少两第二金属层（在本实施例中，包括三个第二金属层，分别为第二金属层21，第二金属层22，第二金属层23，在其他实施例中，所述第二金属层的数量可以根据需要进行设置），在所述第二金属层21-23之间设置第二介电层32。

[0057] 具体的，所述第二金属层21-23均分割为若干条状金属。所述第二金属层21及22上的金属条在同一平面内的投影相交，同时所述第二金属层22及23上的金属条在同一平面内的投影相交。

[0058] 具体地，所述第二金属层21-23中的相邻两个上的金属条在同一平面内的投影垂直相交，即在同一平面内的投影，第二金属层21上的金属条垂直第二金属层22上的金属条，第二金属层22上的金属条垂直第二金属层23上的金属条。

[0059] 具体的，两间隔设置的第二金属层如所述第二金属层21和23上的金属条在同一平面的投影重合（在其他实施例中两间隔设置的第二金属层上的金属条在同一平面的投影可不重合）。

[0060] 通过旋转涂布的方式沉积所述第二金属层23于所述第一介电层31上，通过蚀刻的方法使第二金属层23为平行条状分布，之后沉积介电材料于所述第二金属层23上，形成第二介电层32，之后再沉积所述第二金属层22于所述第二介电层32上，蚀刻第二金属层22呈平行条状分布，之后再沉积介电材料于所述第二金属层22上，形成第二介电层32，之后再沉积所述第二金属层21于所述第二介电层32上，蚀刻第二金属层21呈平行条状分布，其中，第二金属层21-23上的金属条在同一平面内的投影垂直相交，即在同一平面内的投影，第二金属层21上的金属条垂直第二金属层22上的金属条，第二金属层22上的金属条垂直第二金属层23上的金属条。当大尺寸铜线在所述接合垫结构的第一金属层10上进行键合时，每一第二金属层21-23所受冲击力可沿第二金属层21-23中的相邻两个金属层上的金属条垂直相

交的X,Y轴分散。

[0061] 本实施例中,所述第一金属层10及所述第二金属层21-23的材质为铝(Al)。

[0062] 步骤S4:将所述第二金属层21-23的相邻两层之间电性连接。

[0063] 具体的,在所述第二金属层21-23的每相邻两层上的金属条在同一平面内的投影相交处设置第二通孔40将所述相邻两第二金属层21-23电性连接(在本实施例中每相邻两第二金属层上金属条所有投影相交处均设置第二通孔,在其他实施例中可在每相邻两第二金属层上金属条部分投影相交处设置通孔,也可在每相邻两第二金属层其他位置设置第二通孔,将相邻两第二金属层电性连接)。

[0064] 具体的,所述第二通孔40可以通过钨插塞工艺形成。

[0065] 在其他实施例中,所述第二金属层间的电性连接可以通过在同一连接点处,设置多个导线连接,将相邻两金属层电性连接,所述导线除具有导电性能外,还可以实现相邻两金属层之间的支撑作用。

[0066] 步骤S5:相对所述第二金属层21-23形成第一金属层10,且在所述第一金属层10与所述第二金属层21-23之间设置第三介电层33。

[0067] 通过旋转涂布的方式沉积介电材料于所述第二金属层21上,形成第三介电层33,再沉积所述第一金属层10于所述第三介电层33上,所述第一金属层10和所述第二金属层21之间的第三介电层33可以大面积承受键合带来的冲击力。

[0068] 步骤S6:在所述接合垫结构区域外将所述第一金属层10及与所述第一金属层相邻的第二金属层21之间电性连接。

[0069] 具体的,在所述接合垫结构区域外设置第一通孔(图中未标出),所述第一通孔通过导线将所述第一金属层10及与所述第一金属层相邻的第二金属层21连接,实现所述第一金属层10与所述第一金属层相邻的第二金属层21的电性连接。

[0070] 在所述接合垫结构的第一金属层10上设置钝化层50,且所述钝化层50覆盖所述第一金属层10的边缘而将所述第一金属层的中间位置暴露,以对接合垫结构进行保护。

[0071] 本实施例中,所述每一第二金属层21-23上的金属条的总面积占对应所述第二金属层总面积的比例小于60%(如第二金属层21上的金属条的总面积占所述第二金属层21总面积的比例小于60%),使得冲击力分散到相邻两第二金属层的介电层31-33上。

[0072] 本发明通过层叠设置至少两第二金属层且将每一第二金属层分割为若干平行的金属条,并且相邻两第二金属层上的金属条在同一平面内的投影垂直相交,垂直相交处将所述相邻两第二金属层电性连接,且所述第二金属层上的金属条的总面积占对应所述第二金属层总面积比例小于60%,在所述第一金属层与所述第二金属层之间的结合垫结构区域外电性连接,从而使得大尺寸铜线键合至所述第一金属层上时作用于接合垫结构上的冲击力得以分散,实现在兼顾成本与性能的同时避免大尺寸铜键合线产生的弹坑问题。

[0073] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

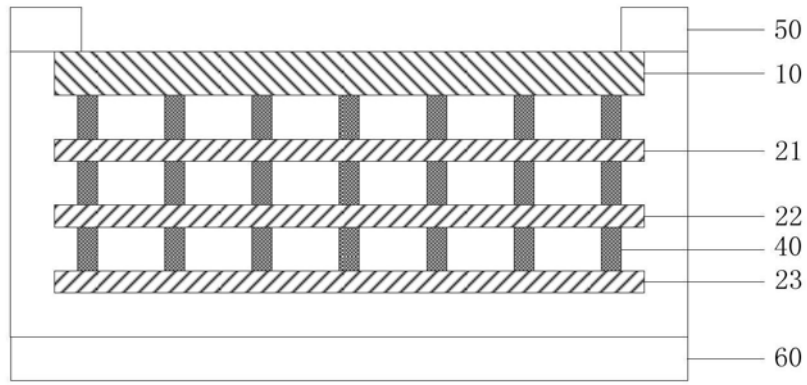


图1

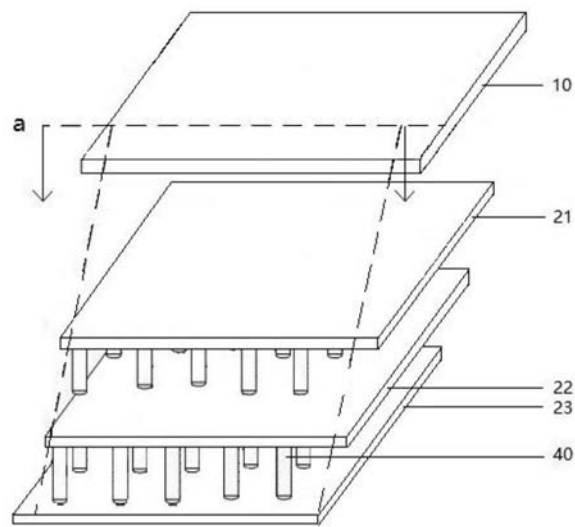


图2

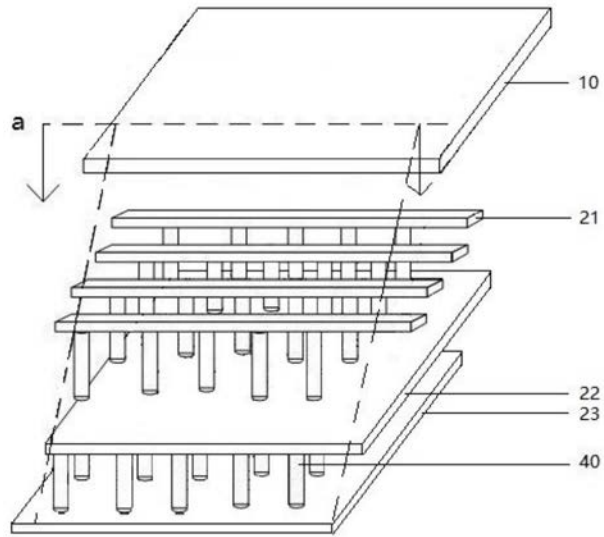


图3

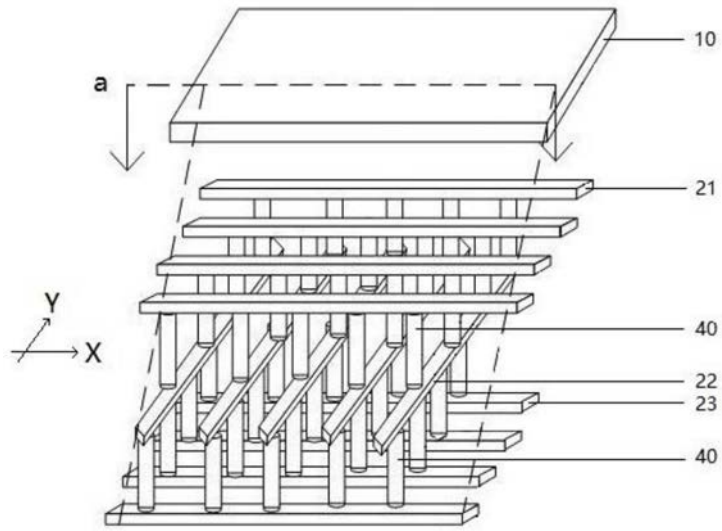


图4

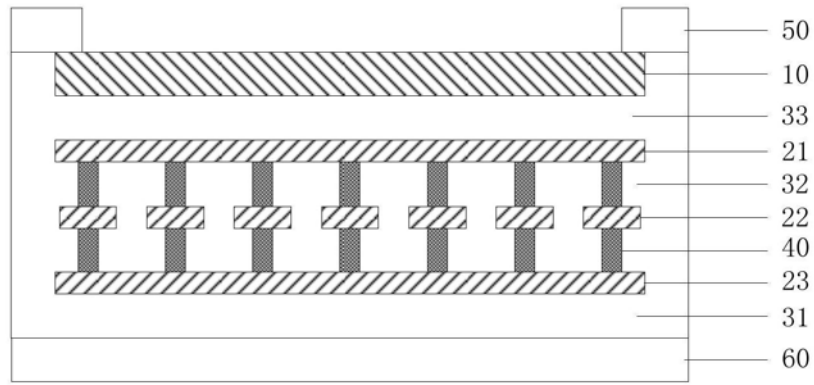


图5

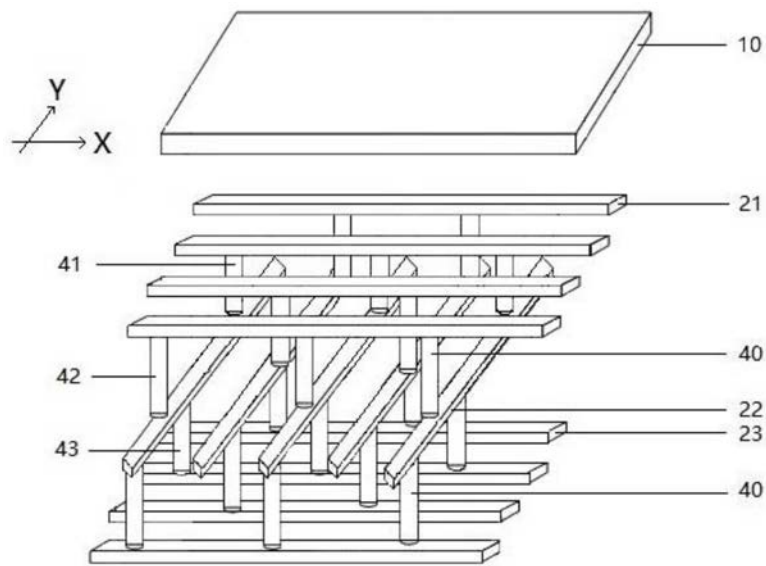


图6

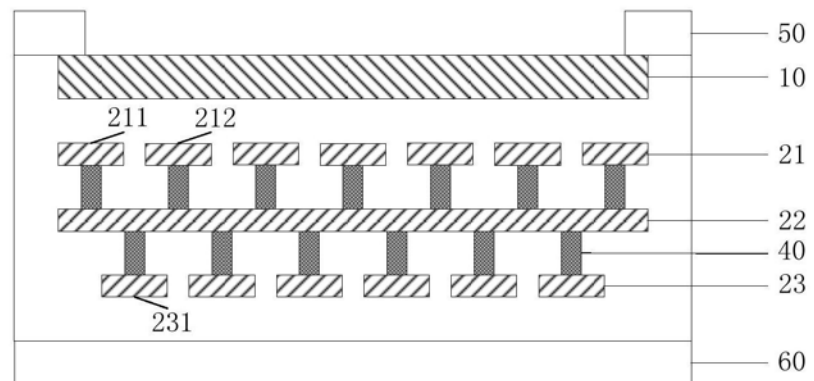


图7

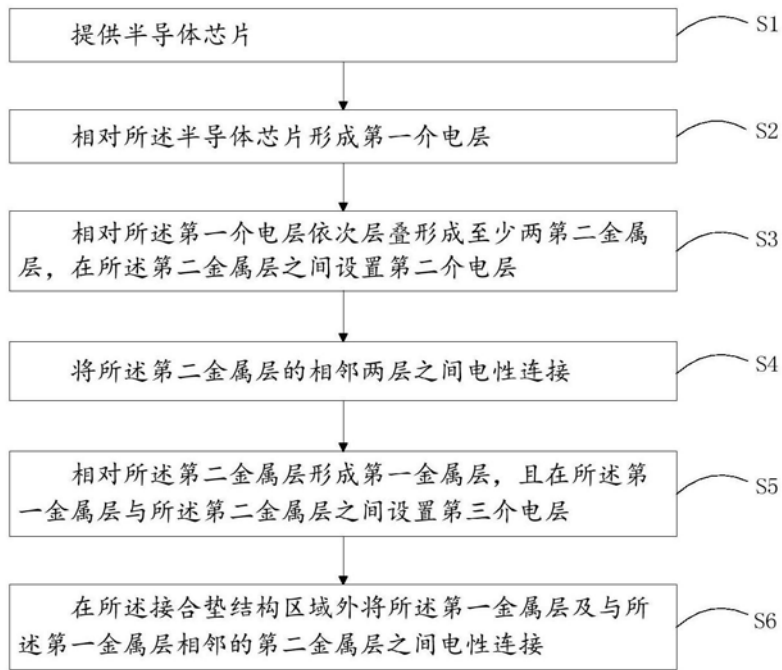


图8