

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-91394  
(P2008-91394A)

(43) 公開日 平成20年4月17日(2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 C	5 F 1 0 2
HO 1 L 29/808 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/80 H	
HO 1 L 21/338 (2006.01)		
HO 1 L 29/778 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2006-267482 (P2006-267482)  
(22) 出願日 平成18年9月29日 (2006.9.29)

(71) 出願人 301021533  
独立行政法人産業技術総合研究所  
東京都千代田区霞が関1-3-1  
(71) 出願人 000231235  
太陽日酸株式会社  
東京都品川区小山一丁目3番26号  
(74) 代理人 100093296  
弁理士 小越 勇  
(72) 発明者 清水 三聡  
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内  
(72) 発明者 朴 冠錫  
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

最終頁に続く

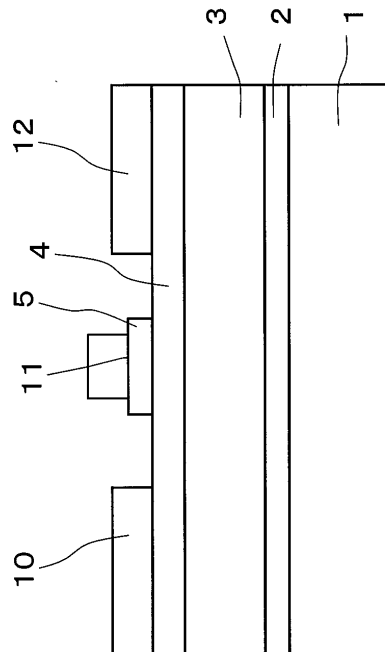
(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】窒化物半導体からなるチャネル層とバリア層のヘテロ接合構造を有する電界効果トランジスタにおいて、しきい電圧の制御可能であり、ノーマリーオフ動作が可能な素子構造を提供する。

【解決手段】窒化物半導体からなるチャネル層とバリア層のヘテロ接合構造を有する電界効果トランジスタにおいて、p型InGa<sub>N</sub>層が、ゲート領域のバリア層に積層された層構造を有することを特徴とするヘテロ接合構造を有する電界効果トランジスタ。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタにおいて、p型InGa<sub>N</sub>層が、ゲート領域のバリア層に積層された構造を有することを特徴とするヘテロ接合構造を有する電界効果トランジスタ。

## 【請求項 2】

窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタにおいて、バリア層のゲート領域にリセス構造を備え、p型InGa<sub>N</sub>層が、前記リセス構造部のバリア層上に積層された構造を有することを特徴とするヘテロ接合構造を有する電界効果トランジスタ。

## 【請求項 3】

バリア層/チャネル層のヘテロ接合構造が、AlGa<sub>N</sub>/Ga<sub>N</sub>、AlN/Ga<sub>N</sub>、InAlN/Ga<sub>N</sub>、AlGa<sub>N</sub>/InGa<sub>N</sub>のいずれかの構造を備えていることを特徴とする請求項 1 又は 2 記載のヘテロ接合構造を有する電界効果トランジスタ。

## 【請求項 4】

ゲート電極直下に絶縁層を積層させることを特徴とする請求項 1 ~ 3 のいずれかに記載のヘテロ接合構造を有する電界効果トランジスタ。

## 【請求項 5】

ソース電極、ドレイン電極及びゲート領域のp型InGa<sub>N</sub>層を除いたバリア層上に終端化膜を有することを特徴とする請求項 1 ~ 4 のいずれかに記載のヘテロ接合構造を有する電界効果トランジスタ。

## 【請求項 6】

窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタの製造方法において、チャネル層にバリア層を積層させた後、バリア層にp型InGa<sub>N</sub>層を積層させ、さらにゲート領域以外のp型InGa<sub>N</sub>層を除去して、p型InGa<sub>N</sub>層がゲート領域のバリア層に積層された構造を形成することを特徴とするヘテロ接合構造を有する電界効果トランジスタの製造方法。

## 【請求項 7】

窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタの製造方法において、チャネル層にバリア層を積層させた後、ゲート領域のバリア層をエッチングによりリセス構造を形成し、リセス構造部分のバリア層にp型InGa<sub>N</sub>層を積層させ、p型InGa<sub>N</sub>層がゲート領域のバリア層に積層された構造を形成することを特徴とするヘテロ接合構造を有する電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は窒化物半導体材料を用いた電子デバイスに関し、さらに詳細にはエンハンスメント形のバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタ及びその製造方法に関する。

## 【背景技術】

## 【0002】

バンドギャップの大きい窒化物半導体材料であるGa<sub>N</sub>は、絶縁破壊電圧が高いこと、飽和ドリフト速度が大きいこと、などの諸特性がある。そのためGa<sub>N</sub>材料を用いれば、シリコン系の電子デバイスと比較して、耐圧特性を犠牲にすることなく低抵抗化が可能である。また、化学的に安定であり、高温で安定なため、大出力化を必要とする電子デバイスの材料に用いることが可能である。

## 【0003】

電子デバイスに用いるGa<sub>N</sub>は、良質な結晶成長が可能な六方晶系に属するウルツ鉱型の結晶であり、結晶方位のc軸方向に分極を持つ。そのため、c面に平行にAlGa<sub>N</sub>/Ga<sub>N</sub>接合などのヘテロ接合を形成すれば、ピエゾ効果によりヘテロ界面に空間固定電荷

10

20

30

40

50

を発生させることができる。これを利用してヘテロ界面に2次元電子ガスを形成できる。このため、トランジスタ等において、キャリアの走行するチャンネル部分の形成には、c面と平行に形成されたAlGa<sub>0.3</sub>N/GaNヘテロ接合やInAlN/GaNヘテロ接合が用いられる。

#### 【0004】

現在、主に作製されている窒化物半導体を用いたトランジスタは、AlGa<sub>0.3</sub>N/GaNヘテロ接合電界効果トランジスタである。このトランジスタは次のように作製される。層構造としては基板上に約2~3μmのノンドープのGaNを成長し、その上にAlGa<sub>0.3</sub>Nバリア層を20~40nm程度成長させる。

AlGa<sub>0.3</sub>Nバリア層には、オーミック抵抗の低減のため、n型のドーピングを行う。ソース電極とドレイン電極には、Ti/Al/Auなどの金属を用いる。またゲート電極には白金やニッケルなどの金属を用いる。AlGa<sub>0.3</sub>Nバリア層上に直接ゲート電極を形成する構造は、MES構造(Metal Semiconductor構造)と呼ばれている。また一方で、AlGa<sub>0.3</sub>Nバリア層とゲート電極の間に窒化硅素膜や酸化硅素膜などの誘電体をはさみ込んだ構造は、MIS構造(Metal Insulator Semiconductor構造)と呼ばれている。

#### 【0005】

このような構造では、ゲート電圧がゼロの時に、ゲート部直下のチャンネルには電子が存在し、電流が流れる構造である。そのため、しきい電圧は-3~-5V程度であり、ノーマリーオン(デプレション形)の動作特性となる。そのためインバータなどの電力変換等に用いる場合、応用範囲が限定される。またゲート駆動回路が複雑になるなどの欠点がある。

#### 【0006】

ノーマリーオフ(エンハンスメント形)にするための方法として、第一にリセスゲートを用いた方法がある(非特許文献1、2、5参照)。この方法では、ゲート部直下のAlGa<sub>0.3</sub>Nバリア層を薄くしてあるリセス構造を用いる。AlGa<sub>0.3</sub>Nバリア層を薄くすれば、ゲート部直下のチャンネル内の電子をほぼ枯渇させることが可能である。しきい電圧は主に、ゲート部のAlGa<sub>0.3</sub>Nバリア層の厚さ、ゲート電極の仕事関数、およびチャンネル内の電子のフェルミレベルの関係から決まる。

#### 【0007】

ゲート電極材料の仕事関数から決まるゲート電極のフェルミレベルは、バリア層のバンドギャップの禁制帯内にあるため、バリア層を薄くすれば、チャンネル内の電子のフェルミレベルが、ゲート電極のフェルミレベルに近づく。これにより、しきい電圧を0V程度にまで変化させることができる。しかしながら、しきい電圧は完全には正になりにくい。または、AlGa<sub>0.3</sub>Nバリア層の厚さを正確に制御するのが困難であり、しきい電圧の制御が困難である。

#### 【0008】

第二の方法は、フッ素等のハロゲンを用いる方法である(非特許文献4参照)。ゲート部のAlGa<sub>0.3</sub>Nバリア層表面をフッ素プラズマ等により表面処理し、チャンネル内の電子を枯渇させる方法である。これは、フッ素の大きな電気陰性度を利用したものである。しかしながら、フッ素は一般に安定ではないという欠点を持つ。またしきい電圧を制御するのは困難である。

#### 【0009】

第三の方法は、p型GaN層をゲート部に用いる方法である(非特許文献3参照)。この方法では、p型GaN層をAlGa<sub>0.3</sub>Nバリア層上に成長し、デバイス作製時にゲート部分のp型GaN層のみを残して、p型GaN層を取り除くことにより、ゲート部分のみのチャンネル内の電子を枯渇させる構造である。これにより、ノーマリーオフ特性を得ている。

しかしながら、しきい電圧を正にするには、AlGa<sub>0.3</sub>Nバリア層を薄くしなければならず、その結果ゲート部以外の部分でバリア層表面の電子準位の影響が大きくなるため電流コラプスなどの問題がある。また、AlGa<sub>0.3</sub>Nバリア層を10nm以下にするとp型Ga

10

20

30

40

50

N層を取り除いた部分のシート抵抗が高くなるため、AlGaInバリア層はある程度の厚みを確保しなければならず、その結果しきい電圧の制御が困難になる上、ゲート部とチャンネル間の距離が厚いため、利得が低下するという問題がある。さらに、AlGaInバリア層とp型GaN層のエッチング選択比が小さいため、係る半導体素子の加工精度が悪くなるという問題がある。

【非特許文献1】T. Kawasaki, K. Nakata, and S. Yaegassi, Normally-off AlGaIn/GaN HEMT with Recessed Gate for High Power Applications, Extended Abstracts of the 2005 International Conference on Solid State Devices and Materials, I - 1 - 3, Kobe, 2005, pp.206-207.

【非特許文献2】稲田正樹、八木修一、山本由貴、朴冠錫、矢野良樹、清水三聡、奥村元、荒井和雄、ノーマリーオフ型AlGaIn/GaN HEMTに関する研究、第66回応用物理学会学術講演会、2005年秋、徳島大学、8p-W-3.

【非特許文献3】露口士夫、広瀬貴利、岩谷素顕、上山智、天野浩、赤崎勇、p型GaNゲートを用いたノーマリーオフ型AlGaIn/GaN HEMT、第66回応用物理学会学術講演会、2005年秋、徳島大学、8p-W-5.

【非特許文献4】水野博昭、大野雄高、岸本茂、前澤宏一、水谷孝、フッ素プラズマ処理によるノーマリーオフ型AlGaIn/GaN HEMT、第53回応用物理学関係連合講演会、2006年春、武蔵工業大学、24a-ZE-17.

【非特許文献5】W. Saito, Y. Takada, M. Kuraguchi K. Tsuda, and I. Omura, Recessed-Gate Structure Approach Toward Normally Off High-Voltage AlGaIn/GaN HEMT for Power Electronics Applications, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO. 2, FEBRUARY 2006.

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上記の問題点を解決することを目的とし、しきい電圧の制御可能であり、ノーマリーオフ特性を持つエンハンスメント形の窒化物半導体からなるヘテロ接合を有する電界効果トランジスタ及びその製造方法を提供する。

【課題を解決するための手段】

【0011】

上記の課題に鑑み、本願発明者は、従来のヘテロ接合構造を有する電界効果トランジスタを鋭意研究した結果、p型InGaN層がゲート領域のバリア層に積層された層構造とすることで、しきい電圧の制御可能であり、ノーマリーオフ動作が可能な素子となることを見出した。

【0012】

本発明は、

1. 窒化物半導体からなるバリア層とチャンネル層のヘテロ接合構造を有する電界効果トランジスタにおいて、p型InGaN層が、ゲート領域のバリア層に積層された構造を有することを特徴とするヘテロ接合構造を有する電界効果トランジスタ、を提供する。

また、本発明は、

2. 窒化物半導体からなるバリア層とチャンネル層のヘテロ接合構造を有する電界効果トランジスタにおいて、バリア層のゲート領域にリセス構造を備え、p型InGaN層が、前記リセス構造部のバリア層上に積層された構造を有するヘテロ接合構造の電界効果トランジスタとすることもできる。

3. 上記ヘテロ接合構造を有する電界効果トランジスタにおいて、バリア層/チャンネル層の構造を、AlGaIn/GaN、AlIn/GaN、InAlIn/GaN、AlGaIn/InGaNなどのヘテロ構造とすることができる。

4. 上記ヘテロ接合構造を有する電界効果トランジスタにおいて、ゲート電極直下に絶縁層を積層させ、MIS構造とすることができる。

5. 上記ヘテロ接合構造を有する電界効果トランジスタにおいて、ソース電極、ドレイン

10

20

30

40

50

電極及びゲート領域の p 型 InGa<sub>N</sub> 層を除いたバリア層上に終端化膜（パッシベーション膜）を形成し、ゲートリークを防止することができる。

さらに、本発明は、

6. 窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタを製造する際に、チャネル層にバリア層を積層させた後、バリア層に p 型 InGa<sub>N</sub> 層を積層させ、さらにゲート領域以外の p 型 InGa<sub>N</sub> 層を除去して、p 型 InGa<sub>N</sub> 層がゲート領域のバリア層に積層された構造を形成することができる。

また、本願発明は、

7. 窒化物半導体からなるバリア層とチャネル層のヘテロ接合構造を有する電界効果トランジスタを製造する際に、チャネル層にバリア層を積層させた後、ゲート領域のバリア層をエッチングにより薄くしてリセス構造を形成し、リセス構造部分のバリア層に p 型 InGa<sub>N</sub> 層を積層させることもできる。

【発明の効果】

【0013】

本発明は、従来のヘテロ接合構造を有する電界効果トランジスタにおいて、p 型 InGa<sub>N</sub> 層がゲート領域のバリア層に積層された層構造を有することで、しきい電圧の制御可能であり、ノーマリーオフ動作が可能となるという優れた効果を有する。

【発明を実施するための最良の形態】

【0014】

本発明で用いることの可能な窒化物半導体材料は、III 族元素と V 族元素から構成される窒素を含む半導体である。結晶の構造は、良質な結晶成長が可能な六方晶系に属するウルツ鉱型の結晶であり、結晶方位の c 軸方向に分極を持つものである。

【0015】

チャネル部分で 2 次元電子ガスが走行する部分には、Ga<sub>N</sub> などの二元素からなる結晶が適している。これは、AlGa<sub>N</sub> や InGa<sub>N</sub> などの三元素の混晶さらに四元素の混晶は、組成の不均一性から生じる合金散乱が大きいためである。しかしながら、In については電子の有効質量を小さくできることから、InGa<sub>N</sub> の場合には、移動度の向上が期待できる。なおこの場合 In 組成が大きな InGa<sub>N</sub> 材料は、バンドギャップが小さくなり、耐圧が Ga<sub>N</sub> よりも大きく劣るため、In 組成の小さな InGa<sub>N</sub> 材料を用いるのがよい。

本発明の構造が適用可能なヘテロ接合構造は、チャネル層 / バリア層の順に、Ga<sub>N</sub> / AlGa<sub>N</sub>、Ga<sub>N</sub> / AlN、Ga<sub>N</sub> / InAlN、InGa<sub>N</sub> / AlGa<sub>N</sub> などのヘテロ構造である。

【実施例】

【0016】

以下、本発明の特徴を、図に沿って具体的に説明する。なお、以下の説明は、本願発明の理解を容易にするためのものであり、これに制限されるものではない。すなわち、本願発明の技術思想に基づく変形、実施態様、他の例は、本願発明に含まれるものである。

【0017】

(実施例 1)

図 1 は、AlGa<sub>N</sub> / Ga<sub>N</sub> ヘテロ接合電界効果トランジスタを示す。結晶基板 1 として、MOCVD 法等により Ga<sub>N</sub> 基板を結晶成長させた。なお、結晶基板としては、この他にサファイア基板、SiC 基板、シリコン基板等を用いることもできる。次に、基板側から低温成長 Ga<sub>N</sub> バッファ層 2 などの結晶性を向上させる構造を形成した後に、高抵抗の Ga<sub>N</sub> 層 3 を成長させた。

その後、AlGa<sub>N</sub> バリア層 4 を成長させた。この時、高抵抗の Ga<sub>N</sub> 層 3 と AlGa<sub>N</sub> バリア層 4 のヘテロ接合部分に、AlGa<sub>N</sub> バリア層 4 のアルミニウムの組成に依存した piezo 効果により正の固定電荷が発生し n 型のチャネルが形成される。その後、p 型 InGa<sub>N</sub> 層 5 を成長させた。

【0018】

10

20

30

40

50

ドーピングにはマグネシウム、亜鉛等の p 型ドーパントを用いて、チャンネル中の電子を枯渇させることができる濃度にした。この時、電子をトラップする準位があれば良いので、鉄等のドーパントでも可能である。なお、p 型ドーパントであるマグネシウム等は拡散の問題が生じる場合がある。なお、p 型 InGa<sub>N</sub> 層にマグネシウム等を用いてドーピングした場合、Ga<sub>N</sub> よりもアクセプタ濃度を高くすることができる。

#### 【0019】

AlGa<sub>N</sub> バリア層 4 の厚さは薄い方が、p 型 InGa<sub>N</sub> 層 5 によってチャンネルが高抵抗化する。AlGa<sub>N</sub> バリア層 4 をノンドープで 15 nm 厚とし、p 型 InGa<sub>N</sub> 層 5 をホール濃度約  $5 \times 10^{18} \text{ cm}^{-3}$  で 10 nm 厚とした場合に、チャンネルは数万以上のシート抵抗を示した。なお、p 型 InGa<sub>N</sub> 層 5 のホール濃度は、直接測定するのが困難なため、p 型 Ga<sub>N</sub> 層へのドーピングの条件を参考にして推測した値である。

10

#### 【0020】

次に、p 型 InGa<sub>N</sub> 層の結晶成長後の素子作製について示す。まず、ゲート領域のみをフォトレジストでマスクした後、アルゴンプラズマ、塩素プラズマ等によるドライエッチングを用いて、ゲート領域以外の p 型 InGa<sub>N</sub> 層 5 を除去した。InGa<sub>N</sub> 層はエッチングレートが、Ga<sub>N</sub> 層や AlGa<sub>N</sub> 層よりも大きいため、ほぼ選択的に除去でき、これはプロセス上大きな利点である。

ここで、電子サイクロトロン共鳴 (ECR) 法を用いたアルゴンプラズマによるドライエッチングで、エッチングレートを測定した。引き出し電圧が 200 V、2.45 GHz の RF パワーが 200 W、アルゴンガス圧が約  $1 \times 10^{-2} \text{ Pa}$  の時に、Ga<sub>N</sub> 膜はエッチングレートが 300 nm/時であったが、InGa<sub>N</sub> 層はその約 3~4 倍程度であった。

20

#### 【0021】

p 型 InGa<sub>N</sub> 層 5 を最初にエッチングを行う利点は、非接触のシート抵抗測定装置等を持ちながら、実際に抵抗が低くなるのを確認できることである。上記のドライエッチングの条件で、アルゴンプラズマによるドライエッチングによりエッチングしながら、シート抵抗を計ると、最初に数万以上あった抵抗が、30 秒のエッチングで約 1000 に、1 分のエッチングで 800 に、2 分のエッチングでは 800 から変化がなかった。

この方法により、本発明の構造を用いれば、選択的に InGa<sub>N</sub> 層をエッチング可能であり、再現性良くプロセスを行うことができることがわかった。

30

#### 【0022】

次にメサ形成により各素子を電氣的に絶縁させる行程を示す。フォトレジストを用いて、ソース電極 10、ゲート電極 11、ドレイン電極 12 が並ぶ方向に 20 μm、ゲート幅方向に 50 μm の長方形のメサ形成用のレジストパターンを形成した。ただし、メサ形成用のパターンの幅や長さは必要に応じて変えることができる。ここでは、ゲート電極 11 の幅とメサの幅は同じ幅にした。なお、フォトレジストのパターン形成には、通常用いられているステッパー等を用いた露光方法を用いればよい。

#### 【0023】

その後、メサ形成用のフォトレジストをマスクとして、成長した基板をドライエッチングによりメサパターン状に加工した。エッチングレートはエピタキシャル膜の結晶品質、塩素プラズマの圧力、加速エネルギー (プラズマの引き出し電圧) などによって異なるが 1 時間に 200~300 nm とした。100 nm 程度エッチングして、メサ以外の部分の AlGa<sub>N</sub> 層等を除去した。

40

#### 【0024】

このメサの形成により同じ基板上的素子と素子の間が分離され、お互いの素子間に電流が流れなくなる。ドライエッチングは、同じく電子サイクロトロン共鳴 (ECR) 法を用いた塩素プラズマによるエッチングなどが好ましい。ドライエッチングはウエットエッチング法に比べエッチングの方向性があり、エッチング速度の制御が簡単である。

素子分離については、塩素系のガスを用いたドライエッチング以外にもイオン注入によ

50

っても可能である。窒素イオン等を高速で打ち込むことにより、電氣的に絶縁性を持たせて、素子分離を行うことができる。

#### 【0025】

メサエッチング後、メサ以外の部分に絶縁膜を形成した。絶縁膜には、酸化珪素膜、窒化珪素膜等を用いることができる。ウエハ表面全体に絶縁膜をプラズマCVD等を用いて厚さ100nm程度形成した後、メサ以外の部分をフォトレジストでカバーした後に、メサ上のみエッチングにより除去した。

メサの端で、ゲート電極11がある部分において、メサの側面のAlGa<sub>n</sub>N/GaNチャネル構造にゲート電極11が接すると、ゲートリーク電流が増加するので、メサ側面も絶縁膜によりカバーするようにする。

#### 【0026】

その後、ソース電極10とドレイン電極12を形成した。ソース電極10及びドレイン電極12の電極メタルとしては、基板表面側から、Ti/Al/Ni/Au(30/220/40/50nm)の構造を用いた。電極メタルの蒸着には高真空電子ビーム蒸着法を用いた。電子ビーム蒸着後リフトオフ法でソース及びドレイン部分以外のメタルを除去した。リフトオフ用の溶液としてはアセトンを用いればよい。その後、電極メタルと表面層との合金化のためアニールを行った。アニールは高速のランプアニール法(RTA)を用い、800で30秒間行った。

#### 【0027】

その後、ゲート電極11を形成した。ゲートのパターンニングはフォトリソグラフィ法を用いたが、ゲート長が短く微細パターンを用いる場合には電子ビームリソグラフィ法を用いることができる。例えば、ゲートの長さが200nm以下の場合には電子ビームリソグラフィ法を用いる。ゲート電極メタルとしては、基板表面側から、Ni/Au(50/200nm)を用いた。ゲートメタルの形成にも高真空電子ビーム蒸着法を用いた。

#### 【0028】

また、図1では省略されているが、必要に応じて、窒化珪素膜等でAlGa<sub>n</sub>Nバリア層4の表面をカバーすることができる。これは、ドレインとゲート間のAlGa<sub>n</sub>Nバリア層4の表面準位に電子がトラップされてドレイン電流が低下する現象である電流コラプスを抑制するために有効であるためである。また、耐圧を向上させるために、必要に応じて、酸化珪素膜で表面をカバーすることもできる。

#### 【0029】

図2に実施例1のトランジスタの動作特性を示す。これは、ドレイン電圧を2Vで保った時の、ドレイン電流のゲート電圧依存性である。素子のゲート長は2μm、ソースとドレイン間隔は14μm、ソースとゲート間隔は2μm、ゲート幅は50μmである。これより、しきい電圧は、+0.8V程度であり、ノーマリーオフが達成されていることがわかる。p型InGa<sub>n</sub>N層はバンドギャップが小さいため、チャネル中の電子を枯渇させる効果が大きいと考えられる。

#### 【0030】

また、厚さ約20nmのAlGa<sub>n</sub>Nバリア層を持つAlGa<sub>n</sub>N/GaNヘテロ構造上に、厚さ5nmのGaN層を成長した場合と同じ厚さのInGa<sub>n</sub>N層を成長した場合における両者のシート抵抗を比較した。その結果、GaN層の場合は550であり、InGa<sub>n</sub>N層の場合は800であった。

これより、GaN層をAlGa<sub>n</sub>Nバリア層上に成長する場合よりも、本発明のようにInGa<sub>n</sub>N層をAlGa<sub>n</sub>Nバリア層上に成長する方が、AlGa<sub>n</sub>Nバリア層表面側ヘテロ界面に、より大きなマイナスの空間固定電荷がピエゾ効果により発生し、チャネル内の電子がより枯渇するものと考えられる。

以上から、p型GaN層を用いた場合より、しきい電圧を大きくでき、完全なノーマリーオフ動作が得られることが分かった。

#### 【0031】

実施例1の素子は、しきい電圧がプラスになることを調べるために作製した素子であり

10

20

30

40

50

、ゲート部にM E S構造を用いた。また、素子表面にバッシベーション膜を施していない。そのため、ゲート電圧を大きくするとゲートリーク電流が大きくなるため、ドレイン電流量は少ない。しかしながら、M I S構造を用いれば、ゲートリークを防ぐことが可能で、大きなゲート電圧を加えることができるため、ドレイン電流を大きくすることも可能である。

【0032】

(実施例2)

図3は、ゲート領域がリセス構造となっている実施例である。この素子においては、ゲートとドレイン間のA l G a Nバリア層4が厚くなっているため、A l G a Nバリア層4上の表面準位によるコラプスの影響が小さい。

10

【0033】

この素子の作製方法として、ゲート部のA l G a Nバリア層4をエッチングによりリセス構造にした後に、p型I n G a N層5を選択的に成長した。p型I n G a N層5をゲート領域にのみ成長させるため、ゲート領域以外でp型ドーピングの拡散等がおこりにくいという利点がある。その後、メサ構造の形成、絶縁膜の形成、ソース電極10、ドレイン電極12、窒化珪素膜を用いた表面保護層の形成、ゲート電極11の形成、については実施例1とほぼ同様の処理を行った。また、ゲート領域にはM I S構造を用いるのも有効である。

また、ドレインとゲート間の厚いA l G a Nバリア層4を選択的に成長させる方法もある。この場合はゲート部のI n G a N層を窒化珪素膜や酸化珪素膜などによりカバーして選択的に成長させる。

20

【産業上の利用可能性】

【0034】

横型素子で高耐圧化が可能であるため、例えば、他の電子部品と集積化が可能であり、家庭用D C電源のA C - D C変換部等を小型化できる。また、高速動作が可能であり、省エネルギー化にも効果があるので、家庭用電源のインバータ、コンバータ等に有用である。

【図面の簡単な説明】

【0035】

【図1】p型I n G a N層がゲート領域のバリア層に積層された層構造を有する電界効果トランジスタの断面図である。

30

【図2】実施例1に係る電界効果トランジスタの動作特性である。

【図3】リセス構造を有するp型I n G a N層がゲート領域のバリア層に積層された層構造を有する電界効果トランジスタの断面図である。

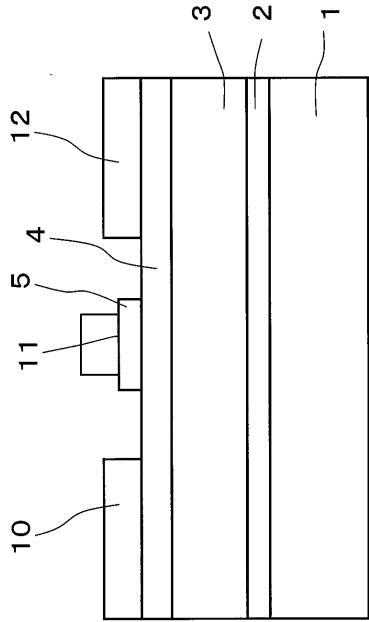
【符号の説明】

【0036】

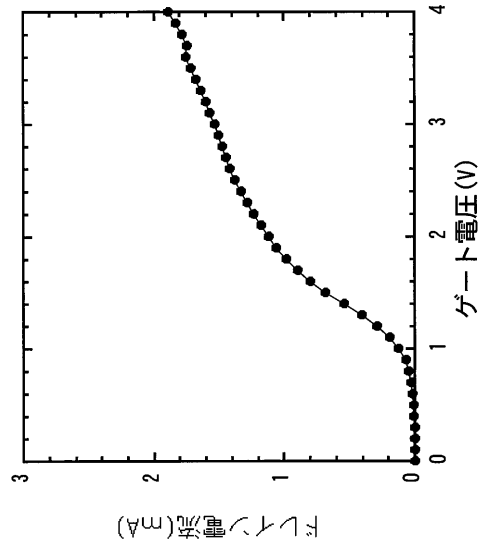
- 1：基板
- 2：バッファ層
- 3：キャリア層
- 4：バリア層
- 5：p型I n G a N層
- 10：ソース電極
- 11：ゲート電極
- 12：ドレイン電極

40

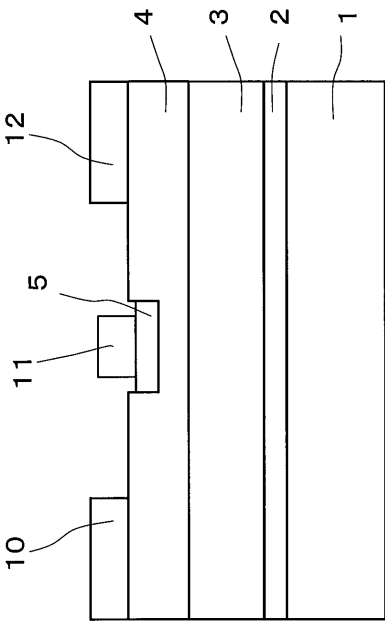
【図 1】



【図 2】



【図 3】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 29/812 (2006.01)**

(72)発明者 矢野 良樹

茨城県つくば市大久保 1 0 大陽日酸株式会社内

Fターム(参考) 5F102 FA08 GB01 GC01 GD05 GD10 GJ02 GJ03 GJ04 GJ10 GK04  
GL04 GM04 GR04 GV07 GV08 HC01 HC02 HC10 HC11 HC15  
HC19 HC22  
5F140 AC36 BA06 BA09 BB18 BC12 BC13 BJ05 BJ11 BJ15 BJ17  
CC08 CE02