

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4998338号  
(P4998338)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl. F I  
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 W

請求項の数 5 (全 23 頁)

<p>(21) 出願番号 特願2008-61850 (P2008-61850)                  (22) 出願日 平成20年3月11日 (2008. 3. 11)                  (65) 公開番号 特開2009-218451 (P2009-218451A)                  (43) 公開日 平成21年9月24日 (2009. 9. 24)                  審査請求日 平成22年11月24日 (2010. 11. 24)</p>	<p>(73) 特許権者 308014341                  富士通セミコンダクター株式会社                  神奈川県横浜市港北区新横浜二丁目10番                  23                  (74) 代理人 100092152                  弁理士 服部 毅巖                  (72) 発明者 久保田 義浩                  神奈川県川崎市中原区上小田中4丁目1番                  1号 富士通株式会社内                  審査官 坂本 薫昭</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置及び回路基板

(57) 【特許請求の範囲】

【請求項1】

多層配線の回路基板と、  
 前記回路基板に実装された半導体チップと、  
 を有し、  
 前記回路基板は、  
 前記半導体チップが配置された第1領域と、  
 前記第1領域の外側にあつて、前記半導体チップが配置された面側に該半導体チップと  
 ワイヤボンディングされた複数のパッドが設けられた第2領域と、  
 前記第1領域と前記第2領域との間の第3領域と、  
 前記第3領域に複数層を貫通して設けられたスルーホールと、  
 を有し、  
 前記回路基板は、該回路基板の内層に少なくとも2層のプレーン配線を備え、  
 前記スルーホールは、前記プレーン配線のいずれかと電気的に接続され、  
 前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未  
 形成領域に、複数の開口部が設けられ、  
 前記回路基板の、前記半導体チップが配置された面と反対面側であつて、前記第3領域  
 外に選択的に、複数のバンプが設けられている、  
 ことを特徴とする半導体装置。

【請求項2】

多層配線の回路基板と、  
前記回路基板に実装された半導体チップと、  
を有し、  
前記回路基板は、  
前記半導体チップが配置された第1領域と、  
前記第1領域の外側であって、前記半導体チップが配置された面側に該半導体チップと  
ワイヤボンディングされた複数のパッドが設けられた第2領域と、  
前記第1領域と前記第2領域との間の第3領域と、  
前記第3領域に複数層を貫通して設けられたスルーホールと、  
を有し、  
前記回路基板は、該回路基板の内層に少なくとも2層のプレーン配線を備え、  
前記スルーホールは、前記プレーン配線のいずれとも電氣的に未接続であり、  
前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未  
形成領域に、複数の開口部が設けられ、  
前記回路基板の、前記半導体チップが配置された面と反対面側であって、前記第3領域  
外に選択的に、複数のバンプが設けられている、  
ことを特徴とする半導体装置。

10

【請求項3】

前記半導体チップは、前記回路基板上において、樹脂を用いて封止されていることを特  
徴とする請求項1又は2に記載の半導体装置。

20

【請求項4】

多層配線の回路基板において、  
半導体チップが配置される第1領域と、  
前記第1領域の外側であって、前記半導体チップが配置される面側に該半導体チップと  
ワイヤボンディングされる複数の第1パッドが設けられた第2領域と、  
前記第1領域と前記第2領域との間の第3領域と、  
前記第3領域に複数層を貫通して設けられたスルーホールと、  
を有し、  
内層に少なくとも2層のプレーン配線を備え、  
前記スルーホールは、前記プレーン配線のいずれかと電氣的に接続され、  
前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未  
形成領域に、複数の開口部が設けられ、  
前記半導体チップが配置される面と反対面側であって、前記第3領域外に選択的に、複  
数のバンプがそれぞれ接続される複数の第2パッドが設けられている、  
ことを特徴とする回路基板。

30

【請求項5】

多層配線の回路基板において、  
半導体チップが配置される第1領域と、  
前記第1領域の外側であって、前記半導体チップが配置される面側に該半導体チップと  
ワイヤボンディングされる複数の第1パッドが設けられた第2領域と、  
前記第1領域と前記第2領域との間の第3領域と、  
前記第3領域に複数層を貫通して設けられたスルーホールと、  
を有し、  
内層に少なくとも2層のプレーン配線を備え、  
前記スルーホールは、前記プレーン配線のいずれとも電氣的に未接続であり、  
前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未  
形成領域に、複数の開口部が設けられ、  
前記半導体チップが配置される面と反対面側であって、前記第3領域外に選択的に、複  
数のバンプがそれぞれ接続される複数の第2パッドが設けられている、  
ことを特徴とする回路基板。

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置及び回路基板に関し、特に、半導体チップを回路基板に実装した半導体装置、及び半導体チップを実装する回路基板に関する。

## 【背景技術】

## 【0002】

近年、BGA (Ball Grid Array) 等のエリア実装型の半導体装置 (半導体パッケージ) が広く実用されている。BGAタイプの半導体装置の場合、LSI等の半導体チップが、所定回路基板の一方の面側にワイヤを用いて実装され、その半導体チップは、モールド樹脂によって封止される。半導体チップを実装した回路基板の他方の面側には、ソルダボール等のバンパが接続され、半導体装置は、そのバンパを介して、マザーボード等の他の基板に実装される。

10

## 【0003】

このようなBGAタイプの半導体装置の回路基板としては、多層配線の回路基板が広く利用されている。多層配線の回路基板には、例えば、配線層として、表裏面に回路パターン及びパッドが形成され、内層にグランドプレーン配線及び電源プレーン配線が形成される。各配線層間には、絶縁層が設けられ、異なる配線層間の電気的接続は、そのような絶縁層を貫通させたスルーホールによって行われる。

## 【0004】

なお、従来は、回路基板の内層に半導体チップを埋設するとともに、その一方の面側に別の半導体チップを実装し、他方の面側にソルダボールを接続した半導体装置等も提案されている (例えば、特許文献1参照。 )。

20

【特許文献1】特開2005-142466号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかし、上記のようなBGAタイプの半導体装置に利用される多層配線の回路基板については、次のような問題点があった。

すなわち、ソルダボールの取り付け (マウント) 工程や、半導体装置の別の基板への実装工程の際等、半導体装置に対してリフローを行うと、そのリフロー時の熱によって、回路基板の配線層と絶縁層との間、特に内層のプレーン配線とその外側に接する絶縁層との間に、局所的な剥離が起こり、その剥離した部分に対応する回路基板部分に外側に向かって膨れが発生してしまう。

30

## 【0006】

このような回路基板の局所的な膨れは、バンパを設けている面側で、バンパが密集配置されていない領域に発生しやすい。また、配線層間の絶縁層が吸湿している場合には、このような回路基板の局所的な膨れがいっそう発生しやすくなる。

## 【0007】

本発明は、このような点に鑑みてなされたものであり、用いる回路基板の局所的な膨れの発生を抑えた半導体装置を提供することを目的とする。また、本発明は、局所的な膨れの発生を抑えた回路基板を提供することを目的とする。

40

## 【課題を解決するための手段】

## 【0008】

本発明の一観点によれば、多層配線の回路基板と、前記回路基板に実装された半導体チップと、を有し、前記回路基板は、前記半導体チップが配置された第1領域と、前記第1領域の外側であって、前記半導体チップが配置された面側に該半導体チップとワイヤボンディングされた複数のパッドが設けられた第2領域と、前記第1領域と前記第2領域との間の第3領域と、前記第3領域に複数層を貫通して設けられたスルーホールと、を有し、前記回路基板は、該回路基板の内層に少なくとも2層のプレーン配線を備え、前記スルー

50

ホールは、前記プレーン配線のいずれかと電氣的に接続され、又は前記プレーン配線のいずれとも電氣的に未接続であり、前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未形成領域に、複数の開口部が設けられ、前記回路基板の、前記半導体チップが配置された面と反対面側であって、前記第3領域外に選択的に、複数のバンブが設けられている半導体装置が提供される。

また、本発明の一観点によれば、多層配線の回路基板において、半導体チップが配置される第1領域と、前記第1領域の外側にあつて、前記半導体チップが配置される面側に該半導体チップとワイヤボンディングされる複数の第1パッドが設けられた第2領域と、前記第1領域と前記第2領域との間の第3領域と、前記第3領域に複数層を貫通して設けられたスルーホールと、を有し、内層に少なくとも2層のプレーン配線を備え、前記スルーホールは、前記プレーン配線のいずれかと電氣的に接続され、又は前記プレーン配線のいずれとも電氣的に未接続であり、前記プレーン配線の少なくともいずれかの前記第3領域における前記スルーホールの未形成領域に、複数の開口部が設けられ、前記半導体チップが配置される面と反対面側であつて、前記第3領域外に選択的に、複数のバンブがそれぞれ接続される複数の第2パッドが設けられている回路基板が提供される。

10

#### 【0009】

上記の回路基板によれば、半導体チップが配置される第1領域と、半導体チップと回路基板とを電氣的に接続するためのパッドが形成されている第2領域との間の、第3領域に設けたスルーホールにより、内層の剥離が抑えられるようになる。

20

#### 【発明の効果】

#### 【0010】

開示の半導体装置及び回路基板により、回路基板の局所的な膨れの発生を効果的に抑えることが可能になる。

#### 【発明を実施するための最良の形態】

#### 【0011】

以下、図面を参照して詳細に説明する。

まず、第1の実施の形態について説明する。

図1は半導体装置の断面模式図である。

#### 【0012】

図1に示す半導体装置10は、回路基板20に、LSI等の半導体チップ30が実装された構成を有している。

30

半導体チップ30は、回路基板20の一主面側中央のダイエリアに、ダイボンドフィルム40を用いて固定され、複数の金(Au)ワイヤ50によって回路基板20と電氣的に接続されている。このようにして回路基板20に実装された半導体チップ30は、この実装面側において、モールド樹脂60によって封止されている。なお、半導体チップ30は、ダイボンドエリアにペースト状の接着剤(導電性のものを含む。)を用いてダイエリアに固定することもできる。

#### 【0013】

回路基板20の半導体チップ30の実装面側と反対の主面側には、バンブとして複数のソルダボール70が接続されている。半導体装置10は、これらのソルダボール70を介して、マザーボード等の他の基板に接続される。

40

#### 【0014】

回路基板20は、ここでは4層の配線層を備えた構造を有している。

第1層目の配線層(第1配線層)21は、最も半導体チップ30の実装面寄りに形成されており、半導体チップ30のダイエリア21a、回路パターン21b、及びAuワイヤ50による半導体チップ30のワイヤボンド用のパッド21cを構成している。

#### 【0015】

内層の第2層目の配線層(第2配線層)22、及び第3層目の配線層(第3配線層)23は、いずれもプレーン配線を構成している。ここでは、第2配線層22をグランド電位

50

に接続されるプレーン配線（グランドプレーン配線）22aとし、第3配線層23を電源電位に接続されるプレーン配線（電源プレーン配線）23aとする。

【0016】

第4層目の配線層（第4配線層）24は、最もソルダボール70の接続面寄りに形成されており、ソルダボール70の接続用のパッド24aを構成している。

回路基板20の表裏面は、回路パターン21bの一部及びパッド21c、24aの部分を除き、ソルダレジスト25によって被覆されている。

【0017】

このような回路基板20において、第2配線層22と第3配線層23との間は、所定のコア層26で構成されており、第1配線層21と第2配線層22との間、及び第3配線層23と第4配線層24との間は、それぞれプリプレグ層27、28で構成されている。第1配線層21、第2配線層22、第3配線層23及び第4配線層24のうち、異なる層間の電気的な接続は、コア層26及びプリプレグ層27、28の1層或いは2層以上を貫通して形成したスルーホール29aによって行われている。

10

【0018】

ソルダボール70は、半導体チップ30が配置される領域を含む中央部20a、及びワイヤボンダ用のパッド21cが形成されている領域（パッド形成領域）を含む周辺部20cに選択的に、それぞれ密集配置されている。例えば、中央部20aのソルダボール70は、主として半導体チップ30の放熱用サーマルボール兼グランド接続用端子として用いることができ、周辺部20cのソルダボール70は、主として半導体チップ30への信号入出力用の端子として用いることができる。中央部20aと周辺部20cとの間の中間部20bを含む領域には、ソルダボール70は配置されない。

20

【0019】

また、回路基板20には、主に中央部20a及び周辺部20cに形成されるスルーホール29aのほかに、ソルダボール70が密集配置されない領域内の中間部20bに、第1配線層21から第4配線層24に達するスルーホール29bが形成されている。このスルーホール29bは、回路基板20を加熱したときにそれに発生する膨れを抑える役割を果たす。このような回路基板20に発生する膨れに関する詳細については後述する。

【0020】

なお、図1では簡略化して図示したが、個々のスルーホール29a、29bはそれぞれ、側周面を金属で構成しその中心部に柱状に樹脂（例えばソルダレジスト25。）を充填した構成とすることができ、或いは全体を柱状の金属とした構成とすることもできる。

30

【0021】

上記のような構成を有する回路基板20及び半導体装置10は、例えば、次に示すような流れで形成される。

図2は回路基板の形成フローの概略の一例を示す図である。

【0022】

まず、コア層26に、第2配線層22のグランドプレーン配線22a、及び第3配線層23の電源プレーン配線23aを、例えば銅（Cu）を用いて形成する（ステップS1）。

40

【0023】

次いで、グランドプレーン配線22a及び電源プレーン配線23aを形成したコア層26の両面に、プリプレグ層27、28を貼り合わせる（ステップS2）。その際は、コア層26に形成したグランドプレーン配線22a及び電源プレーン配線23aに対して黒化処理を施した後、そのコア層26の両面にプリプレグ層27、28を配置し、それらをプレスすることによってコア層26に貼り合わせる。

【0024】

次いで、スルーホール29a、29bを形成する所定位置に、所定数、穴開け加工を行う（ステップS3）。この穴開けは、例えば、ドリル加工により行うことができる。

次いで、穴の側壁及びプリプレグ層27、28の表面に、Cu膜を形成する（ステップ

50

S 4)。例えば、まず無電解Cuメッキ処理を行って穴の側壁を含む基板全面に薄いシードCu膜を形成した後、電解Cuメッキ処理を行ってそのシードCu膜上に所定厚さのCu膜を形成する。穴の内部には、例えば、中心部に空洞を残してCu膜を形成する。これにより、スルーホール29a, 29bが形成される。

【0025】

次いで、プリプレグ層27, 28上に形成したCu膜のパターニングを行う(ステップS5)。これにより、プリプレグ層27上に第1配線層21のパターンを形成し、プリプレグ層28上に第4配線層24のパターンを形成する。

【0026】

次いで、スルーホール29a, 29bの空洞部にソルダレジスト25を充填するとともに、表裏面の所定領域にもソルダレジスト25のパターンを形成する(ステップS6)。これにより、表裏面には、ソルダレジスト25から露出する、第1配線層21のパッド21cや第4配線層24のパッド24a等が形成される。

【0027】

次いで、ソルダレジスト25の露出面にSRコーティングを施し(ステップS7)、Cu膜の露出面(パッド21c, 24a)にニッケル(Ni)/Auメッキ処理を施す(ステップS8)。

【0028】

その後は、外形加工(ステップS9)、及び良品/不良品を選別するための検査が行われる(ステップS10)。この検査前には、必要に応じて、回路基板20に対する所定条件の吸湿処理、及び後述のソルダボール70のリフロー温度に応じた温度での熱処理を行う。回路基板20を製品として出荷する場合には、この検査後に、良品を所定の形態に梱包し、それを出荷することになる。

【0029】

回路基板20は、通常、複数の半導体装置10に用いられる分が連続して形成されていて、半導体チップ30の実装後に個々に切断されるようになっている。

なお、上記形成フローにおいて、各スルーホール29a, 29bの径(穴開け加工時の穴の径)は、同じサイズとすることができ、また、異なるサイズとすることもできる。

【0030】

また、ステップS4のCu膜形成時には、穴の中心部に空洞を残さずに、穴の内部をCu膜で充填するようにしてもよい。この場合、ソルダレジスト25は、回路基板20の表裏面にのみ形成される。

【0031】

また、ステップS8のNi/Auメッキ処理時には、Ni/Auメッキを所定領域のCu膜に対して選択的に行い、処理後に、その所定領域以外のCu膜をエッチバックし、最終的なパターンをプリプレグ層27, 28上に形成するようにしてもよい。ここで、このようなエッチバックを行う回路基板20の形成方法の一例について、その流れを別途図3~図8を参照して説明する。なお、ここでは、図1及び図2に例示したようなコア層へのグランドプレーン配線並びに電源プレーン配線の形成、そのコア層へのプリプレグ層の貼合わせ、及びそれら各層の穴開け加工までの工程については説明を省略し、それ以後の工程の例について説明する。

【0032】

図3~図8はエッチバックを行う回路基板の形成工程の説明図であって、図3は無電解メッキ処理工程の要部断面模式図、図4は電解メッキ処理工程の要部断面模式図、図5はエッチング工程の要部断面模式図、図6はレジスト形成工程の要部断面模式図、図7はNi/Auメッキ工程の要部断面模式図、図8はエッチバック工程の要部断面模式図である。

【0033】

コア層80へのグランドプレーン配線81並びに電源プレーン配線82の形成、そのコア層80へのプリプレグ層83, 84の貼合わせ、及びそれら各層の穴開け加工まで行っ

10

20

30

40

50

て穴 85 を形成した基板に対し、まず、図 3 に示すように、無電解メッキ処理を行い、穴 85 の側壁及びプリプレグ層 83 , 84 の表面に、シード Cu 膜 86 を形成する。

【 0034 】

次いで、図 4 に示すように、所定領域にレジスト 87 を形成した後、電解メッキ処理を行い、シード Cu 膜 86 上に Cu 膜 88 を形成する。ここでは、穴 85 の中心部に空洞を残して Cu 膜 88 を形成している。

【 0035 】

次いで、レジスト 87 を剥離した後、エッチング（マイクロエッチ）を行い、図 5 に示すように、不要部分の Cu 膜 88 及びシード Cu 膜 86 を除去し、プリプレグ層 83 , 84 上にパターンの基本構造を形成する。

10

【 0036 】

次いで、図 6 に示すように、液状のソルダレジスト 89 を印刷等の手法で形成し、基板表裏面にソルダレジスト 89 のパターンを形成するとともに、穴 85 に残っている空洞内にソルダレジスト 89 を充填する。続いて、図 6 に示したように、プリプレグ層 83 , 84 上に形成したパターンのうち、後述のエッチバックによって除去すべき部分を覆うようにレジスト 90 を形成する。このレジスト 90 は、次に行う Ni / Au メッキ処理の際に、エッチバックによって除去してしまう部分に Ni / Au メッキが形成されるのを防止するために形成する。

【 0037 】

そして、このレジスト 90 の形成後、図 7 に示すように、Ni / Au メッキ処理を行い、レジスト 90 で覆われていない、プリプレグ層 83 , 84 上の露出している Cu 膜 88 の上に Ni / Au メッキ膜 91 を形成する。

20

【 0038 】

最後に、レジスト 90 を除去し、図 8 に示すように、エッチバックを行って、プリプレグ層 83 , 84 上の Cu 膜 88 のうち、レジスト 90 で覆われていた部分の Cu 膜 88 を除去し、プリプレグ層 83 , 84 上に最終的なパターンを形成する。

【 0039 】

エッチバックを行う場合には、この例に示したような流れに従って図 1 に示したような構成を有する回路基板 20 を形成していけばよい。

上記のようにして形成される回路基板 20 を用いた半導体装置 10 は、例えば、次の図 9 ~ 図 17 に示すような流れで形成することができる。

30

【 0040 】

図 9 は半導体装置の形成フローの概略の一例を示す図である。また、図 10 ~ 図 17 は半導体装置の形成工程の説明図であって、図 10 はダイシング工程の要部断面模式図、図 11 はダイボンド工程の要部断面模式図、図 12 はワイヤボンド工程の要部断面模式図、図 13 は封止工程の要部断面模式図、図 14 はボールマウント工程の要部断面模式図、図 15 はリフロー工程の要部断面模式図、図 16 は基板切断工程の要部断面模式図、図 17 は出荷前工程の説明図である。

【 0041 】

まず、複数の半導体チップ 30 を形成したウェハ 92 にダイボンドフィルム 40 を貼り付けた後、図 10 に示すように、ダイサー 93 を用いてダイシングを行い、半導体チップ 30 を個片化する（ステップ S20）。

40

【 0042 】

次いで、図 11 に示すように、個々の半導体チップ 30 を、上記のようにして形成した切断前の回路基板 20 の各ダイエリアに、ダイボンドフィルム 40 を介して接着固定（ダイボンド）する（ステップ S21）。

【 0043 】

次いで、図 12 に示すように、半導体チップ 30 と回路基板 20 とを Au ワイヤ 50 によって接続（ワイヤボンド）した後（ステップ S22）、図 13 に示すように、その半導体チップ 30 をモールド樹脂 60 によって封止する（ステップ S23）。

50

## 【 0 0 4 4 】

次いで、図 1 4 に示すように、例えばフラックス（図示せず）を塗布した後、半導体チップ 3 0 の実装面と反対面側に露出するパッド上にソルダボール 7 0 を配置（マウント）する（ステップ S 2 4）。そして、図 1 5 に示すように、所定温度でリフローを行い、パッドにソルダボール 7 0 を溶着する（ステップ S 2 5）。フラックスを塗布した場合には、通常、この溶着後にフラックス除去のための洗浄が行われる。

## 【 0 0 4 5 】

次いで、図 1 6 に示すように、回路基板 2 0 の切断を行う（ステップ S 2 6）。これにより、個々の半導体装置 1 0 が形成されるようになる。

その後、個々の半導体装置 1 0 は、良品 / 不良品を選別する所定の検査を経て、図 1 7 に示すように、良品については所定の出荷トレイ 9 4 に詰められ（ステップ S 2 7）、所定の捺印 9 5 がされて（ステップ S 2 8）、梱包・出荷される（ステップ S 2 9）。 10

## 【 0 0 4 6 】

前述のように、回路基板 2 0 には、その中間部 2 0 b にスルーホール 2 9 b を形成しているため、ソルダボール 7 0 のマウント後に行うリフローの際等、その加熱を行っても回路基板 2 0 の膨れの発生が抑えられるようになっている。ここで、このように中間部 2 0 b にスルーホール 2 9 b を形成しなかった場合に発生する膨れについて、より詳細に説明する。

## 【 0 0 4 7 】

上記のようなスルーホール 2 9 b を形成しなかった回路基板を用いて、図 1 に示したのと同様の構成を有する半導体装置を構成した場合には、ソルダボールのマウント工程或いはその半導体装置の他の基板への実装工程の際に、その半導体装置に対してリフローを行うと、そのリフロー時の熱によってその回路基板に膨れが発生してしまう。 20

## 【 0 0 4 8 】

図 1 8 は回路基板の電子顕微鏡写真であって、（ A ）はソルダボール接続面側の平面、（ B ）は（ A ）の X - X 断面内の一部、（ C ）は（ A ）の Y - Y 断面内の一部である。

ここでは、回路基板の膨れの発生を抑えるためのスルーホールを形成していない回路基板 1 1 0 を用いて半導体装置 1 0 0 を構成し、その半導体装置 1 0 0 の所定温度での加熱を行った。用いた回路基板 1 1 0 は、4 層の配線層を有しており、第 2 配線層及び第 3 配線層は、それぞれグランドプレーン配線及び電源プレーン配線である。第 2 配線層と第 3 配線層との間はコア層であり、第 1 配線層と第 2 配線層との間、及び第 3 配線層と第 4 配線層との間はプリプレグ層である。第 1 配線層側に半導体チップをダイボンドフィルム及び Au ワイヤを用いて実装してモールド樹脂で封止し、第 4 配線層側にソルダボール 1 2 0 を接続して、半導体装置 1 0 0 を構成している。 30

## 【 0 0 4 9 】

このような回路基板 1 1 0 を用いた半導体装置 1 0 0 の加熱を行ったところ、図 1 8 （ A ）に示すように、その回路基板 1 1 0 のソルダボール 1 2 0 接続面側の、特にソルダボール 1 2 0 が形成されていない領域に、膨れ 1 3 0 が発生した。膨れ 1 3 0 が発生した箇所の断面を見ると、図 1 8 （ B ）, （ C ）に示すように、回路基板 1 1 0 の第 4 配線層 1 1 1、及び第 3 配線層 1 1 2 と第 4 配線層 1 1 1 との間のプリプレグ層 1 1 3 がソルダボール 1 2 0 の接続面側に膨らんでいることがわかった。 40

## 【 0 0 5 0 】

回路基板に発生する膨れについて、半導体チップを実装しない回路基板単体で調査した結果を、次の図 1 9 及び図 2 0 を参照して説明する。

図 1 9 は切断前の回路基板の平面模式図であって、（ A ）は半導体チップ実装面側を示す図、（ B ）はソルダボール接続面側を示す図である。

## 【 0 0 5 1 】

図 1 9 （ A ）に示すように、回路基板 1 4 0 は、その半導体チップ実装面側に、半導体チップが配置されるダイエリア 1 4 1、及び複数のパッド 1 4 2 a が形成されたパッド形成領域 1 4 2 が形成されている。その反対側の面には、図 1 9 （ B ）に示すように、ソル 50

ダボールが接続される複数のパッド143が形成されている。

【0052】

この回路基板140は、上記図18に示した半導体装置100に用いた回路基板110と同様の構成を有する、4層配線の回路基板である。すなわち、第1配線層に半導体チップ接続用のパッド142a等が形成され、第4配線層にソルダボール接続用のパッド143が形成されている。内層の第2配線層及び第3配線層は、それぞれグランドプレーン配線及び電源プレーン配線である。また、第2配線層と第3配線層との間は、コア層であり、第1配線層と第2配線層の間、及び第3配線層と第4配線層との間は、プリプレグ層である。回路基板140の膨れの発生を抑えるためのスルーホールは形成していない。

【0053】

このような構成の回路基板140について、2時間の煮沸を行い、その後、室温から280℃まで加熱し、再び室温まで冷却する処理を行った。この吸湿及び加熱・冷却の処理後には、回路基板140の半導体チップ実装面側とソルダボール接続面側のいずれにも、膨れの発生が確認された。

【0054】

図20は吸湿及び加熱・冷却処理後の回路基板の異なる2箇所で見られた電子顕微鏡写真を模式的に図示したものである。

上記のような吸湿及び加熱・冷却処理を行った回路基板140は、断面的には、図20(A)、(B)に示すように、グランドプレーン配線の第2配線層145と電源プレーン配線の第3配線層146との間にコア層148が設けられ、第1配線層144と第2配線層145の間、及び第3配線層146と第4配線層147との間にプリプレグ層149、150が設けられた構成を有している。第1配線層144及び第4配線層147の所定の領域は、ソルダレジスト153によって被覆されている。

【0055】

この回路基板140の吸湿及び加熱・冷却処理後の断面を見ると、図20(A)、(B)にそれぞれ示したように、第2配線層145のグランドプレーン配線とプリプレグ層149とが剥離した剥離部分151、及び第3配線層146の電源プレーン配線とプリプレグ層150とが剥離した剥離部分152が確認された。第2配線層145及び第3配線層146とコア層148との間にはいずれにも、このような剥離は確認されなかった。

【0056】

ところで、回路基板には、加熱・冷却の際、その構成材料間の熱膨張係数差の影響等により、反りが発生する。

図21は加熱時に発生する回路基板の反りの測定結果の一例である。

【0057】

膨れを抑えるためのスルーホールを形成していない回路基板について、室温RTから250℃まで加熱し、そこから再び室温RTまで冷却すると、その加熱・冷却の間、その回路基板には、図21に示すように、反りが発生する。

【0058】

このような反りが発生する際のストレスにより、比較的密着力が弱く、かつ、接触面積の大きいプレーン配線とプリプレグ層との間で剥離が発生し、その剥離した部分に対応する回路基板部分に膨れが発生してしまう。特に、回路基板が、加熱・冷却に先立って吸湿している場合には、そのような剥離や膨れがより発生しやすくなる。

【0059】

このようなことから、図19に示した回路基板140では、所定の処理後、図20に示したように、内層の第2配線層145とプリプレグ層149との間、及び第3配線層146とプリプレグ層150との間に、それぞれ剥離部分151、152が発生し、回路基板140に膨れが発生するということができる。

【0060】

ただし、図18に示したように、同様の構成を有する回路基板110を用いて半導体装置100を構成した場合には、ソルダボール120の接続面側に選択的に膨れ130が発

10

20

30

40

50

生する。これは、反対側すなわち半導体チップ実装面側には、半導体チップ、ダイボン  
ドフィルム及びモールド樹脂が存在するため、第2配線層とプリプレグ層との剥離が抑え  
られ、半導体チップ実装面側への膨れの発生が抑えられるためである。一方、ソルダボ  
ール120の接続面側には、特にソルダボール120が密集配置されていない領域を中心  
に膨れ130が発生するようになる。

【0061】

以上のような知見から、図1に示した半導体装置10では、ソルダボール70が密集配  
置されていない領域内の中間部20bに、第1配線層21から第4配線層24まで達する  
スルーホール29bを形成し、回路基板20の膨れの発生を抑える。中間部20bにスルー  
ホール29bを形成することにより、第2配線層22及び第3配線層23を形成したコア  
層26とプリプレグ層27、28とがスルーホール29bを介してより強固に接続され  
ることになる。それにより、ソルダボール70が密集配置されていない領域を中心とした  
回路基板20の膨れの発生が効果的に抑えられるようになる。

10

【0062】

このように回路基板20の膨れの発生を抑えるために形成するスルーホール29bは、  
内部の配線と種々の電氣的接続形態で形成可能である。例えば、回路基板20におけるス  
ルーホール29bは、第3配線層23の電源プレーン配線23aと電氣的に接続させた状  
態で形成することができる。

【0063】

図22は電源プレーン配線の平面模式図である。

20

図22では、中央部20a及び周辺部20cに多数のスルーホール29aが形成されて  
いる。そして、ソルダボール70が密集配置されない領域内における、中央部20aと周  
辺部20cとの間の中間部20bに、回路基板20の膨れの発生を抑えるためのスルーホ  
ール29bが複数形成されている。なお、この図22において、白く示した部分は、第3  
配線層23において電源プレーン配線23aが形成されていない部分を示している。

【0064】

スルーホール29aは、この図22に示したように、第3配線層23の電源プレーン配  
線23aと電氣的に接続させて形成することが可能である。この場合、スルーホール29  
bは、第3配線層23のほか、必要に応じて第1配線層21或いは第4配線層24と電氣  
的に接続させた構成としてもよい。

30

【0065】

また、回路基板20の膨れの発生を抑えるスルーホール29bは、第2配線層22のグ  
ランドプレーン配線22aと電氣的に接続させた状態で形成することもできる。

図23はグランドプレーン配線の平面模式図である。

【0066】

図23では、第2配線層22のグランドプレーン配線22aの、上記図22の場合と同  
様の領域に、回路基板20の膨れの発生を抑えるためのスルーホール29bが複数形成さ  
れている。なお、この図23において、白く示した部分は、第2配線層22においてグ  
ランドプレーン配線22aが形成されていない部分を示している。

【0067】

40

スルーホール29aは、この図23に示したように、第2配線層22のグランドプレー  
ン配線22aと電氣的に接続させて形成することが可能である。この場合、スルーホール  
29bは、第2配線層22のほか、必要に応じて第1配線層21或いは第4配線層24と  
電氣的に接続させた構成としてもよい。

【0068】

また、回路基板20の膨れの発生を抑えるスルーホール29bは、第2配線層22のグ  
ランドプレーン配線22a、及び第3配線層23の電源プレーン配線23aの、いずれと  
も電氣的に接続させない構成とすることもできる。

【0069】

図24は別の電源プレーン配線の平面模式図である。

50

図 2 4 では、上記図 2 2 の場合と同様の領域に、回路基板 2 0 の膨れの発生を抑えるためのスルーホール 2 9 b が、電源プレーン配線 2 3 a と電氣的に未接続の状態、複数形成されている。なお、この図 2 4 においても、白く示した部分は、第 3 配線層 2 3 において電源プレーン配線 2 3 a が形成されていない部分を示している。

【 0 0 7 0 】

そして、このスルーホール 2 9 b は、図 2 4 に示したのと同様に、第 2 配線層 2 2 においてもグランドプレーン配線 2 2 a と電氣的に未接続の状態で形成されている。このようにスルーホール 2 9 a は、第 2 配線層 2 2 及び第 3 配線層 2 3 のいずれとも電氣的に未接続の状態で形成することが可能である。この場合、スルーホール 2 9 b は、必要に応じて第 1 配線層 2 1 或いは第 4 配線層 2 4 と電氣的に接続させた構成としてもよい。

10

【 0 0 7 1 】

また、回路基板 2 0 の膨れの発生を抑えるスルーホール 2 9 b とともに、第 2 配線層のグランドプレーン配線 2 2 a、又は第 3 配線層 2 3 の電源プレーン配線 2 3 a に、その導体部をメッシュ状に削除した無導体部を形成することもできる。

【 0 0 7 2 】

図 2 5 はメッシュ状無導体部を形成した電源プレーン配線の平面模式図である。

図 2 5 では、第 3 配線層 2 3 の電源プレーン配線 2 3 a の、上記図 2 2 の場合と同様の領域にスルーホール 2 9 b が複数形成されているとともに、メッシュ状に無導体部 2 3 b が複数形成されている。この無導体部 2 3 b は、回路基板 2 0 の形成過程におけるプリプレグ層 2 8 のコア層 2 6 への貼り付け時にその樹脂成分が充填されて、プリプレグ層 2 8 とコア層 2 6 とをより強く接続するアンカーとして機能する。さらに、この無導体部 2 3 b は、回路基板 2 0 内に含まれる水分を外部へ放出させるためのパスとしての役割も果たす。

20

【 0 0 7 3 】

図 2 5 に示したように、スルーホール 2 9 b とともにこのような無導体部 2 3 b を形成することにより、回路基板 2 0 の膨れの発生を効果的に抑えることができる。また、第 3 配線層 2 3 の電源プレーン配線 2 3 a に替えて、或いは電源プレーン配線 2 3 a とともに、第 2 配線層 2 2 のグランドプレーン配線 2 2 a にこれと同様のメッシュ状の無導体部を複数形成することもでき、それにより、効果的に回路基板 2 0 の膨れの発生を抑えることが可能になる。

30

【 0 0 7 4 】

次に、第 2 の実施の形態について説明する。なお、この第 2 の実施の形態の説明においては、第 1 の実施の形態で述べた要素と同一或いは同等の要素については同一の符号を付す。

【 0 0 7 5 】

図 2 6 は第 2 の実施の形態の半導体装置が有する回路基板の電源プレーン配線の平面模式図である。

第 2 の実施の形態の半導体装置 1 0 の回路基板 2 0 は、スルーホール 2 9 b に替えて、図 2 6 に示すように、中央部 2 0 a と周辺部 2 0 c との間の中間部 2 0 b の電源プレーン配線 2 3 a が広範囲にわたって削除されて無導体部 2 3 c が形成された構成を有している。なお、上記図 2 2 と同様、この図 2 6 においても、白く示した部分は、第 3 配線層 2 3 において電源プレーン配線 2 3 a が形成されていない部分を示している。

40

【 0 0 7 6 】

図 2 6 に示したように無導体部 2 3 c を形成することによっても、スルーホール 2 9 b を形成した場合と同様の効果を得ることができる。すなわち、この無導体部 2 3 c には、回路基板 2 0 の形成過程におけるプリプレグ層 2 8 のコア層 2 6 への貼り付け時にその樹脂成分が充填される。それにより、この無導体部 2 3 c は、プリプレグ層 2 8 とコア層 2 6 とを強固に接続するアンカーとして機能する。その結果、プリプレグ層 2 8 と電源プレーン配線 2 3 a との剥離が抑えられ、回路基板 2 0 の膨れの発生が抑えられるようになる。

50

## 【 0 0 7 7 】

さらに、第3配線層23の電源プレーン配線23aに替えて、或いは電源プレーン配線23aとともに、第2配線層22のグランドプレーン配線22aにこれと同様の無導体部を形成すれば、プリプレグ層27とグランドプレーン配線22aとの剥離を抑えることができ、回路基板20の膨れの発生が効果的に抑えられるようになる。

## 【 0 0 7 8 】

ただし、このような無導体部23cを形成した回路基板20を用いて半導体装置10を構成する場合に、上記の図18から図21に示したような知見に基づきソルダボール70の接続面側への膨れの発生を抑えるためには、少なくともソルダボール70の接続面側に近い第3配線層23の電源プレーン配線23aに無導体部23cを形成することが望ましい。

10

## 【 0 0 7 9 】

電源プレーン配線23aやグランドプレーン配線22aに形成する無導体部23c等は、図26に示したように連続的に形成した一のパターンとするほか、間欠的に形成した複数のパターン（例えば、図26の無導体部23cを3箇所の各コーナー部分で不連続とした複数の直線状パターン。）とすることもできる。

## 【 0 0 8 0 】

なお、上記の図22～図26において、電源プレーン配線23a又はグランドプレーン配線22aを9つに分割している線は、回路基板20の中央部20a、中間部20b又は周辺部20cの境界を示すものではない。

20

## 【 0 0 8 1 】

また、以上の説明では、多層配線の回路基板として4層の配線層を有する回路基板を例にして述べたが、4層以上の配線層を有する回路基板、例えばグランドプレーン配線と電源プレーン配線を2層ずつ備える6層配線の回路基板等においては、上記同様の剥離、膨れの問題が発生する。そのような多層配線の回路基板においても、上記同様、中央部と周辺部の間の中間部にスルーホールを形成したり、スルーホールとともにメッシュ状に無導体部を形成したり、或いは中間部のプレーン配線のパターンをより広範囲に削除した無導体部を形成したりすることにより、剥離、膨れの発生を抑えることが可能である。

## 【 0 0 8 2 】

以上説明した実施の形態に関し、さらに以下の付記を開示する。

30

（付記1） 多層配線の回路基板と、  
前記回路基板に実装された半導体チップと、  
を有し、  
前記回路基板は、  
前記半導体チップが配置される第1領域と、  
前記第1領域の外側にあって前記半導体チップとの電氣的接続に用いる複数のパッドが形成された第2領域と、  
前記第1領域と前記第2領域との間の第3領域と、  
前記第3領域に複数層を貫通して形成されたスルーホールと、  
を有することを特徴とする半導体装置。

40

## 【 0 0 8 3 】

（付記2） 前記半導体チップの配置面側と反対面側であって、前記第3領域に対応する領域外に、選択的に複数のバンプが配置されていることを特徴とする付記1記載の半導体装置。

## 【 0 0 8 4 】

（付記3） 前記回路基板は、内層に少なくとも2層のプレーン配線を備え、  
前記スルーホールは、前記プレーン配線のいずれかと電氣的に接続されていることを特徴とする付記1又は2に記載の半導体装置。

## 【 0 0 8 5 】

（付記4） 前記回路基板は、内層に少なくとも2層のプレーン配線を備え、

50

前記スルーホールは、前記プレーン配線のいずれとも電氣的に未接続であることを特徴とする付記 1 又は 2 に記載の半導体装置。

【 0 0 8 6 】

(付記 5) 前記回路基板は、内層に少なくとも 2 層のプレーン配線を備え、少なくともいずれかの前記プレーン配線の前記第 3 領域に対応する領域における前記スルーホールの未形成領域に、複数の開口部が形成されていることを特徴とする付記 1 又は 2 に記載の半導体装置。

【 0 0 8 7 】

(付記 6) 前記半導体チップは、前記パッドとのワイヤボンドによって前記回路基板に電氣的に接続されていることを特徴とする付記 1 から 5 のいずれかに記載の半導体装置。

10

【 0 0 8 8 】

(付記 7) 前記半導体チップは、前記回路基板の実装面側において封止されていることを特徴とする付記 1 から 6 のいずれかに記載の半導体装置。

(付記 8) 多層配線の回路基板と、前記回路基板に実装された半導体チップと、を有し、前記回路基板は、前記半導体チップが配置される第 1 領域と、前記第 1 領域の外側にあつて前記半導体チップとの電氣的接続に用いる複数のパッドが形成された第 2 領域と、前記第 1 領域と前記第 2 領域との間の第 3 領域と、内層に形成された少なくとも 2 層のプレーン配線と、前記プレーン配線における前記第 3 領域に対応する領域に直線状に形成された無導体部と、を有することを特徴とする半導体装置。

20

【 0 0 8 9 】

(付記 9) 前記半導体チップの配置面側と反対面側であつて、前記第 3 領域に対応する領域外に、選択的に複数のバンプが配置されていることを特徴とする付記 8 記載の半導体装置。

30

【 0 0 9 0 】

(付記 10) 前記半導体チップは、前記パッドとのワイヤボンドによって前記回路基板に電氣的に接続されていることを特徴とする付記 8 又は 9 に記載の半導体装置。

(付記 11) 前記半導体チップは、前記回路基板の実装面側において封止されていることを特徴とする付記 8 から 10 のいずれかに記載の半導体装置。

【 0 0 9 1 】

(付記 12) 多層配線の回路基板において、半導体チップが配置される第 1 領域と、前記第 1 領域の外側にあつて前記半導体チップとの電氣的接続に用いる複数のパッドが形成された第 2 領域と、前記第 1 領域と前記第 2 領域との間の第 3 領域と、前記第 3 領域に複数層を貫通して形成されたスルーホールと、を有することを特徴とする回路基板。

40

【 0 0 9 2 】

(付記 13) 前記半導体チップの配置面側と反対面側であつて、前記第 3 領域に対応する領域外に、選択的に複数のバンプが配置されることを特徴とする付記 12 記載の回路基板。

【 0 0 9 3 】

(付記 14) 内層に少なくとも 2 層のプレーン配線を備え、前記スルーホールは、前記プレーン配線のいずれかと電氣的に接続されていることを特

50

徴とする付記 1 2 又は 1 3 に記載の回路基板。

【 0 0 9 4 】

(付記 1 5) 内層に少なくとも 2 層のプレーン配線を備え、  
前記スルーホールは、前記プレーン配線のいずれとも電氣的に未接続であることを特徴とする付記 1 2 又は 1 3 に記載の回路基板。

【 0 0 9 5 】

(付記 1 6) 内層に少なくとも 2 層のプレーン配線を備え、  
少なくともいずれかの前記プレーン配線の前記第 3 領域に対応する領域における前記スルーホールの未形成領域に、複数の開口部が形成されていることを特徴とする付記 1 2 又は 1 3 に記載の回路基板。

10

【図面の簡単な説明】

【 0 0 9 6 】

【図 1】半導体装置の断面模式図である。

【図 2】回路基板の形成フローの概略の一例を示す図である。

【図 3】無電解メッキ処理工程の要部断面模式図である。

【図 4】電解メッキ処理工程の要部断面模式図である。

【図 5】エッチング工程の要部断面模式図である。

【図 6】レジスト形成工程の要部断面模式図である。

【図 7】Ni / Auメッキ工程の要部断面模式図である。

【図 8】エッチバック工程の要部断面模式図である。

20

【図 9】半導体装置の形成フローの概略の一例を示す図である。

【図 10】ダイシング工程の要部断面模式図である。

【図 11】ダイボンド工程の要部断面模式図である。

【図 12】ワイヤボンド工程の要部断面模式図である。

【図 13】封止工程の要部断面模式図である。

【図 14】ボールマウント工程の要部断面模式図である。

【図 15】リフロー工程の要部断面模式図である。

【図 16】基板切断工程の要部断面模式図である。

【図 17】出荷前工程の説明図である。

【図 18】回路基板の電子顕微鏡写真であって、(A)はソルダボール接続面側の平面、  
(B)は(A)のX-X断面内の一部、(C)は(A)のY-Y断面内の一部である。

30

【図 19】切断前の回路基板の平面模式図であって、(A)は半導体チップ実装面側を示す図、(B)はソルダボール接続面側を示す図である。

【図 20】吸湿及び加熱・冷却処理後の回路基板の異なる 2 箇所得られた電子顕微鏡写真を模式的に図示したものである。

【図 21】加熱時に発生する回路基板の反りの測定結果の一例である。

【図 22】電源プレーン配線の平面模式図である。

【図 23】グランドプレーン配線の平面模式図である。

【図 24】別の電源プレーン配線の平面模式図である。

【図 25】メッシュ状無導体部を形成した電源プレーン配線の平面模式図である。

40

【図 26】第 2 の実施の形態の半導体装置が有する回路基板の電源プレーン配線の平面模式図である。

【符号の説明】

【 0 0 9 7 】

1 0 , 1 0 0 半導体装置

2 0 , 1 1 0 , 1 4 0 回路基板

2 0 a 中央部

2 0 b 中間部

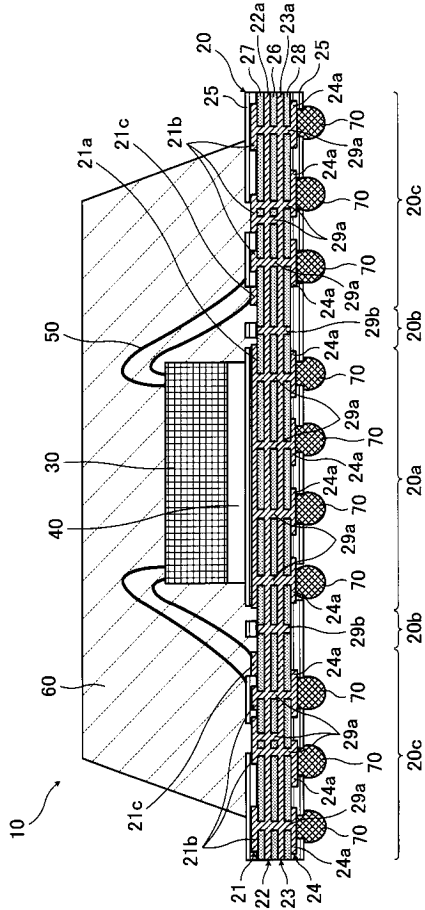
2 0 c 周辺部

2 1 , 1 4 4 第 1 配線層

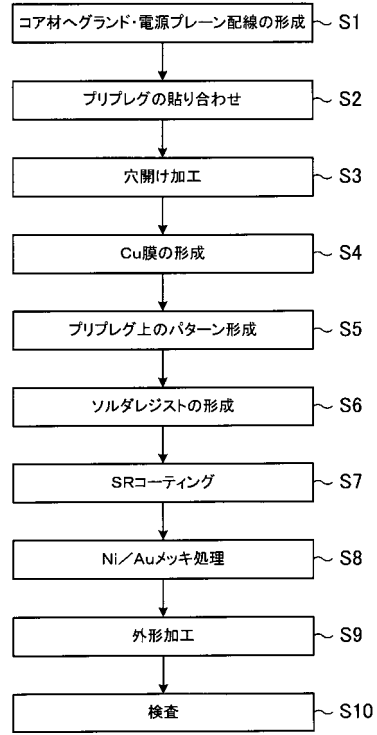
50

2 1 a	配置エリア	
2 1 b	回路パターン	
2 1 c , 2 4 a , 1 4 2 a , 1 4 3	パッド	
2 2 , 1 4 5	第 2 配線層	
2 2 a , 8 1	グラウンドプレーン配線	
2 3 , 1 1 2 , 1 4 6	第 3 配線層	
2 3 a , 8 2	電源プレーン配線	
2 3 b , 2 3 c	無導体部	
2 4 , 1 1 1 , 1 4 7	第 4 配線層	
2 5 , 8 9 , 1 5 3	ソルダレジスト	10
2 6 , 8 0 , 1 4 8	コア層	
2 7 , 2 8 , 8 3 , 8 4 , 1 1 3 , 1 4 9 , 1 5 0	プリプレグ層	
2 9 a , 2 9 b	スルーホール	
3 0	半導体チップ	
4 0	ダイボンドフィルム	
5 0	A uワイヤ	
6 0	モールド樹脂	
7 0 , 1 2 0	ソルダボール	
8 5	穴	
8 6	シードC u膜	20
8 7 , 9 0	レジスト	
8 8	C u膜	
9 1	N i / A uメッキ膜	
9 2	ウェハ	
9 3	ダイサー	
9 4	出荷トレイ	
9 5	捺印	
1 3 0	膨れ	
1 4 1	ダイエリア	
1 4 2	パッド形成領域	30
1 5 1 , 1 5 2	剥離部分	

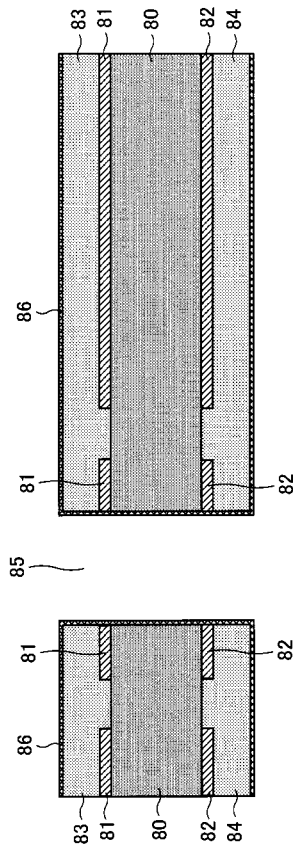
【図1】



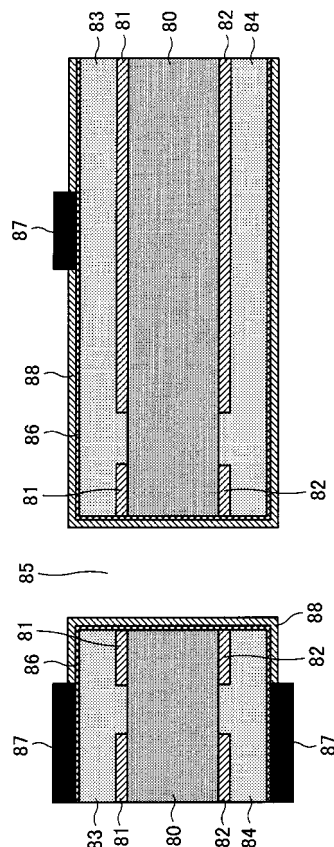
【図2】



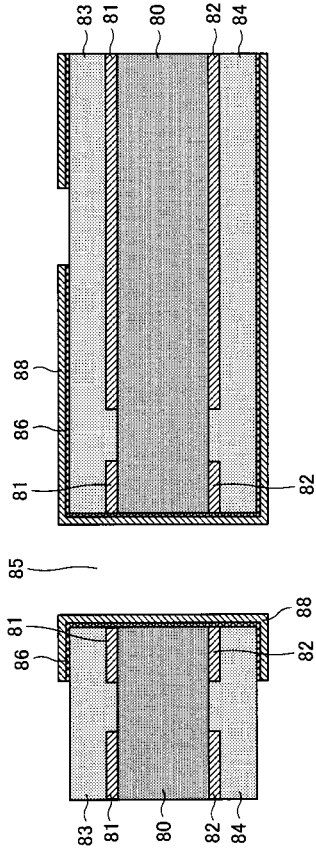
【図3】



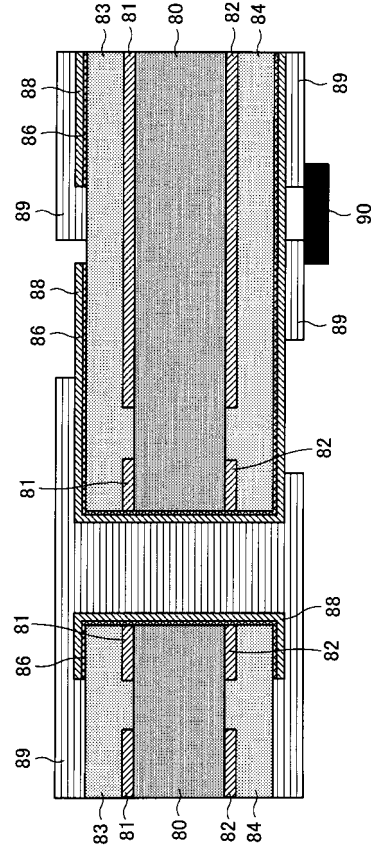
【図4】



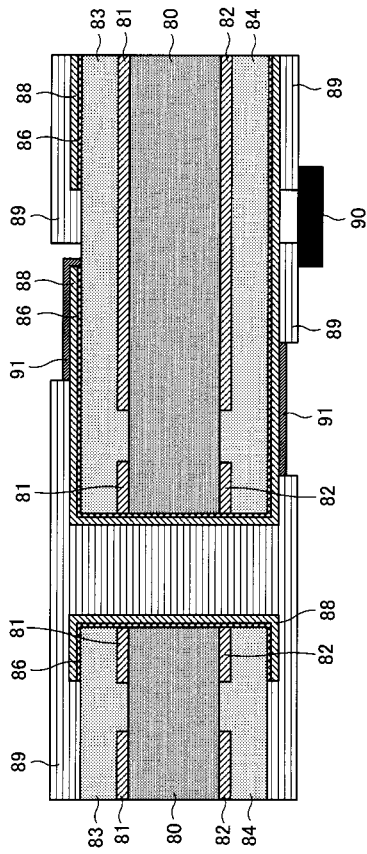
【図5】



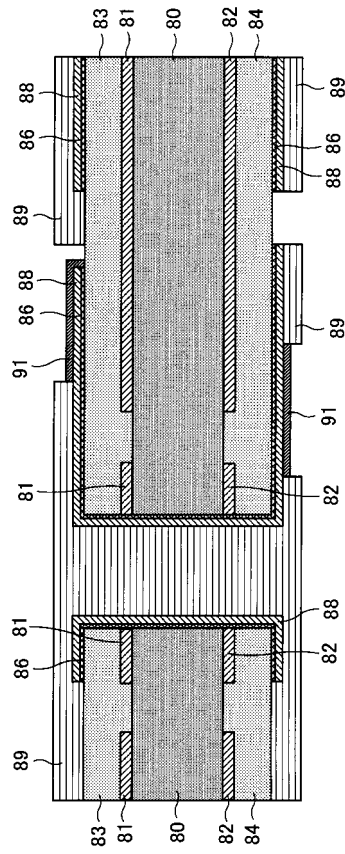
【図6】



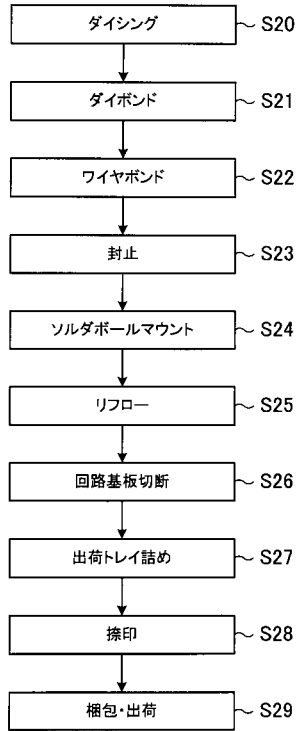
【図7】



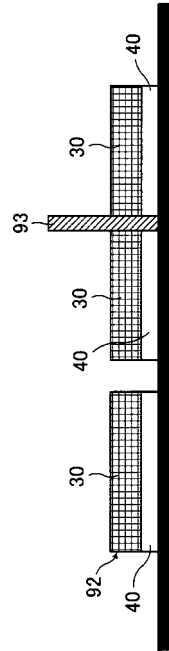
【図8】



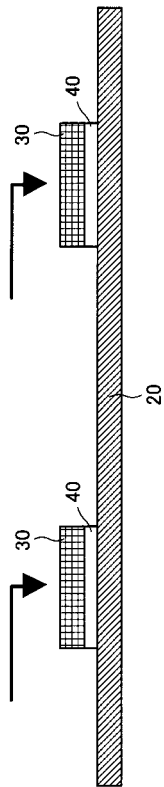
【図9】



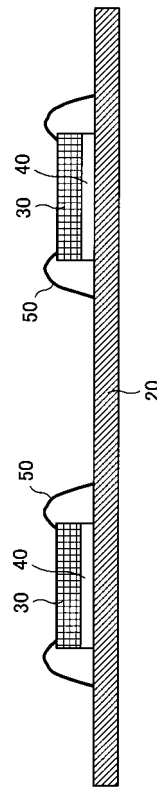
【図10】



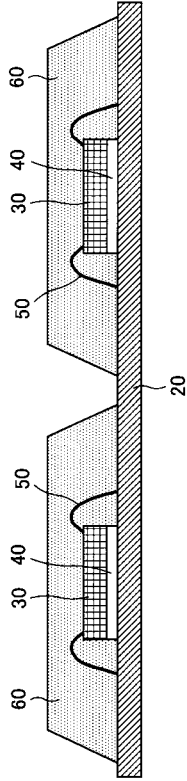
【図11】



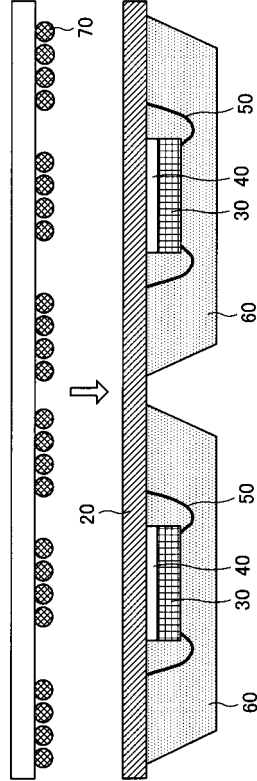
【図12】



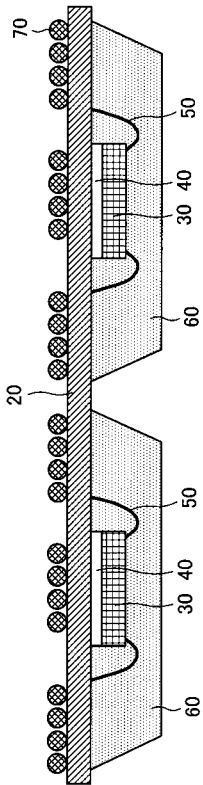
【図13】



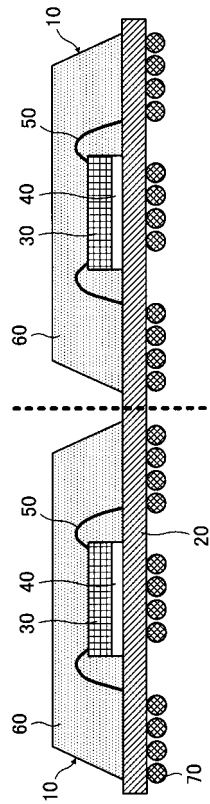
【図14】



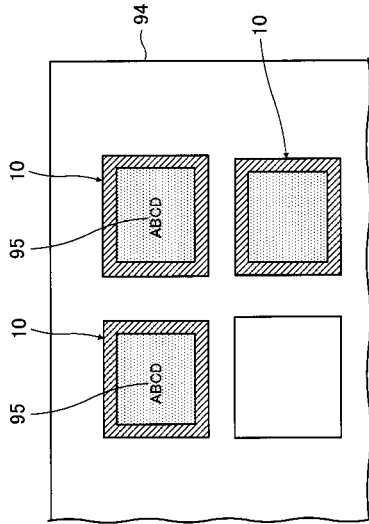
【図15】



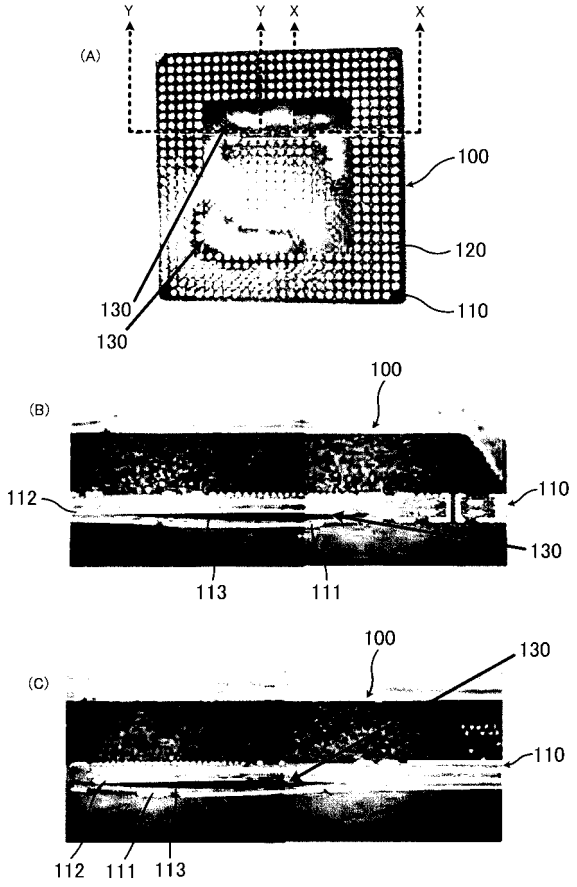
【図16】



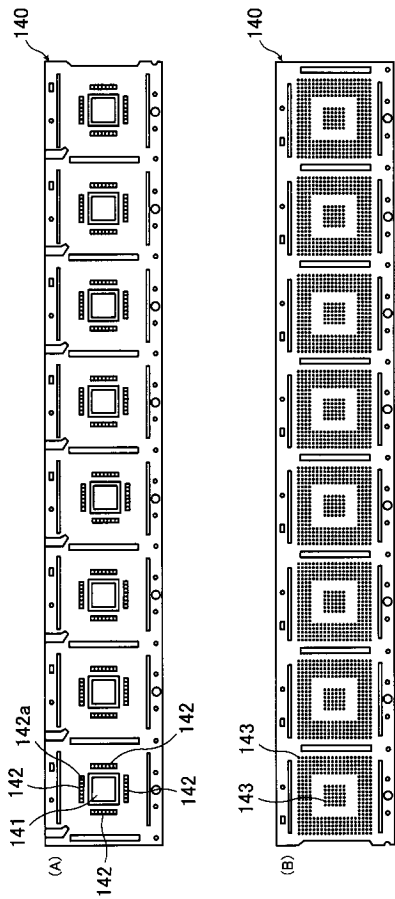
【 図 17 】



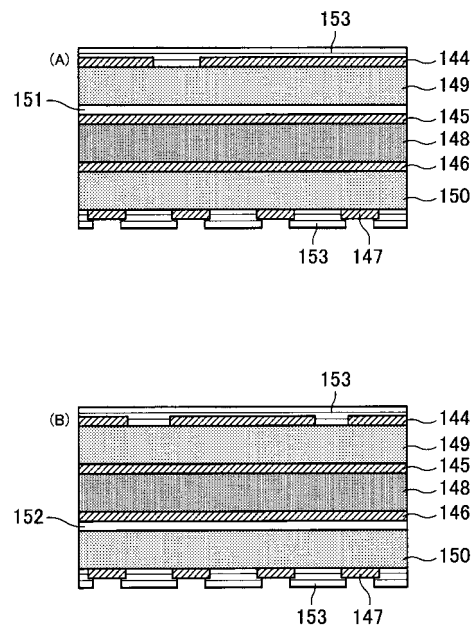
【 図 18 】



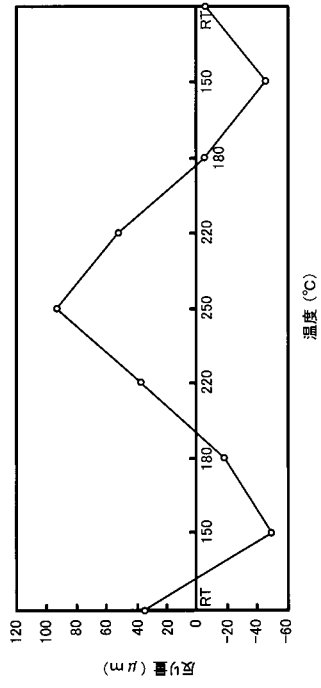
【 図 19 】



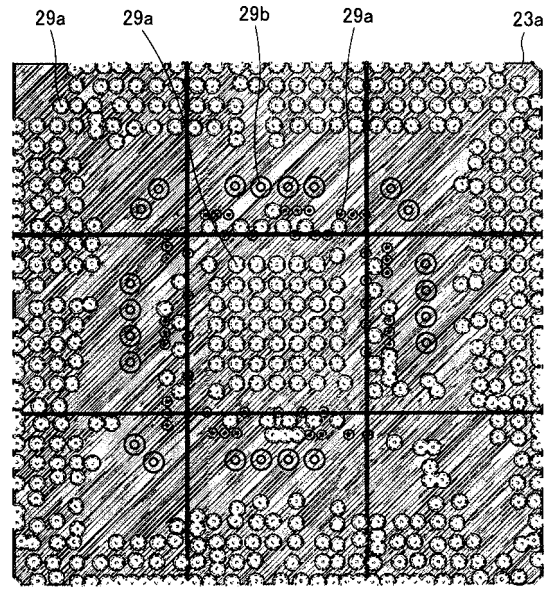
【 図 20 】



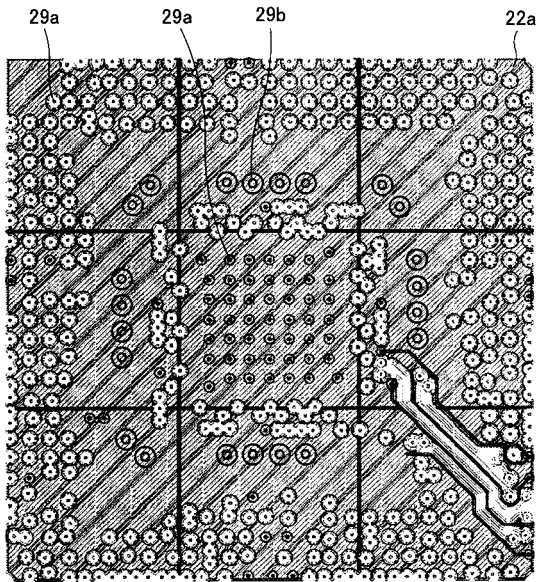
【 図 2 1 】



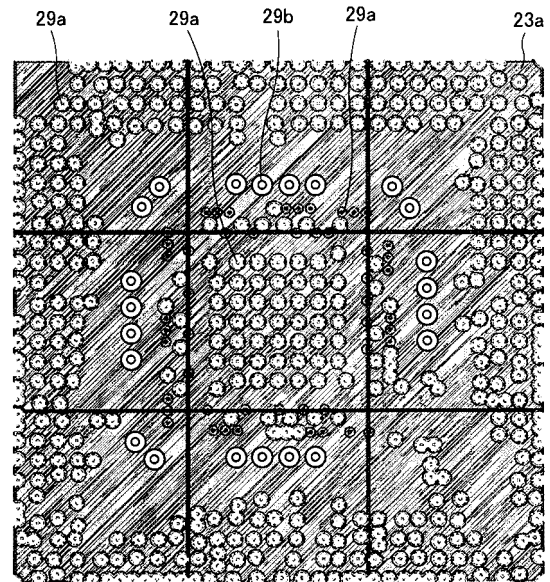
【 図 2 2 】



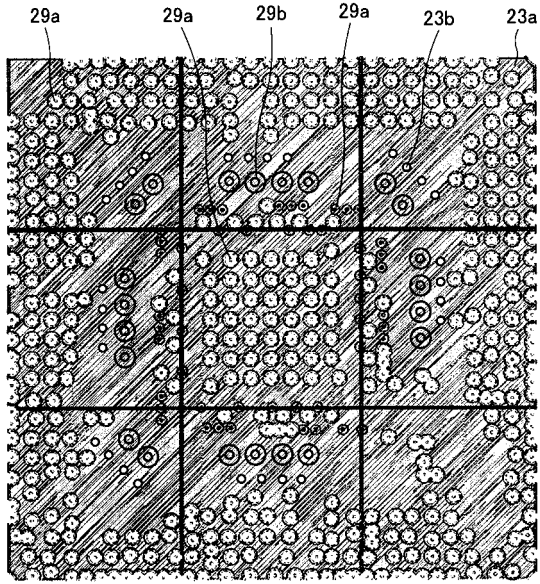
【 図 2 3 】



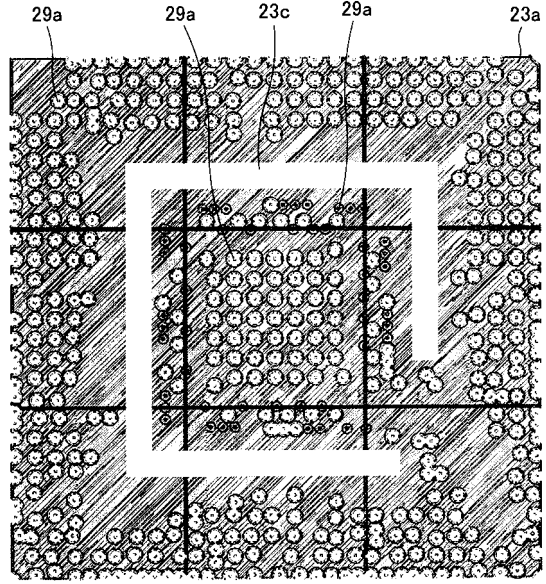
【 図 2 4 】



【 25 】



【 26 】



---

フロントページの続き

- (56)参考文献 特開2002-111231(JP,A)  
特開2006-041459(JP,A)  
特開2007-67060(JP,A)  
特開2007-208153(JP,A)  
特開2007-235009(JP,A)  
特開2002-289733(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 23/12