



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0002627
(43) 공개일자 2015년01월07일

- | | |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 33/62 (2010.01) H01L 33/64 (2010.01)</p> <p>(21) 출원번호 10-2014-7027027</p> <p>(22) 출원일자(국제) 2013년02월28일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2014년09월25일</p> <p>(86) 국제출원번호 PCT/EP2013/054050</p> <p>(87) 국제공개번호 WO 2013/149772
국제공개일자 2013년10월10일</p> <p>(30) 우선권주장
10 2012 102 847.8 2012년04월02일 독일(DE)</p> | <p>(71) 출원인
오스람 옵토 세미컨덕터스 게엠베하
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)</p> <p>(72) 발명자
슈바르츠, 토마스
독일 93055 레겐스부르크 슈타인페더베크 4
일렉, 슈테판
독일 93093 도나우슈타우프 바이어발트슈트라쎄 45</p> <p>(74) 대리인
특허법인 남앤드남</p> |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

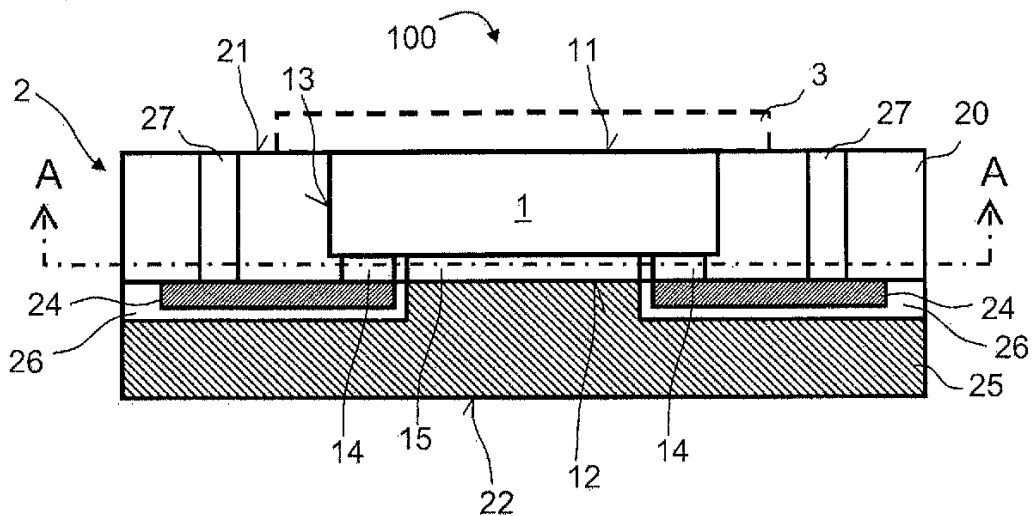
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 발광 반도체 컴포넌트 및 발광 반도체 컴포넌트의 제조 방법

(57) 요약

본 발명은 반도체 층 시퀀스(17), 광 방출면(11), 상기 광 방출면(11)에 마주 놓인 후면(12) 및 측면(13)들을 갖는 발광 반도체 칩(1) 및 상기 측면(13)을 형상 구속(form-locked) 방식으로 직접 덮는 성형 몸체(20)를 갖는 캐리어 몸체(2)를 포함하는 발광 반도체 컴포넌트(100, 200, 300)에 관한 것으로서, 이 경우 상기 후면(12)에는 두 (뒷면에 계속)

대표도 - 도1a



개의 전기 접촉 층(14) 및 하나의 열적 접촉 층(15)이 형성되어 있고, 이때 상기 열적 접촉 층(15)은 상기 전기 접촉 층(14)들 및 상기 반도체 층 시퀀스(17)에 대해 전기적으로 절연되어 있으며, 이때 상기 캐리어 몸체(2)는 후면(12)에서 상기 전기 접촉 층(14)들과 직접 접촉하는 전기 접속 소자(24)들 및 상기 열적 접촉 층(15)과 직접 접촉하는 열적 접속 소자(25)를 포함하고, 이때 상기 열적 접속 소자(25)는 적어도 부분적으로 상기 반도체 칩(1)을 등지는 반도체 컴포넌트(100, 200, 300)의 장착면(22)을 형성한다. 추가로 본 발명에서는 반도체 컴포넌트의 제조 방법이 제시된다.

특허청구의 범위

청구항 1

발광 반도체 컴포넌트(100, 200, 300)로서,

반도체 층 시퀀스(17), 광 방출면(11), 상기 광 방출면(11)에 마주 놓인 후면(12) 및 상기 광 방출면(11)과 상기 후면(12)을 연결하는 측면(13)들을 갖는 적어도 하나의 발광 반도체 칩(1) 및

캐리어 몸체(2)를 포함하고, 상기 캐리어 몸체는 반도체 칩(1)의 측면(13)들을 형상 구속(form-locked) 방식으로 직접 덮는 성형 몸체(20)를 구비하며,

이때 상기 반도체 칩(1)의 후면(12)에는 두 개의 전기 접촉 층(14) 및 하나의 열적 접촉 층(15)이 형성되어 있고,

상기 열적 접촉 층(15)은 상기 전기 접촉 층(14)들 및 상기 반도체 층 시퀀스(17)에 대해 전기적으로 절연되어 있으며,

상기 캐리어 몸체(2)는 반도체 칩(1)의 후면(12)에서 반도체 칩(1)의 전기 접촉 층(14)들과 직접 접촉하는 전기 접촉 소자(24)들 및 반도체 칩(1)의 열적 접촉 층(15)과 직접 접촉하는 열적 접촉 소자(25)를 포함하며,

상기 열적 접촉 소자(25)는 적어도 부분적으로 반도체 칩(1)을 등지는 반도체 컴포넌트(100, 200, 300)의 장착면(22)을 형성하는,

발광 반도체 컴포넌트.

청구항 2

제 1항에 있어서,

상기 성형 몸체(20)는 상기 광 방출면(11)을 덮지 않는,

발광 반도체 컴포넌트.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 성형 몸체(20)는 상기 광 방출면(11)과 동일 선상에서 종료하는,

발광 반도체 컴포넌트.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 광 방출면(11) 상에 파장 변환 소자(3)가 배치되어 있는,

발광 반도체 컴포넌트.

청구항 5

제 1항 내지 제 4항 중 어느 한 항에 있어서,

상기 캐리어 몸체(2)는 전기 접촉 소자(24)들과 열적 접촉 소자(25) 사이에 전기 절연 재료(26)를 포함하는,

발광 반도체 컴포넌트.

청구항 6

제 1항 내지 제 5항 중 어느 한 항에 있어서,

상기 전기 접촉 소자(24)들은 상기 캐리어 몸체(2)의 내부에 배치되어 있는,

발광 반도체 컴포넌트.

청구항 7

제 1항 내지 제 6항 중 어느 한 항에 있어서,
상기 전기 접속 소자(24)들은 부분적으로 상기 성형 몸체(20) 상에 제공되어 있는,
발광 반도체 컴포넌트.

청구항 8

제 1항 내지 제 7항 중 어느 한 항에 있어서,
상기 열적 접속 소자(25)는 상기 전기 접속 소자(24)들을 측면 방향으로 돌출하는,
발광 반도체 컴포넌트.

청구항 9

제 1항 내지 제 8항 중 어느 한 항에 있어서,
상기 전기 접속 소자(24)들 및 상기 열적 접속 소자(25)는 갈바닉 방식으로 반도체 칩(1) 상에 제공되는,
발광 반도체 컴포넌트.

청구항 10

제 1항 내지 제 9항 중 어느 한 항에 있어서,
상기 성형 몸체(20)는 적어도 하나의 전기 피드스루(electric feedthrough)를 갖고, 상기 전기 피드스루는 하나의 전기 접속 소자(24)와 전기적으로 연결되어 있는,
발광 반도체 컴포넌트.

청구항 11

제 10항에 있어서,
상기 열적 접속 소자(25)는 반도체 컴포넌트(100, 200, 300)의 전체 장착면(22)을 형성하는,
발광 반도체 컴포넌트.

청구항 12

제 1항 내지 제 11항 중 어느 한 항에 있어서,
상기 반도체 칩(1)은 반도체 칩 시퀀스(17)와 열적 접촉 층(15) 사이에 전기 절연 층(18)을 포함하는,
발광 반도체 컴포넌트.

청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서,
상기 열적 접촉 층(15)은 반도체 칩(1)의 후면(12)에서 상기 전기 접촉 층(14)들보다 더 큰 표면적을 차지하는,
발광 반도체 컴포넌트.

청구항 14

제 1항 내지 제 13항 중 어느 한 항에 있어서,
상기 성형 몸체(20) 내에 다수의 발광 반도체 칩(1)이 측면으로 나란히 배치되어 있고, 상기 캐리어 몸체(2)는 연결된 열적 접속 소자(25)를 포함하며, 상기 열적 접속 소자와 반도체 칩(1)들의 열적 접촉 층(15)들은 직접 접촉하는,

발광 반도체 컴포넌트.

청구항 15

제 1항 내지 제 14항 중 어느 한 항에 따른 발광 반도체 컴포넌트(100, 200, 300)의 제조 방법으로서,

A) 반도체 층 시퀀스(17), 광 방출면(11), 상기 광 방출면(11)에 마주 놓인 후면(12) 및 상기 광 방출면(11)과 상기 후면(12)을 연결하는 측면(13)들을 갖는 발광 반도체 칩(1)을 제공하는 단계로서, 상기 반도체 칩(1)의 후면(12)에는 두 개의 전기 접촉 층(14) 및 하나의 열적 접촉 층(15)이 배치되어 있고, 상기 열적 접촉 층(15)은 상기 전기 접촉 층(14)들과 상기 반도체 층 시퀀스(17)에 대해 전기적으로 절연되어 있는 단계;

B) 상기 반도체 칩(1)을 위해 캐리어 몸체(2)를 다음의 부분 단계들로 형성하는 단계:

B1) 상기 반도체 칩(1)의 측면(13)들을 형성 구속 방식으로 직접 덮는 성형 몸체(20)에 의해 상기 반도체 칩(1)을 변형시키는 단계;

B2) 갈바닉 공정에 의해 반도체 칩(1)의 전기 접촉 층(14)들과 직접 접촉하는 전기 접속 소자(24)들 및 반도체 칩(1)의 열적 접촉 층(15)과 직접 접촉하는 열적 접속 소자(25)를 형성하는 단계로서, 상기 열적 접속 소자(25)는 반도체 칩(1)을 등지는 반도체 컴포넌트(100, 200, 300)의 장착면(22)을 형성하는 두께로 제공되는 단계를 포함하는,

발광 반도체 컴포넌트의 제조 방법.

명세서

기술분야

[0001] 본 특허 출원서는 독일 특허 출원서 10 2012 102 847.8호의 우선권을 주장하며, 따라서 상기 출원서의 공개 내용은 인용에 의해 본원에 포함된다.

[0002] 출원서에는 발광 반도체 컴포넌트 및 발광 반도체 컴포넌트의 제조 방법이 제시된다.

배경 기술

[0003] 전기 접속 단자들이 모두 주(main) 표면에 배치되어 있는 발광 반도체 칩이 공지되어 있으며, 상기 발광 반도체 칩의 전기 접속 단자들을 통해 이 발광 반도체 칩은 각각 캐리어 상에 장착된다. 전기 접속 단자를 위해 예를 들어, 가령 본딩 와이어 형태의 추가적인 전기 접촉부가 더 이상 필요하지 않는다는 장점을 갖는 이와 같은 반도체 칩은 소위 "플립-칩(flip-chip)"으로도 언급된다.

[0004] 플립-칩은 통상적으로 단지 자체 전기 접속 단자들을 통해서만 캐리어 상에 장착되기 때문에, 작동중에 반도체 칩의 효과적인 냉각에 있어서 문제가 발생한다.

[0005] 플립-칩을 예를 들어 세라믹 기판상에 장착하는 것이 공지되어 있으며, 이 경우 전기 접속 단자들은 상기 세라믹 기판의 상응하는 스트립 도체 상에 제공되어 이 스트립 도체에 접속된다. 세라믹 기판의 장점은, 이 세라믹 기판이 전기 절연성 및 우수한 열 전도성을 갖고, 세라믹 기판의 열적 팽창 계수는 반도체 칩의 열적 팽창 계수와 유사하도록 선택될 수 있다는 것이다. 세라믹 기판의 스트립 도체에 반도체 칩을 접속하기 위해서는 다양한 가능성들이 제공되는데, 예를 들어 납땜, 골드-골드 초음파 본딩(gold-gold-ultrasonic bonding), 접착 또는 낮은 온도에서의 소결(LTS: "low temperature sintering") 방법이 있다. 그러나 이와 관련해서는 특히 큰 표면적의 세라믹 기판의 경우에서 상승된 비용 및 추가의 히트 싱크, 소위 세컨드-레벨 히트 싱크(second-level-heatsink), 예컨대 그 위에 세라믹 기판에 장착된 반도체 칩이 장착되는 금속 코어 기판에 열적 팽창 계수를 적용시키는 문제가 발생한다.

[0006] 추가로 소위 QFN-구조 방식(QFN: "quad flat no leads")의 하우징이 공지되어 있으며, 상기 하우징은 그 위에 예컨대 플립-칩이 장착될 수 있는 리드 프레임 부분들을 플라스틱 하우징 내에 포함한다. 본 경우에는 세라믹 기판에 대해 기술된 바와 같은 연결 가능성들이 사용될 수 있지만, QFN-하우징은 세라믹 기판보다 우수한 열 전도성을 가지며 상기 세라믹 기판보다 비용도 더 저렴하다. 추가로 세컨드-레벨-히트 싱크에 열적 팽창 계수를 적용시키는 과정이 세라믹 기판의 경우보다 더 수월하다. 그러나 QFN-하우징의 경우, 하우징의 열적 팽창 계수가 반도체 칩의 열적 팽창 계수와 현저히 다르다는 단점이 있으며, 이러한 단점은 신뢰성에 문제를 야기한다. 또한, QFN-하우징의 경우 도달 가능한 구조의 최소 치수가 리드 프레임의 최소 에칭 폭에 의해서 제한되어

있고, 예를 들어 200 μ m 두께의 리드 프레임의 경우 100 μ m 이상에 달한다.

[0007] QFN-하우징을 위한 전기 절연성 장착면을 달성하기 위해서, 추가로 예를 들어 다이아몬드상 카본(DLC: "diamond-like carbon") 또는 폴리이미드로 이루어진 절연 층이 제공되어야 하며, 상기 절연 층은 예를 들어 QFN-하우징을 예컨대 납땀 방식으로 장착할 수 있기 위하여 추가적인 금속 층으로 덮여야 한다. 그럼으로써, QFN-하우징 하부면에서 전기 절연성이 달성될 수 있지만, 절연 공정을 위해 적합한 공정 재료는 상승된 비용 및 종종 더 나쁜 열 전도성과도 연결된다.

[0008] 공정 기술에서 복잡성이 상승된 경우에 있어서는 QFN-하우징을 적합한 전기 절연 공정을 이용하여 반도체 칩을 향하는 측면 상에 구현하는 것도 가능하다.

발명의 내용

[0009] 특정 실시 예들의 적어도 한 가지 과제는 발광 반도체 컴포넌트를 제시하는 것이다. 특정 실시 예들의 적어도 한 가지 추가 과제는 발광 반도체 컴포넌트의 제조 방법을 제시하는 것이다.

[0010] 상기 과제들은 독립 특허 청구항들에 따른 대상 및 방법에 의해 해결된다. 상기 대상 및 방법의 바람직한 실시 예들 및 개선 예들은 종속 청구항들에 특징적으로 나타나 있으며, 후속하는 설명 내용 및 도면들로부터 추가적으로 설명된다.

[0011] 적어도 한 가지 실시 예에 따르면, 발광 반도체 컴포넌트는 발광 반도체 칩을 포함하고, 상기 발광 반도체 칩은 광 생성을 위한 활성 영역을 갖는 반도체 층 시퀀스를 구비한다. 특히 바람직하게 상기 반도체 층 시퀀스는 에피택시 방법에 의해서, 예를 들어 유기 금속 기상 에피택시(MOVPE, metal organic vapor phase epitaxy) 또는 분자 빔 에피택시(MBE, molecular beam epitaxy) 방법에 의해서 성장 기판상에 성장될 수 있다. 그럼으로써, 상기 반도체 층 시퀀스는 성장 방향으로 지향되어 있는 어셈블리 방향을 따라 중첩적으로 배치되어 있는 반도체 층들을 갖는다. 상기 반도체 층 시퀀스의 층들은 어셈블리 방향에 대하여 수직으로 주 연장 평면을 갖는다.

[0012] 발광 반도체 칩은 특히, 성장 방향에 대하여 수직으로 배치되어 있는 두 개의 주 표면을 갖는다. 상기 주 표면들 중 하나의 주 표면은 광 방출면으로서 형성되었으며, 상기 광 방출면을 통해서는 작동중에 생성된 광이 방사된다. 추가로 반도체 칩은 상기 광 방출면에 마주 놓인 후면을 포함하며, 상기 후면은 상기 반도체 칩의 제 2 주 표면을 형성한다. 상기 광 방출면 및 상기 후면은 측면들을 통해 서로 연결되어 있다. 추가로 상기 광 방출면을 통해 광을 방사하기 위해서는 작동중에 활성 층 내에서 생성된 광이 적어도 부분적으로 측면들을 통해서 그리고/또는 후면들을 통해서도 방사될 수 있다.

[0013] 발광 반도체 칩은 파장에 따라서 상이한 반도체 재료 계를 기본으로 하는 반도체 층 시퀀스를 가질 수 있다. 장파(longwave)의 적외선 내지 적색 방사선을 위해서는 예를 들어 $In_xGa_yAl_{1-x-y}As$ 을 기본으로 하는 반도체 층 시퀀스가 적합하고, 적색 내지 황색 방사선을 위해서는 예를 들어 $In_xGa_yAl_{1-x-y}P$ 을 기본으로 하는 반도체 층 시퀀스가 적합하며, 단파(shortwave)의 가시적인, 더 상세히 말하면 특히 녹색 내지 청색 방사선 및/또는 자외선을 위해서는 예를 들어 $In_xGa_yAl_{1-x-y}N$ 을 기본으로 하는 반도체 층 시퀀스가 적합하고, 이때 각각 $0 \leq x \leq 1$ 및 $0 \leq y \leq 1$ 이 적용된다. 추가로 안티몬화물, 예를 들어 InSb, GaSb, AlSb 또는 상기 성분들의 조합을 기본으로 하는 반도체 층 시퀀스가 장파 적외선을 위해 적합할 수 있다.

[0014] 성장 기판은 절연체 재료 또는 반도체 재료, 예컨대 전술된 화합물 반도체 재료 계를 포함할 수 있다. 특히 성장 기판은 사파이어, GaAs, GaP, GaN, InP, SiC, Si 및/또는 Ge를 포함할 수 있거나 이와 같은 재료들로 이루어질 수 있다.

[0015] 발광 반도체 칩의 반도체 층 시퀀스는 활성 영역, 예를 들어 통상적인 pn-천이부, 이중 헤테로 구조물, 단일 양자 웰 구조물(SQW-구조물) 또는 다중 양자 웰 구조물(MQW-구조물)을 포함할 수 있다. 본 출원서의 범주에서 양자 웰 구조물의 개념은 특히, 전하 캐리어가 구속("confinement")에 의해서 자체 에너지 상태의 양자화를 경험할 수 있는 각각의 구조물을 포함한다. 특히 양자 웰 구조물의 개념은 양자화의 차원수에 대해서는 어떠한 설명도 포함하지 않는다. 따라서 양자 웰 구조물은 다른 무엇보다도 양자 웰, 양자 선 및 양자 점 그리고 상기 구조물들의 각각의 조합을 포함한다. 반도체 층 시퀀스는 활성 영역 외에도 추가의 기능 층 및 기능 영역을 포함할 수 있는데, 예컨대 p-도핑된 또는 n-도핑된 전하 캐리어 운반 층들, 도핑되지 않거나 p-도핑된 또는 n-도핑된 구속 층들, 클래딩 층들 혹은 도파관 층들, 배리어 층들, 평탄화 층들, 버퍼 층들, 보호 층들 및/또는 전극들 그리고 상기 층들의 조합을 포함할 수 있다. 본 출원서에 기술된, 활성 영역 또는 추가의 기능 층들 및

영역들과 관련된 구조물들은 당업자에게, 특히 구성, 기능 및 구조와 관련하여 공지되어 있고, 따라서 본 출원서에서 더 상세하게 설명되지 않는다.

- [0016] 성장 공정은 특히 웨이퍼 복합체 내에서 발생할 수 있다. 다른 말로 하면, 성장 기관이 웨이퍼의 형태로 제공되고, 상기 성장 기관상에는 큰 표면적으로 반도체 층 시퀀스가 성장한다. 상기 성장한 반도체 층 시퀀스는 추가의 일 방법 단계에서 개별 반도체 칩으로 분리될 수 있고, 이때 상기 분리 공정에 의해서 반도체 칩의 측면들이 형성될 수 있다.
- [0017] 추가로 반도체 층 시퀀스는 분리되기 이전에 캐리어 기관상에 적용될 수 있고, 성장 기관은 시닝(thinning)될 수 있는데, 즉 적어도 부분적으로 또는 완전히 제거될 수 있다.
- [0018] 적어도 하나의 실시 예를 따르면, 반도체 칩의 후면에 적어도 두 개의 전기 접촉 층 및 하나의 열적 접촉 층이 형성되어 있고, 이때 상기 열적 접촉 층은 상기 적어도 두 개의 전기 접촉 층에 대해 전기적으로 절연되어 있다. 특히 발광 반도체 칩은 전기 및 열적 접촉 층들을 단지 후면에만 가지는 반면, 상기 반도체 칩의 다른 면들, 특히 광 방출면은 접촉 층이 없다.
- [0019] 열적 접촉 층은 특히 전위가 없도록 형성되었다. 다른 말로 하면, 열적 접촉 층은 반도체 칩의 반도체 층 시퀀스에 대해 전기적으로 절연되어 있다. 상기 목적을 위해, 반도체 칩은 반도체 층 시퀀스와 열적 접촉 층 사이에 전기 절연 층을 포함할 수 있으며, 상기 전기 절연 층은 예를 들어 이산화규소, 다이아몬드 또는 산화 알루미늄을 포함하고 100 μ m보다 크거나 같은 두께로 제공된다. 상기 목적을 위해, 반도체 칩의 제조시 반도체 층 시퀀스는 기관상에 제공되고, 전기 절연 층은 패시베이션 층의 형태로 기관, 특히 성장 기관에 마주 놓인 반도체 층 시퀀스의 측면 상에 형성될 수 있다. 상기 목적을 위해, 대안적으로 전기 절연 층은 그 위에 반도체 층 시퀀스가 배치되어 있는 기관에 의해 형성되는 것도 가능한데, 예를 들어 캐리어 기관, 가령 세라믹 기관에 의해 형성될 수 있다. 이 경우, 열적 접촉 층은 반도체 층 시퀀스에 마주 놓인 기관의 측면 상에 형성된다.
- [0020] 전기 접촉 층들은 예를 들어 반도체 층 시퀀스 바로 위에, 즉 반도체 층 시퀀스와 직접 접촉한 상태로 배치될 수 있다. 추가로, 전기 접촉 층들이 전기 절연 층 상에 배치되어 있고 전기 피드스루(electric feedthrough), 소위 바이어(via)를 통해서 반도체 층 시퀀스와 전기적으로 연결되는 것도 가능하다. 반도체 칩이 두 개의 전기 접촉 층을 구비한다면, 상기 전기 접촉 층들은 전체 반도체 칩에 전압을 인가하는 데 사용된다. 반도체 칩이 두 개 이상의 전기 접촉 층을 구비한다면, 상기 반도체 칩은 서로 분리되어 제어 가능한 다수의 발광 세그먼트도 가질 수 있다.
- [0021] 전기 접촉 층들 및 열적 접촉 층은 특히 하나 이상의 금속 또는 금속 합금 혹은 금속 층 시퀀스를 포함한다. 특히 바람직하게 전기 접촉 층들 및 열적 접촉 층은 동일하게 형성되었다.
- [0022] 예를 들어 접촉 층들은 Ti, Pt, Pd, Au 또는 상기 성분들의 혼합물, 합금 또는 층 복합물을 포함할 수 있다. 전기 접촉 층들 및 열적 접촉 층은 특히 바람직하게, 예를 들어 접촉제 층, 예컨대 Ti, 및 장착 층, 예컨대 Au를 포함할 수 있다. 상기 접촉제 층과 장착 층 사이에는 또한 배리어 층, 예컨대 Pt 및/또는 Pd가 배치될 수도 있다.
- [0023] 전기 접촉 층들 및 열적 접촉 층은 발광 반도체 칩의 제조시 제공될 수 있고, 아래에서 계속 기술되는 캐리어 몸체의 형성 이전에 상기 반도체 칩의 부분으로서 제공될 수 있다. 추가로 접촉 층들은 예를 들어 갈바니 공정에 의해 아래에서 계속 기술되는 성형 몸체에 의한 반도체 칩의 변형 이후 및 아래에서 계속 기술되는 접속 소자들의 제조 이전에도 형성될 수 있다.
- [0024] 플립-칩의 형태로 구현되었고 단지, 동시에 열까지 반도체 칩으로부터 배출시켜야 하는 전기 접속 층들만 구비하는 공지된 반도체 칩과 달리, 본 출원서에 기술된 반도체 칩은 전기 접촉 층들에 대해 추가적으로 열적 접촉 층을 포함하며, 상기 열적 접촉 층은 히트 싱크에 반도체 칩을 큰 표면적에서 열적으로 접속시킬 수 있음으로써, 결과적으로 접촉 층들에 있어서 열 방출과 관련된 요구 조건들이 적거나 심지어 무시될 수 있다. 열적 접촉 층은 전기 접촉 층들 및 반도체 층 시퀀스에 대해 전기적으로 절연되어 있음으로써, 특히 열적 접촉 층과 반도체 층 시퀀스 사이의 전기 절연 층이 절연 파괴에 대하여 안정적으로 형성되어 있는 경우에, 상기 반도체 칩은 상기 열적 접촉 층을 통해 임의의 전위를 갖는 임의의 표면상에 설치될 수 있다.
- [0025] 추가의 일 실시 예를 따르면, 열적 접촉 층은 반도체 칩의 후면에서 전기 접촉 층들보다 더 큰 표면적을 차지한다. 상기 사실은 특히, 후면의 표면적의 대부분이 열적 접촉 층으로 형성되고, 특히 바람직하게는 주로 전기 접촉 층들로 덮이지 않은 후면의 부분이 열적 접촉 층으로 형성된다는 것을 의미할 수 있다.

- [0026] 추가의 일 실시 예에 따르면, 발광 반도체 컴포넌트는 캐리어 물체를 포함하고, 상기 캐리어 물체는 발광 반도체 칩을 지지하며, 상기 캐리어 물체를 통해서 작동중에 발광 반도체 칩 내에서 생성된 열이 배출될 수 있다. 상기 캐리어 물체는 예를 들어, 가령 금속 히트 싱크, 금속 코어 기판 또는 회로 기판 형태의 추가의 히트 싱크, 즉 소위 세컨드-레벨-히트 싱크 상에 배치될 수 있도록 적합하게 형성될 수 있다.
- [0027] 추가의 일 실시 예에 따르면, 캐리어 물체는 성형 물체를 포함하고, 상기 성형 물체는 반도체 칩의 측면들을 형성 구속(form-locked) 방식으로 직접 덮는다. 성형 물체는 특히 반도체 칩에 일체로 형성되어 이 반도체 칩을 측면 방향으로, 즉 상기 반도체 칩의 광 방출면의 주 연장 평면을 따르는 방향으로 둘러싼다. 특히 성형 물체는 반도체 칩의 광 방출면이 덮이지 않도록 형성될 수 있다. 반도체 칩의 측면들은 완전히 덮일 수 있거나, 또는 후면에서 볼 때 광 방출면의 방향으로 특정 높이까지 덮일 수 있음으로써, 결과적으로 상기 성형 물체는 광 방출면에 대하여 상대적으로 뒤로 물러난 상부면을 갖게 된다. 특히 바람직하게 반도체 칩의 측면들은 완전히 덮일 수 있음으로써, 결과적으로 성형 물체는 광 방출면과 동일 선상에서 종료하는 상부면을 갖게 된다. 추가로 후면, 즉 특히 반도체 층 시퀀스에 마주 놓인 전기 접촉 층들의 면들도 성형 물체로부터 자유로울 수 있다. 추가로 성형 물체는 자체 상부면으로, 광 방출면을 덮지 않고 이 광 방출면 위로 돌출할 수도 있다. 그럼으로써, 캐리어 물체의 기계적 안정성이 상승할 수 있다. 그럼으로써, 추가로 광 방출면 위로 리세스가 형성될 수 있고, 상기 리세스 내에는 예를 들어 과장 변환 소자가 배치될 수 있다. 추가로 성형 물체가 광 방출면을 덮음으로써, 결과적으로 반도체 칩이 캐리어 물체 내에 매립되고 이 캐리어 물체에 의해 완전히 둘러싸이게 되는 것도 가능하다. 성형 물체는 광 방출면 위에서 예컨대 이 성형 물체가 광학적 특성을 갖도록 형성될 수 있다.
- [0028] 성형 물체는 특히 플라스틱 재료를 포함할 수 있는데, 특히 실리콘, 에폭시드, 에폭시드-실리콘-하이브리드 재료, 폴리에스테르 또는 멜트 다운 유리(melt down glass) 혹은 멜트 다운 유리 세라믹을 포함할 수 있다. "멜트 다운"의 개념은 본 출원서에서 반도체 칩이 손상되지 않는 온도에서 이루어지는 성형 공정으로 처리되는 유리 및 유리 세라믹에서 사용된다. 특히 성형 물체는 캐리어 물체의 안정성을 실질적으로 야기시키는 기계적 안정화 소자를 형성할 수 있다. 성형 물체를 통해 반도체 칩은 특히 캐리어 물체 내에 매립되어 있다.
- [0029] 성형 물체는 특히 성형 공정에서 예를 들어 분사, 주조, 가압, 박막의 적층 등과 같은 방식을 이용하여 이루어질 수 있다. 특히 바람직하게 성형 물체는 이송 성형 공정("transfer molding")에 의해, 예를 들어 박막 이송 성형 공정에 의해 형성될 수 있다. 발광 반도체 컴포넌트가 다수의 발광 반도체 칩을 구비한다면, 상기 발광 반도체 칩들은 공동의 캐리어 물체 내에 매립될 수 있고, 그에 따라 일 방법 단계에서 공동의 성형 물체에 의해 변형될 수 있다.
- [0030] 본 출원서에 기술된 성형 물체의 일 제조 방법은 예를 들어 간행물 WO 2011/015449 A1호에 제시되어 있으며, 이와 관련하여 상기 문서의 공개 내용은 인용의 방식으로 전체적으로 본 출원서 내에 수용된다.
- [0031] 추가의 일 실시 예에 따르면, 성형 물체는 광학적으로 반사 작용하도록 형성되었다. 상기 성형 물체의 광학적 반사 작용은 예를 들어 광학적 반사 작용하는 입자가 성형 물체의 매트릭스 재료 내에, 특히 성형 물체를 위한 전술된 재료들 중 하나의 재료 내에 삽입되어 있음으로써 달성된다. 이 경우, 발광 반도체 칩의 측면들에서 방출되는 광은 성형 물체에 의해 반사될 수 있다. 추가로 성형 물체가 광 투과성을 갖도록 형성되는 것도 가능하다. 상기 성형 물체의 광 투과성은 특히, 자체 광의 큰 비율을 측면들을 통해 방출시키는 발광 반도체 칩의 경우에 바람직할 수 있다. 발광 반도체 칩이 생성된 광을 대부분 또는 오로지 광 방출면을 통해서만 방출하는 경우를 위해서 혹은 측면들을 통해 방출되는 광에 의한 광 손실을 감수해야하는 경우를 위해서 성형 물체는 예를 들어 광을 흡수하도록 형성될 수 있고, 예컨대 백색 에폭시수지에 비해 더 큰 기계적 안정성을 갖는 흑색 에폭시수지를 포함할 수 있다.
- [0032] 추가의 일 실시 예에 따르면, 캐리어 물체는 반도체 칩의 후면에 전기 접속 소자들 및 열적 접속 소자를 갖는다. 이 경우, 상기 전기 접속 소자들은 반도체 칩의 전기 접촉 층들과 직접 접촉한다. 캐리어 물체의 열적 접속 소자는 반도체 칩의 열적 접촉 층과 직접 접촉한다. "직접 접촉한다"는 개념은 접속 소자와 접촉 층 사이에 추가의 중간 층 혹은 추가의 연결 재료 없이도 상기 접속 소자와 접촉 층이 접촉한다는 것을 의미한다. 이때 상기 접속 소자들은 특히 부분적으로 또는 전체적으로 연결 층 또는 예를 들어 땀납 혹은 전기 전도성 접착 물질과 같은 연결 재료로 형성되지도 않는다. 추가로 열적 접속 소자는 적어도 부분적으로 반도체 칩을 덮지는 반도체 컴포넌트의 장착면을 형성한다.
- [0033] 추가의 일 실시 예에 따르면, 전기 접속 소자들 및 열적 접속 소자는 갈바니 방식으로 반도체 칩 상에 제공되어 있다. 상기 목적을 위해, 상기 전기 접속 소자들 및 열적 접속 소자는 성형 물체의 형성 이후에 반도체 칩의 후면에서 상기 반도체 칩의 각각의 접촉 층 상에 갈바니 방식으로 제공된다. 그럼으로써, 50 μ m 치수의 작은 폭

의 구조물이 가능하여, 결과적으로 콤팩트한 치수를 갖는 발광 반도체 컴포넌트가 제조될 수 있다. 추가로 갈바니 공정에서 전기 접속 소자들 및 열적 접속 소자의 형태 및 치수가 자유롭게 선택 가능함으로써, 결과적으로 상기 형태 및 치수는 예컨대 고객이 원하는 상세 내용(specification)에 상응할 수 있게 된다.

[0034] 추가로 전기 접속 소자들은 부분적으로 성형 몸체상에 제공되어 그에 따라 전기 접촉 층들로부터 측면 방향으로 벗어나며 연장될 수 있다.

[0035] 추가의 일 실시 예에 따르면, 전기 접속 소자들 및 열적 접속 소자는 구리 및/또는 니켈을 포함한다. 바람직하게 접속 소자들은 갈바니 공정에 의해 공정 기술적으로 간단하게 제공되는 구리로 형성된다.

[0036] 전기 접속 소자들을 캐리어 몸체 내에서 전기적으로 접속시키기 위해서 상기 캐리어 몸체는 적어도 하나의 전기 피드스루를 포함할 수 있고, 상기 전기 피드스루는 하나의 전기 접속 소자와 전기적으로 연결되어 있다. 전기 피드스루는 예를 들어 성형 몸체를 관통하여 돌출할 수 있고, 소위 바이어로서 상기 성형 몸체 내에 형성될 수 있다. 상기 경우에 전기 피드스루는 성형 몸체에 의한 반도체 칩의 변형시 이 성형 몸체 내로 통합될 수 있다. 추가로 전기 피드스루가 반도체 칩의 변형 이후에 성형 몸체 내에 형성되는 것도 가능하다. 성형 몸체는 예를 들어 각각의 전기 접속 소자를 위해 하나의 피드스루를 포함함으로써, 결과적으로 전기 접속 소자들 및 그에 따라 반도체 칩의 전기 접촉 층들은 상기 성형 몸체의 상부면, 즉 발광 반도체 칩의 광 방출면 옆에서 접촉 가능하다. 대안적으로 또한, 예를 들어 반도체 컴포넌트의 장착면쪽으로 전기 피드스루가 형성되는 것도 가능하다. 상기 목적을 위해, 열적 접속 소자도 전기 피드스루가 관통하여 돌출하는 개구를 가질 수 있다.

[0037] 추가로 각각의 전기 접속 소자를 위해 캐리어 몸체 내에서 장착면까지 도달하는 전기 피드스루가 존재함으로써, 결과적으로 발광 반도체 컴포넌트가 상기 장착면을 통해 전기적으로 접촉되는 상황도 가능하다. 추가로 하나의 전기 접속 소자가 전기 피드스루를 통해 성형 몸체 또는 캐리어 몸체의 상부면으로부터 접촉될 수 있는 반면, 추가의 일 전기 접촉 소자는 캐리어 몸체의 장착면으로부터 접촉될 수 있는 상황도 가능하다.

[0038] 추가의 일 실시 예에 따르면, 전기 접속 소자들이 캐리어 몸체의 내부에 배치되어 있다. 상기 사실은 특히, 상기 전기 접속 소자들이 캐리어 몸체 내에 매립되어 있고 직접적으로 접촉되는 것이 아니라, 오히려 단지 전기 피드스루를 통해서만 외부로부터 접촉될 수 있다는 것을 의미한다.

[0039] 발광 반도체 컴포넌트가 캐리어 몸체의 상부면으로부터 전기적으로 접촉 가능한 경우에, 열적 접속 소자는 바람직하게 상기 반도체 컴포넌트의 전체 장착면을 형성한다. 다른 말로 하면, 캐리어 몸체의 하부면은 오로지 열적 접속 소자로만 형성된다.

[0040] 열적 접속 소자는 특히 반도체 칩의 후면으로부터 장착면쪽 방향으로 전기 접속 소자들의 두께보다 큰 두께를 가질 수 있음으로써, 결과적으로 상기 열적 접속 소자는 전기 접속 소자들 위로 돌출하게 된다. 특히 바람직하게 열적 접속 소자는 전기 접속 소자들을 측면 방향으로도 돌출함으로써, 결과적으로 상기 열적 접속 소자의 횡단면은 반도체 칩으로부터 장착면쪽 방향으로 확장된다. 그럼으로써, 열 전도성의 상승 또는 열 저항의 감소가 달성될 수 있고, 이로써 반도체 칩으로부터 효과적인 열 방출이 가능해진다.

[0041] 추가의 일 실시 예에 따르면, 전기 접속 소자들과 열적 접속 소자 사이에 전기 절연 재료가 배치되어 있다. 전기 절연 재료는 예를 들어 유기 재료, 특히 폴리머 재료로 형성될 수 있다. 예컨대 전기 절연 재료는 벤조시클로부텐(BCB)을 기본으로 하는 재료로 형성될 수 있다.

[0042] 추가의 일 실시 예에 따르면, 발광 반도체 칩의 광 방출면 상에 파장 변환 소자가 배치되어 있다. 이때 상기 파장 변환 소자는 성형 몸체에 의한 반도체 칩의 변형 이전 또는 이후에 광 방출면 상에 배치될 수 있고, 특히 하나 이상의 파장 변환 물질을 갖는 층으로 형성될 수 있다. 캐리어 몸체 내에 다수의 발광 반도체 칩이 존재할 경우에 상기 반도체 칩들 뒤에 공동의 파장 변환 소자가 배치될 수 있거나 대안적으로 각각의 반도체 칩에 개별적으로 파장 변환 소자가 할당될 수 있다.

[0043] 파장 변환 소자는 특히 적어도 하나 이상의 파장 변환 물질을 포함하고, 상기 파장 변환 물질은 하나의 발광 반도체 칩 또는 다수의 발광 반도체 칩에 의해 방출된 광이 적어도 부분적으로 다른 파장을 갖는 광으로 변환되도록 적합하게 형성됨으로써, 결과적으로 발광 반도체 컴포넌트는 반도체 칩에 의해 방출된 제 1 광 및 변환된 제 2 광으로 이루어진 혼합 광을 방사할 수 있다. 예를 들어 발광 반도체 칩은 청색 광을 방출할 수 있는데, 상기 청색 광은 파장 변환 소자에 의해서 적어도 부분적으로 녹색 및 적색 및/또는 황색 광으로 변환됨으로써, 결과적으로 반도체 컴포넌트는 작동중에 백색 광을 방사할 수 있다. 파장 변환 소자는 예를 들어 입자 형태로 제공될 수 있는데, 상기 입자는 예컨대 플라스틱, 가령 실리콘, 또는 세라믹과 같은 매트릭스 재료 내에 매립되어 있다. 추가로 파장 변환 소자가 세라믹 소형 기관으로서 구현된 것도 가능한데, 상기 세라믹 소형 기관은 파장

변환 물질을 함유하거나 세라믹 과장 변환 물질로 이루어져 있다. 과장 변환 소자는 특히 광 방출면 바로 위에 제공될 수 있다.

[0044] 추가의 일 실시 예에 따르면, 성형 몸체 내에 다수의 발광 반도체 칩이 측면으로 나란히 배치되어 있다. 상기 사실은 특히, 발광 반도체 컴포넌트가 반도체 칩의 광 방출면 및 성형 몸체 또는 캐리어 몸체의 상부면에 대한 관점에서 반도체 칩들을 연속적으로 구비한다는 것을 의미한다. 발광 반도체 칩들은 특히 전기 접속 소자들을 통해 성형 몸체 내에서 서로 접속될 수 있다. 추가로 캐리어 몸체는 특히 바람직하게 연결된 열적 접속 소자를 구비할 수 있으며, 상기 열적 접속 소자에 의해 반도체 칩들의 열적 접속 층들이 직접 접촉함으로써, 결과적으로 상기 반도체 칩들 내에서 작동중에 생성된 열은 공동의 열적 접속 소자를 통해 장작면쪽으로 방출될 수 있다.

[0045] 추가의 일 실시 예에 따르면, 발광 반도체 컴포넌트의 제조 방법은 다음의 단계들을 포함한다:

[0046] A) 반도체 층 시퀀스, 광 방출면, 상기 광 방출면에 마주 놓인 후면 및 상기 광 방출면과 상기 후면을 연결하는 측면들을 갖는 발광 반도체 칩을 제공하는 단계로서, 상기 반도체 칩의 후면에는 두 개의 전기 접속 층 및 상기 전기 접속 층들과 상기 반도체 층 시퀀스에 대해 전기적으로 절연되어 있는 하나의 열적 접속 층이 배치되어 있는 단계;

[0047] B) 상기 반도체 칩을 위해 캐리어 몸체를 다음의 부분 단계들로 형성하는 단계:

[0048] B1) 상기 반도체 칩의 측면들을 형성 구속 방식으로 직접 덮는 성형 몸체에 의해 상기 반도체 칩을 변형시키는 단계;

[0049] B2) 갈바닉 공정에 의해 반도체 칩의 전기 접속 층들과 직접 접촉하는 전기 접속 소자들 및 반도체 칩의 열적 접속 층과 직접 접촉하는 열적 접속 소자를 형성하는 단계로서, 상기 열적 접속 소자는 반도체 칩을 등지는 반도체 컴포넌트의 장작면을 형성하는 두께로 제공되는 단계.

[0050] 발광 반도체 컴포넌트와 관련하여 기술된 특징들 및 실시 예들은 발광 반도체 컴포넌트의 제조 방법에도 동일하게 적용되며, 그 역도 마찬가지이다.

[0051] 본 출원서에 기술된 발광 반도체 컴포넌트 및 상기 발광 반도체 컴포넌트의 제조 방법의 경우에, 발광 반도체 칩의 열적 접속 층과 직접 접촉하는 캐리어 몸체의 열적 접속 소자에 의해 상기 반도체 칩으로부터의 우수한 열 방출이 달성될 수 있다. 본 출원서에 기술된 방법은 특히, 본 출원서에 기술된 캐리어 몸체가 예컨대 세라믹 캐리어 몸체보다 저렴하다는 것, 그리고 예를 들어 세라믹 기판의 경우에서보다 캐리어 몸체 내의 열적 접속 소자에 의해 상기 캐리어 몸체 및 그에 따라 발광 반도체 컴포넌트의 열적 팽창 계수가 소위 세컨드-레벨-히트 싱크에 더 우수하게 적용될 수 있다는 것을 특징으로 한다. 전기 및 열적 접속 소자들을 제조하기 위한 갈바닉 공정으로 인해, 예를 들어 QFN-하우징의 경우에서보다 더 작은 치수의 구조물이 가능함으로써, 결과적으로 본 출원서에 기술된 발광 반도체 컴포넌트는 더 작은 치수를 가질 수 있다. 다수의 발광 반도체 칩의 경우에, 갈바닉 공정에 의해서 공정 기술적으로 간단하게 반도체 칩들이 접속될 수 있다.

[0052] 추가의 장점들, 바람직한 형성 예들 및 개선 예들은 도면과 관련하여 기술된 다음의 실시 예들로부터 제시된다.

도면의 간단한 설명

[0053] 도 1a 및 도 1b는 일 실시 예에 따른 발광 반도체 컴포넌트의 개략도이고,
 도 2a 및 도 2b는 추가의 실시 예들에 따른 발광 반도체 칩의 개략도이며,
 도 3은 추가의 일 실시 예에 따른 발광 반도체 컴포넌트의 개략도이고,
 도 4는 추가의 일 실시 예에 따른 발광 반도체 컴포넌트의 개략도이다.

실시 예들 및 도면들에서 동일한, 동일한 형태의 또는 동일한 작용을 하는 소자들에는 각각 동일한 도면 부호가 제공될 수 있다. 도시된 소자들 및 상기 소자들의 상호 크기 비율은 척도에 맞는 것으로 간주될 수 없으며, 오히려 개별 소자들 예를 들어 층들, 부품들, 컴포넌트들 및 영역들은 더 우수한 개관을 위해 그리고/또는 더 개선된 이해를 위해 과도하게 크게 도시될 수 있다.

발명을 실시하기 위한 구체적인 내용

[0054] 도 1a 및 도 1b는 일 실시 예에 따른 발광 반도체 컴포넌트(100)를 보여준다. 도 1b는 도 1a에 도시된 반도체

컴포넌트(100)를 도 1a에 표시된 절단 평면(A-A)을 따라 절단한 단면도를 보여준다. 도 1b에서 점선은 반도체 칩(1) 바로 아래의 전기 접속 소자(24)들 및 열적 접속 소자(25)의 횡단면들을 표시한다.

[0055] 발광 반도체 컴포넌트(100)는 발광 반도체 칩(1)을 포함하고, 상기 발광 반도체 칩은 캐리어 몸체(2)에 의해 지지된다.

[0056] 발광 반도체 칩(1)은 반도체 층 시퀀스를 포함하고, 상기 반도체 층 시퀀스는 상기 반도체 칩의 작동중에 광을 방사하는 적어도 하나의 활성 층을 구비한다. 추가로 발광 반도체 칩(1)은 성장 기관 또는 캐리어 기관 형태의 기관을 포함할 수 있으며, 상기 기관상에는 반도체 층 시퀀스가 배치되어 있다. 명확한 개관을 위해서 반도체 칩(1)의 반도체 층 시퀀스 및 기관은 도 1a에 나타나있지 않다. 도 2a 및 도 2b와 관련하여 발광 반도체 칩(1)을 위한 실시 예들이 나타나 있고, 상기 실시 예들은 아래에서 계속 기술된다.

[0057] 작동중에 생성된 광은 광 방출면(11)을 통해 방사된다. 반도체 칩(1)은 광 방출면(11)에 마주 놓인 후면(12)을 포함한다. 상기 광 방출면(11) 및 상기 후면(12)은 측면(13)들을 통해 서로 연결되어 있다. 작동중에 생성된 광은 광 방출면(11)에 대해 추가적으로 측면들 및/또는 후면(12)의 부분들을 통해 방사될 수 있다. 반도체 칩(1)은 후면(12)에 두 개의 전기 접촉 층(14)을 포함하며, 상기 전기 접촉 층들을 통해 반도체 칩(1) 및 특히 반도체 칩(1)의 반도체 층 시퀀스는 전기적으로 접촉될 수 있다. 추가로 반도체 칩(1)은 열적 접촉 층(15)을 포함하고, 상기 열적 접촉 층은 상기 전기 접촉 층(14)들 및 상기 반도체 칩(1)의 반도체 층 시퀀스에 대해 전기적으로 절연되어 있다. 따라서 상기 열적 접촉 층(15)은 반도체 칩(1) 내에서 전위가 없도록 형성되어 있다.

[0058] 도 1b에서 알 수 있는 바와 같이, 열적 접촉 층(15)은 바람직하게 반도체 칩의 후면(12)의 대부분을 형성함으로써, 결과적으로 반도체 칩의 열적 접촉이 큰 표면적에서 가능해진다. 특히 상기 열적 접촉 층(15)은 전기 접촉 층(14)들 및 전기 접촉 층(14)들에 대한 열적 접촉 층(15)의 전기적 절연부를 위한 간격에 이르기까지 전기적 반도체 칩의 전체 후면(12)을 형성할 수 있다.

[0059] 캐리어 몸체(2)는 반도체 칩(1)의 측면(13)들을 형성 구속 방식으로 직접 덮는 성형 몸체(20)를 포함한다. 이 경우, 상기 성형 몸체(20)는 도 1a에 도시된 바와 같이, 반도체 칩(1)의 측면(13)들을 완전히 덮도록 형성될 수 있다. 대안적으로 또한 반도체 칩(1)의 측면(13)들이 성형 몸체(20)에 의해 단지 부분적으로만 덮임으로써, 결과적으로 상기 성형 몸체가 반도체 칩(1)보다 낮은 높이를 갖는 것도 가능하다. 특히 바람직하게 성형 몸체(20)는 반도체 칩(1)의 광 방출면(11)을 덮지 않고, 도 1a에 도시된 바와 같이 광 방출면(11)과 동일 선상에서 종료하는 상부면(21)을 포함한다.

[0060] 추가로 성형 몸체(20)의 자체 상부면(21)은 광 방출면(11)을 덮지 않고, 이 광 방출면(11) 위로 돌출할 수 있다. 그럼으로써, 캐리어 몸체(2)의 기계적 안정성이 상승할 수 있다. 그럼으로써, 추가로 광 방출면(11) 위로 리세스가 형성될 수 있고, 상기 리세스 내부에는 예컨대 파장 변환 소자(3)가 배치될 수 있다.

[0061] 도시된 실시 예에 대안적으로 성형 몸체(20)는 광 방출면(11)을 덮음으로써, 결과적으로 반도체 칩(1)이 캐리어 몸체(2) 내에 포함되고 이 캐리어 몸체에 의해 모든 면이 둘러싸일 수도 있다. 원하는 광학적 특성들, 예컨대 원하는 광 집중 또는 광 분산 특성을 갖기 위해 상기 성형 몸체(20)는 광 방출면(11) 위에서 예컨대 의도대로 형성되거나 특정 재료로 형성될 수 있는데, 예를 들어 렌즈 형태로 형성되거나 충전제를 포함할 수 있다.

[0062] 성형 몸체(20)는 반도체 칩(1)에 일체로 형성되어 있고, 성형 공정에서 처리될 수 있는 재료, 예를 들어 에폭시드, 실리콘, 실리콘-에폭시드-하이브리드 재료 또는 폴리에스테르를 포함하거나 상기 재료들로 형성되었다. 반도체 칩(1)의 방사 특성에 따라서 성형 몸체(20)는 투과성을 갖도록, 광 흡수 작용하도록, 광 반사 작용하도록 또는 광 산란 작용하도록 형성될 수 있으며, 상응하는 입자 및/또는 충전제를 전술된 재료 내에 포함할 수 있다.

[0063] 반도체 칩(1)의 광 방출면(11) 상에 그리고 그에 따라 캐리어 몸체(2) 또는 성형 몸체(20)의 상부면(21) 상에는 파장 변환 소자(3)가 제공될 수 있고, 상기 파장 변환 소자는 발광 반도체 칩(1)에서 생성된 광의 적어도 한 부분을 이 광과 상이한 광으로 변환시킬 수 있다.

[0064] 발광 반도체 컴포넌트(100)의 제조를 위해 반도체 칩(1)이 제공된다.

[0065] 상기 목적을 위해 도 2a 및 도 2b는 발광 반도체 칩(1)을 위한 실시 예들을 보여주고, 상기 발광 반도체 칩은 각각 발광 반도체 컴포넌트(100)를 위해 제공될 수 있으며 각각 하나의 기관(16)을 갖는데, 상기 기관상에는 활성 영역을 갖는 반도체 층 시퀀스(17)가 배치되어 있다.

- [0066] 도 2a는 기판(16)이 반도체 층 시퀀스(17)의 제조를 위한 성장 기판으로 형성된 경우의 발광 반도체 칩(1)을 보여준다. 상기 반도체 층 시퀀스(17)의 구조화에 의해서 전기 접촉 층(14)들이 반도체 층 시퀀스(17)의 동일한 측면 상에 배치될 수 있다.
- [0067] 추가로 반도체 칩(1)은 반도체 층 시퀀스(17) 상에 열적 접촉 층(15)을 포함하며, 상기 열적 접촉 층(15)은 패시베이션 층(19)으로 형성된 전기 절연 층(18)에 의해 상기 반도체 층 시퀀스(17)에 대해 전기적으로 절연되어 있다. 상기 패시베이션 층은 바람직하게 이산화규소, 다이아몬드 또는 산화 알루미늄을 포함하고 100nm보다 크거나 같은 두께를 갖는다.
- [0068] 이와 달리, 도 2b의 발광 반도체 칩(1)은 캐리어 기판으로서 형성된 세라믹 기판을 기판(16)으로서 포함하고, 상기 세라믹 기판상에는 반도체 층 시퀀스(17)가 성장 기판상에서 성장된 이후에 적용된다. 반도체 층 시퀀스(17)를 등지는 기판(16)의 측면 상에는 전기 접촉 층(14)들이 제공되어 전기 피드스루(141)를 통해 상기 반도체 층 시퀀스(17)와 접촉하고 있다. 도면 부호(142)는 기판(16)을 등지는 반도체 층 시퀀스(17)의 측면을 접촉시키기 위한 피드스루(141)의 전기 절연부를 표시한다.
- [0069] 반도체 층 시퀀스(17)를 등지는 기판(16)의 측면 상에는 추가로 열적 접촉 층(15)이 제공되어 있고, 이 경우 기판(16)은 상기 열적 접촉 층(15)을 상기 반도체 층 시퀀스(17)에 대해 전기적으로 절연시키기 위하여 전기 절연 층(18)을 형성한다.
- [0070] 발광 반도체 칩(1)이 제공된 후에는 캐리어 몸체(2)가 제조된다. 상기 목적을 위해, 제 1 부분 단계에서 반도체 칩(1)의 측면(13)들이 성형 몸체(20)의 재료에 의해 형상 구속 방식으로 직접 덮인다. 상기 제 1 부분 단계는 성형 공정에서, 도시된 실시 예에서는 특히 이송 성형 공정에서 성형 몸체(20)에 의해 반도체 칩이 변형됨으로써 이루어진다.
- [0071] 캐리어 몸체(2)를 제조하기 위한 추가의 일 방법 단계에서는 반도체 칩의 접촉 층(14, 15)들과 직접 접촉하는 접속 소자(24, 25)들이 형성된다. 상기 목적을 위해, 전기 접속 소자(24)들 및 열적 접속 소자(25)의 일 부분이 갈바닉 공정에 의해서 전기 접촉 층(14)들 및 열적 접촉 층(15) 상에 제공된다. 도 1a로부터 알 수 있는 바와 같이, 전기 접속 소자(24)들은 반도체 칩(1)으로부터 출발하여 부분적으로 성형 몸체(20) 상에도 제공될 수 있다.
- [0072] 후속하여 전기 접속 소자(24)들 및 열적 접속 소자(25)의 이미 제공된 부분을 덮는 전기 절연 재료(26)가 제공된다. 상기 전기 절연 재료(26)는 열적 접속 소자(25)의 이미 제공된 부분을 통해 재차 제거됨으로써, 결과적으로 상기 열적 접속 소자의 부분은 갈바닉 공정의 속행에 의해 계속 보강될 수 있다. 그럼으로써 특히, 열적 접속 소자(24)들을 전기 절연 재료(26) 및 그에 따라 캐리어 몸체(2) 내에 매립하고, 열적 접속 소자(25)를 확장된 폭을 갖도록 제조하는 것이 가능해진다. 그럼으로써, 열적 접속 소자(25)는 전기 접속 소자(24)들보다 두껍고 상기 전기 접속 소자(24)들을 수직 방향에 대해 추가적으로 측면 방향으로도 돌출하도록 형성될 수 있다. 전기 절연 재료(26)는 특히 가령 광 영상화 래커(photoimageable lacquer)와 같은 광 영상화 재료로 형성되는데, 예컨대 BCB를 기본으로 하는 폴리머로 형성된다.
- [0073] 전기 접속 소자(24)들 및 열적 접속 소자(25)는 특히 구리 및/또는 니켈을 포함한다. 바람직하게 접속 소자(24, 25)들은 갈바닉 공정에 의해 공정 기술적으로 간단하게 제공되는 구리로 형성된다.
- [0074] 갈바닉 공정에 의해서는 접속 소자(24, 25)들과 접촉 층(14, 15)들 사이에서 공정 기술적으로 간단한 연결이 가능해지는데, 상기 연결은 약 50 μ m 치수의 작은 구조 폭을 허용한다. 얇은 접속 소자(24, 25)들의 경우에는 예를 들어 열 하중에 의해 야기된 작은 응력이 반도체 칩(1) 상에 도달될 수 있는 반면, 전기 접속 소자(24)들에 비해 현저히 더 두꺼운 열적 접속 소자(25)는 우수한 열 전도성을 가능하게 한다. 열적 접촉 층(15)이 전위가 없도록, 즉 전기적으로 절연되어 반도체 칩(1)의 반도체 층 시퀀스(17) 상에 형성되어 있음으로써, 열적 접속 소자(25)도 마찬가지로 상기 반도체 칩(1)의 반도체 층 시퀀스(17)에 대해 전기적으로 절연되어, 결과적으로 상기 열적 접속 소자(25)의 추가적인 전기적 절연부가 필요하지 않게 된다.
- [0075] 전기 접속 소자(24)들의 외부로부터의 전기적 접촉은 도시된 실시 예와 같이, 성형 몸체(20) 내의 전기 피드스루(27)를 통해 이루어질 수 있다. 상기 전기 피드스루는 소위 바이어의 형태로 형성될 수 있고, 상기 바이어는 예를 들어 별개의 소자로서 발광 반도체 칩(1)과 함께 제공되고 성형 몸체(20)에 의해 변형된다. 추가로 성형 몸체(20) 내에는 개구들이 제공되거나 형성될 수 있고, 상기 개구들은 전기 피드스루를 형성하기 위해 전기 전도성 재료로 적어도 부분적으로 또는 완전히 채워진다. 전기 피드스루(27)에 의해서는 발광 반도체 칩(1) 및 그에 따라 발광 반도체 컴포넌트(100)를 캐리어 몸체(2)의 상부면(21)으로부터 접촉하는 것이 가능하며, 결과적

으로 열적 접속 소자(25)는 바람직하게 상기 상부면(21)에 마주 놓인 전체 장착면(22)을 형성하게 된다.

[0076] 발광 반도체 컴포넌트(100)는 특히 바람직하게 추가의 반도체 컴포넌트들과 연결된 복합체로 제조될 수 있다. 상기 목적을 위해, 다수의 발광 반도체 칩(1)은 공동의 성형 몸체(20)에 의해 변형될 수 있다. 전기 및 열적 접속 소자(24, 25)들 및 경우에 따라서 전기 피드스루(27)가 형성된 이후에 그리고 그에 따라 캐리어 몸체 복합체가 제조된 이후에 상기 컴포넌트 복합체는 개별적인 반도체 컴포넌트(100)로 분리될 수 있다. 상기 분리 공정을 통해 캐리어 몸체(2)의 측면들이 생성되고, 상기 측면들은 예를 들어 소잉 홈(sawing groove) 또는 연삭흔(grinding mark)의 형태로 분리 공정에서 비롯된 재료 제거 흔적을 가질 수 있다.

[0077] 도 3은 추가의 일 실시 예에 따른 발광 반도체 컴포넌트(200)를 보여주며, 상기 발광 반도체 컴포넌트는 발광 반도체 컴포넌트(100)와 달리 장착면(22)으로부터 전기적 접촉을 가능하게 한다. 상기 목적을 위해, 열적 접속 소자(25)는 개구들을 포함하고, 상기 개구들 내에는 전기 피드스루(27)가 배치되어 전기 절연 재료(26)에 의해 열적 접속 소자(25)에 대해 절연되어 있다.

[0078] 추가로 상부면(21)뿐만 아니라 하부면 혹은 장착면(22) 상에 피드스루(27) 형태로 전기적 접속 가능성들을 제공하는 것도 가능하다.

[0079] 전기 접속 소자(24)들 및 열적 접속 소자(25)를 제공하기 위한 갈바니 공정을 통해 그리고 성형 몸체(20) 및/또는 열적 접속 소자(25) 내에서 전기 피드스루(27)의 배치를 통해 장착면(22)은 열적 및 전기 접속 가능성들과 관련하여 임의로 설계될 수 있다.

[0080] 도 4는 발광 반도체 컴포넌트(300)의 추가의 일 실시 예의 부분 확대 단면도를 보여주고, 상기 발광 반도체 컴포넌트는 기존의 실시 예들과 달리, 공동의 성형 몸체(20)에 의해 변형된 다수의 반도체 칩(1)을 포함한다.

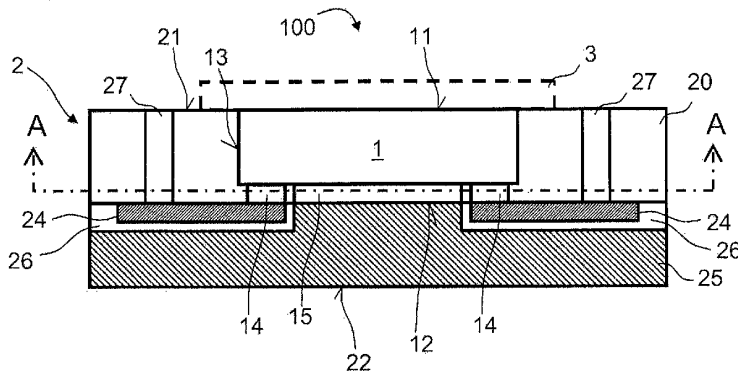
[0081] 반도체 칩(1)들은 전기 접속 소자(24)들을 통해 캐리어 몸체(2) 내에서 서로 접속되어 있다. 추가로 발광 반도체 컴포넌트(300)는 열적 접속 소자(25)를 포함하고, 상기 열적 접속 소자에는 반도체 칩(1)의 열적 접촉 층(15)들이 직접적으로 인접함으로써, 결과적으로 상기 열적 접속 소자(25)는 반도체 칩(1)에서 작동중에 생성된 열을 배출시킬 수 있는 연결된 열적 접속 소자로서 형성될 수 있다.

[0082] 도면들에 기술된 실시 예들 및 특징들은 서로 조합될 수도 있다. 실시 예들에 나타나 있는 특징들에 대해 추가적으로 또는 대안적으로 발광 반도체 컴포넌트(100, 200, 300)는 전반적인 부분의 설명 내용에 따른 추가의 특징들도 가질 수 있다.

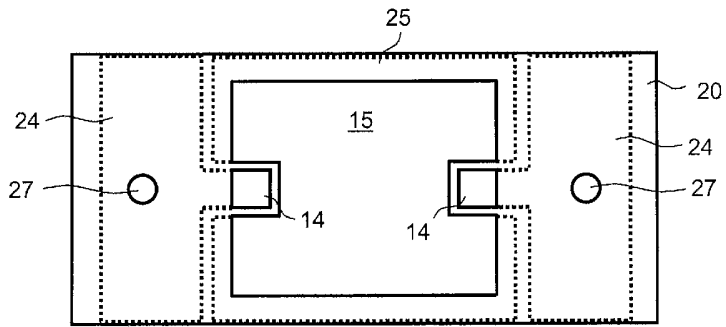
[0083] 본 발명은 실시 예들을 참조한 설명 내용에만 한정되지 않는다. 오히려 본 발명은 각각의 새로운 특징 및 특징들의 각각의 조합을 포함하며, 이는 비록 상기 특징 또는 상기 조합 자체가 특허청구범위 또는 실시 예들에 명시적으로 기재되어 있지 않더라도, 특히 특허청구범위 내 특징들의 각각의 조합을 포함한다.

도면

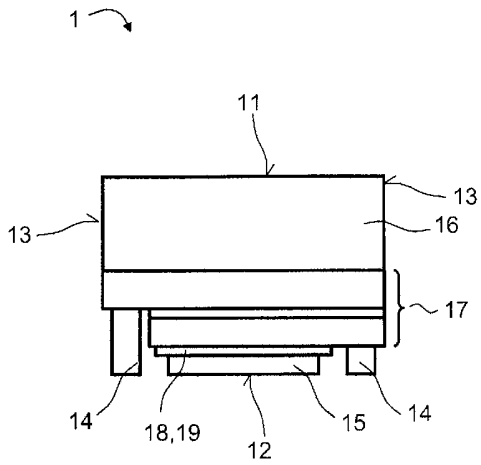
도면1a



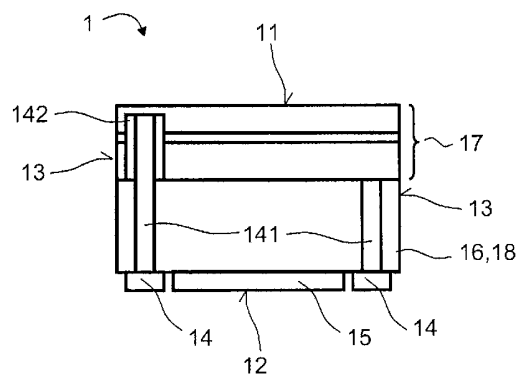
도면1b



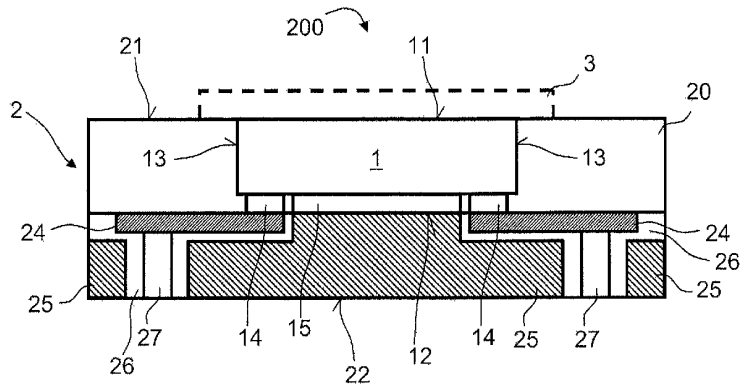
도면2a



도면2b



도면3



도면4

