



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월21일
(11) 등록번호 10-2720142
(24) 등록일자 2024년10월16일

- (51) 국제특허분류(Int. Cl.)
H10B 43/27 (2023.01) H01L 29/66 (2006.01)
H01L 29/792 (2006.01) H10B 43/10 (2023.01)
H10B 43/40 (2023.01)
- (52) CPC특허분류
H10B 43/27 (2023.02)
H01L 29/66833 (2013.01)
- (21) 출원번호 10-2019-0118949
- (22) 출원일자 2019년09월26일
심사청구일자 2022년09월08일
- (65) 공개번호 10-2021-0036664
- (43) 공개일자 2021년04월05일
- (56) 선행기술조사문헌
KR1020130072522 A*
KR1020170083948 A*
US20170287833 A1
US20190259703 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
김만중
서울특별시 송파구 올림픽로4길 15, 10동 1103호
- (74) 대리인
박영우

전체 청구항 수 : 총 19 항

심사관 : 고연화

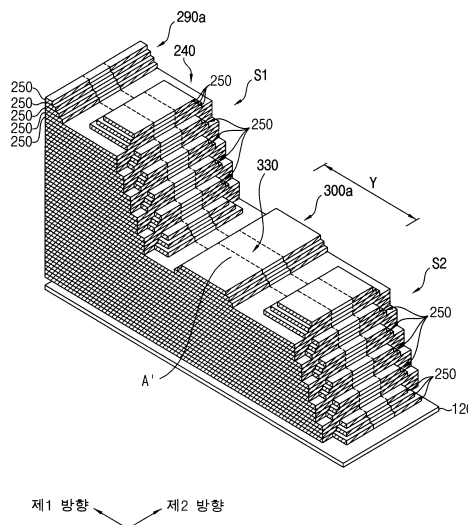
(54) 발명의 명칭 수직형 메모리 소자

(57) 요약

수직형 메모리 소자는, 셀 어레이 영역 및 패드 영역을 포함하는 기판 상면에 수직인 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기판의 셀 어레이 영역 및 패드 영역 상에서 상기 기판 상면에 평행한 제1 방향으로 연장되고, 상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패드들이 구비된다. 상기 게

(뒷면에 계속)

대표도 - 도24



이트 패턴들의 상기 수직 방향 사이에 절연막이 구비된다. 상기 기판의 셀 어레이 영역 상에서 상기 수직 방향을 따라 연장되어 상기 게이트 패턴들 중 적어도 일부를 관통하는 채널 구조물을 포함한다. 상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공되고, 상기 패드 구조물의 제1 방향의 가장자리는 계단 형상을 갖는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면을 포함하고, 상기 평탄면 부위 상에 더미 계단 구조물을 포함한다.

(52) CPC특허분류

H01L 29/792 (2013.01)

H10B 43/10 (2023.02)

H10B 43/40 (2023.02)

명세서

청구범위

청구항 1

셀 어레이 영역 및 패드 영역을 포함하는 기관;

상기 기관 상면에 수직인 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기관의 셀 어레이 영역 및 패드 영역 상에서 상기 기관 상면에 평행한 제1 방향으로 연장되고, 상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패턴들;

상기 게이트 패턴들의 상기 수직 방향 사이에 구비되는 절연막; 및

상기 기관의 셀 어레이 영역 상에서 상기 수직 방향을 따라 연장되어 상기 게이트 패턴들 중 적어도 일부를 관통하는 채널 구조물을 포함하고,

상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공되고,

상기 패드 구조물에는, 계단 형상을 갖는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면이 포함되고, 상기 평탄면 부위 상에 더미 계단 구조물이 포함되고,

상기 더미 계단 구조물의 상부면의 높이는 상기 제1 계단 구조물 상부면의 높이보다 낮은 수직형 메모리 소자.

청구항 2

제1항에 있어서, 상기 더미 계단 구조물은 적어도 상기 제1 방향의 양 측벽이 계단 형상을 갖는 수직형 메모리 소자.

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 제1 계단 구조물은 상기 제1 방향 및 상기 제1방향과 수직인 제2 방향으로 각각 계단들을 포함하고, 상기 더미 계단 구조물의 상부면의 높이는 상기 제1 계단 구조물의 최하층 수직 측벽부와 접하게 배치되는 최하층 계단의 상부면 높이와 동일한 수직형 메모리 소자.

청구항 5

제1항에 있어서, 상기 제2 계단 구조물은 상기 제1 방향 및 상기 제1방향과 수직인 제2 방향으로 각각 계단들을 포함하고, 상기 더미 계단 구조물의 상부면의 높이는 상기 제2 계단 구조물의 최상층 수직 측벽부와 접하게 배치되는 최상층 계단의 상부면 높이와 동일한 수직형 메모리 소자.

청구항 6

제1항에 있어서, 상기 더미 계단 구조물은 상기 제1 및 제2 계단 구조물과 각각 이격되고, 상기 패드 구조물의 제2 방향의 양 단부까지 상기 제2 방향으로 연장되는 바 형상을 갖는 수직형 메모리 소자.

청구항 7

제6항에 있어서, 상기 더미 계단 구조물은 상기 제1 방향의 양 측벽은 계단 형상을 갖고, 상기 제2 방향의 양 측벽은 상기 기관 상면에 대해 수직인 수직형 메모리 소자.

청구항 8

제1항에 있어서, 상기 더미 계단 구조물은 상기 제1 및 제2 계단 구조물과 각각 이격되고, 상면에서 보았을 때

상기 패드 구조물의 평탄면 내부에 위치하는 사각 형상을 갖는 수직형 메모리 소자.

청구항 9

제8항에 있어서, 상기 더미 계단 구조물은 상기 제1 방향의 양 측벽과 상기 제1 방향과 수직한 제2 방향의 양 측벽이 계단 형상을 갖는 수직형 메모리 소자.

청구항 10

제1항에 있어서, 상기 제2 계단 구조물은 상기 제1 계단 구조물과 동일한 형상의 계단들을 포함하는 수직형 메모리 소자.

청구항 11

제1항에 있어서, 상기 제1 계단 구조물의 최하층 수직 측벽부와 접하게 배치되는 최하층 계단의 적어도 일부는 상기 평탄면 상에 형성되고, 상기 제2 계단 구조물의 최상층 수직 측벽부와 접하여 배치되는 최상층 계단의 적어도 일부는 상기 평탄면 상에 형성되고, 상기 평탄면 상에 형성된 상기 제1 계단 구조물의 최하층 계단 및 상기 제2 계단 구조물의 최상층 계단은 상기 더미 계단 구조물로 제공되는 수직형 메모리 소자.

청구항 12

제1항에 있어서, 상기 평탄면 내에 형성된 리세스가 포함되고, 상기 리세스의 적어도 상기 제1 방향의 양 측벽은 계단 형상을 갖고, 상기 리세스는 상기 더미 계단 구조물로 제공되는 수직형 메모리 소자.

청구항 13

제1항에 있어서, 상기 수직 방향으로 각각 연장되어, 상기 제1 및 제2 계단 구조물에 포함되는 각 패드들 상면에 접촉하는 콘택 플러그들을 더 포함하는 수직형 메모리 소자.

청구항 14

제1항에 있어서, 상기 평탄면의 적어도 일부분을 관통하는 관통 비아 콘택이 더 포함되는 수직형 메모리 소자.

청구항 15

셀 어레이 영역 및 패드 영역을 포함하는 기관;

상기 기관 상면에 수직한 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기관의 셀 어레이 영역 및 패드 영역 상에서 상기 기관 상면에 평행한 제1 방향으로 연장되고, 상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패턴들;

상기 게이트 패턴들의 상기 수직 방향 사이에 구비되는 절연막; 및

상기 기관의 셀 어레이 영역 상에서 상기 수직 방향을 따라 연장되어 상기 게이트 패턴들 중 적어도 일부를 관통하는 채널 구조물; 및

상기 수직 방향으로 각각 연장되어, 상기 각 패드들 상면에 접촉하는 콘택 플러그들을 포함하고,

상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공되고,

상기 패드 구조물에는, 계단 형상을 갖고 상기 각 패드들을 포함하는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 상기 각 패드들을 포함하고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면을 포함하고, 상기 평탄면 부위 상에 적어도 상기 제1 방향의 양 측벽이 계단 형상을 갖는 더미 계단 구조물을 포함하고,

상기 더미 계단 구조물의 상부면의 높이는 상기 제1 계단 구조물 상부면의 높이보다 낮은 수직형 메모리 소자.

청구항 16

제15항에 있어서, 상기 더미 계단 구조물은 상기 제1 및 제2 계단 구조물과 각각 이격되고, 상기 패드 구조물의 제2 방향의 양 단부까지 상기 제2 방향으로 연장되는 바 형상을 갖는 수직형 메모리 소자.

청구항 17

제16항에 있어서, 상기 더미 계단 구조물은 상기 제1 방향의 양 측벽은 계단 형상을 갖고, 상기 제2 방향의 양 측벽은 상기 기관 상면에 수직한 수직형 메모리 소자.

청구항 18

제15항에 있어서, 상기 평탄면의 적어도 일부분을 관통하는 관통 비아 콘택이 더 포함되는 수직형 메모리 소자.

청구항 19

제15항에 있어서, 상기 제1 계단 구조물은 상기 제1 방향 및 상기 제1 방향과 수직한 제2 방향으로 각각 계단들을 포함하고, 상기 더미 계단 구조물의 상부면의 높이는 상기 제1 계단 구조물의 최하층 수직 측벽부와 접하여 배치되는 최하층 계단의 상부면 높이와 동일한 수직형 메모리 소자.

청구항 20

제19항에 있어서, 상기 제1 계단 구조물의 최하층 계단의 제1 방향의 계단과 이와 대향하는 상기 더미 계단 구조물의 계단은 서로 대칭인 형상을 갖는 수직형 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 수직형 메모리 소자에 관한 것이다. 보다 상세하게는, VNAND 플래시 메모리 소자에 관한 것이다.

배경 기술

[0002] VNAND 플래시 메모리 소자에서, 각 메모리 셀들의 게이트 패턴이 수평 방향으로 연장되어 형성된 계단 형상의 패드 구조물이 포함될 수 있다. 상기 패드 구조물을 형성하기 위해 몰드 구조물이 형성될 수 있다. 상기 몰드 구조물은 상대적으로 넓은 평탄면 부위를 포함하며, 상기 평탄면의 상부, 하부에 각각 계단 구조물이 포함될 수 있다. 상기 몰드 구조물을 형성한 후, 상기 몰드 구조물에 포함되는 패턴들의 폭들을 측정하는 과정이 수행될 수 있다. 그러나, 상기 몰드 구조물에 포함되는 패턴들의 폭들을 정확하게 측정하는 것이 용이하지 않다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 과제는 수직형 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 과제를 달성하기 위한 예시적인 실시예들에 따른 수직형 메모리 소자는, 셀 어레이 영역 및 패드 영역을 포함하는 기관이 구비된다. 상기 기관 상면에 수직한 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기관의 셀 어레이 영역 및 패드 영역 상에서 상기 기관 상면에 평행한 제1 방향으로 연장되고, 상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패턴들이 구비된다. 상기 게이트 패턴들의 상기 수직 방향 사이에 절연막이 구비된다. 상기 기관의 셀 어레이 영역 상에서 상기 수직 방향을 따라 연장되어 상기 게이트 패턴들 중 적어도 일부를 관통하는 채널 구조물을 포함한다. 상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공되고, 상기 패드 구조물에는, 계단 형상을 갖는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면을 포함하고, 상기 평탄면 부위 상에 더미 계단 구조물을 포함한다.

[0005] 본 발명의 과제를 달성하기 위한 다른 예시적인 실시예들에 따른 수직형 메모리 소자는, 셀 어레이 영역 및 패드 영역을 포함하는 기관이 구비된다. 상기 기관 상면에 수직한 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기관의 셀 어레이 영역 및 패드 영역 상에서 상기 기관 상면에 평행한 제1 방향으로 연장되고,

상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패턴들이 구비된다. 상기 게이트 패턴들의 상기 수직 방향 사이에 절연막이 구비된다. 상기 기관의 셀 어레이 영역 상에서 상기 수직 방향을 따라 연장되어 상기 게이트 패턴들 중 적어도 일부를 관통하는 채널 구조물이 구비된다. 상기 수직 방향으로 각각 연장되어, 상기 각 패드들 상면에 접촉하는 콘택 플러그들을 포함한다. 상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공된다. 상기 패드 구조물에는, 계단 형상을 갖고 상기 각 패드들을 포함하는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 상기 각 패드들을 포함하고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면을 포함한다. 상기 평탄면 부위 상에 적어도 상기 제1 방향의 양 측벽이 계단 형상을 갖고, 상기 패드 구조물의 제2 방향의 양 단부까지 상기 제1 방향으로 연장되는 바 형상을 갖는 더미 계단 구조물을 포함한다.

[0006] 본 발명의 과제를 달성하기 위한 또 다른 예시적인 실시예들에 따른 수직형 메모리 소자는 셀 어레이 영역 및 패드 영역을 포함하는 기관이 구비된다. 상기 기관 상면에 수직한 수직 방향을 따라 배치된 복수의 층들에 적층되고, 각각이 상기 기관의 셀 어레이 영역 및 패드 영역 상에서 상기 기관 상면에 평행한 제1 방향으로 연장되고, 상기 제1 방향의 가장자리에 각각의 패드들을 포함하는 게이트 패턴들이 구비된다. 상기 게이트 패턴들의 상기 수직 방향 사이에 절연막이 구비된다. 상기 패드 영역 상의 상기 게이트 패턴들 및 절연막은 패드 구조물로 제공된다. 상기 패드 구조물에는, 계단 형상을 갖는 제1 계단 구조물, 상기 제1 계단 구조물과 상기 제1 방향으로 이격되고 상기 제1 계단 구조물의 아래에 배치되고 계단 형상을 갖는 제2 계단 구조물 및 상기 제1 및 제2 계단 구조물의 사이에 구비되는 평탄면을 포함한다. 상기 평탄면 부위 상에, 상기 제1 및 제2 계단 구조물과 각각 이격되게 배치되는 더미 계단 구조물을 포함한다.

발명의 효과

[0007] 예시적인 실시예들에 따른 수직형 메모리 소자는 패드 구조물의 폭의 계측이 용이하며 상기 폭을 정확하게 계측할 수 있다. 따라서, 상기 수직형 메모리 소자의 불량률이 감소될 수 있다.

도면의 간단한 설명

[0008] 도 1 내지 도 29는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도들, 단면도들 및 사시도들이다.

도 30 내지 도 37은 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도들, 단면도 및 사시도들이다.

도 38 내지 도 46은 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도들, 단면도들 및 사시도들이다.

도 47 내지 도 52는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도 및 사시도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 수직형 메모리 소자 및 그 제조 방법에 대하여 상세하게 설명한다.

[0010] 이하에서는, 기관 상면에 실질적으로 수직한 방향을 수직 방향으로 정의하고, 상기 기관 상면에 실질적으로 평행한 수평 방향들 중에서 서로 교차하는 두 방향들을 각각 제1 및 제2 방향으로 정의한다. 예시적인 실시예들에 있어서, 상기 제1 및 제2 방향들은 서로 직교할 수 있다.

[0011] 도 1 내지 도 29는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도들, 단면도들 및 사시도들이다. 구체적으로, 도 1, 6,7 및 17은 평면도들이고, 도 2, 3, 16, 18-23, 26 내지 28은 단면도들이고, 도 4,5,8-16, 24,25 및 29는 사시도들이다.

[0012] 이때, 도 6,7 및 17은 도 1의 X 영역에 대한 평면도이고, 도 4,5,8-16, 24, 25 및 29는 도 1의 X 영역에 대한 사시도들이다. 한편, 도 3, 18-20, 22, 26 및 28은 도 1의 A-A'선을 따라 절단한 단면도들이고, 도 21 및 23은 도 1의 B-B'선을 따라 절단한 단면도들이며, 도 27은 도 1의 C-C'선을 따라 절단한 단면도이다. 도 16은 도 1의 X 영역에서 제1 방향으로 절단한 단면도이다.

[0013] 도 1을 참조하면, 기관(600)은 제1 영역(I) 및 상기 제1 방향의 양 측에 제2 영역(II)을 포함할 수 있다.

- [0014] 상기 기판(600)은 실리콘, 게르마늄, 실리콘-게르마늄과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(600)은 실리콘-온-인슐레이터(SOI) 기판 또는 게르마늄-온-인슐레이터(GOI) 기판일 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 기판(600)의 제1 영역(I)은 메모리 셀들이 형성되는 셀 어레이 영역일 수 있고, 상기 기판(600)의 제2 영역(II)은 상기 메모리 셀들에 연결되는 콘택 플러그들이 형성되는 패드 영역일 수 있다. 제2 영역(II)은 제1 영역(I)으로부터 상기 제1 방향으로 연장되므로, 이를 연장 영역으로 지칭할 수도 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 수직형 메모리 소자는 씨오퍼(Cell Over Peri: COP) 구조를 가질 수 있다. 즉, 메모리 셀을 구동시키는 페리 회로가 상기 메모리 셀의 하부에 형성될 수 있다. 이에 따라, 기판(600) 상에는 상기 페리 회로가 형성되는 회로 패턴 영역과 상기 셀 어레이 영역 및 패드 영역이 수직으로 적층될 수 있으며, 상기 페리 회로는 회로 패턴 또는 하부 회로 패턴으로 지칭될 수도 있다. 다만, 본 발명의 개념은 반드시 이에 한정되지는 않으며, 상기 수직형 메모리 소자가 COP 구조를 갖지 않고, 상기 제2 영역(II)의 외측으로 상기 회로 패턴의 일부가 형성되는 주변 회로 영역을 포함할 수도 있다.
- [0017] 도 1에 도시된 X 영역은 상기 기판(600)의 제2 영역(II)의 일부이다. 예시적인 실시예들에 있어서, 상기 X 영역은 상기 제2 방향을 따라 복수 개로 형성될 수 있다.
- [0018] 도 2를 참조하면, 상기 기판(600) 상에 회로 패턴을 형성하고, 이를 커버하는 제1 및 제2 하부 층간 절연막들(660, 730)을 기판(600) 상에 순차적으로 형성할 수 있다.
- [0019] 먼저, 상기 기판에 소자 분리 공정을 수행하여, 소자 분리 패턴(610)이 형성된 필드 영역 및 그 이외의 액티브 영역을 포함할 수 있다. 상기 소자 분리 패턴(610)은 예를 들어 산화물을 포함할 수 있다.
- [0020] 상기 회로 패턴은 트랜지스터, 하부 콘택 플러그, 하부 배선, 하부 비아 등을 포함할 수 있다. 예를 들어, 기판(600) 상에 형성된 하부 게이트 구조물(650), 및 이에 인접하는 상기 액티브 영역 상부에 형성된 제1 불순물 영역(605)을 포함하는 트랜지스터가 형성될 수 있다. 상기 하부 게이트 구조물(650)은 기판(600) 상에 순차적으로 적층된 하부 게이트 절연 패턴(620), 하부 게이트 패턴(630) 및 하부 게이트 마스크(640)를 포함할 수 있다.
- [0021] 상기 제1 하부 층간 절연막(660)은 기판(600) 상에 형성되어 상기 트랜지스터를 커버할 수 있으며, 상기 하부 콘택 플러그(670)는 제1 하부 층간 절연막(660)을 관통하여 제1 불순물 영역(605) 또는 하부 게이트 패턴(630)에 접촉할 수 있다. 상기 제1 하부 배선(680)은 상기 제1 하부 층간 절연막(660) 상에 형성되어 상기 하부 콘택 플러그(670) 상면에 접촉할 수 있다. 상기 제1 하부 배선(680) 상에는 상기 제1 하부 비아(690), 상기 제2 하부 배선(700), 상기 제2 하부 비아(710) 및 상기 제3 하부 배선(720)이 순차적으로 적층될 수 있다.
- [0022] 이하의 도면들에서는 도면의 복잡성을 피하기 위해서 기판(600) 상에 형성된 상기 회로 패턴은 도시하지 않기로 한다.
- [0023] 도 3을 참조하면, 제2 하부 층간 절연막(730) 상에 베이스 패턴(100)을 형성하고, 상기 베이스 패턴(100) 사이에 절연 패턴(도시안됨)을 형성한다. 상기 베이스 패턴(100) 및 절연 패턴 상에 절연막(110) 및 희생막(120)을 교대로 반복적으로 적층할 수 있다. 이 때, 최상부에는 절연막(110)이 형성될 수 있다.
- [0024] 상기 베이스 패턴(100)은 예를 들어, 실리콘과 같은 반도체 물질을 포함할 수 있다. 상기 절연막(110)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있으며, 희생막(120)은 절연막(110)에 대해 식각 선택비를 갖는 물질, 예를 들어 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0025] 도면의 복잡성을 피하기 위해서, 이하의 모든 사시도들에는 절연막들(110)은 도시하지 있지 않고 희생막들(120)만 도시한다. 한편, 이하에서 설명되는 희생막들(120)에 대한 식각 공정은 각 희생막들(120) 및 그 아래에 형성되어 이와 한 쌍을 이루는 절연막(110)에 대해 함께 수행되며, 설명의 편의를 위해서, 상기 사시도들을 참조하여 상기 식각 공정을 설명할 때 상기 절연막(110)에 대해서는 별도로 설명하지 않기로 한다.
- [0026] 도 4를 참조하면, 기판(600)의 제1 영역(I) 및 이에 인접하는 제2 영역(II)의 가장자리 부분을 커버하는 제1 포토레지스트 패턴(도시하지 않음)을 최상층 희생막(120) 상에 형성하고, 이를 식각 마스크로 사용하는 식각 공정을 통해 최상층 희생막(120)을 식각함으로써, 상기 제1 희생 패턴(122)을 형성할 수 있다. 상기 제1 희생 패턴(122)은 상기 제1 영역(I)의 경계 부위를 따라 연장되는 라인 형상을 가질 수 있다. 예를 들어, 상기 제1 희생 패턴(122)은 상기 제2 방향으로 연장되는 라인 형상을 가질 수 있다.

- [0027] 또한, 상기 제1 희생 패턴(122) 측벽의 제2 영역(II)에는 상부로부터 두 번째 층(이하에서는, 상부로부터 n번째 층을 단순히 제n 층과 같이 표시하기로 한다)에 형성된 희생막(120)이 노출될 수 있다.
- [0028] 다만, 도 4는 기관(600)의 제2 영역(II)의 일부 즉, X 영역만을 도시하므로, 제1 희생 패턴(122)의 일부만이 도시되어 있다. 이하에서는, 희생막들(120)을 식각하여 형성되는 희생 패턴들은 상기 X 영역 내에서의 형상만을 기술하기로 한다.
- [0029] 이하에서는 계단 형상의 몰드 구조물을 형성하는 방법에 대해 설명하며, 상기 몰드 구조물 형성 공정 시, 기관(600)의 제1 영역(I) 상에서의 희생막(120) 부분은 포토레지스트 패턴들에 의해 항상 커버되어 식각되지 않으므로, 기관(600)의 제1 영역(I)에 대해서는 별도로 기술하지 않기로 한다.
- [0030] 상기 제1 희생 패턴(122)을 형성한 후, 상기 제1 포토레지스트 패턴은 예를 들어, 애싱(ashing) 및/또는 스트립(striping) 공정을 통해 제거될 수 있다.
- [0031] 도 5 내지 도 7을 참조하면, 상기 제1 희생 패턴(122) 및 노출된 제2 층 희생막(120) 상에 제2 내지 제5 포토레지스트 패턴들(142, 144, 146, 148)을 각각 형성한다.
- [0032] 상기 제2 포토레지스트 패턴(142)은 상기 제1 희생 패턴(122)을 커버하며 이보다 상기 제1 방향으로 더 큰 길이를 가질 수 있다.
- [0033] 상기 제3 포토레지스트 패턴(144)은 상기 X 영역(X) 상의 희생막(120)의 일부를 커버하며 상기 제2 포토레지스트 패턴(142)과 상기 제1 방향으로 이격되어 형성될 수 있다. 상기 제3 포토레지스트 패턴(144)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제3 포토레지스트 패턴(144)은 후속 공정을 통해 형성되는 제1 계단 구조물 부위에 형성될 수 있다.
- [0034] 상기 제5 포토레지스트 패턴(148)은 상기 X 영역(X) 상의 희생막(120)의 일부를 커버하며 제3 포토레지스트 패턴(144)과 상기 제1 방향으로 이격되어 형성될 수 있다. 상기 제5 포토레지스트 패턴(148)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제5 포토레지스트 패턴(148)은 후속 공정을 통해 형성되는 제2 계단 구조물 부위에 형성될 수 있다.
- [0035] 예시적인 실시예에서, 상부에 위치하는 상기 제1 계단 구조물과 하부에 위치하는 상기 제2 계단 구조물은 동일한 크기 및 형상의 계단들을 포함할 수 있다. 이 경우, 사시도에는 도시되지 않았지만, 도 6에 도시된 것과 같이, 상기 제1 계단 구조물을 형성하기 위한 제3 포토레지스트 패턴(144)의 제2 방향의 폭은 상기 제2 계단 구조물을 형성하기 위한 제5 포토레지스트 패턴(148)의 제2 방향의 폭에 비해 더 작도록 형성할 수 있다. 이는, 상기 제2 계단 구조물을 형성하기 위하여 수행되는 식각 공정의 횡수가 상기 제1 계단 구조물을 형성하기 위하여 수행되는 식각 공정의 횡수보다 더 많으므로, 상기 제3 및 제5 포토레지스트 패턴(144, 148)을 동일한 크기로 형성하는 경우 상대적으로 제1 계단 구조물의 제1 방향의 폭이 커질 수 있기 때문이다.
- [0036] 또한, 사시도에는 도시되지 않았지만, 도 6에 도시된 것과 같이, 상기 제3 및 제5 포토레지스트 패턴(144, 148)은 완전한 직사각 형상이 아닌 사다리꼴 형상을 가질 수 있다. 즉, 상기 제3 및 제5 포토레지스트 패턴(144, 148)은 상기 제1 영역(I)과 멀어질수록 상기 제2 방향으로의 폭이 증가되는 형상을 가질 수 있다. 이는 제1 및 제2 계단 구조물을 형성할 때 상기 제1 영역(I)과 멀어질수록 식각 공정 횡수가 더 많아지기 때문에, 이를 고려하여 상기 제3 및 제5 포토레지스트 패턴(144, 148)이 위와 같은 형상을 가질 수 있다. 그러나, 각 사시도에서는 도면의 복잡성을 피하기 위하여, 상기 제3 및 제5 포토레지스트 패턴(144, 148)을 동일한 크기의 직사각형 형상으로 도시한다.
- [0037] 상기 제3 및 제5 포토레지스트 패턴(144, 148) 사이 부위는 상기 제1 및 제2 계단 구조물 사이의 평탄면 부위(Y)가 될 수 있다. 예시적인 실시예에서, 상기 평탄면 부위(Y)는 상기 제1 방향으로 약 15 μ m 내지 40 μ m의 폭을 가질 수 있다.
- [0038] 상기 제4 포토레지스트 패턴(146)은 상기 제3 및 제5 포토레지스트 패턴(144, 148) 사이의 평탄면 부위 내에 형성되며, 상기 제3 및 제5 포토레지스트 패턴(144, 148)과 각각 제1 방향으로 이격될 수 있다. 상기 제4 포토레지스트 패턴(146)은 상기 제1 영역(I)의 경계와 평행한 라인 형상을 가지면서 제1 방향으로 연장될 수 있다. 다만, 도 6은 기관(600)의 X 영역만을 도시하므로, 제4 포토레지스트 패턴(146)은 상기 라인의 일부만이 도시되어 바(Bar) 형상을 가질 수 있다. 상기 제4 포토레지스트 패턴(146)은 후속 공정을 통해 형성되는 더미 계단 구조물 부위에 위치할 수 있다.
- [0039] 상기 제2 내지 제5 포토레지스트 패턴(142, 144, 146, 148)을 식각 마스크로 사용하여 노출된 한 층의 희생막

(120)을 식각한다. 즉, 상기 제2층 회생막(120)을 식각할 수 있다.

- [0040] 따라서, 상기 제1 회생 패턴(122)이 한 층 더 형성되어, 상기 제1 회생 패턴은 2층이 될 수 있다. 또한, 상기 제1 회생 패턴(122)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제2 회생 패턴(124)이 형성되고, 상기 제2 회생 패턴(124)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제4 회생 패턴(128)이 형성될 수 있다. 또한, 상기 제2 및 제4 회생 패턴(124, 128) 사이에 제3 회생 패턴(126)이 형성될 수 있다. 상기 제3 회생 패턴은 상기 제2 방향으로 연장되는 라인 형상을 가질 수 있다.
- [0041] 예시적인 실시예들에 있어서, 도 7에 도시된 것과 같이, 상기 제2 및 제4 회생 패턴들(124, 128)은 상기 제2 방향을 따라 서로 이격되도록 복수개로 형성될 수 있다. 또한, 복수의 제2 및 제4 회생 패턴들(124, 128) 사이에 상기 제3 회생 패턴(126)이 각각 형성될 수 있다. 이 경우, 후속 공정들을 통해 더 많은 계단 구조물들과 더미 계단 구조물이 형성될 수 있다.
- [0042] 도 8을 참조하면, 제2 내지 제5 포토레지스트 패턴들(142, 144, 146, 148)의 면적을 각각 축소시키는 제1 트리밍(trimming) 공정을 수행한 후, 이들을 식각 마스크로 사용하여 제1 내지 제4 회생 패턴들(122, 124, 126, 128) 및 제3 층 회생막(120)을 식각할 수 있다.
- [0043] 이에 따라, 제2 층에 형성된 제1 회생 패턴(122)의 상기 제1 방향으로의 길이가 줄어들 수 있으며, 제3 층에는 제1 회생 패턴(122)이 더 형성될 수 있다. 따라서, 상기 제1 회생 패턴은 3층으로 형성될 수 있다. 또한, 제2 층에 형성된 각 제2 및 제4 회생 패턴들(124, 128)의 면적이 줄어들 수 있으며, 제3 층에는 각 제2 및 제4 회생 패턴들(124, 128)이 더 형성될 수 있다. 따라서, 상기 제2 및 제4 회생 패턴들(124, 128)은 2층으로 형성될 수 있다. 또한, 제2 층에 형성된 각 제3 회생 패턴(126)의 상기 제1 방향으로 길이가 줄어들 수 있으며, 제3 층에는 제3 회생 패턴(126)이 더 형성될 수 있다. 따라서, 상기 제3 회생 패턴(126)은 2층으로 형성될 수 있다.
- [0044] 도 9를 참조하면, 제2 트리밍 공정 및 식각 공정을 수행할 수 있다.
- [0045] 즉, 제2 내지 제5 포토레지스트 패턴들(142, 144, 146, 148)의 면적을 축소한 후, 이들을 식각 마스크로 사용하여 제1 내지 제4 회생 패턴들(122, 124, 126, 128) 및 제4 층 회생막(120)을 식각할 수 있다. 따라서, 제5 층 회생막의 상부면이 노출될 수 있다.
- [0046] 상기 공정에 의해, 상기 제1 회생 패턴(122)은 4층으로 형성될 수 있고, 상기 제1 방향의 가장자리는 4층의 계단 형상을 가질 수 있다.
- [0047] 상기 제2 및 제4 회생 패턴(124, 128)은 3층으로 형성될 수 있고, 제1 및 제2 방향의 가장자리는 각각 계단 형상을 가질 수 있다. 상기 제2 및 제4 회생 패턴(124, 128)의 층 수는 후속 공정에서 형성되는 각 계단 구조물의 상기 제2 방향의 계단의 수를 결정할 수 있다. 즉, 상기 제2 및 제4 회생 패턴(124, 128)의 층수는 형성하고자 하는 각 계단 구조물의 제2 방향의 계단의 수 보다 1개 적을 수 있다.
- [0048] 상기 제3 회생 패턴(126)은 3층으로 형성될 수 있고, 상기 제1 방향의 가장자리는 계단 형상을 가질 수 있다. 상기 제3 회생 패턴(126)의 제2 방향으로서는 계단을 포함하지 않을 수 있다. 즉, 상기 제3 회생 패턴(126)은 상기 제1 영역(I)의 경계 방향과 수직한 방향, 즉 제1 방향의 양 측벽에만 계단 형상을 가질 수 있다.
- [0049] 일부 실시예에서, 상기 제1 내지 제4 회생 패턴들(122, 124, 126, 128)은 이보다 더 많거나 적은 개수의 층으로 형성될 수도 있다. 즉, 상기 포토레지스트 패턴의 트리밍 및 식각 공정의 횟수를 조절하여 상기 제1 내지 제4 회생 패턴들(122, 124, 126, 128)의 층 수, 즉 계단의 층수를 조절할 수 있다.
- [0050] 이하에서는, 상기 제2 내지 제5 포토레지스트 패턴(142, 144, 146, 148)을 이용하고, 트리밍 공정 및 식각 공정을 수행하여 형성되는 계단 형상의 상기 제1 내지 제4 회생 패턴을 초기 제1 내지 제4 회생 패턴이라 하면서 설명한다. 즉, 도 9에 도시된 제1 내지 제4 회생 패턴을 각각 초기 제1 내지 제4 회생 패턴이라고 하면서 설명한다.
- [0051] 도 10을 참조하면, 제1 회생 패턴들(122) 및 이에 인접하는 각 제2 회생 패턴들(124)의 일부를 커버하는 제6 포토레지스트 패턴(152)을 제5 층 회생막(120) 상에 형성할 수 있다.
- [0052] 이 후, 상기 제6 포토레지스트 패턴(152)을 식각 마스크로 사용하여 제2 내지 제4 회생 패턴들(124, 126, 128) 및 제5 내지 제8 층의 회생막들(120)을 식각할 수 있다.
- [0053] 이에 따라, 상기 제6 포토레지스트 패턴(152)에 의해 커버되지 않는 제3 및 제4 회생 패턴(126, 128)은 식각되어, 상기 제8층 회생막 상에 동일하게 전사될 수 있다. 따라서, 상기 제8층 회생막 상에 상기 제3 및 제4 회생

패턴(126, 128)이 형성될 수 있다.

- [0054] 상기 제6 포토레지스트 패턴(152)에 의해 커버되지 않는 제2 희생 패턴(124)부위는 식각되어, 상기 제 8층 희생막 상에 전사될 수 있다. 또한, 상기 제6 포토레지스트 패턴(152)에 의해 커버되는 제2 희생 패턴(124) 부위는 식각되지 않고 잔류할 수 있다.
- [0055] 예시적인 실시예들에 있어서, 각 초기 제2 내지 제4 희생 패턴들(124, 126, 128)에 포함되는 층들 개수보다 1개 많은 층들에 형성된 희생막들(120)이 상기 식각 공정에 의해 식각될 수 있다. 즉, 각 초기 제2 및 제4 희생 패턴들(124, 126, 128)이 제2 내지 제4 층들에 각각 형성되어 총 3개의 층들에 형성되어 있으므로, 상기 식각 공정에 의해서 이들 아래의 4개의 층들 즉, 제5 내지 제8 층들에 각각 형성된 희생막들(120)이 식각될 수 있다.
- [0056] 이와 같이, 제6 포토레지스트 패턴들(152)을 사용하는 상기 식각 공정에 의해 4개 층들에 각각 형성된 희생막들(120)이 식각되었으나, 본 발명의 개념은 반드시 이에 한정되지는 않으며, 이보다 많거나 적은 개수의 층들에 형성된 희생막들(120)이 식각될 수도 있다.
- [0057] 도 11 및 도 12를 참조하면, 상기 제6 포토레지스트 패턴(152)의 면적을 축소시키는 제1 트리밍 공정을 수행할 수 있으며, 이에 따라 제2 희생 패턴(124)의 일부가 노출될 수 있다.
- [0058] 트리밍된 제6 포토레지스트 패턴(152)을 식각 마스크로 사용하여 제2 내지 제4 희생 패턴들(124, 126, 128) 및 제9 내지 제12 층의 희생막들(120)을 식각할 수 있다. 이에 따라, 상기 제3 및 제4 희생 패턴(126, 128)은 식각되어, 상기 제 12층 희생막 상에 동일하게 전사될 수 있다. 따라서, 상기 제12층 희생막 상에 상기 제3 및 제4 희생 패턴(126, 128)이 형성될 수 있다.
- [0059] 또한, 상기 제6 포토레지스트 패턴(152)에 의해 커버되지 않는 제2 희생 패턴 부위는 식각되어, 상기 제 12층 희생막 상에 전사될 수 있다. 또한, 상기 제6 포토레지스트 패턴(152)에 의해 커버되는 제2 희생 패턴(124) 부위는 식각되지 않고 잔류할 수 있다.
- [0060] 계속하여, 상기 제6 포토레지스트 패턴(152)의 트리밍 및 노출된 희생 패턴 및 희생막들의 식각 공정을 반복 수행할 수 있다.
- [0061] 상기 포토레지스트 패턴에 대해 트리밍 및 식각 공정을 한번 수행할 때, 상기 제2 희생 패턴(124)은 상기 제1 방향으로 계단이 1층씩 더 형성될 수 있다. 또한, 최초로 형성된 상기 제2 희생 패턴(124)에 의해 제2 방향으로 계단이 4층씩 형성될 수 있다. 이와 같이, 상기 트리밍 및 식각 공정은 한번 혹은 복수 회 더 수행할 수 있다.
- [0062] 도 11은 총 3회의 식각 공정 및 2회의 트리밍이 수행되었을 때의 구조물 형상을 나타낸다. 또한, 도 12는 총 5회의 식각 공정 및 4회의 트리밍 공정을 수행되었을 때의 구조물의 형상을 나타낸다.
- [0063] 도 12에 도시된 것과 같이, 상기 트리밍 공정 및 식각 공정을 수행함으로써, 상기 제24층 희생막 상에 제1 계단 구조물(S1)을 형성할 수 있다. 이하에서는, 상기 제1 계단 구조물(S1)에 포함되는 패턴들을 제5 희생 패턴(124a)이라 하면서 설명한다. 상기 제1 계단 구조물(S1)을 형성한 이 후에, 상기 제6 포토레지스트 패턴(152)을 제거한다.
- [0064] 상기 제1 계단 구조물(S1)은 상기 24층 희생막 상에 상기 제1 방향으로 5층의 계단이 포함되고, 상기 제2 방향으로 4층의 계단이 포함될 수 있다. 상기 계단들은 상기 제1 방향을 기준으로 대칭되도록 형성될 수 있다.
- [0065] 상기 제1 계단 구조물(S1)의 최하층 및 최상층에는 최초 제2 희생 패턴(124)의 제1 방향의 가장자리 부위가 각각 전사되므로, 최초 제2 희생 패턴(124)의 제1 방향 가장자리 부위와 동일한 형상을 가질 수 있다.
- [0066] 한편, 상기 트리밍 공정 및 식각 공정을 수행할 때, 상기 제6 포토레지스트 패턴(152)에 의해 노출되는 제3 및 제4 희생 패턴(126, 128)은 식각되어 동일한 형태가 하부로 전사될 수 있다. 즉, 상기 제24층 희생막 상에 상기 제3 및 제4 희생 패턴(126, 128)이 각각 형성될 수 있다.
- [0067] 상기 제3 희생 패턴(126)은 상기 제1 계단 구조물(S1)과 제1 방향으로 이격될 수 있다. 상기 제3 희생 패턴(126)은 상기 제1 계단 구조물(S1) 및 제4 희생 패턴(128) 사이에 배치될 수 있다. 상기 제3 희생 패턴(126)은 후속 공정을 통해 더미 계단 구조물로 제공될 수 있다.
- [0068] 도 13을 참조하면, 상기 제1 희생 패턴(122), 제1 계단 구조물(S1), 제3 희생 패턴(126) 및 제4 희생 패턴(128)의 일부를 덮는 제7 포토레지스트 패턴(154)을 형성한다. 즉, 상기 제7 포토레지스트 패턴(154)은 상기 제1 희생 패턴(122), 제1 계단 구조물(S1), 제3 희생 패턴(126)과 그 사이의 희생막들은 완전히 덮을 수 있다. 따라

서, 상기 제7 포토레지스트 패턴(154)에 의해 상기 제4 희생 패턴(128)의 제1 방향의 가장자리의 계단 형상 부위만 노출될 수 있다.

- [0069] 도 14를 참조하면, 상기 제7 포토레지스트 패턴(154)을 식각 마스크로 사용하여 4개 층의 상기 제4 희생 패턴(128) 및 희생막을 식각한다.
- [0070] 이 후, 상기 제7 포토레지스트 패턴(154)의 트리밍 및 노출된 제4 희생 패턴(128) 및 희생막들의 식각 공정을 반복 수행할 수 있다.
- [0071] 예시적인 실시예에서, 총 5회의 식각 공정 및 4회의 트리밍 공정을 수행할 수 있다. 따라서, 상기 제44층 희생막 상에 제2 계단 구조물(S2)을 형성할 수 있다. 이하에서는, 상기 제2 계단 구조물(S2)에 포함되는 패턴들을 제6 희생 패턴(128a)이라 하면서 설명한다.
- [0072] 예시적인 실시예에서, 상기 제2 계단 구조물(S2)을 형성하는 공정은 상기 제1 계단 구조물(S1)을 형성하는 공정과 동일한 횟수로 식각 공정 및 트리밍 공정을 수행할 수 있다. 이 경우, 상기 제2 계단 구조물(S2)은 상기 제1 계단 구조물(S1)과 동일하게 상기 제1 방향으로 5층의 계단이 포함되고, 상기 제2 방향으로 4층의 계단이 포함될 수 있다. 상기 계단들은 상기 제1 방향을 기준으로 대칭되도록 형성될 수 있다. 그러나, 상기 제2 계단 구조물(S2)을 형성하기 위한 식각 공정 및 트리밍 공정의 횟수는 이에 한정되지 않는다.
- [0073] 또한, 상기 제2 계단 구조물(S2)의 최하층 및 최상층에는 최초 제4 희생 패턴(128)의 제1 방향의 가장자리 부위가 각각 전사되므로, 최초 제4 희생 패턴(128)의 제1 방향 가장자리 부위와 동일한 형상을 가질 수 있다.
- [0074] 상기 제7 포토레지스트 패턴(154)은 상기 제1 희생 패턴(122), 제1 계단 구조물(S1), 제3 희생 패턴(126)과 그 사이의 희생막들을 완전히 덮기 때문에, 상기 식각 공정에서 상기 제1 희생 패턴(122), 제1 계단 구조물(S1), 제3 희생 패턴(126)은 식각되지 않고 그대로 유지될 수 있다.
- [0075] 도 15 내지 도 17을 참조하면, 상기 제7 포토레지스트 패턴(154)을 제거한다. 따라서, 상기 제1 희생 패턴(122), 제1 계단 구조물(S1), 제3 희생 패턴(126) 및 제2 계단 구조물(S2)을 포함하는 몰드 구조물(140)이 형성될 수 있다. 상기 제2 영역(II)의 몰드 구조물(140)은 후속의 금속 치환 공정을 통해 패드 구조물로 형성될 수 있다.
- [0076] 상기 몰드 구조물에서, 상기 제1 희생 패턴(122)의 적층 구조는 상부 계단 구조물(290)로 지칭한다. 또한, 상기 제3 희생 패턴(126)의 적층 구조는 더미 계단 구조물(300)로 지칭한다.
- [0077] 도시된 것과 같이, 상기 제1 계단 구조물(S1) 및 제2 계단 구조물(S2) 사이에는 상대적으로 넓은 평탄면(Y)이 구비될 수 있다. 즉, 상기 제1 계단 구조물(S1)은 상기 평탄면(Y)보다 높게 위치하고, 상기 제2 계단 구조물(S2)은 상기 평탄면(Y) 상부면 상에 일부 형성되고, 대부분은 상기 평탄면(Y) 보다 낮은 위치에 위치할 수 있다. 또한, 상기 평탄면(Y) 상에는 상기 더미 계단 구조물(300)이 구비될 수 있다.
- [0078] 상기 제1 및 제2 계단 구조물(S1, S2)의 계단은 제5 및 제6 희생 패턴(124a, 128a)의 노출된 상부면에 각각 해당될 수 있다. 상기 각 계단은 후속 공정을 통해 콘택 플러그가 랜딩되는 패드로써 제공될 수 있다.
- [0079] 상기 평탄면(Y) 부위의 일부는 하부의 페리 회로들과 연결되기 위한 관통 비아 콘택이 형성되기 위한 부위로 제공될 수 있다.
- [0080] 한편, 상기 몰드 구조물(140)을 형성한 이 후에는, 상기 몰드 구조물(140)의 상기 제1 방향의 폭을 정확하게 측정하기 위한 계측 공정이 수행될 수 있다. 상기 계측 공정은 상기 몰드 구조물(140)에서 구분 가능한 패턴들(예를 들어, 각 계단 부위)의 제1 방향의 폭들을 각각 측정하고, 이들을 더한 값으로써 전체 몰드 구조물(140)의 제1 방향의 폭을 계측할 수 있다.
- [0081] 즉, 도 17에 도시된 것과 같이, 상기 제1 희생 패턴(122)의 각 계단별 제1 방향의 폭들(a)과 상기 제1 및 제2 계단 구조물(S1, S2)에 포함되는 각 계단 별로 제1 방향의 폭들(b, c)을 각각 계측할 수 있다. 또한, 상기 평탄면(Y) 부위에는 상기 제3 희생 패턴(126)이 구비되므로, 상기 제3 희생 패턴(126)의 상기 제1 방향의 양 측의 계단의 폭(d) 및 최상부 제3 희생 패턴(126)의 상부면의 제1 방향의 폭(d)을 각각 계측할 수 있다. 또한, 제1 희생 패턴(122)과 제1 계단 구조물(S1) 사이의 폭(e)과 상기 제1 계단 구조물(S1)과 상기 제3 희생 패턴(126) 사이의 폭(f)과 상기 제3 희생 패턴(126)과 제2 계단 구조물(S2) 사이의 폭(g)과 상기 제2 계단 구조물(S2)과 몰드 구조물 최하부의 단부 사이의 폭(h)을 각각 계측할 수 있다.
- [0082] 따라서, 상기 평탄면(Y) 부위의 폭을 측정하기 위하여, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기

더미 계단 구조물(300) 사이의 폭(e), 상기 제3 희생 패턴(126)의 각 계단의 폭(c), 최상부 제3 희생 패턴(126)의 상부면의 폭(c) 및 상기 더미 계단 구조물(300)과 상기 제2 계단 구조물(S)의 최상부의 단부 사이의 폭(g)을 각각 측정할 수 있다. 또한, 상기 측정된 각각의 폭들을 더함으로써 상기 평탄면(Y)의 전체 폭을 측정할 수 있다.

[0083] 만일, 상기 평탄면(Y) 상에 상기 더미 계단 구조물(300)이 구비되지 않으면, 측정을 위한 기준이 되는 패턴들이 없기 때문에 상기 평탄면(Y) 전체 폭을 한번의 측정을 통해 측정하여야 한다. 상기 평탄면(Y)의 전체 폭이 상대적으로 넓기 때문에 고 배율로 측정하기가 용이하지 않으므로, 상기 제1 및 제2 계단 구조물(S1, S2)의 각 계단의 폭을 측정하는데 사용하는 배율보다 저 배율로 측정하여야 한다. 상기 평탄면(Y)의 폭을 저 배율로 측정하는 경우, 폭의 측정 오차가 커지게 되어 정확한 측정이 어려울 수 있다. 따라서, 상기 몰드 구조물(140)의 제1 방향의 전체 폭이 정확하게 측정되지 않을 수 있다.

[0084] 이에 반해, 본 발명의 예시적인 실시예에서, 상기 평탄면(Y) 상에는 상기 더미 계단 구조물(300)이 구비됨으로써, 상기 평탄면의 전체 폭은 상기 제3 희생 패턴(126)에 의해 구분되는 패턴의 폭들을 각각 측정함으로써 측정할 수 있다. 따라서, 고 배율을 사용하여 상기 평탄면의 폭을 측정할 수 있다. 예를들어, 상기 제3 희생 패턴(126)에 의해 구분되는 각 패턴들은 상기 제1 및 제2 계단 구조물(S1, S2)의 각 계단의 폭을 측정하는데 사용하는 배율과 동일한 배율 또는 더 높은 배율로 측정할 수 있다.

[0085] 도 18을 참조하면, 상기 제1 및 제2 영역(I, II) 상에 형성된 상기 몰드 구조물(140)을 덮는 제1 층간 절연막(200)을 상기 베이스 패턴(100) 상에 형성하고, 최상층의 절연막(110)의 상면이 노출될 때까지 제1 층간 절연막(200)을 평탄화할 수 있다. 이에 따라, 상기 제1 층간 절연막(200)은 상기 몰드 구조물(140)의 측벽을 커버할 수 있다. 상기 제1 층간 절연막(200)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.

[0086] 예시적인 실시예에서, 상기 몰드 구조물(140)의 상면 및 제1 층간 절연막(200)의 상면에 층간 절연막을 더 형성할 수도 있다.

[0087] 도 19를 참조하면, 상기 제1 층간 절연막(200) 상에 제1 마스크(도시되지 않음)를 형성한 후, 이를 식각 마스크로 사용하여 제1 영역(I)에 형성된 몰드 구조물(140)을 식각함으로써, 이들을 관통하여 베이스 패턴(100)의 상면을 부분적으로 노출시키는 채널홀을 형성할 수 있다. 상기 채널홀들은 제1 영역(I)의 상기 베이스 패턴(100)에 규칙적으로 형성될 수 있다. 또한, 상기 채널홀 내부에 채널 구조물(230)을 형성할 수 있다.

[0088] 예시적인 실시예에서, 상기 베이스 패턴(100)과 채널 구조물(230) 사이에 반도체 패턴(220)이 더 구비될 수 있다. 이 경우, 상기 채널 구조물(230)은 상기 반도체 패턴(220) 상에 형성될 수 있다. 예시적인 실시예에서, 상기 반도체 패턴(220)은 예를 들면, 단결정 실리콘 또는 폴리실리콘을 포함할 수 있다. 일부 실시예에서, 상기 반도체 패턴(220) 형성 공정은 생략될 수도 있다. 따라서, 상기 채널 구조물(230)은 상기 베이스 패턴(100)과 직접 접촉할 수도 있다.

[0089] 예시적인 실시예에서, 상기 채널 구조물(230)은 유전막 구조물(222), 채널(224), 매립 절연 패턴(226) 및 상부 도전 패턴(228)을 포함할 수 있다.

[0090] 상기 유전막 구조물(222)은 상기 채널(224)의 외측벽으로부터 순차적으로 적층된 터널 절연막, 전하 저장막 및 블록킹막을 포함할 수 있다. 상기 상부 도전 패턴(228)은 폴리실리콘을 포함할 수 있다.

[0091] 도 20 및 도 21을 참조하면, 상기 몰드 구조물(140), 채널 구조물(230) 및 제1 층간 절연막(200) 상에 제2 층간 절연막(202)을 형성하고, 상기 제2 층간 절연막(202) 상에 제2 마스크(도시되지 않음)를 형성한다. 상기 제2 마스크를 식각 마스크로 사용하여 제1 및 제2 층간 절연막들(200, 202) 및 몰드 구조물(140)을 관통하는 트렌치(240)를 형성하여 베이스 패턴(100) 상면을 노출시킨다.

[0092] 예시적인 실시예들에 있어서, 상기 트렌치(240)는 기판(600)의 제1 및 제2 영역들(I, II) 상에서 상기 제1 방향을 따라 연장되도록 형성될 수 있으며, 상기 제2 방향을 따라 복수 개로 형성될 수 있다.

[0093] 상기 제2 마스크를 제거한 후, 상기 트렌치(240)에 의해 노출된 희생막들을 제거하여, 각 층의 절연막(110) 사이에 갭(242)을 형성할 수 있다. 상기 갭(242)에 의해 상기 채널 구조물(230)의 외측벽 일부 및 반도체 패턴(220)의 측벽 일부가 노출될 수 있다.

[0094] 도 22 내지 도 25를 참조하면, 상기 갭(242) 내부에 게이트 도전막을 형성한다. 상기 게이트 도전막을 형성하기 전에, 상기 갭(242)의 표면을 따라, 베리어 금속막(도시안됨)이 더 형성될 수 있다.

- [0095] 상기 게이트 도전막은 예를 들어, 텅스텐, 알루미늄 등과 같은 저 저항 금속을 포함할 수 있으며, 상기 베리어 금속막은 예를 들어, 티타늄 질화물, 탄탈륨 질화물 등과 같은 금속 질화물을 포함할 수 있다.
- [0096] 이후, 상기 트렌치(240) 내부의 게이트 도전막을 제거하여, 갭(242) 내부에 게이트 도전 패턴을 형성할 수 있으며, 상기 베리어 금속막이 형성된 경우에는, 상기 제거 공정에 의해 베리어 금속 패턴을 형성할 수 있다. 상기 게이트 도전 패턴 및 상기 게이트 베리어 패턴은 함께 게이트 패턴(250)으로 제공될 수 있다.
- [0097] 예시적인 실시예들에 있어서, 상기 게이트 패턴(250)은 상기 제1 방향으로 연장될 수 있으며, 상기 제2 방향을 따라 복수 개로 형성될 수 있다. 즉, 상기 제1 방향으로 연장되는 상기 각 복수 개의 게이트 패턴들(250)은 상기 트렌치(240)에 의해 상기 제2 방향으로 서로 이격될 수 있다.
- [0098] 상기 게이트 패턴(250)은 상기 수직 방향을 따라 서로 이격되도록 복수 개의 층들에 적층될 수 있으며, 각 게이트 패턴들은 기관(600)의 제1 및 제2 영역들(I, II) 상에서 상기 제1 방향으로 연장될 수 있다.
- [0099] 상기 게이트 패턴(250)은 상기 제1 및 제2 영역(I, II) 상의 몰드 구조물에 포함되는 희생막들이 치환되어 형성된 것일 수 있다.
- [0100] 상기 제1 영역(I)에 형성되는 몰드 구조물(140)의 희생막들은 모두 게이트 패턴(250)으로 치환될 수 있다. 상기 제1 영역(I)에 형성되는 게이트 패턴(250)은 셀 게이트 패턴으로 지칭될 수 있다. 상기 제1 영역(I)으로부터 연장되어 제2 영역(II)에 형성되는 몰드 구조물(140)의 희생막들은 적어도 일부가 게이트 패턴(250)으로 치환될 수 있다.
- [0101] 예시적인 실시예에서, 상기 제1 및 제2 계단 구조물(S1, S2)에 포함된 희생 패턴의 적어도 일부는 상기 게이트 패턴(250)으로 치환되며, 상기 게이트 패턴(250)으로 치환된 제1 및 제2 계단 구조물에 대해서도 동일하게 제1 계단 구조물(S1) 및 제2 계단 구조물(S2)로 지칭한다.
- [0102] 또한, 상기 상부 계단 구조물(290)에 포함된 제1 희생 패턴의 적어도 일부는 상기 게이트 패턴(250)으로 치환되며, 상기 게이트 패턴(250)으로 치환된 상부 계단 구조물(290)에 대해서 제1 상부 계단 구조물(290a)로 지칭한다. 상기 더미 계단 구조물(300)에 포함된 제3 희생 패턴의 적어도 일부는 상기 게이트 패턴(250)으로 치환되며, 상기 게이트 패턴(250)으로 치환된 더미 계단 구조물(300)에 대해서 제1 더미 계단 구조물(300a)로 지칭한다.
- [0103] 상기 트렌치(240)의 측벽에 노출되는 희생막들이 제거되어 상기 갭(242)이 형성된다. 그러므로, 상기 트렌치(240)의 형성에 따라 갭(242) 부위를 조절할 수 있다. 따라서, 상기 몰드 구조물에서 상기 갭(242)들의 형성된 부위에 따라 상기 게이트 패턴(250)으로 치환되는 부위 및 게이트 패턴(250)으로 치환되지 않는 부위를 조절할 수 있다.
- [0104] 예시적인 실시예에서, 상기 몰드 구조물(140)은 상기 트렌치(240)의 형성에 의해 분리되어 제1 방향으로 연장되는 형상을 가질 수 있다. 이 때, 상기 몰드 구조물(140)에서 상기 제1 및 제2 방향으로 계단이 포함되는 부위는 상기 게이트 패턴(250)으로 치환되어 패드로 제공될 수 있다. 또한, 상기 제1 및 제2 계단 구조물(S1, S2)의 각 계단 부위와 수평 방향으로 연결되는 희생막들은 상기 게이트 패턴(250)으로 치환될 수 있다. 예시적인 실시예에서, 상기 몰드 구조물(140)의 상기 제1 및 제2 방향으로 계단이 포함되는 부분을 제외하고는 상기 게이트 패턴(250)으로 치환되지 않을 수 있다. 도 24에 도시된 것과 같이, 상기 몰드 구조물(140)의 제2 방향의 양 단부에 상기 트렌치(240)가 형성될 수 있으며, 상기 트렌치(240)로부터 제2 방향으로 일정 거리까지만 상기 희생막이 제거됨으로써 상기 몰드 구조물(140)의 제2 방향의 중심 부위에는 희생막과 절연막이 남아있을 수 있다. 또한, 상기 갭이 형성된 부위에만 상기 게이트 패턴(250)으로 치환됨으로써 패드로 제공될 수 있다. 또한, 상기 게이트 패턴(250)으로 치환되지 않은 부위는 희생막 및 절연막이 교대로 적층된 구조물이 남아있게 되어 상기 절연 구조물(330)로 제공될 수 있다. 상기 절연 구조물(330)은 상기 몰드 구조물(140)의 제2 방향의 중심 부위(A')를 따라 제1 방향으로 연장될 수 있다.
- [0105] 예시적인 실시예에서, 상기 몰드 구조물(140)의 평탄면(Y)의 제2 방향의 중심 부위(A)의 아래에 위치하는 희생막들 및 상기 평탄면(Y) 상의 제3 희생 패턴은 게이트 패턴으로 치환되지 않을 수 있다. 도 25에 도시된 것과 같이, 상기 몰드 구조물(140)의 제2 방향의 양 단부에 상기 트렌치(240)가 형성될 수 있으며, 추가적으로 상기 몰드 구조물(140)의 상기 제1 및 제2 방향으로 계단이 포함되는 부위 사이에 제1 방향으로 연장되는 트렌치(240a)가 형성될 수 있다. 그러나, 상기 평탄면이 형성되는 부위에는 추가적인 상기 트렌치(240a)가 형성되지 않을 수 있다. 도 25에서, 상기 몰드 구조물(140)의 평탄면 부위는 상기 몰드 구조물(140)의 제2 방향의 양 단부의

상기 트렌치(240)로부터 희생막이 식각되므로, 상기 평탄면 부위의 제2 방향의 중심 부위에는 희생막과 절연막이 남아있을 수 있다. 반면에, 상기 계단 부위는 상기 상기 몰드 구조물(140)의 제2 방향의 양 단부에 상기 트렌치(240) 및 추가적인 트렌치(240a)로부터 제2 방향으로 희생막이 모두 제거될 수 있다. 따라서, 상기 계단 부위는 상기 게이트 패턴(250)으로 치환됨으로써 패드로 제공될 수 있다. 또한, 상기 게이트 패턴(250)으로 치환되지 않은 부위는 희생막 및 절연막이 교대로 적층된 구조물이 남아있게 되어 상기 절연 구조물(330)로 제공될 수 있다.

- [0106] 따라서, 상기 평탄면(Y) 아래에 위치하는 치환되지 않은 희생막들 및 제3 희생 패턴 부위는 절연 구조물(330, 도 27)로 제공될 수 있다. 예시적인 실시예에서, 상기 평탄면 아래의 상기 절연 구조물 부위는 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택이 형성되는 부위로 제공될 수 있다.
- [0107] 상기 제1 더미 계단 구조물(300a)에서, 상기 게이트 패턴(250)으로 치환된 부분은 셀 게이트와 전기적으로 연결되지 않아서 실질적인 패드로 제공되지 않을 수 있다. 즉, 더미 패드로 제공될 수 있다.
- [0108] 일부 예시적인 실시예에서, 제1 및 제2 영역(I, II)의 상기 몰드 구조물(140)에 포함되는 희생막들 모두 게이트 패턴(250)으로 치환될 수 있다. 이 경우, 상기 평탄면 아래에는 절연 구조물이 포함되지 않기 때문에, 상기 평탄면 부위에 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택이 형성되지 않을 수 있다.
- [0109] 이 후, 도시하지는 않았지만, 상기 트렌치(240)에 의해 노출된 베이스 패턴(100) 상부에 불순물을 주입하여 불순물 영역을 형성할 수 있다. 상기 트렌치(240)의 측벽을 덮는 스페이서를 형성할 수 있다. 상기 불순물 영역 상에 상기 트렌치(240)를 채우는 공통 소스 라인을 형성할 수 있다.
- [0110] 도 26 및 도 27을 참조하면, 상기 제2 층간 절연막(202)을 관통하여 상부 도전 패턴의 상면에 접촉하는 제1 콘택 플러그(310)를 형성한다.
- [0111] 상기 절연막(110)과 제1 및 제2 층간 절연막들(200, 202)을 관통하여 상기 제1 및 제2 계단 구조물(S1, S2)의 각 계단들의 상면과 각각 접촉하는 제2 내지 제4 콘택 플러그들(312, 314, 316)을 형성할 수 있다.
- [0112] 이때, 제2 콘택 플러그(312)는 상기 상부 계단 구조물에 포함되는 게이트 패턴(250)의 패드 상면에 접촉할 수 있고, 제3 콘택 플러그(314)는 제 1 계단 구조물(S1)에 포함되는 게이트 패턴(250)의 각 계단 상면과 접촉할 수 있으며, 제4 콘택 플러그(316)는 상기 제2 계단 구조물(S2)에 포함되는 게이트 패턴(250)의 각 계단 상면과 접촉할 수 있다.
- [0113] 상기 제1 및 제2 층간 절연막들(200, 202), 절연 구조물, 절연 패턴 및 제2 하부 층간 절연막(730)을 관통하여 하부 배선(720)의 상면과 접촉하는 관통 비아 콘택(318)을 형성할 수 있다.
- [0114] 도 27은 상기 제1 더미 계단 구조물 부위를 제2 방향으로 절단한 단면을 나타낸다.
- [0115] 도 27에 도시된 것과 같이, 예시적인 실시예에 있어서, 상기 관통 비아 콘택(318)은 상기 평탄면 아래의 절연 구조물(330) 부위를 관통할 수 있다. 이에 따라, 상기 관통 비아 콘택(318)은 상기 게이트 패턴들(250)과는 전기적으로 절연될 수 있다. 전술한 것과 같이, 상기 절연 구조물(330)은 몰드 구조물에서 상기 게이트 패턴(250)으로 치환되지 않는 부분일 수 있다. 따라서, 상기 절연 구조물(330)은 희생막 및 절연막이 교대로 적층될 수 있다. 상기 평탄면 아래의 부위는 상기 절연 구조물(330)이 배치될 수 있으며, 도전 물질을 포함하는 게이트 패턴(250)이 배치되지 않을 수 있다. 도 28 및 도 29를 참조하면, 제2 층간 절연막(202), 제1 내지 제4 콘택 플러그들(310, 312, 314, 316) 및 관통 비아 콘택(318) 상에 제3 층간 절연막(340)을 형성하고, 이를 관통하여 제 1 콘택 플러그(310) 상면에 접촉하는 비트 라인(342)을 형성한다. 예시적인 실시예들에 있어서, 상기 비트 라인(342)은 상기 제2 방향으로 연장될 수 있으며, 상기 제1 방향을 따라 복수 개로 형성될 수 있다.
- [0116] 또한, 상기 제2 내지 제4 콘택 플러그들(312, 314, 316)과 관통 비아 콘택(318)에 접촉하여 이들을 서로 전기적으로 연결하는 상부 배선(344)을 형성할 수 있다. 다만, 상기 상부 배선들(344)은 비트 라인(342)과 반드시 동일한 층에 형성될 필요는 없으며, 서로 다른 층에 형성될 수도 있다.
- [0117] 다만, 도 29에는 도면의 복잡성을 피하기 위해서, 제3 및 제4 콘택 플러그, 상부 배선 및 관통 비아 콘택의 일부만 간략히 라인으로 도시되어 있다.
- [0118] 예를들어, 도 29에 도시된 것과 같이, 동일한 층에 형성된 게이트 패턴(250)과 접하는 상기 제3 콘택 플러그(314)는 상기 상부 배선(344)과 전기적으로 연결될 수 있다. 또한, 상기 상부 배선(344)은 상기 절연 구조물(330)의 위에 대응하도록 연장될 수 있다. 상기 상부 배선(344)과 관통 비아 콘택(318)이 전기적으로 연결될 수

있다. 상기 관통 비아 콘택(318)은 상기 절연 구조물(330)을 관통하여 하부 배선(720, 도 2 참조)까지 연장됨으로써 상기 하부 배선(720)과 전기적으로 연결될 수 있다. 이에 따라, 상기 제3 콘택 플러그(314)와 연결된 상기 게이트 패턴(250)은 페리 회로들과 전기적으로 연결될 수 있다.

- [0119] 또한, 동일한 층에 형성된 게이트 패턴(250)과 접하는 상기 제4 콘택 플러그(316)는 상기 상부 배선(344)과 전기적으로 연결될 수 있다. 또한, 상기 상부 배선(344)은 상기 절연 구조물(330)의 위에 대응되도록 연장될 수 있다. 상기 상부 배선(344)과 관통 비아 콘택(318)이 전기적으로 연결될 수 있다. 상기 관통 비아 콘택(318)은 상기 하부 배선(720, 도 2 참조) 하부 배선(720, 도 2 참조)까지 연장됨으로써 상기 하부 배선(720)과 전기적으로 연결될 수 있다. 이에 따라, 상기 제4 콘택 플러그(316)와 연결된 상기 게이트 패턴(250)은 페리 회로들과 전기적으로 연결될 수 있다.
- [0120] 전술한 공정들을 수행함으로써 상기 수직형 메모리 소자를 완성할 수 있다.
- [0121] 한편, 상기 수직형 메모리 소자는 다음과 같은 구조적 특징을 가질 수 있다. 상기 수직형 메모리 소자의 구조적 특징은 전술한 제조 방법을 형성하는 공정에서 대부분 설명되었다. 따라서, 이하에서는 반복되는 설명은 생략하고 중요한 부분에 대해서만 도면을 참조하여 기술하도록 한다.
- [0122] 도 26 내지 도 29를 참조하면, 상기 수직형 메모리 소자는 절연막들(110) 및 게이트 패턴들(250)이 수직 방향으로 반복 적층되는 적층 구조물이 구비될 수 있다. 상기 적층 구조물은 상기 기관(600)의 제1 영역(I)으로부터 제2 영역(II)까지 제1 방향으로 연장될 수 있다.
- [0123] 상기 기관(600)의 제1 영역(I)에 형성되는 적층 구조물에는 상기 채널 구조물(230)이 포함될 수 있다.
- [0124] 상기 기관(600)의 제2 영역(II)에 형성되는 적층 구조물은 패드 구조물로 제공될 수 있다. 즉, 수직 방향으로 적층된 각 게이트 패턴들(250)은 상기 적층 구조물의 상기 제1 방향의 가장자리에서 상기 게이트 패턴들(250)의 상부면의 적어도 일부가 각각 노출되도록 계단 형상을 가질 수 있다. 상기 게이트 패턴들(250)의 노출된 상부면은 패드들로 제공될 수 있다.
- [0125] 상기 패드 구조물은 제1 상부 계단 구조물(290a), 제1 계단 구조물(S1), 제2 계단 구조물(S2) 및 제1 더미 계단 구조물(300a)이 포함될 수 있다.
- [0126] 상기 제1 상부 계단 구조물(290a)은 제1 희생 패턴이 게이트 패턴으로 치환되어 형성된 것이므로, 상기 패드 구조물의 최상부에 위치할 수 있다. 또한, 상기 제1 상부 계단 구조물(290a)은 상기 제1 방향으로 복수의 계단 형상을 가질 수 있다. 일 예로, 상기 제1 상부 계단 구조물(290a)은 상기 제1 방향으로 4 층의 계단을 포함할 수 있다.
- [0127] 상기 제1 계단 구조물(S1)은 상기 제5 희생 패턴(124a)이 게이트 패턴으로 치환되어 형성된 것이고, 상기 제1 계단 구조물(S1)은 대부분 상기 제1 상부 계단 구조물(290a) 아래에 위치할 수 있다. 상기 제1 계단 구조물(S1)은 상기 제1 방향 및 제2 방향으로 각각 복수의 층의 계단을 포함할 수 있다. 일 예로, 상기 제1 계단 구조물(S1)은 제1 방향으로 5층의 계단이 포함되고, 상기 제2 방향으로 4층의 계단이 포함될 수 있다. 상기 제1 계단 구조물(S1)에 포함되는 계단들은 상기 제1 방향으로 연장되는 라인을 기준으로 서로 대칭되도록 형성될 수 있다.
- [0128] 상기 제2 계단 구조물(S2)은 상기 제6 희생 패턴(128a)이 게이트 패턴으로 치환되어 형성된 것이고, 상기 제2 계단 구조물(S2)은 대부분 상기 제1 계단 구조물(S1)의 아래에 위치할 수 있다. 상기 제2 계단 구조물(S2)은 상기 제1 계단 구조물(S1)로부터 상기 제1 방향으로 이격될 수 있다. 상기 제2 계단 구조물(S2)은 상기 제1 방향 및 제2 방향으로 각각 복수의 층의 계단을 포함할 수 있다. 일 예로, 상기 제2 계단 구조물(S2)은 제1 방향으로 5층의 계단이 포함되고, 상기 제2 방향으로 4층의 계단이 포함될 수 있다. 상기 제2 계단 구조물(S2)에 포함되는 계단들은 상기 제1 방향을 기준으로 대칭되도록 형성될 수 있다.
- [0129] 예시적인 실시예에서, 상기 제2 계단 구조물은 상기 제1 계단 구조물과 동일한 형상의 계단들을 포함할 수 있다.
- [0130] 상기 제1 및 제2 계단 구조물(S1, S2)에 포함되는 각 계단은 제1 영역에 형성되는 셀 게이트 패턴들과 연결되고, 상부에 콘택 플러그가 접촉되는 패드로 제공될 수 있다.
- [0131] 상기 제1 및 제2 계단 구조물(S1, S2)의 사이에는 평탄면(Y)이 구비될 수 있다. 즉, 상기 평탄면(Y)은 상기 제1 계단 구조물(S1)의 최하부면 가장자리로부터 상기 제1 방향으로 길게 연장될 수 있다.

- [0132] 예시적인 실시예에서, 상기 평탄면(Y)에는 관통 비아 콘택들(318)이 형성될 수 있으므로, 상기 관통 비아 콘택들(318)이 형성되기 위해 요구되는 충분한 폭을 가질 수 있다. 예시적인 실시예에서, 상기 평탄면(Y)은 상기 제1 방향으로 약 15 μ m 내지 40 μ m의 폭을 가질 수 있다.
- [0133] 상기 평탄면(Y) 상에는 제1 더미 계단 구조물(300a)이 구비될 수 있다.
- [0134] 상기 제1 더미 계단 구조물(300a)은 상기 제1 영역(I)의 경계와 평행한 방향으로 연장되는 라인 형상을 가질 수 있다. 즉, 상기 제1 더미 계단 구조물(300a)은 상기 제2 방향으로 연장될 수 있다.
- [0135] 상기 제1 더미 계단 구조물(300a)은 상기 제3 희생 패턴(126)의 적어도 일부가 게이트 패턴(250)으로 치환되어 형성된 것이다. 따라서, 상기 제1 더미 계단 구조물(300a)은 상기 제1 방향의 양 측 가장자리에 계단을 가질 수 있다. 즉, 상기 제1 더미 계단 구조물(300a)은 제1 방향으로 계단을 포함하지만, 상기 제2 방향으로는 계단을 포함하지 않을 수 있다. 즉, 상기 제1 더미 계단 구조물(300a)은 상기 제1 영역의 경계 방향과 수직한 방향으로만 계단 형상을 가질 수 있다. 또한, 상기 제1 더미 계단 구조물(300a)의 제2 방향의 양 측벽은 상기 기판 상면에 수직할 수 있다.
- [0136] 예시적인 실시예에서, 상기 제1 더미 계단 구조물(300a)에 포함되는 제1 방향의 계단의 수는 상기 제1 계단 구조물(S1)의 최하층에 위치하는 계단 패턴의 제1 방향의 계단의 수와 실질적으로 동일할 수 있다. 또한, 상기 제1 더미 계단 구조물(300a)에 포함되는 제1 방향의 계단의 수는 상기 제2 계단 구조물(S2)의 최상층에 위치하는 계단 패턴의 제1 방향의 계단의 수와 실질적으로 동일할 수 있다.
- [0137] 따라서, 상기 제1 더미 계단 구조물(300a)의 높이는 상기 제1 계단 구조물(S1)의 높이보다 낮을 수 있다. 상기 제1 더미 계단 구조물(300a)의 상부면 높이는 상기 제1 계단 구조물(S1)에서 최하층의 수직 측벽부와 접하여 배치되는 최하층 계단의 상부면 높이와 실질적으로 동일할 수 있다. 또한, 상기 제1 더미 계단 구조물(300a)의 상부면 높이는 상기 제2 계단 구조물(S2)에서 최상층의 수직 측벽부와 접하여 배치되는 최상층 계단의 상부면 높이와 실질적으로 동일할 수 있다.
- [0138] 예시적인 실시예에서, 상기 제1 계단 구조물의 최하층 계단 패턴의 제1 방향의 계단과 이와 대향하는 상기 더미 계단 구조물의 계단은 서로 대칭일 수 있다. 또한, 상기 제2 계단 구조물의 최상층 계단 패턴의 제1 방향의 계단과 이와 대향하는 상기 더미 계단 구조물의 계단은 서로 대칭일 수 있다.
- [0139] 예시적인 실시예에서, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기 제1 더미 계단 구조물(300a) 사이의 폭, 상기 제1 더미 계단 구조물(300a)의 각 계단의 폭, 제1 더미 계단 구조물(300a)의 상부면의 폭 및 상기 제1 더미 계단 구조물(300a)과 상기 제2 계단 구조물(S2)의 최상부의 단부 사이의 폭은 각각 0.1 μ m 내지 10 μ m의 폭을 가질 수 있다. 예를들어, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기 제1 더미 계단 구조물(300a) 사이의 폭, 상기 제1 더미 계단 구조물(300a)의 각 계단의 폭, 상기 제1 더미 계단 구조물(300a)의 상부면의 폭 및 상기 제1 더미 계단 구조물(300a)과 상기 제2 계단 구조물(S2)의 최상부의 단부 사이의 폭은 각각 0.1 μ m 내지 8 μ m의 폭을 가질 수 있다.
- [0140] 예시적인 실시예에서, 상기 제1 더미 계단 구조물(300a)은 상기 게이트 패턴으로 치환되지 않은 부위를 포함할 수 있다. 일 예로, 상기 평탄면(Y) 아래에 위치하는 희생막들의 일부 및 상기 평탄면 상의 제3 희생 패턴의 일부는 게이트 패턴으로 치환되지 않을 수 있다. 따라서, 상기 평탄면 아래에 위치하는 치환되지 않은 희생막들의 일부 및 제3 희생 패턴의 일부는 절연 구조물(330)로 제공될 수 있다.
- [0141] 예시적인 실시예에서, 상기 절연 구조물(330) 부위는 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택(318)이 형성될 수 있다. 상기 수직 방향으로 각각 연장되어, 상기 제1 및 제2 계단 구조물(S1, S2)에 포함되는 각 패턴들 상면에 접촉하는 콘택 플러그들(312, 314, 316)이 구비될 수 있다.
- [0142] 일부 예시적인 실시예에서, 상기 제1 계단 구조물(S1), 제2 계단 구조물(S2) 및 제1 더미 계단 구조물(300a)은 게이트 패턴으로 치환되지 않은 부위를 포함할 수 있다. 일 예로, 상기 제1 및 제2 계단 구조물(S1, S2)의 상기 제2 방향의 양 측의 상기 제1 및 제2 방향으로 계단이 포함되는 부위를 제외하고는 상기 게이트 패턴(250)으로 치환되지 않을 수도 있다. 따라서, 상기 제1 및 제2 계단 구조물(S1, S2)의 제2 방향의 중심 부위(A')를 따라 제1 방향으로 연장되는 절연 구조물(330)이 포함될 수 있다.
- [0143] 예시적인 실시예에서, 상기 절연 구조물(330) 부위는 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택(318)이 형성될 수 있다.
- [0144] 일부 예시적인 실시예에서, 상기 몰드 구조물 내의 희생막들 및 희생 패턴들 모두 게이트 패턴으로 치환될 수도

있다. 따라서, 상기 제1 계단 구조물(S1), 제2 계단 구조물(S2) 및 제1 더미 계단 구조물(300a)의 희생막들 및 희생 패턴들 모두 게이트 패턴으로 치환될 수도 있다.

- [0145] 상기 수직형 메모리 소자는 패드 구조물에 포함되는 평탄면 상에는 상기 제1 더미 계단 구조물이 구비됨으로써, 상기 평탄면의 폭을 정확하게 예측할 수 있다. 따라서, 상기 패드 구조물의 폭을 정확하게 예측함으로써, 수직형 메모리 소자의 불량이 감소될 수 있다.
- [0146] 도 30 내지 도 37은 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 단면도, 평면도 및 사시도들이다. 구체적으로, 도 30, 32 내지 35는 사시도들이고, 도 31 및 도 36은 평면도들이고, 도 37은 단면도이다.
- [0147] 이때, 도 31 및 36은 도 1의 X 영역에 대한 평면도이고, 도 30, 32 내지 35는 도 1의 X 영역에 대한 사시도들이다. 도 37은 도 1의 C-C' 선을 따라 절단한 단면도이다.
- [0148] 상기 수직형 메모리 소자의 제조 방법은 도 1 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이들에 대한 자세한 설명은 생략한다.
- [0149] 도 30 및 도 31을 참조하면, 먼저 도 1 내지 도 4를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.
- [0150] 이 후, 상기 제1 희생 패턴(122) 및 노출된 제2 층 희생막(120) 상에 제2 내지 제5 포토레지스트 패턴들(142, 144, 146a, 148)을 각각 형성한다. 상기 제2 포토레지스트 패턴(142), 제3 포토레지스트 패턴(144), 제5 포토레지스트 패턴(148)은 도 5를 참조로 설명한 것과 동일할 수 있다.
- [0151] 상기 제4 포토레지스트 패턴(146a)은 상기 제3 및 제5 포토레지스트 패턴(144, 148) 사이의 평탄면 부위 내에 형성되며, 상기 제3 및 제5 포토레지스트 패턴(144, 148)과 각각 제1 방향으로 이격될 수 있다. 상기 제4 포토레지스트 패턴(146a)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제4 포토레지스트 패턴(146a)은 후속 공정을 통해 형성되는 더미 계단 구조물 부위에 위치할 수 있다.
- [0152] 또한, 사시도에는 도시되지 않았지만, 도 31에 도시된 것과 같이, 상기 제3 내지 제5 포토레지스트 패턴(144, 146a, 148)은 완전한 직사각형 형상이 아닌 사다리꼴 형상을 가질 수 있다. 그러나, 각 사시도에서는 도면의 복잡성을 피하기 위하여, 상기 제3 내지 제5 포토레지스트 패턴(144, 146a, 148)을 동일한 크기의 직사각형 형상으로 도시한다.
- [0153] 상기 제2 내지 제5 포토레지스트 패턴(142, 144, 146a, 148)을 식각 마스크로 사용하여 노출된 한 층의 희생막(120)을 식각한다. 즉, 상기 제2층 희생막(120)을 식각할 수 있다.
- [0154] 따라서, 상기 제1 희생 패턴(122)이 더 형성되어, 상기 제1 희생 패턴은 2층으로 형성될 수 있다. 또한, 상기 제1 희생 패턴(122)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제2 희생 패턴(124)이 형성되고, 상기 제2 희생 패턴(124)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제4 희생 패턴(128)이 형성될 수 있다. 상기 제2 희생 패턴(124)과 상기 제4 희생 패턴(128) 사이에 상기 제2 및 제4 희생 패턴(124, 128)과 각각 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제3 희생 패턴(326)이 형성될 수 있다.
- [0155] 도 32를 참조하면, 도 8 및 도 9를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 제5층 희생막 상에 초기 제1 내지 제4 희생 패턴(122, 124, 326, 128)을 형성할 수 있다. 상기 초기 제1, 제2 및 제4 희생 패턴(122, 124, 128)은 도 9를 참조로 설명한 것과 동일하다. 또한, 상기 제3 초기 희생 패턴(326)은 제1 및 제2 방향으로 각각 계단 형상을 가질 수 있다.
- [0156] 도 33 및 도 34를 참조하면, 도 10 내지 도 12를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0157] 예시적인 실시예들에 있어서, 제6 포토레지스트 패턴(152)을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및 식각 공정을 반복 수행함으로써 도 34에 도시된 것과 같이 제1 계단 구조물(S1)을 형성할 수 있다. 상기 제3 희생 패턴(326)은 제1 계단 구조물(S1)과 제1 방향으로 이격될 수 있다. 상기 제3 희생 패턴(326)은 상기 제1 계단 구조물(S1) 및 제4 희생 패턴(128) 사이에 배치될 수 있다. 상기 제3 희생 패턴(326)의 적층 구조는 더미 계단 구조물(302)로 지칭될 수 있다.
- [0158] 도 35 및 도 36을 참조하면, 도 13 내지 17을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을

수행할 수 있다.

- [0159] 예시적인 실시예들에 있어서, 제7 포토레지스트 패턴을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및 식각 공정을 반복 수행함으로써 도 35에 도시된 것과 같이, 제2 계단 구조물(S2)을 포함하는 몰드 구조물(140)을 형성할 수 있다.
- [0160] 도시된 것과 같이, 상기 제1 계단 구조물(S1) 및 제2 계단 구조물(S2) 사이에는 상대적으로 넓은 평탄면(Y)이 구비될 수 있다. 상기 평탄면(Y) 상에는 상기 제1 및 제2 계단 구조물(S1, S2)과 각각 이격되어 상기 더미 계단 구조물(302)이 구비될 수 있다.
- [0161] 한편, 상기 몰드 구조물(140)을 형성한 이 후에는, 상기 몰드 구조물(140)의 상기 제1 방향의 폭을 정확하게 측정하기 위한 계측 공정이 수행될 수 있다.
- [0162] 즉, 도 36에 도시된 것과 같이, 상기 몰드 구조물(140)에서 구분 가능한 패턴들(예를들어, 각 계단 부위)의 제1 방향의 폭들(a-h)을 각각 측정하고, 이들을 더한 값으로써 전체 몰드 구조물(140)의 제1 방향의 폭을 계측할 수 있다.
- [0163] 즉, 상기 평탄면(Y) 부위의 폭을 측정하기 위하여, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기 더미 계단 구조물(302) 사이의 폭(e), 상기 제3 희생 패턴(126)의 각 계단의 폭(c), 최상부의 제3 희생 패턴(126)의 상부면의 폭(c) 및 상기 더미 계단 구조물(302)과 상기 제2 계단 구조물(S)의 최상부의 단부 사이의 폭(g)을 각각 계측할 수 있다.
- [0164] 이 후에는, 도 18 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 수직형 메모리 소자를 완성할 수 있다. 상기 수직형 메모리 소자는 더미 계단 구조물의 형상을 제외하고는 도 26 내지 도 29를 참조로 설명한 수직형 메모리 소자와 동일한 형상을 가질 수 있다.
- [0165] 즉, 도 26 및 도 28에 도시된 것과 같이, 상기 제1 및 제2 영역(I, II) 상의 몰드 구조물(140)에 포함되는 희생막들은 게이트 패턴(250)으로 치환될 수 있다. 따라서, 상부 계단 구조물, 제1 및 제2 계단 구조물이 포함되고, 상기 제1 및 제2 계단 구조물 사이에는 제1 더미 계단 구조물(300a)이 구비될 수 있다. 상기 제1 더미 계단 구조물(300a)은 제1 및 제2 방향으로 각각 계단 형상을 가질 수 있다.
- [0166] 특히, 상기 수직형 메모리 소자는 제1 방향으로 절단한 단면은 도 28과 동일할 수 있다. 그러나, 제1 더미 계단 구조물 부위를 제2 방향으로 절단한 단면은 차이가 있을 수 있다.
- [0167] 도 37에 도시된 것과 같이, 상기 제1 더미 계단 구조물(300a)은 상기 제2 방향으로 계단 형상을 가질 수 있다.
- [0168] 한편, 상기 몰드 구조물(140)의 평탄면(Y)의 제2 방향의 중심 부위(A)의 아래에 위치하는 희생막들 및 상기 평탄면(Y) 상의 제3 희생 패턴은 게이트 패턴으로 치환되지 않을 수 있다. 따라서, 상기 평탄면(Y) 아래에 위치하는 치환되지 않은 희생막들 및 제3 희생 패턴 부위는 절연 구조물(330)로 제공될 수 있다. 예시적인 실시예에서, 상기 평탄면 아래의 상기 절연 구조물(330) 부위는 하부의 페리 회로들과 전기적으로 연결되는 판통 비아 콘택(318)이 형성될 수 있다.
- [0169] 도 38 내지 도 46은 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도들, 단면도들, 사시도들이다. 구체적으로, 도 39 및 44는 평면도들이고, 도 43, 45, 46은 단면도이고, 도 38, 40-42 및 44는 사시도들이다.
- [0170] 이때, 도 39 및 44는 도 1의 X 영역에 대한 평면도이고, 도 38, 40-42 및 44는 도 1의 X 영역에 대한 사시도들이다. 한편, 도 45는 도 1의 A-A' 선을 따라 절단한 단면도들이고, 도 46은 도 1의 C-C' 선을 따라 절단한 단면도이다. 도 43은 도 1의 X 영역에서 제1 방향으로 절단한 단면도이다.
- [0171] 상기 수직형 메모리 소자의 제조 방법은 도 1 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이들에 대한 자세한 설명은 생략한다.
- [0172] 도 38 및 도 39를 참조하면, 먼저 도 1 내지 도 4를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.
- [0173] 이 후, 상기 제1 희생 패턴(122) 및 노출된 제2 층 희생막(120) 상에 제2 내지 제4 포토레지스트 패턴들(142, 144a, 148a)을 각각 형성한다. 상기 제2 포토레지스트 패턴(142)은 도 5를 참조로 설명한 것과 동일할 수 있다.
- [0174] 상기 제3 포토레지스트 패턴(144a)은 상기 제2 포토레지스트 패턴 (142)과 상기 제1 방향으로 이격되어 형성될

수 있다. 상기 제3 포토레지스트 패턴(144a)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제3 포토레지스트 패턴(144a)은 후속 공정을 통해 형성되는 제1 계단 구조물 부위 및 평탄면 부위의 일부분 상에 형성될 수 있다.

- [0175] 상기 제4 포토레지스트 패턴(148a)은 상기 제3 포토레지스트 패턴 (144a)과 상기 제1 방향으로 이격되어 형성될 수 있다. 상기 제4 포토레지스트 패턴(148a)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제4 포토레지스트 패턴(148a)은 후속 공정을 통해 형성되는 제2 계단 구조물 부위 및 평탄면 부위의 일부분 상에 형성될 수 있다.
- [0176] 즉, 상기 제3 및 제4 포토레지스트 패턴(144a, 148a)은 각각 평탄면 부위의 일부분까지 연장될 수 있다. 또한, 상기 제3 및 제4 포토레지스트 패턴(144a, 148a) 사이 부위는 평탄면 부위에 위치할 수 있다.
- [0177] 또한, 사시도에는 도시되지 않았지만, 도 38에 도시된 것과 같이, 상기 제3 내지 제4 포토레지스트 패턴(144a, 148a)은 완전한 직사각 형상이 아닌 사다리꼴 형상을 가질 수 있다.
- [0178] 상기 제2 내지 제4 포토레지스트 패턴(142, 144a, 148a)을 식각 마스크로 사용하여 노출된 한 층의 희생막(120)을 식각한다. 즉, 상기 제2층 희생막(120)을 식각할 수 있다.
- [0179] 따라서, 상기 제1 희생 패턴(122)이 더 형성되어, 상기 제1 희생 패턴은 2층으로 형성될 수 있다. 또한, 상기 제1 희생 패턴(122)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제2 희생 패턴(324)이 형성되고, 상기 제2 희생 패턴(324)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제3 희생 패턴(328)이 각각 형성될 수 있다.
- [0180] 도 40을 참조하면, 도 8 및 도 9를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 제5층 희생막 상에 초기 제1 내지 제3 희생 패턴(122, 324, 328)을 형성할 수 있다.
- [0181] 도 41을 참조하면, 도 10 내지 도 12를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0182] 예시적인 실시예들에 있어서, 상기 제6 포토레지스트 패턴(152)을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및 식각 공정을 반복 수행함으로써 도 41에 도시된 것과 같이 제1 계단 구조물(S1)을 형성할 수 있다. 상기 제1 계단 구조물(S1)은 제4 희생 패턴들(324a)이 적층될 수 있다.
- [0183] 상기 평탄면 상에 형성되는 제1 계단 구조물(S1) 부위를 최하부 패턴(325a)라 하면서 설명한다. 상기 최하부 패턴(325a)의 상부면은 상기 최하층 수직 측벽부와 접할 수 있다. 상기 최하부 패턴(325a)의 상부면은 제1 방향으로 연장될 수 있다. 즉, 상기 계단 구조물(S1)은 상기 평탄면까지 연장될 수 있다. 상기 제1 계단 구조물(S1)과 이격되어 제3 희생 패턴(328)이 구비될 수 있다.
- [0184] 도 42 내지 도 44를 참조하면, 도 13 내지 17을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0185] 예시적인 실시예들에 있어서, 제7 포토레지스트 패턴을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및 식각 공정을 반복 수행함으로써 도 42에 도시된 것과 같이, 제2 계단 구조물(S2)을 포함하는 몰드 구조물을 형성할 수 있다. 상기 제2 계단 구조물(S2)은 제5 희생 패턴들(328a)이 적층될 수 있다.
- [0186] 상기 평탄면 상에 형성되는 제2 계단 구조물(S2) 부위를 최상부 패턴(325b)라 하면서 설명한다. 상기 최상부 패턴(325b)의 상부면은 상기 최상층 수직 측벽부와 접할 수 있다. 상기 제2 계단 구조물(S2)의 최상부 패턴(325b)의 상부면은 제1 방향으로 길게 연장될 수 있다. 즉, 상기 제2 계단 구조물(S2)은 상기 평탄면까지 연장될 수 있다.
- [0187] 도시된 것과 같이, 상기 제1 계단 구조물(S1)의 최하부 패턴(325a) 및 제2 계단 구조물(S2)의 최상부 패턴(325b)은 상기 평탄면 상에 각각 배치될 수 있다. 따라서, 상기 최하부 패턴(325a) 및 최상부 패턴(325b)은 상기 몰드 구조물의 평탄면을 정확하게 계측하기 위한 패턴으로 사용될 수 있다.
- [0188] 예시적인 실시예에서, 상기 제1 계단 구조물(S1)의 최하부 패턴(325a)의 상부면 폭과 및 제2 계단 구조물(S2)의 최상부 패턴(325b)의 상부면 폭은 서로 동일할 수 있다.
- [0189] 일부 예시적인 실시예에서, 상기 제1 계단 구조물(S1)의 최하부 패턴(325a)의 상부면 폭과 및 제2 계단 구조물(S2)의 최상부 패턴(325b)의 상부면 폭은 서로 다를 수 있다.

- [0190] 도 44에 도시된 것과 같이, 상기 몰드 구조물(140)에서 구분 가능한 패턴들(예를들어, 각 계단 부위)의 제1 방향의 폭들(a,b,c1,c2, d,e,h)을 각각 측정하고, 이들을 더한 값으로써 전체 몰드 구조물(140)의 제1 방향의 폭을 예측할 수 있다.
- [0191] 즉, 상기 평탄면 부위의 폭을 측정하기 위하여, 상기 제1 계단 구조물(S1)의 최하부 패턴의 각 계단 부위의 제1 방향의 폭(c1), 상기 제2 계단 구조물(S1)의 최상부 패턴의 각 계단 부위의 제1 방향의 폭(c2) 및 상기 제1 및 제2 계단 구조물 사이의 제1 방향의 폭(c)을 각각 예측할 수 있다.
- [0192] 이 후에는, 도 18 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 수직형 메모리 소자를 완성할 수 있다.
- [0193] 상기 수직형 메모리 소자는 도 45 및 도 46에 도시된 것과 같이, 제1상부 계단 구조물(290a), 제1 및 제2 계단 구조물(S1, S2)이 포함될 수 있다.
- [0194] 상기 수직형 메모리 소자는 별도의 더미 계단 구조물이 포함되지 않는다. 다만, 상기 제1 계단 구조물의 최하부 패턴(325a) 및 제2 계단 구조물의 최상부 패턴(325b)은 상기 더미 계단 구조물과 동일하게 몰드 구조물의 평탄면을 예측하기 위한 패턴으로 사용될 수 있다.
- [0195] 도 46에 도시된 것과 같이, 상기 몰드 구조물(140)의 평탄면(Y)에서 치환되지 않은 희생막들 부위에는 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택(318)이 형성될 수 있다.
- [0196] 도 47 내지 도 52는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 평면도 및 사시도들이다. 구체적으로, 도 48은 평면도이고, 도 47, 49 내지 52는 사시도들이다.
- [0197] 이때, 도 48은 도 1의 X 영역에 대한 평면도이고, 47, 49 내지 52는 도 1의 X 영역에 대한 사시도들이다.
- [0198] 상기 수직형 메모리 소자의 제조 방법은 도 1 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이들에 대한 자세한 설명은 생략한다.
- [0199] 도 47 및 48을 참조하면, 먼저 도 1 내지 도 4를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.
- [0200] 이 후, 상기 제1 희생 패턴(122) 및 노출된 제2 층 희생막(120) 상에 제2 및 제3 포토레지스트 패턴들(142, 144b)을 각각 형성한다. 상기 제2 포토레지스트 패턴(142)은 도 5를 참조로 설명한 것과 동일할 수 있다.
- [0201] 상기 제3 포토레지스트 패턴(144b)은 상기 제2 포토레지스트 패턴 (142)과 상기 제1 방향으로 이격되어 형성될 수 있다. 상기 제3 포토레지스트 패턴(144b)은 상면에서 보았을 때 사각 형상을 가질 수 있다. 상기 제3 포토레지스트 패턴(144b)은 후속 공정을 통해 형성되는 제1 계단 구조물, 평탄면 및 제2 계단 구조물 부위를 덮도록 형성될 수 있다.
- [0202] 또한, 사시도에는 도시되지 않았지만, 도 48에 도시된 것과 같이, 상기 제3 포토레지스트 패턴(144b)은 완전한 직사각 형상이 아닌 사다리꼴 형상을 가질 수 있다.
- [0203] 상기 제2 및 제3 포토레지스트 패턴(142, 144b)을 식각 마스크로 사용하여 노출된 한 층의 희생막(120)을 식각한다. 즉, 상기 제2층 희생막(120)을 식각할 수 있다.
- [0204] 따라서, 상기 제1 희생 패턴(122)이 더 형성되어, 상기 제1 희생 패턴은 2층으로 형성될 수 있다. 또한, 상기 제1 희생 패턴(122)과 상기 제1 방향으로 이격되며 상부에서 보았을 때 사각 형상을 갖는 제2 희생 패턴(160)이 형성될 수 있다.
- [0205] 도 49를 참조하면, 먼저 도 8 및 도 9를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 제5층 희생막 상에 초기 제1 및 제2 희생 패턴을 형성할 수 있다.
- [0206] 이 후, 도 10 내지 도 12를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0207] 예시적인 실시예들에 있어서, 상기 제6 포토레지스트 패턴(152)을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및 식각 공정을 반복 수행함으로써 도 49에 도시된 것과 같이 제1 계단 구조물(S1)을 형성할 수 있다.
- [0208] 계속하여, 도 13 내지 17을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0209] 예시적인 실시예들에 있어서, 상기 제7 포토레지스트 패턴을 사용하여 식각 공정을 수행하고, 이 후 트리밍 및

식각 공정을 반복 수행함으로써 도 49에 도시된 것과 같이, 제2 계단 구조물(S2)을 형성할 수 있다.

- [0210] 상기 공정을 수행하면, 상기 제1 및 제2 계단 구조물(S1, S2) 사이에는 평탄면이 구비될 수 있다. 상기 평탄면 상에는 패턴들이 포함되지 않을 수 있다.
- [0211] 도 50을 참조하면, 상기 제1 및 제2 계단 구조물(S1, S2) 사이의 평탄면을 일부 식각함으로써 상기 평탄면 내에 리세스부(300b)를 형성한다.
- [0212] 예시적인 실시예에서, 상기 리세스부(300b)는 상기 평탄면의 내부에 위치할 수 있고, 상면에서 보았을 때 사각 형상을 가질 수 있다. 또한, 상기 리세스부(300b)의 제1 방향 및 제2 방향의 측벽은 계단 형상을 가질 수 있다.
- [0213] 구체적으로, 상기 평탄면의 일부분 만을 노출하는 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 이용하여 상기 평탄면 상부면에 해당하는 희생막을 제거할 수 있다. 또한, 상기 포토레지스트 패턴을 트리밍하고, 식각하는 공정을 수행함으로써 상기 리세스부(300b)의 제1 및 제2 방향 측벽에 계단을 형성할 수 있다.
- [0214] 일부 예시적인 실시예에서, 도 51에 도시된 것과 같이, 상기 리세스부(300c)는 상부에서 보았을 때 제1 방향으로 연장되는 형상을 가질 수 있고 이에 따라 상기 평탄면의 상부가 절단될 수 있다. 또한, 상기 리세스부(300c)의 제1 방향의 측벽은 계단 형상을 가질 수 있다.
- [0215] 상기 공정을 통해 몰드 구조물(140)이 완성될 수 있다.
- [0216] 한편, 상기 몰드 구조물(140)을 형성한 이 후에는, 상기 몰드 구조물(140)의 상기 제1 방향의 폭을 정확하게 측정하기 위한 계측 공정이 수행될 수 있다. 상기 계측 공정은 상기 몰드 구조물(140)에서 구분 가능한 패턴들(예를 들어, 각 계단 부위)의 제1 방향의 폭들을 각각 측정하고, 이들을 더한 값으로써 전체 몰드 구조물(140)의 제1 방향의 폭을 측정할 수 있다.
- [0217] 즉, 도 50 또는 51에 도시된 것과 같이, 상기 평탄면에는 제1 방향의 측벽에 계단을 포함하는 리세스부(300b, 300c)가 구비될 수 있다. 따라서, 상기 평탄면 부위의 폭을 측정하기 위하여, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기 리세스부(300b, 300c) 사이의 폭, 상기 리세스부(300b, 300c)의 각 계단의 폭, 상기 리세스부(300b, 300c)의 저면의 폭 및 상기 리세스부(300b, 300c)와 상기 제2 계단 구조물(S)의 최상부의 단부 사이의 폭을 각각 측정할 수 있다. 또한, 상기 측정된 각각의 폭들을 더함으로써 상기 평탄면의 전체 폭을 측정할 수 있다.
- [0218] 일부 예시적인 실시예에서, 도 52에 도시된 것과 같이, 상기 리세스부(300d)의 측벽은 계단 형상을 갖지 않을 수도 있다. 일 예로, 상기 리세스부(300d)는 상면에서 볼 때 상기 평탄면 내에서 사각 형상을 가질 수 있다. 다른 예로, 상기 리세스부는 상면에서 볼 때 상기 리세스부는 상부에서 보았을 때 제1 방향으로 연장되는 형상을 가질 수 있고 이에 따라 상기 평탄면의 상부가 절단될 수도 있다.
- [0219] 상기 리세스부(300d)의 측벽이 계단 형상을 갖지 않는 경우, 계측 공정에서 상기 평탄면 부위의 폭을 측정하기 위하여, 상기 제1 계단 구조물(S1)의 최하부의 단부로부터 상기 리세스부(300d) 사이의 폭, 상기 리세스부(300d)의 저면의 폭 및 상기 리세스부(300d)와 상기 제2 계단 구조물(S)의 최상부의 단부 사이의 폭을 각각 측정할 수 있다.
- [0220] 이 후에는, 도 18 내지 도 29를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 따라서, 수직형 메모리 소자를 완성할 수 있다.
- [0221] 상기 수직형 메모리 소자는 도 45 및 도 46에 도시된 것과 유사하게, 제1 상부 계단 구조물(290a), 제1 및 제2 계단 구조물(S1, S2)이 포함될 수 있다. 또한, 상기 제1 및 제2 계단 구조물(S1, S2) 사이의 평탄면에는 리세스부(300b)가 포함될 수 있다. 상기 리세스부(300b)는 상기 몰드 구조물의 평탄면을 측정하기 위한 패턴으로 사용될 수 있다.
- [0222] 도시하지는 않았지만, 상기 몰드 구조물(140)의 평탄면(Y)에서 치환되지 않은 희생막들 부위에는 하부의 페리 회로들과 전기적으로 연결되는 관통 비아 콘택(318)이 형성될 수 있다.
- [0223] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

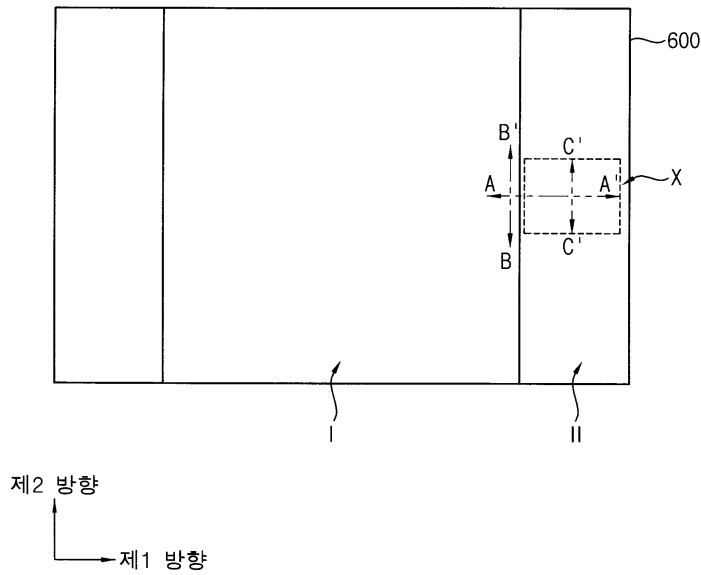
부호의 설명

[0224]

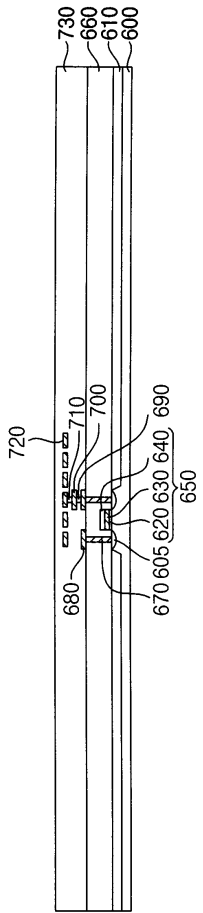
- 100 : 베이스 패턴
- 110 : 절연막
- 122 : 제1 희생 패턴
- 126 : 제3 희생 패턴
- 140 : 몰드 구조물
- 202 : 제2 층간 절연막
- 240 : 트렌치
- 250 : 게이트 패턴
- 290a : 제1 상부 계단 구조물
- S1 : 제1 계단 구조물
- 300a : 제1 더미 계단 구조물
- 310, 312, 314, 316 : 제1 내지 제4 콘택 플러그
- 318 : 관통 비아 콘택
- 120 : 희생막
- 124 : 제2 희생 패턴
- 128 : 제4 희생 패턴
- 200 : 제1 층간 절연막
- 230 : 채널 구조물
- 242 : 갭

도면

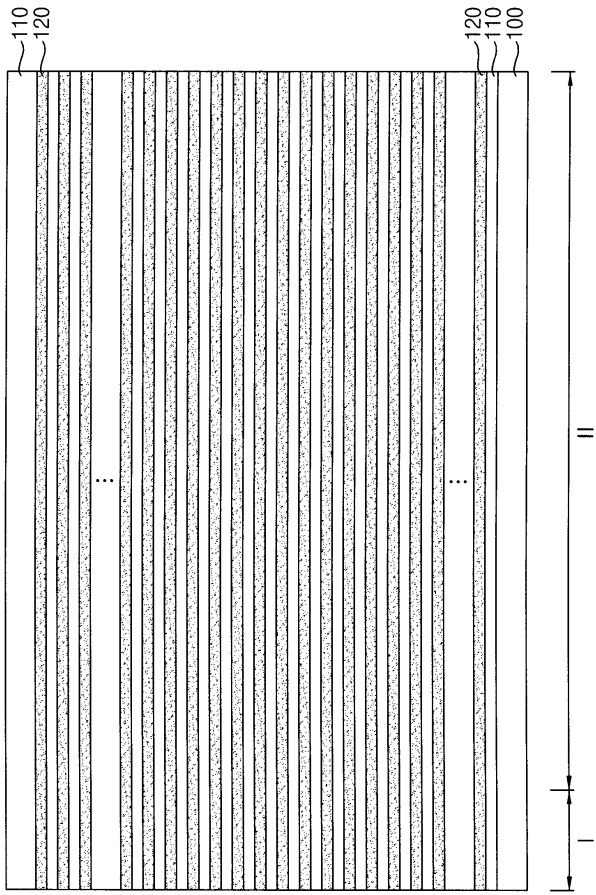
도면1



도면2

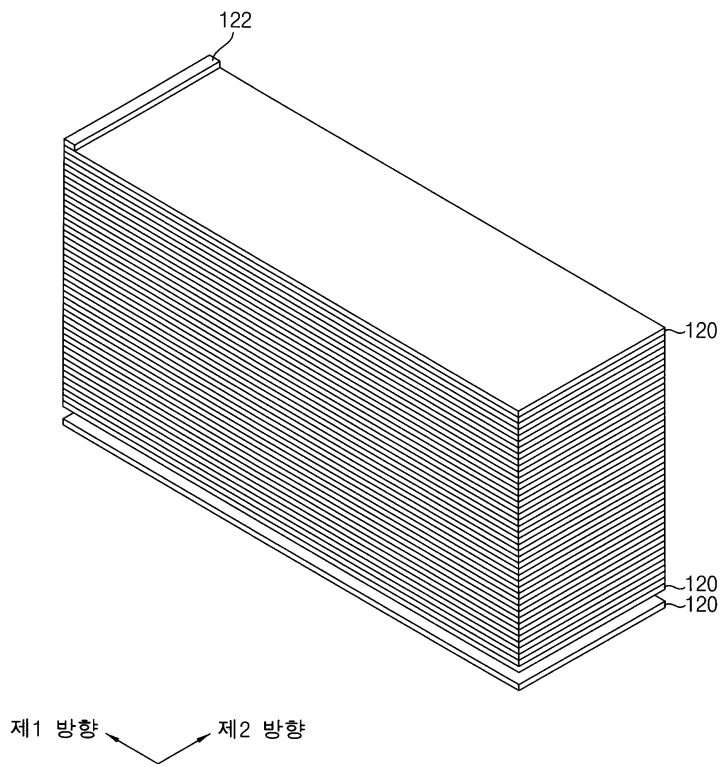


도면3

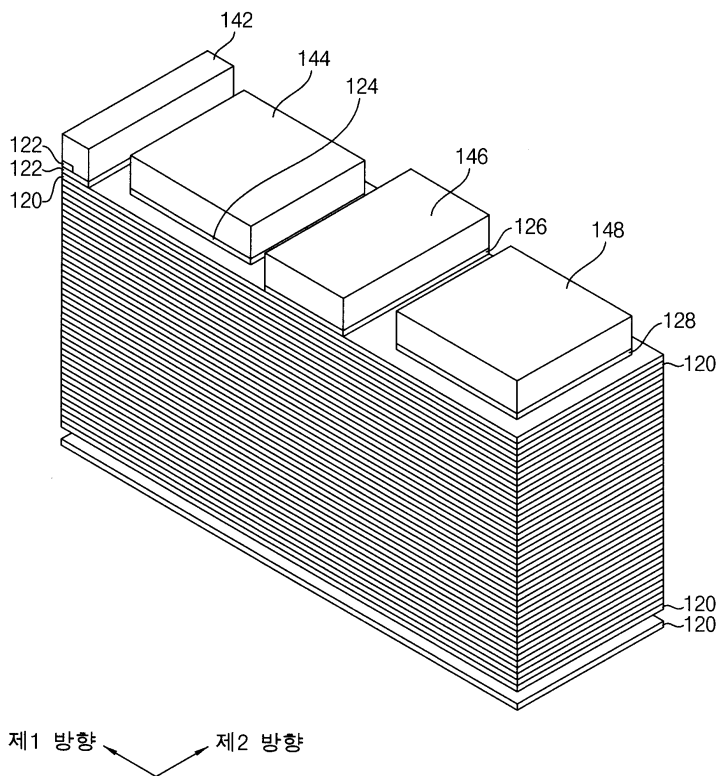


제1 방향
제2 방향

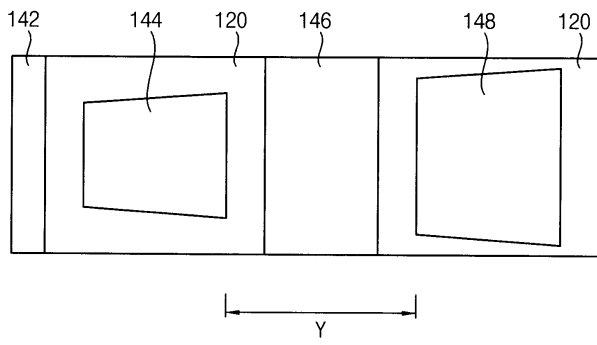
도면4



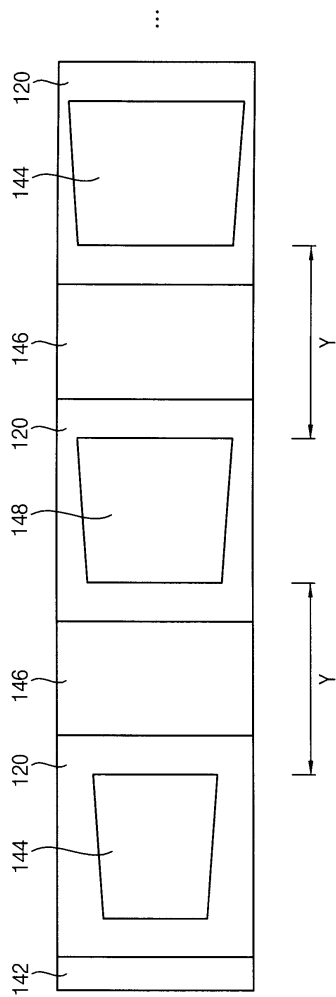
도면5



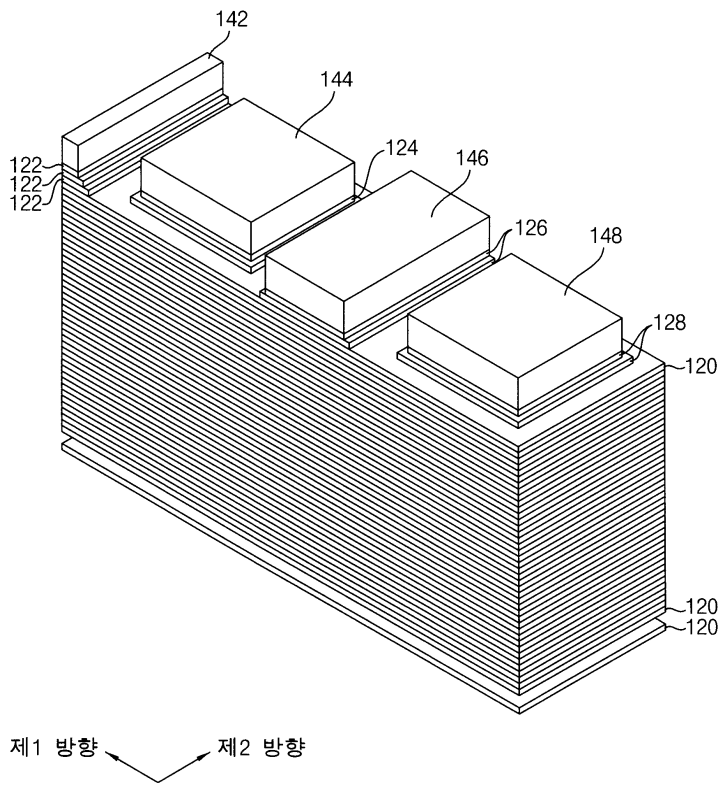
도면6



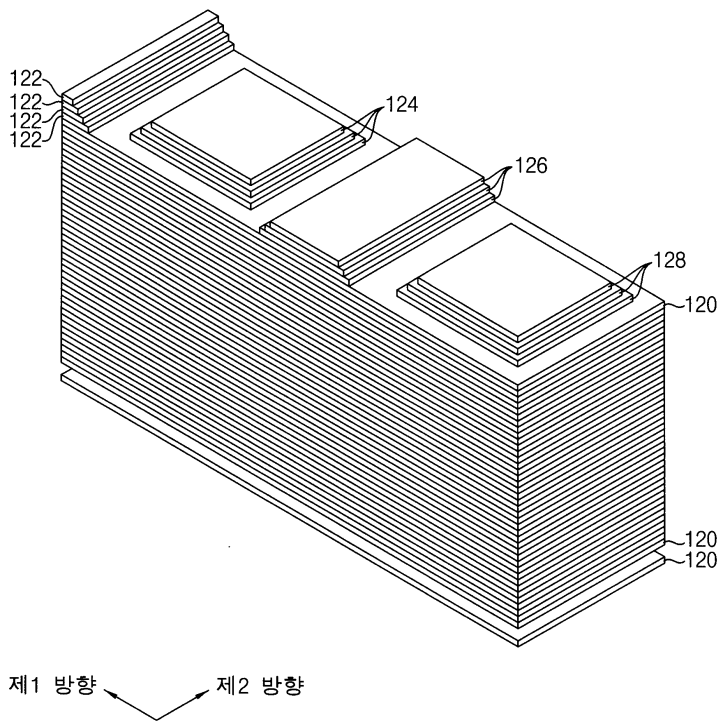
도면7



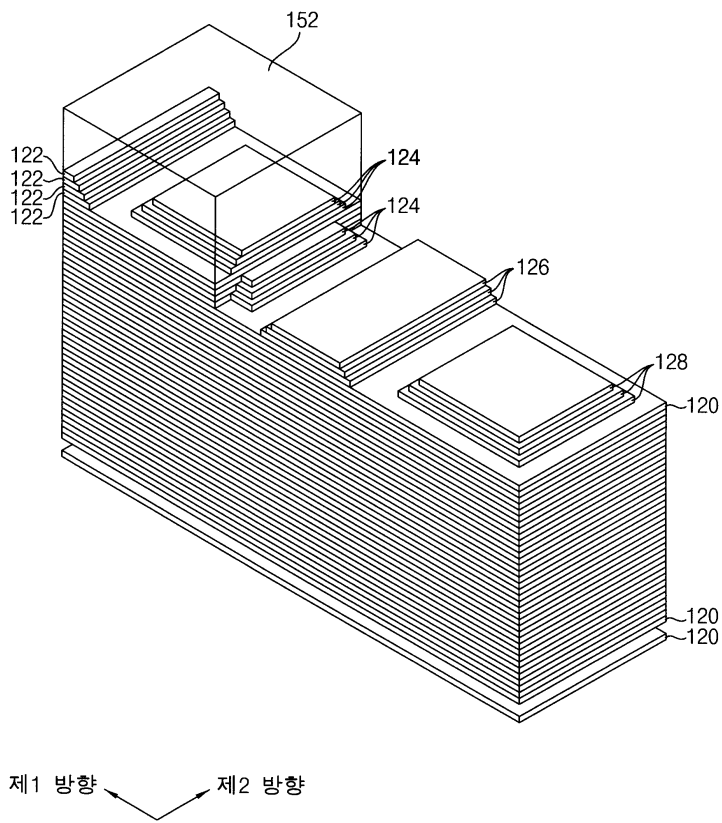
도면8



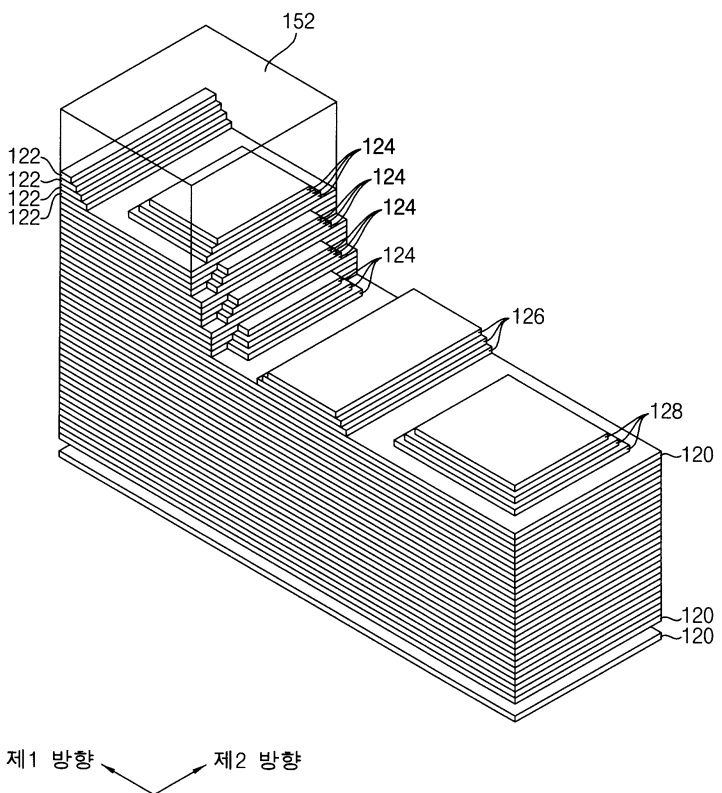
도면9



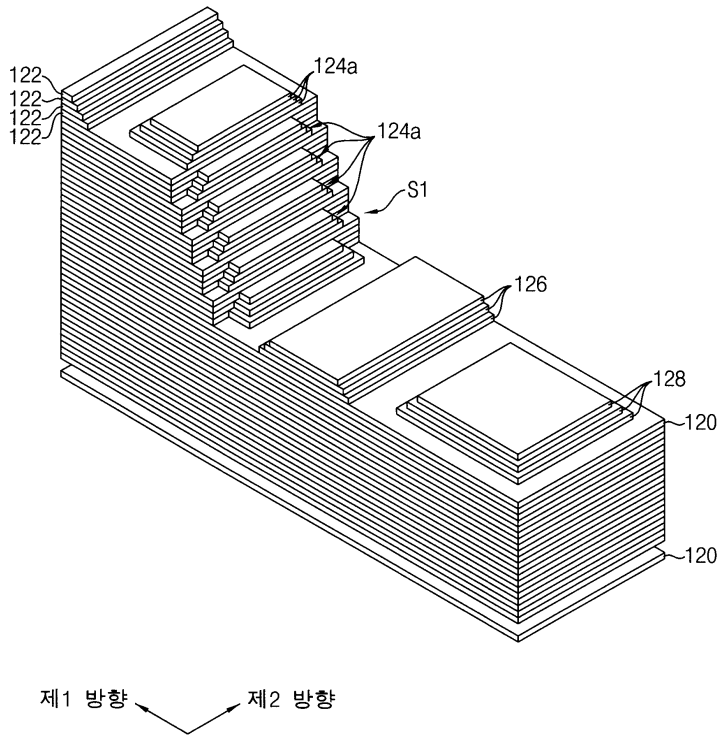
도면10



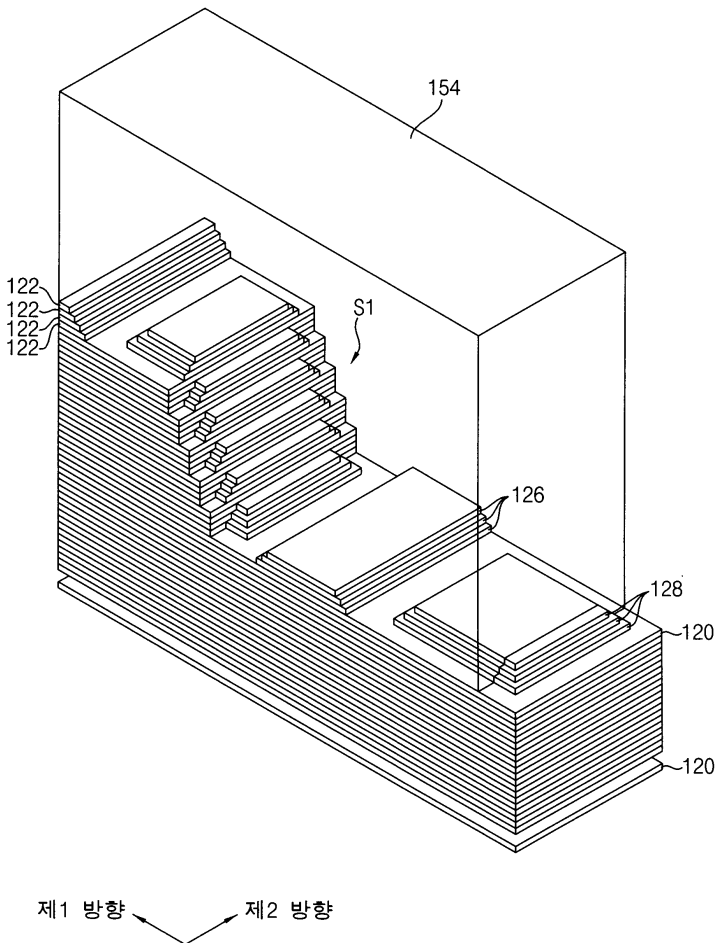
도면11



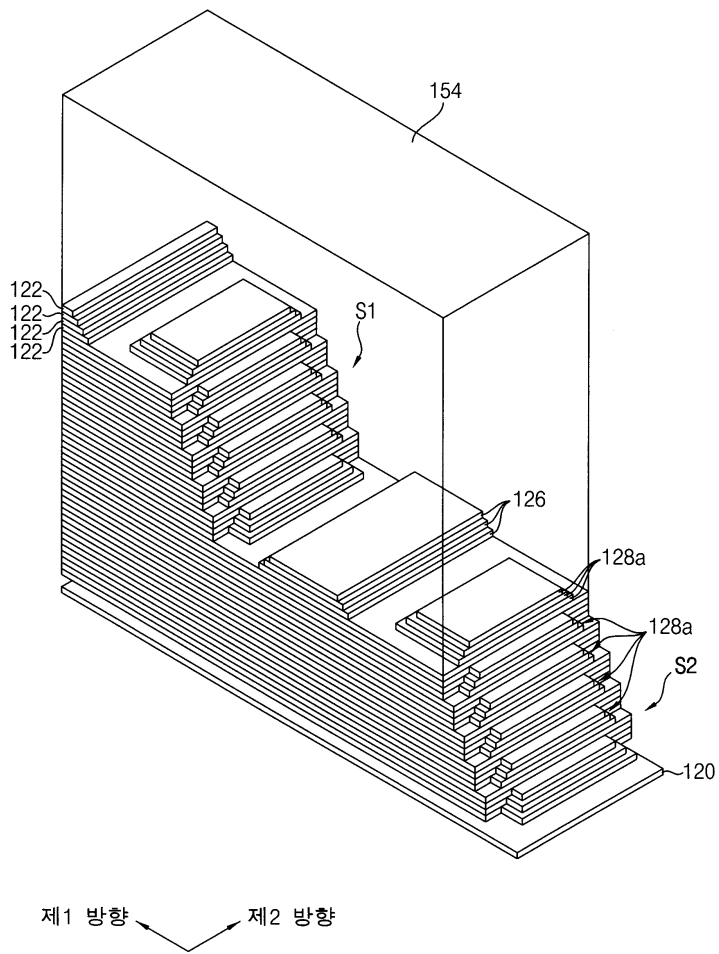
도면12



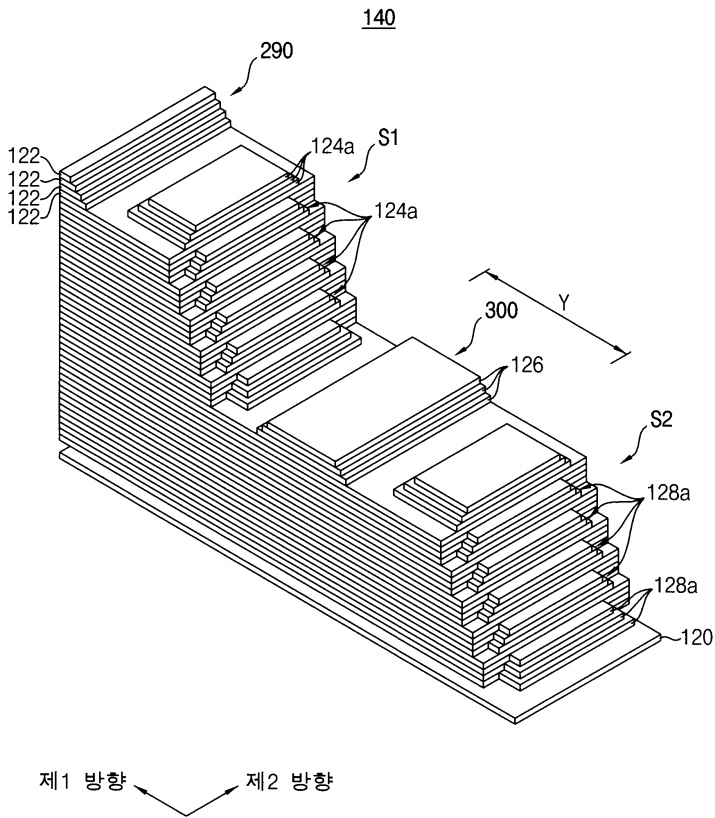
도면13



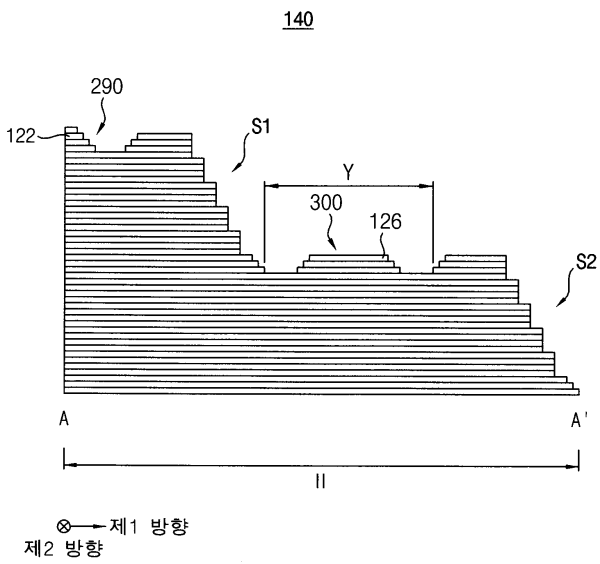
도면14



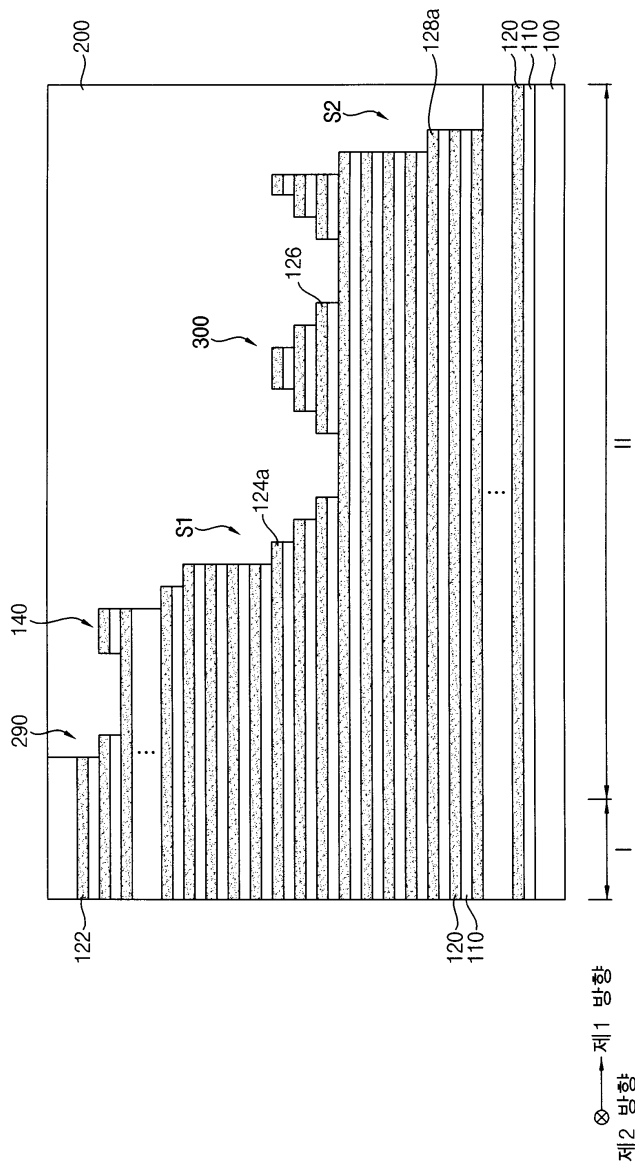
도면15



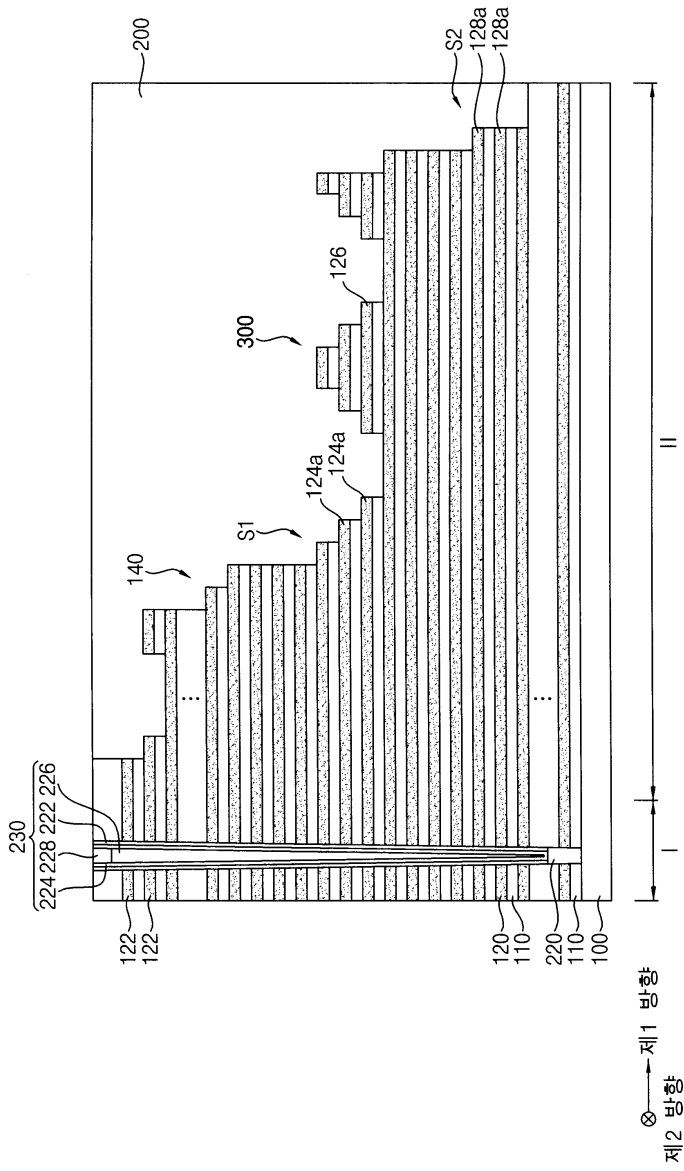
도면16



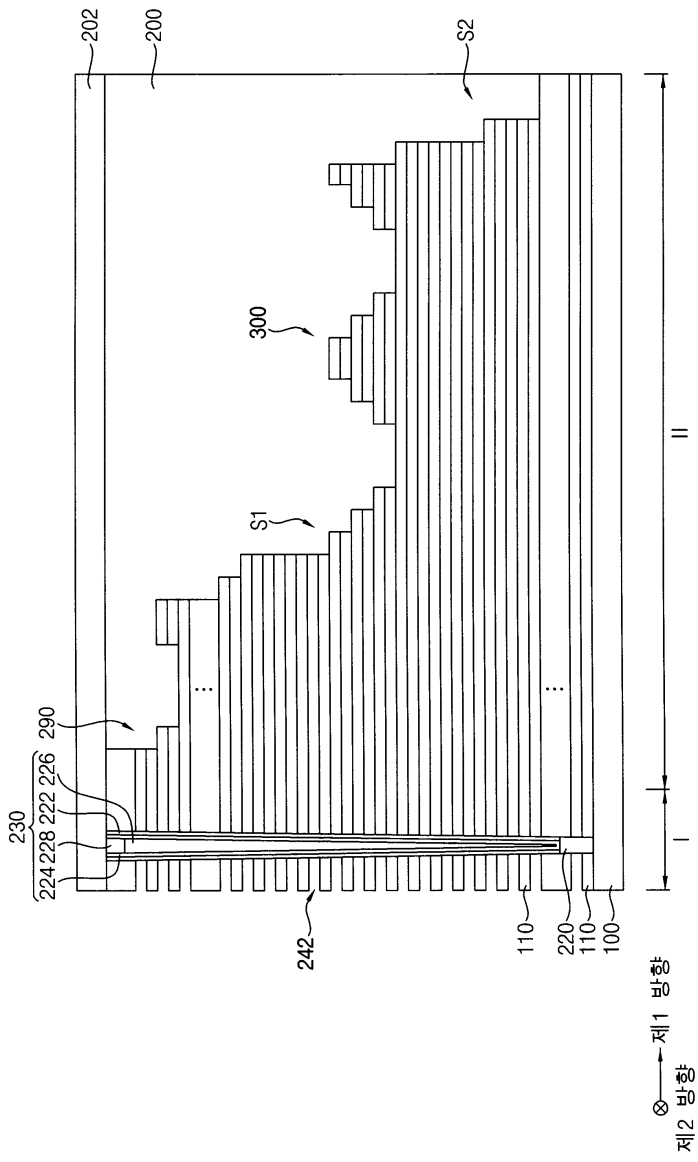
도면18



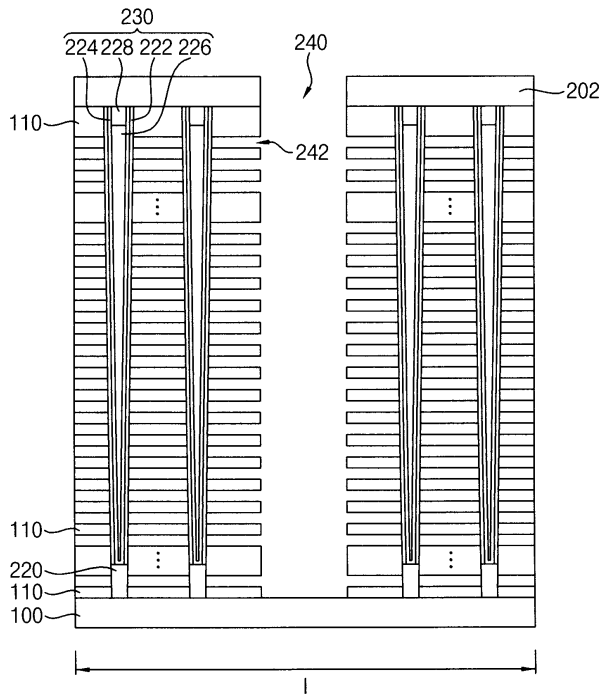
도면19



도면20

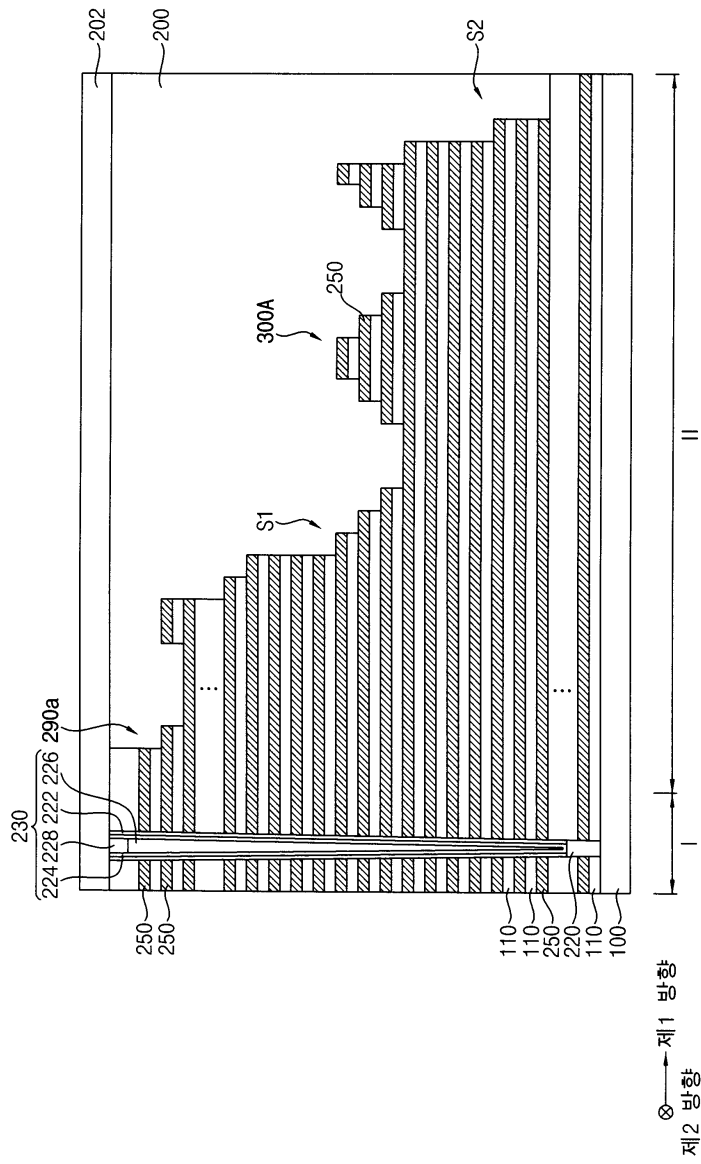


도면21

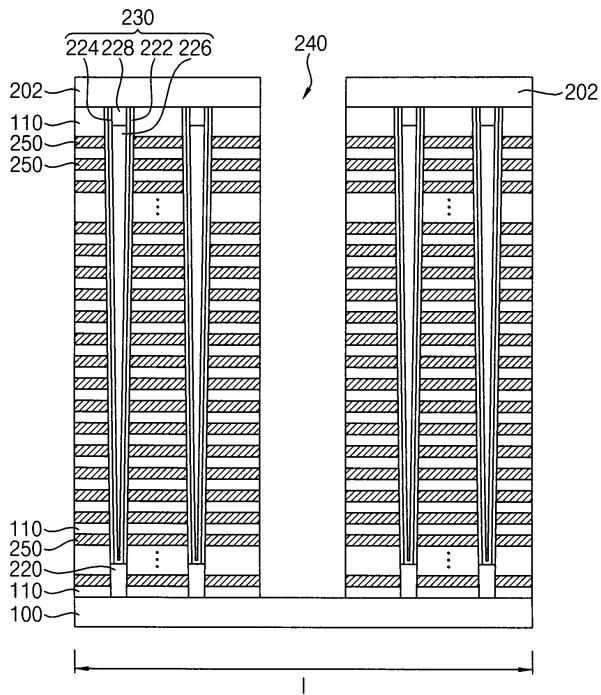


⊗ → 제2 방향
제1 방향

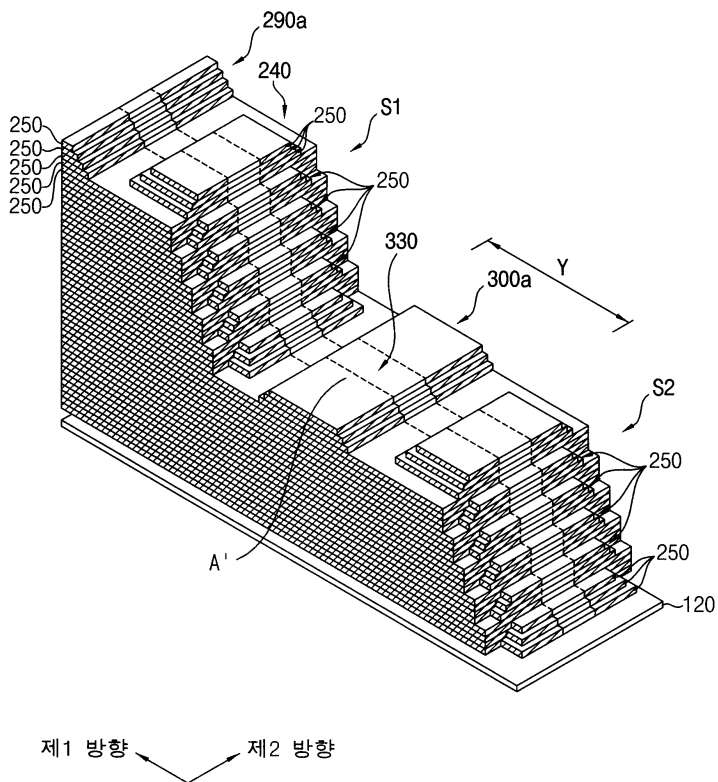
도면22



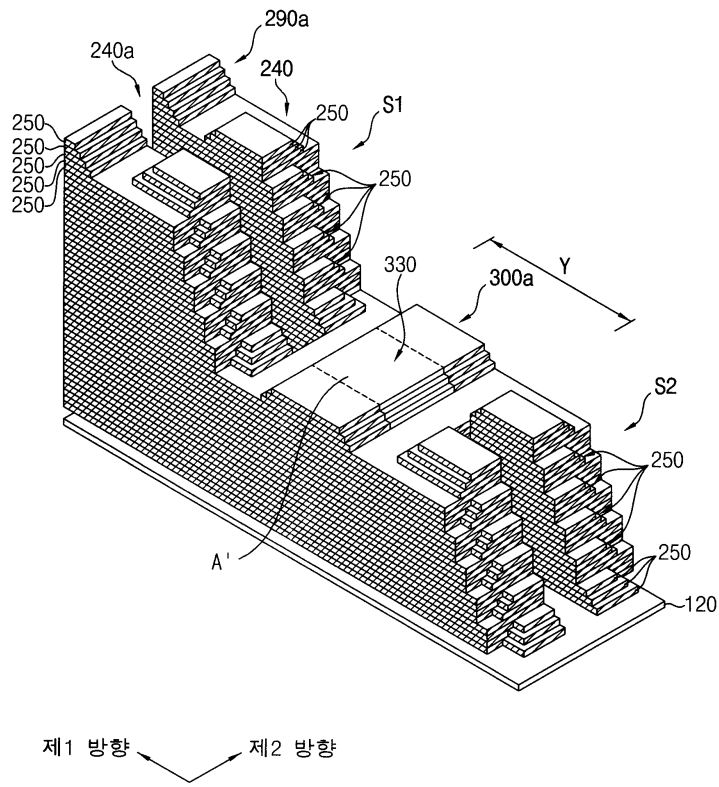
도면23



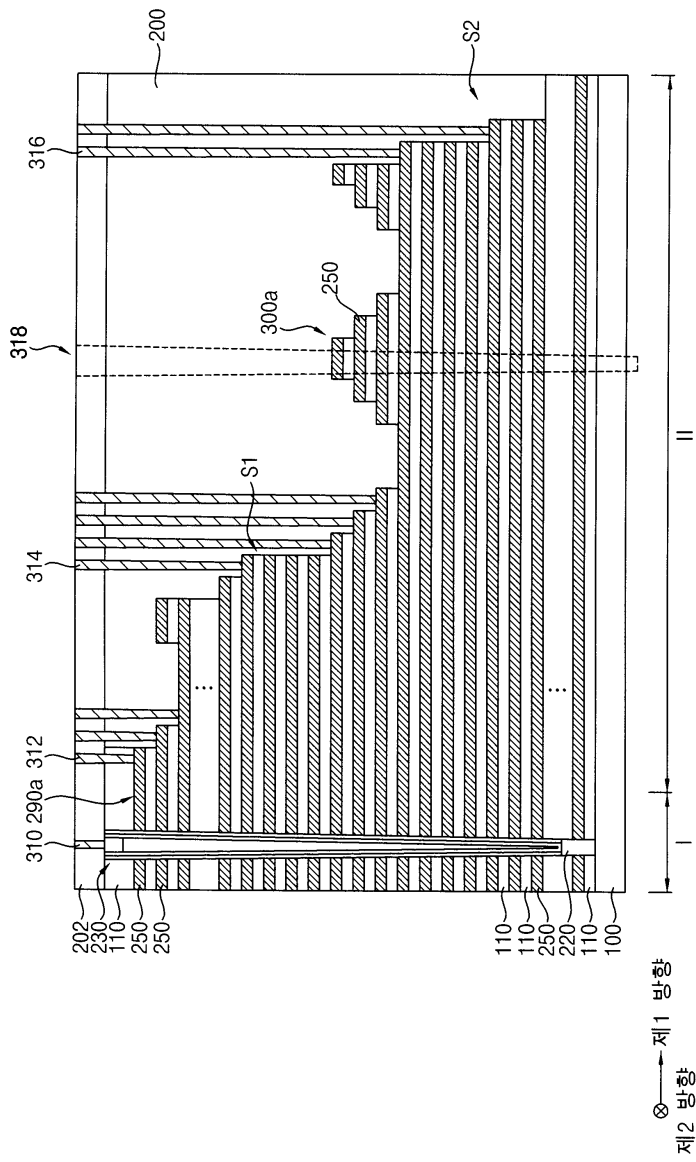
도면24



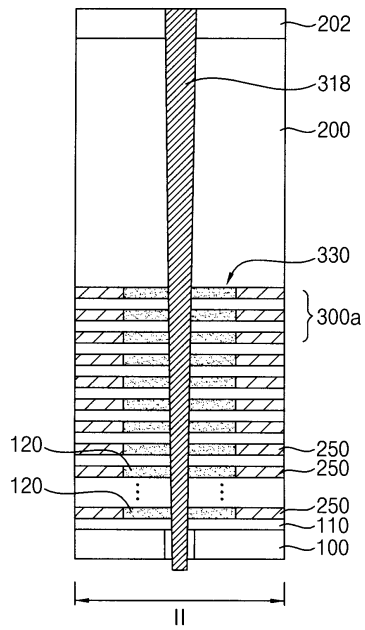
도면25



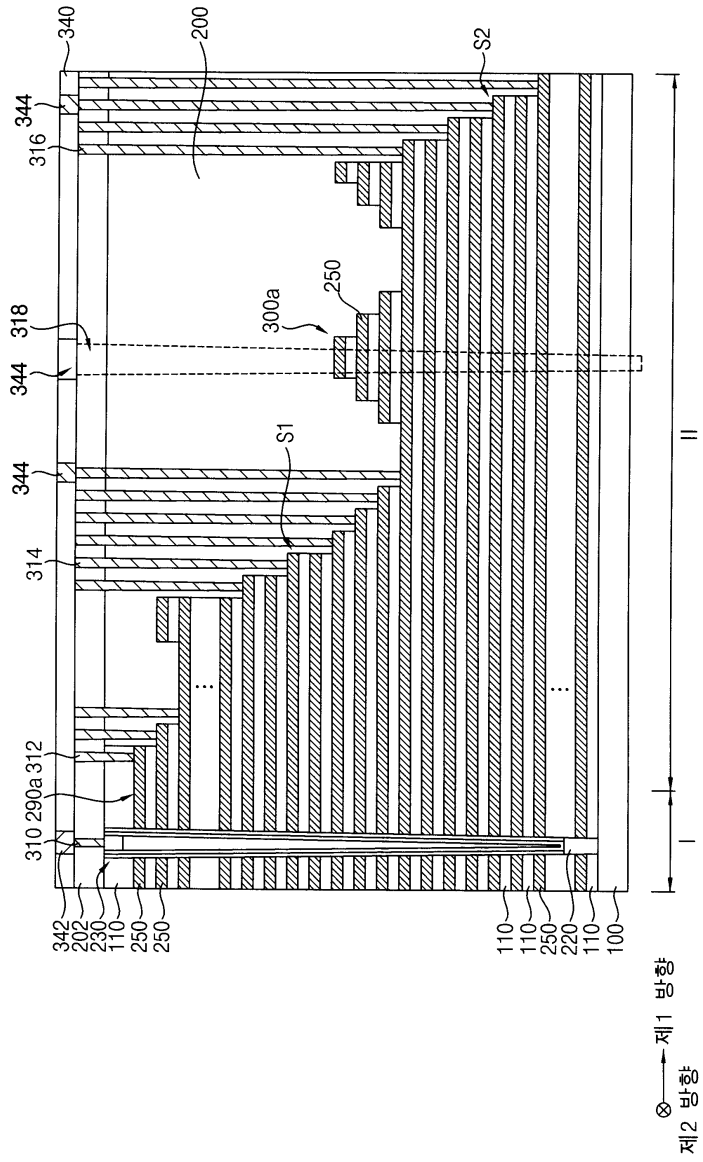
도면26



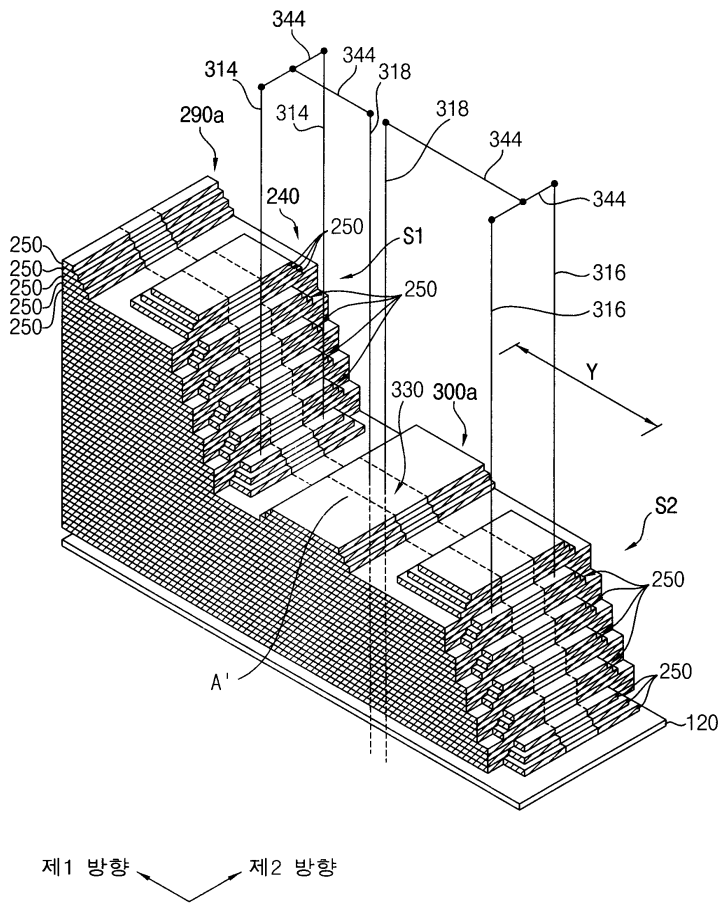
도면27



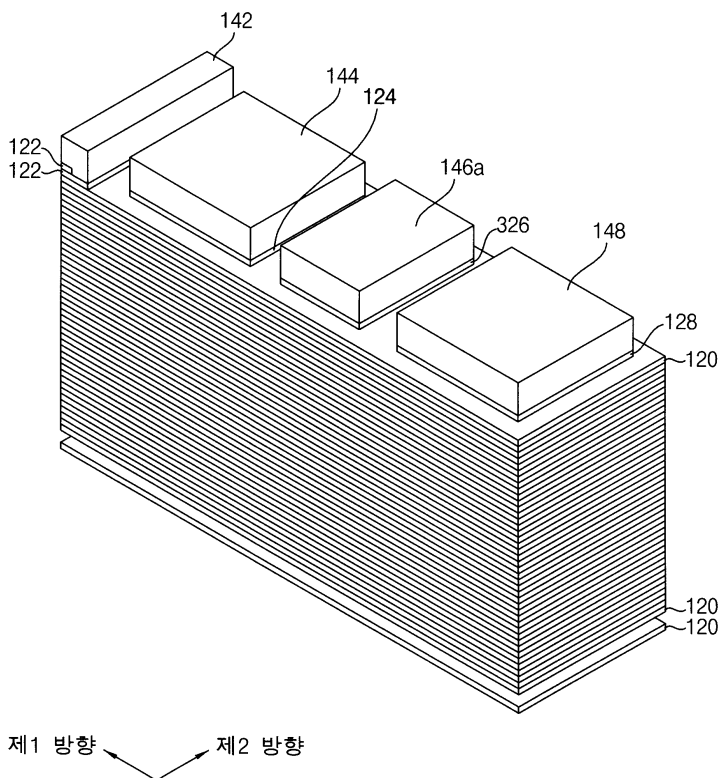
도면28



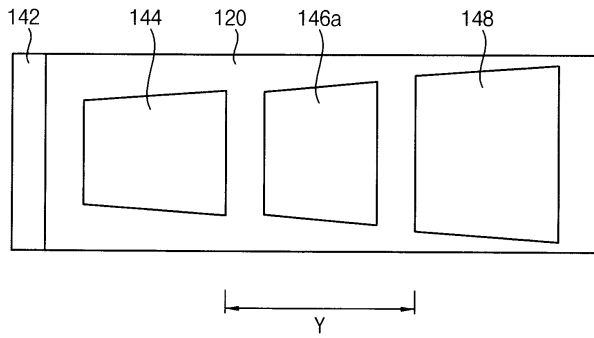
도면29



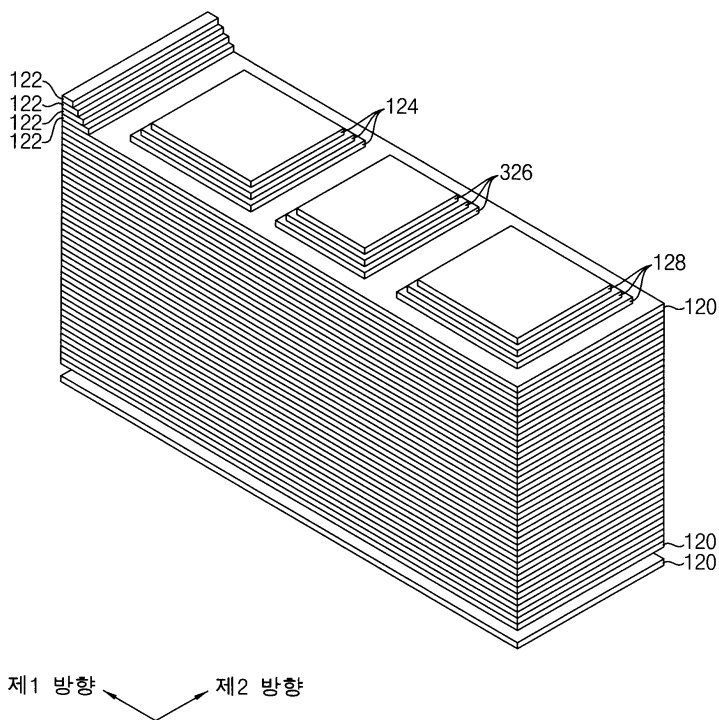
도면30



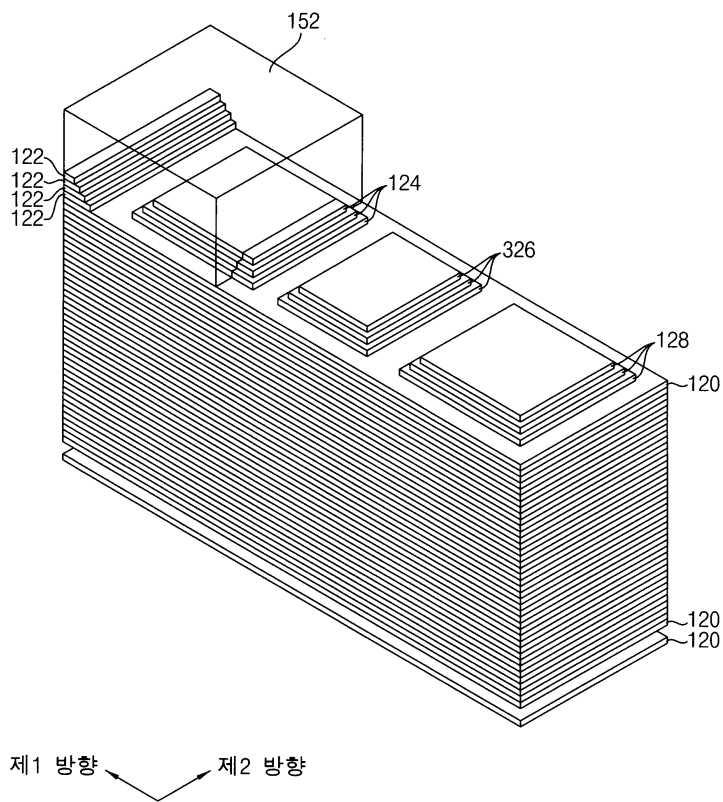
도면31



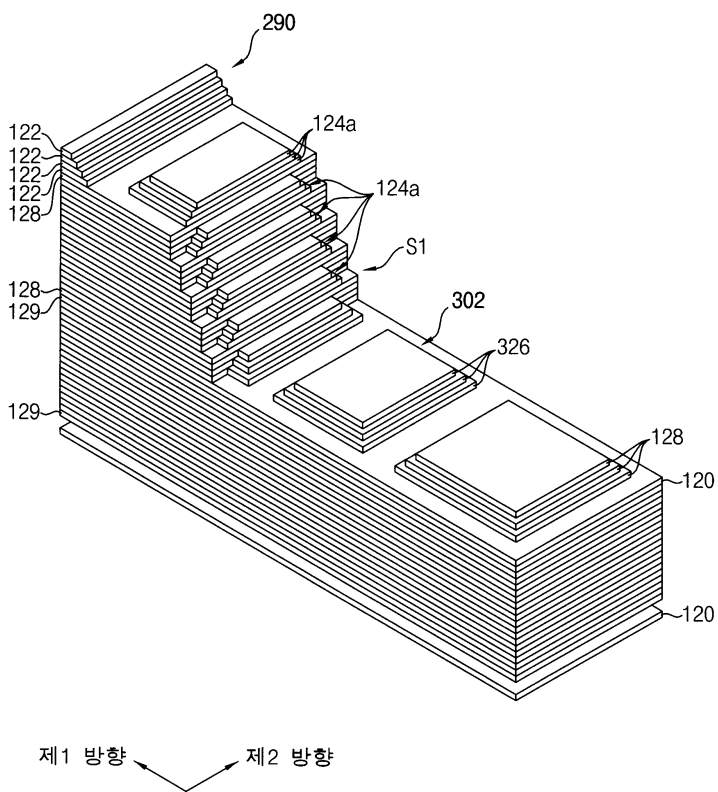
도면32



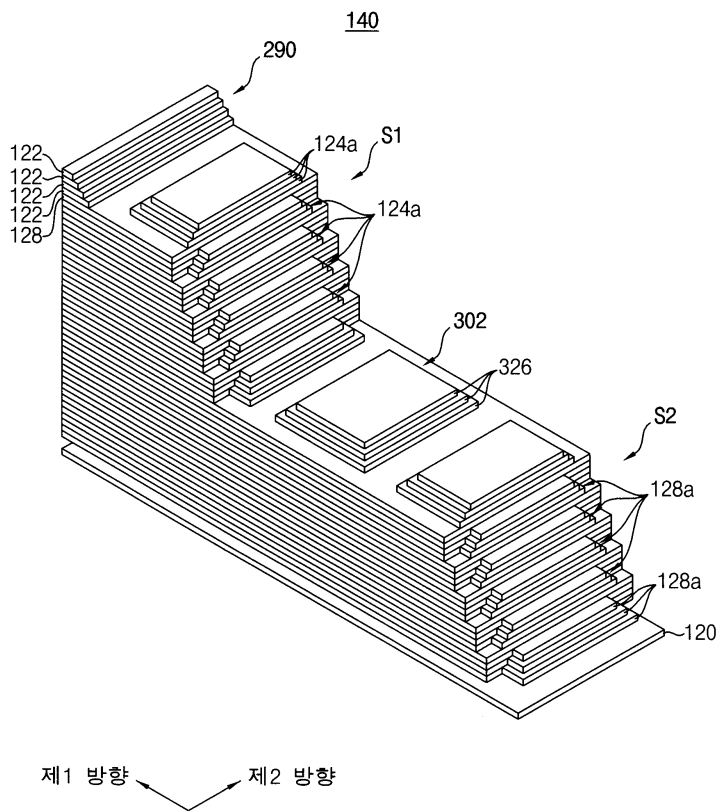
도면33



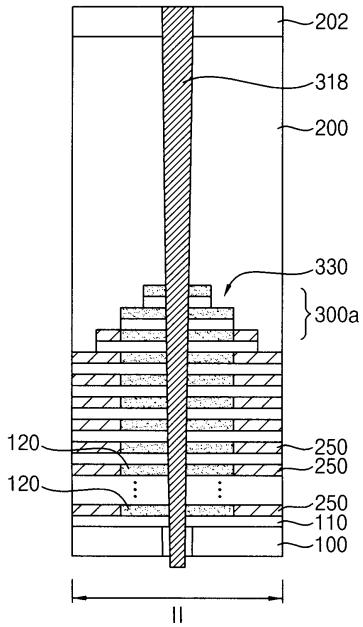
도면34



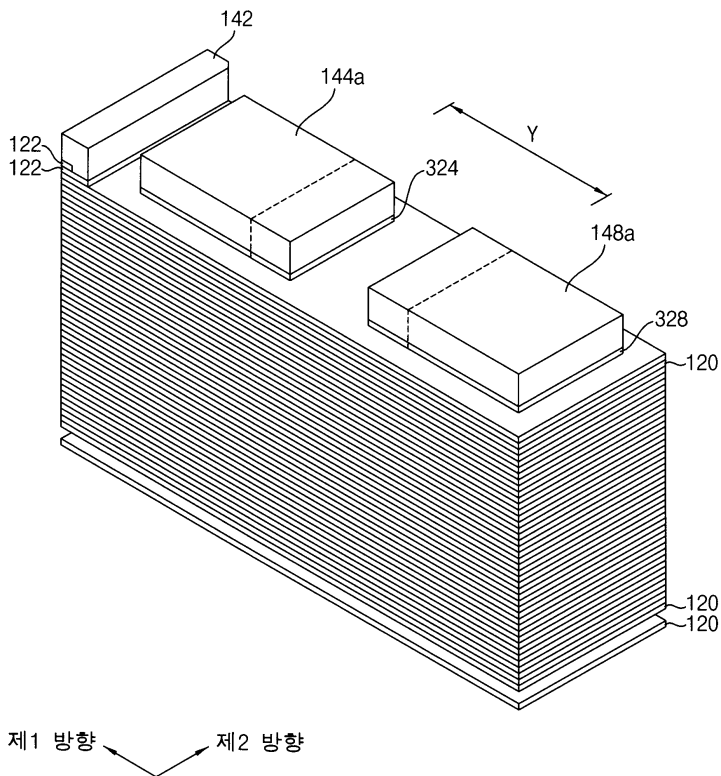
도면35



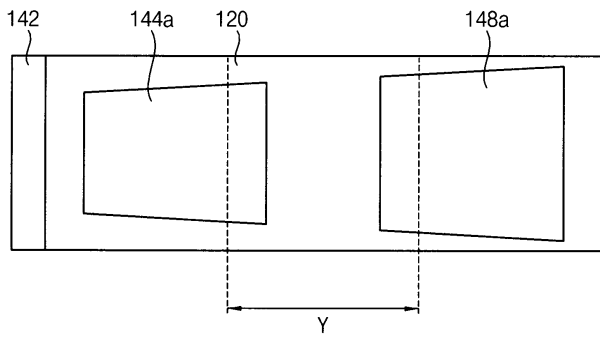
도면37



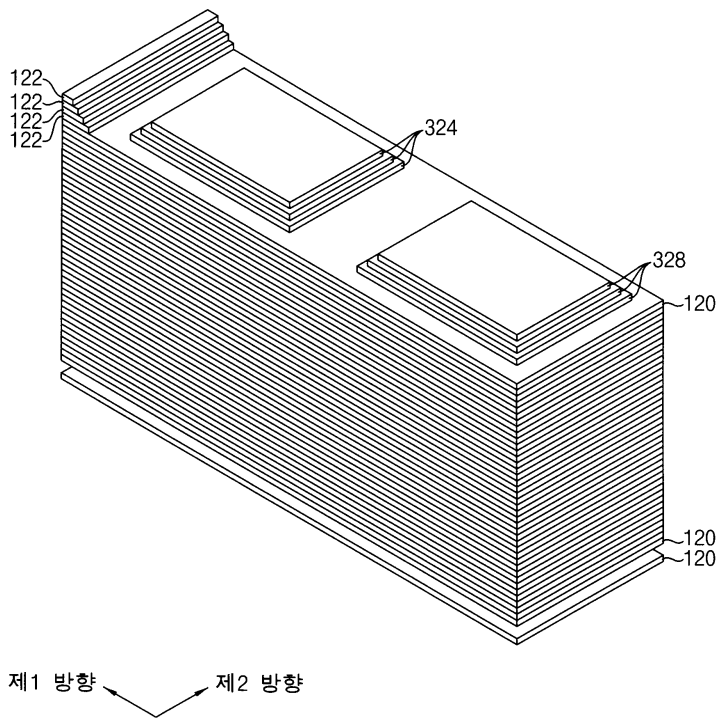
도면38



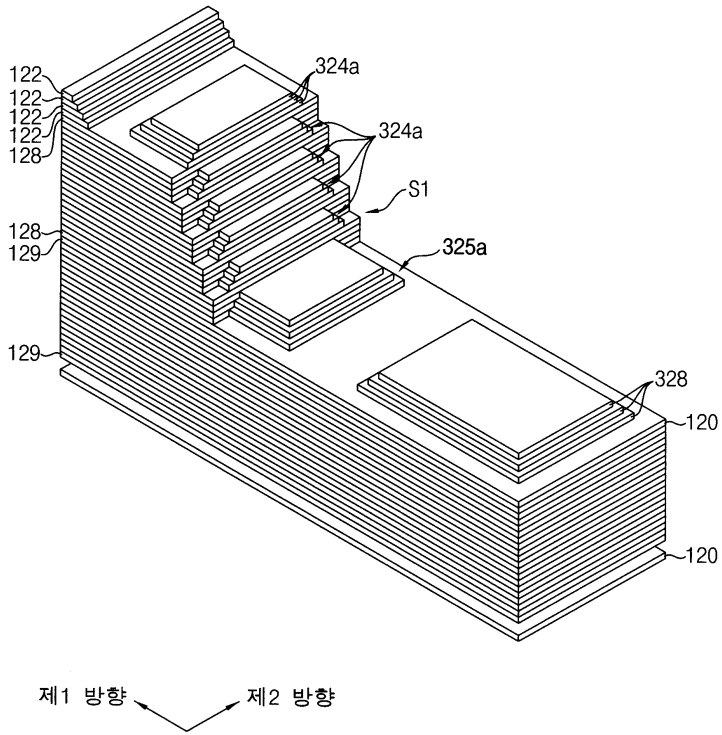
도면39



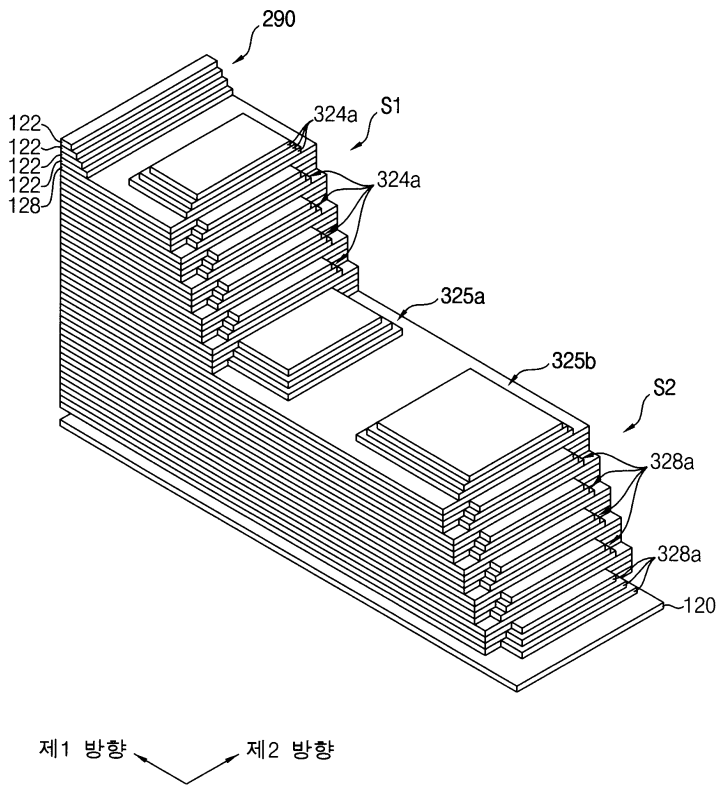
도면40



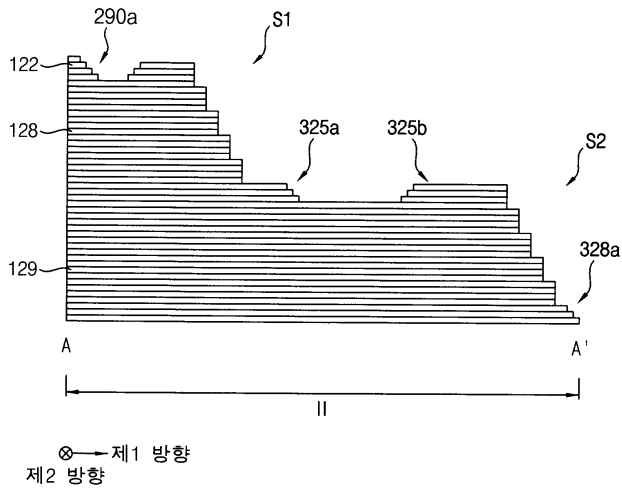
도면41



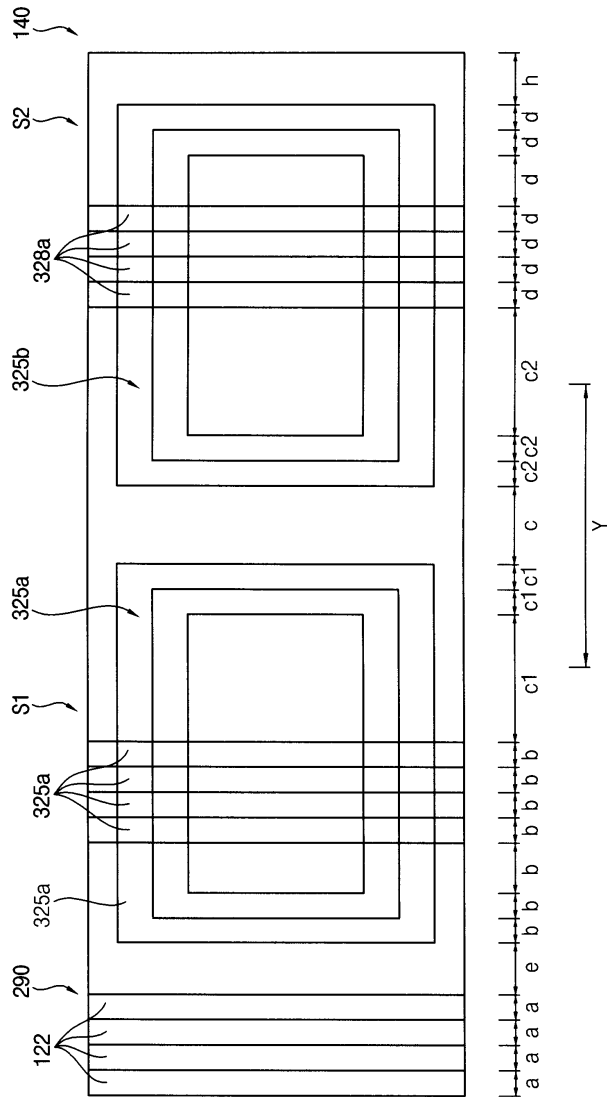
도면42



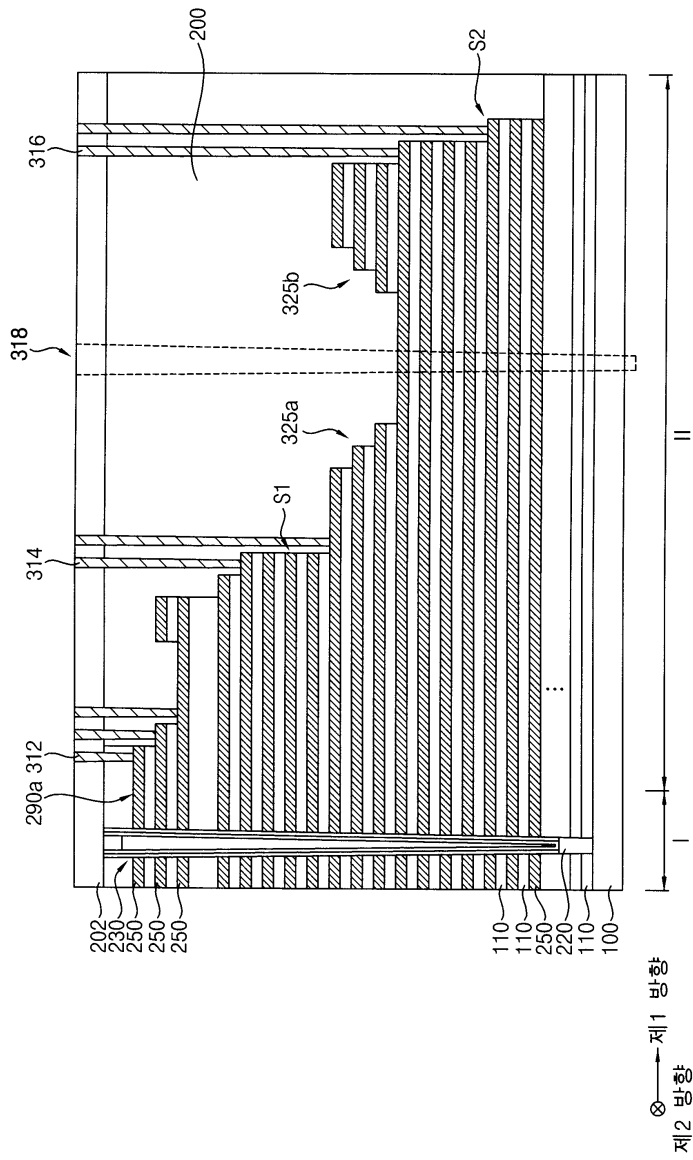
도면43



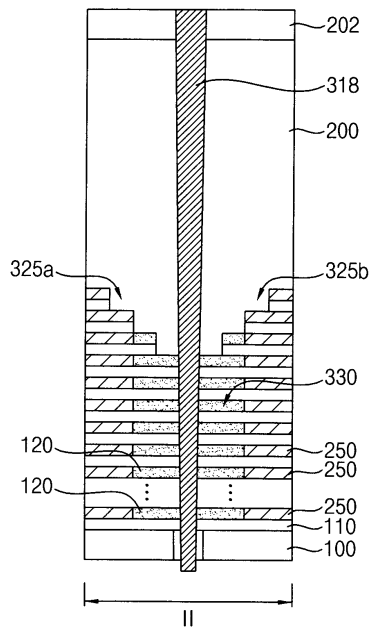
도면44



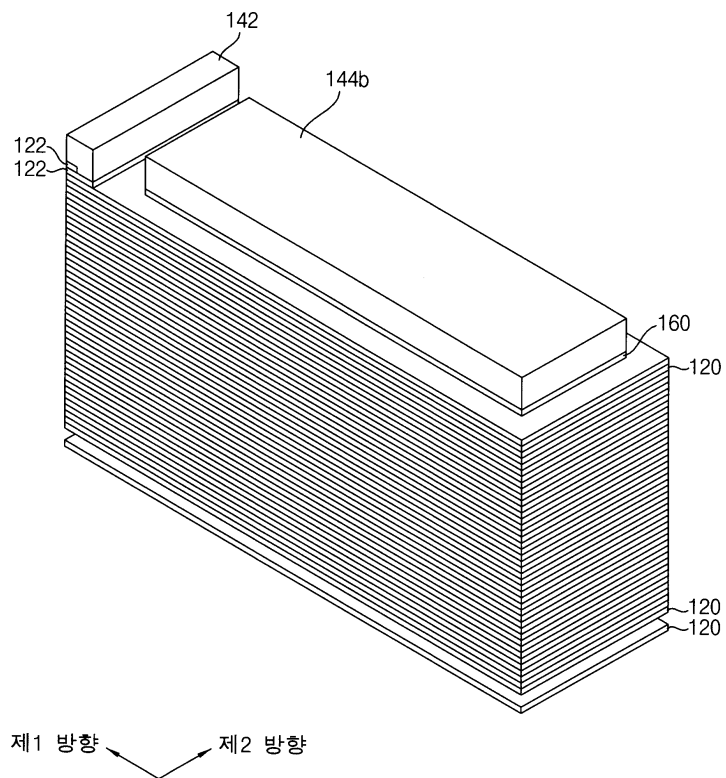
도면45



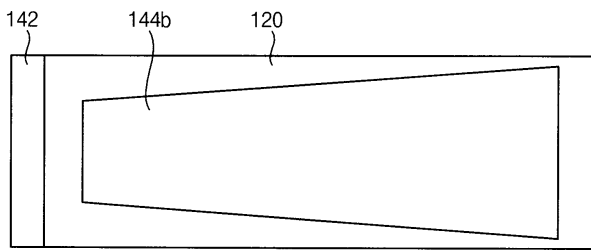
도면46



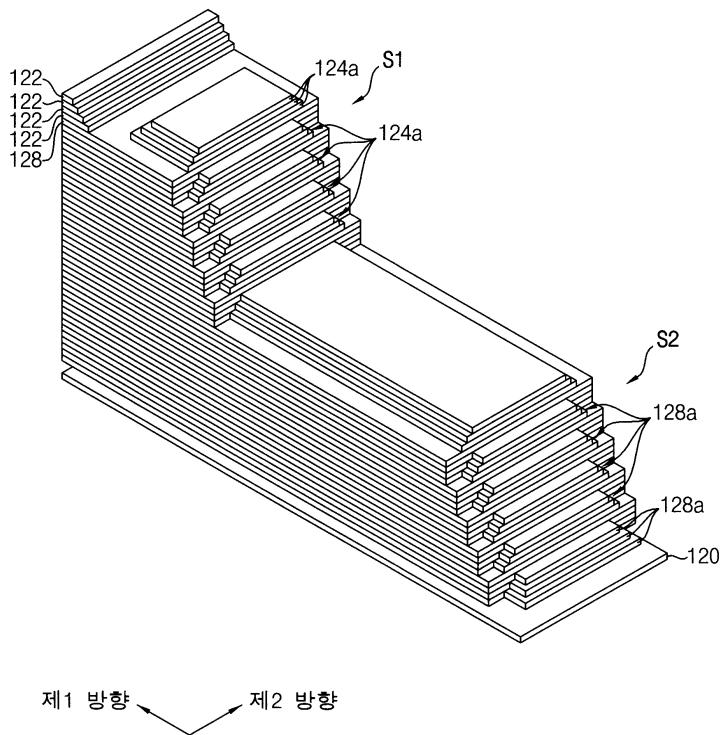
도면47



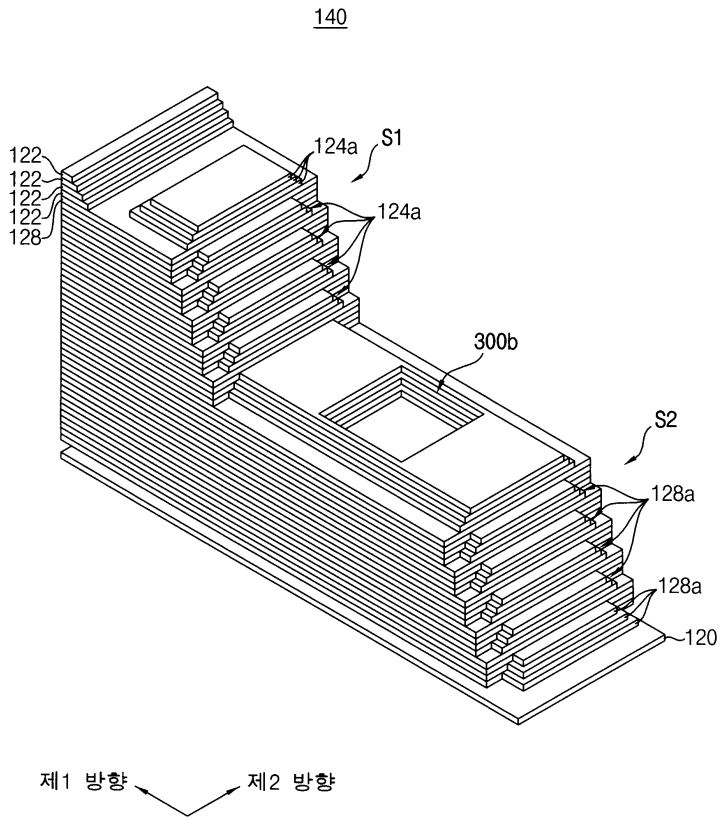
도면48



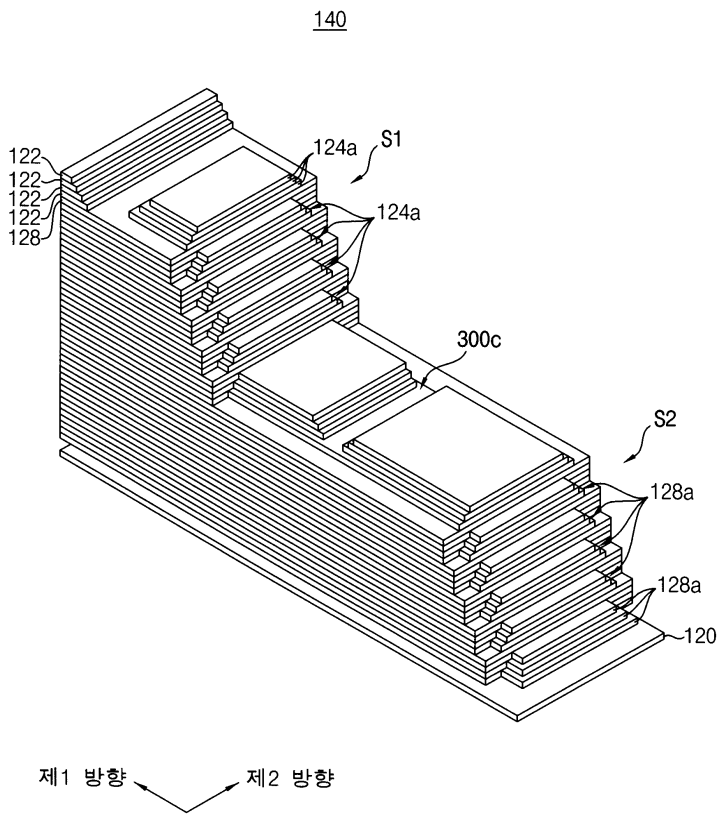
도면49



도면50



도면51



도면52

