

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4810283号
(P4810283)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2006-104166 (P2006-104166)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成18年4月5日(2006.4.5)	(73) 特許権者	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(65) 公開番号	特開2007-282354 (P2007-282354A)	(74) 代理人	110000176 一色国際特許業務法人
(43) 公開日	平成19年10月25日(2007.10.25)	(72) 発明者	福士 巖 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成21年3月19日(2009.3.19)	(72) 発明者	丸木 雅大 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋エルエスアイデザイン・システムソフト株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチング制御回路

(57) 【特許請求の範囲】

【請求項1】

直列に接続された第1及び第2トランジスタが相補的にオンオフすることにより、前記第1トランジスタに入力される入力電圧から目的レベルの出力電圧を生成するDC-DCコンバータの前記第1及び第2トランジスタのオンオフを制御するスイッチング制御回路であって、

時間の経過とともに増加する第1参照電圧及び前記目的レベルの基準となる第2参照電圧のうち低い方の電圧と、前記出力電圧に応じた帰還電圧との誤差を増幅した誤差電圧を出力する誤差増幅回路と、

前記帰還電圧と、前記誤差増幅回路から出力される前記誤差電圧との比較信号を出力する比較回路と、

前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧を超えた後に、前記第1及び第2トランジスタを相補的にオンオフさせて前記出力電圧を前記目的レベルとすべく、前記第1及び第2トランジスタを各々制御する第1及び第2制御信号を出力する駆動回路と、

を備えることを特徴とするスイッチング制御回路。

【請求項2】

請求項1に記載のスイッチング制御回路であって、

前記駆動回路は、

前記第1トランジスタが前記第2トランジスタより先にオンとなるように、前記第1及

10

20

び第 2 制御信号の出力を開始すること、
を特徴とするスイッチング制御回路。

【請求項 3】

請求項 2 に記載のスイッチング制御回路であって、
前記駆動回路は、

前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧を超えると、前記第 1 及び第 2 制御信号の出力を開始させるためのスイッチング開始信号を出力する開始信号出力回路と、

前記比較回路から出力される前記比較信号に基づいて、前記帰還電圧が前記誤差電圧より高い場合は、前記第 1 トランジスタをオフ、前記第 2 トランジスタをオンさせるための前記第 1 及び第 2 制御信号を出力し、前記帰還電圧が前記誤差電圧より低い場合は、前記第 1 トランジスタをオン、前記第 2 トランジスタをオフさせるための前記第 1 及び第 2 制御信号を出力する制御信号出力回路と、

前記開始信号出力回路から前記スイッチング開始信号が入力されると、前記駆動回路から出力される前記第 2 トランジスタをオンさせるための前記第 2 制御信号を前記第 2 トランジスタに出力する駆動制御回路と、

を備えることを特徴とするスイッチング制御回路。

【請求項 4】

請求項 1 ~ 3 の何れか一項に記載のスイッチング制御回路であって、
前記駆動回路は、

前記第 1 参照電圧が前記第 2 参照電圧以上の所定の電圧を超えると、前記比較回路から出力される前記比較信号にかかわらず、前記第 1 及び第 2 制御信号の出力を開始すること、

を特徴とするスイッチング制御回路。

【請求項 5】

請求項 3 に記載のスイッチング制御回路であって、

前記第 1 参照電圧と前記第 2 参照電圧以上の所定の電圧との比較信号を出力する参照電圧比較回路を更に備え、

前記開始信号出力回路は、

前記比較回路から出力される前記比較信号と、前記参照電圧比較回路から出力される前記比較信号とに基づいて、前記誤差電圧が前記帰還電圧を超えるか、または、前記第 1 参照電圧が前記所定の電圧を超えると、前記スイッチング開始信号を出力すること、

を特徴とするスイッチング制御回路。

【請求項 6】

誤差電圧制御回路

請求項 4 に記載のスイッチング制御回路であって、

前記駆動回路が前記第 1 及び第 2 制御信号の出力を開始するまでの間、前記誤差増幅回路から出力される前記誤差電圧を、前記第 1 及び第 2 参照電圧のうち低い方の電圧とする誤差電圧制御回路を更に備えること、

を特徴とするスイッチング制御回路。

【請求項 7】

請求項 6 に記載のスイッチング制御回路であって、

前記誤差電圧制御回路は、

前記駆動回路が前記第 1 及び第 2 制御信号の出力を開始するまでの間、前記誤差増幅回路の前記帰還電圧が印加される入力端子に、前記帰還電圧の代わりに前記誤差電圧を印加するスイッチ回路により構成されること、

を特徴とするスイッチング制御回路。

【請求項 8】

請求項 5 に記載のスイッチング制御回路であって、

前記誤差増幅回路の前記帰還電圧が印加される入力端子に、前記帰還電圧又は前記誤差

10

20

30

40

50

電圧の何れか一方を印加するスイッチ回路を更に備え、

前記開始信号出力回路は、

前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧より低い場合は、前記スイッチ回路を介して前記誤差電圧を前記入力端子に印加させることによって、前記誤差電圧を前記第1及び第2参照電圧のうち低い方の電圧に応じた電圧に上昇させ、前記誤差電圧が前記帰還電圧より高い場合は、前記スイッチ回路を介して前記帰還電圧を前記入力端子に印加させること、

を特徴とするスイッチング制御回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、スイッチング制御回路に関する。

【背景技術】

【0002】

様々な電子機器において、入力電圧より低い目的レベルの出力電圧を生成するための降圧型のDC-DCコンバータが用いられている。図8は、降圧型のDC-DCコンバータの一般的な構成を示す図である。DC-DCコンバータ100は、NチャンネルMOSFET110、111、インダクタ120、及びキャパシタ121を含んで構成されている。NチャンネルMOSFET110のドレインには入力電圧 V_{in} が印加されており、NチャンネルMOSFET110がオン、NチャンネルMOSFET111がオフとなることにより、インダクタ120に入力電圧 V_{in} が印加され、キャパシタ121が充電されて出力電圧 V_{out} が上昇する。その後、NチャンネルMOSFET110がオフ、NチャンネルMOSFET111がオンとなると、インダクタ120に蓄積されたエネルギーによって、NチャンネルMOSFET111、インダクタ120、コンデンサ121により構成されるループを電流が流れ、キャパシタ121が放電されて出力電圧 V_{out} が下降する。このように、DC-DCコンバータ100では、適宜のタイミングでNチャンネルMOSFET110、111をオンオフさせることによって、出力電圧 V_{out} が目的レベルとなるように制御される。

20

【0003】

30

そして、DC-DCコンバータ100は、NチャンネルMOSFET110、111のスイッチングを制御するための回路として、抵抗125、126、誤差増幅回路130、キャパシタ131、抵抗132、電源135、電流源136、キャパシタ137、三角波発振器140、コンパレータ150、バッファ151、及びインバータ152を備えている。

【0004】

誤差増幅回路130の-入力端子には、出力電圧 V_{out} を抵抗125、126により分圧した帰還電圧 V_f が印加されている。また、誤差増幅回路130の一方の+入力端子には、目的レベルの基準となる参照電圧 V_{ref} が電源135から印加されている。また、誤差増幅回路130の他方の+入力端子には、電流源136からの電流によってキャパシタ137が充電されて発生する電圧 V_{ss} が印加されている。そして、誤差増幅回路130は、2つの+入力端子に印加された電圧のうち低い方の電圧と、-入力端子に印加された帰還電圧 V_f との誤差を増幅した電圧 V_e を出力する。なお、キャパシタ131及び抵抗132は、誤差増幅回路130を積分動作させるためのものである。

40

【0005】

そして、コンパレータ150は、三角波発振器140から出力される三角波状に変化する電圧 V_t と、誤差増幅回路130から出力される誤差電圧 V_e との大小比較を行い、誤差電圧 V_e が電圧 V_t より高い間Hレベルの信号を出力し、誤差電圧 V_e が電圧 V_t より低い間Lレベルの信号を出力する。そして、コンパレータ150からHレベルの信号が出力されると、バッファ151を介してHレベルの信号がNチャンネルMOSFET110のゲート

50

に入力されてNチャンネルMOSFET110がオンとなり、インバータ152を介してLレベルの信号がNチャンネルMOSFET111に入力されてNチャンネルMOSFET111がオフとなる。一方、コンパレータ150からLレベルの信号が出力されると、バッファ151を介してLレベルの信号がNチャンネルMOSFET110のゲートに入力されてNチャンネルMOSFET110がオフとなり、インバータ152を介してHレベルの信号がNチャンネルMOSFET111に入力されてNチャンネルMOSFET111がオンとなる。

【0006】

つまり、帰還電圧 V_f が基準となる電圧 V_{ref} 又は電圧 V_{ss} より低い場合、電圧 V_e が上昇してコンパレータ150からHレベルの信号が出力される割合が高くなり、出力電圧 V_{out} が上昇する。また、帰還電圧 V_f が基準となる電圧 V_{ref} 又は電圧 V_{ss} より高い場合、電圧 V_e が下降してコンパレータ150からLレベルの信号が出力される割合が高くなり、出力電圧 V_{out} が下降する。このように、DC-DCコンバータ100では、帰還電圧 V_f が電圧 V_{ref} 又は電圧 V_{ss} の低い方の電圧となるように、コンパレータ150から出力される信号がPWM (Pulse Width Modulation) 制御されている。

10

【0007】

なお、DC-DCコンバータ100の動作開始時に、帰還電圧 V_f が電圧 V_{ref} となるように制御を開始すると、出力電圧 V_{out} を急速に上昇させようとするため過電流が発生し、NチャンネルMOSFET110, 111が破壊されてしまう。そのため、DC-DCコンバータ100では、電圧 V_{ss} を用いることにより、出力電圧 V_{out} を徐々に上昇させるソフトスタートが実現されている。

20

【0008】

また、DC-DCコンバータ100の起動時に、出力電圧 V_{out} がゼロレベルになっていない状態、すなわち、プレバイアス状態が発生している場合がある。例えば、DC-DCコンバータ100の前の動作終了後にキャパシタ121が放電しきっていない場合や、出力側に接続された機器等から電流がリークしている場合等に、プレバイアス状態が発生する。

【0009】

プレバイアス状態でDC-DCコンバータ100を起動すると、帰還電圧 V_f が電圧 V_{ss} より高いため、出力電圧 V_{out} を下降させるために、NチャンネルMOSFET111がオン、NチャンネルMOSFET110がオフに制御される。これにより、キャパシタ121、インダクタ120、NチャンネルMOSFET111により構成されるループを電流が流れ、キャパシタ121が放電されて出力電圧 V_{out} が下降する。そして、次に、NチャンネルMOSFET110がオン、NチャンネルMOSFET111がオフになると、インダクタ120に蓄えられたエネルギーによって、インダクタ120からDC-DCコンバータ100の入力側であるNチャンネルMOSFET110のドレインに向かって電流が逆流してしまうこととなる。なお、このように出力側から入力側にエネルギーが戻される動作のことを、回生動作と称することとする。

30

【0010】

そして、回生動作が行われる際のインダクタ120の電圧方向はプレバイアス電圧と同方向であるため、入力側にはプレバイアス電圧よりも高い電圧が発生することとなる。また、DC-DCコンバータ100の起動時には、帰還電圧 V_f と比較される電圧 V_{ss} が低いいため、NチャンネルMOSFET111がオンとなる割合が高く、NチャンネルMOSFET110がオンとなる割合が低い。そのため、NチャンネルMOSFET111が長時間オンすることによりインダクタ120に蓄積されるエネルギーが大きくなり、回生動作が発生した際の入力側の電圧上昇も非常に大きくなってしまふ。そして、このように入力側の電圧が非常に高くなってしまふと、DC-DCコンバータ100が破壊されたり、DC-DCコンバータ100の入力電圧 V_{in} を監視するための過電圧保護回路が誤動作したりしてしまう等の不具合が生じることとなる。

40

【0011】

50

そこで、回生動作を防止するために、DC - DCコンバータの起動時にトランジスタのスイッチング動作を停止させる方法が提案されている（例えば非特許文献1）。そして、DC - DCコンバータ100では、このような回生動作を防止するための回路として、コンパレータ160が設けられている。コンパレータ160は、帰還電圧Vfと電圧Vssとを比較し、帰還電圧Vfが電圧Vssより高い場合はLレベルの信号を出力し、帰還電圧Vfが電圧Vssより低い場合はHレベルの信号を出力する。すなわち、プレバイアス状態のために帰還電圧Vfが電圧Vssよりも高くなっている場合は、コンパレータ160からLレベルの信号が出力される。この場合、DC - DCコンバータ100では、NチャンネルMOSFET110, 111が両方ともオフとなるように制御が行われる。そして、時間の経過とともに電圧Vssが上昇し、帰還電圧Vfが電圧Vssより低くなると、コンパレータ160からHレベルの信号が出力され、NチャンネルMOSFET110, 111の相補的なスイッチング動作が開始される。

10

【0012】

また、近年、応答性の良い自励型のDC - DCコンバータとして、リップルコンバータが注目されている（例えば特許文献1）。

【非特許文献1】日本テキサス・インスツルメンツ株式会社、“低入力電圧モード同期整流式バック・コントローラ”、[online]、平成13年11月、日本テキサス・インスツルメンツ株式会社、[平成18年3月7日検索]、インターネット<URL: <http://www.tij.co.jp/jsc/ds/SLUS585A.pdf>>

【特許文献1】特開2006 - 14559号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0013】

ところで、DC - DCコンバータ100では、回生動作を防止するために、コンパレータ160が必要であった。そのため、コンパレータを用いる方法と比較して回路規模が小さく、低コストのスイッチング制御回路が求められている。

【0014】

本発明は上記課題を鑑みてなされたものであり、回生動作を防止可能で回路規模の小さいスイッチング制御回路を提供することを目的とする。

【課題を解決するための手段】

30

【0015】

上記目的を達成するため、本発明のスイッチング制御回路は、直列に接続された第1及び第2トランジスタが相補的にオンオフすることにより、前記第1トランジスタに入力される入力電圧から目的レベルの出力電圧を生成するDC - DCコンバータの前記第1及び第2トランジスタのオンオフを制御するスイッチング制御回路であって、時間の経過とともに増加する第1参照電圧及び前記目的レベルの基準となる第2参照電圧のうち低い方の電圧と、前記出力電圧に応じた帰還電圧との誤差を増幅した誤差電圧を出力する誤差増幅回路と、前記帰還電圧と、前記誤差増幅回路から出力される前記誤差電圧との比較信号を出力する比較回路と、前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧を超えた後に、前記第1及び第2トランジスタを相補的にオンオフさせて前記出力電圧を前記目的レベルとすべく、前記第1及び第2トランジスタを各々制御する第1及び第2制御信号を出力する駆動回路と、を備えることとする。

40

【0016】

また、前記駆動回路は、前記第1トランジスタが前記第2トランジスタより先にオンとなるように、前記第1及び第2制御信号の出力を開始することとしてもよい。

【0017】

さらに、前記駆動回路は、前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧を超えると、前記第1及び第2制御信号の出力を開始させるためのスイッチング開始信号を出力する開始信号出力回路と、前記比較回路から出力される前記比較信号に基づいて、前記帰還電圧が前記誤差電圧より高い場合は、前記第1トランジ

50

スタをオフ、前記第2トランジスタをオンさせるための前記第1及び第2制御信号を出力し、前記帰還電圧が前記誤差電圧より低い場合は、前記第1トランジスタをオン、前記第2トランジスタをオフさせるための前記第1及び第2制御信号を出力する制御信号出力回路と、前記開始信号出力回路から前記スイッチング開始信号が入力されると、前記駆動回路から出力される前記第2トランジスタをオンさせるための前記第2制御信号を前記第2トランジスタに出力する駆動制御回路と、を備えることとすることができる。

【0018】

また、前記駆動回路は、前記第1参照電圧が前記第2参照電圧以上の所定の電圧を超えると、前記比較回路から出力される前記比較信号にかかわらず、前記第1及び第2制御信号の出力を開始することとしてもよい。

10

【0019】

また、前記スイッチング制御回路は、前記第1参照電圧と前記第2参照電圧以上の所定の電圧との比較信号を出力する参照電圧比較回路を更に備え、前記開始信号出力回路は、前記比較回路から出力される前記比較信号と、前記参照電圧比較回路から出力される前記比較信号とに基づいて、前記誤差電圧が前記帰還電圧を超えるか、または、前記第1参照電圧が前記所定の電圧を超えると、前記スイッチング開始信号を出力することとしてもよい。

【0020】

また、前記スイッチング制御回路は、前記駆動回路が前記第1及び第2制御信号の出力を開始するまでの間、前記誤差増幅回路から出力される前記誤差電圧を、前記第1及び第2参照電圧のうち低い方の電圧とする誤差電圧制御回路を更に備えることとしてもよい。

20

【0021】

なお、前記誤差電圧制御回路は、前記駆動回路が前記第1及び第2制御信号の出力を開始するまでの間、前記誤差増幅回路の前記帰還電圧が印加される入力端子に、前記帰還電圧の代わりに前記誤差電圧を印加するスイッチ回路により構成されることとすることができる。

【0022】

また、前記スイッチング制御回路は、前記誤差増幅回路の前記帰還電圧が印加される入力端子に、前記帰還電圧又は前記誤差電圧の何れか一方を印加するスイッチ回路を更に備え、前記開始信号出力回路は、前記比較回路から出力される前記比較信号に基づいて、前記誤差電圧が前記帰還電圧より低い場合は、前記スイッチ回路を介して前記誤差電圧を前記入力端子に印加させることによって、前記誤差電圧を前記第1及び第2参照電圧のうち低い方の電圧に応じた電圧に上昇させ、前記誤差電圧が前記帰還電圧より高い場合は、前記スイッチ回路を介して前記帰還電圧を前記入力端子に印加させることとすることができる。

30

【発明の効果】

【0023】

回生動作を防止可能で回路規模の小さいスイッチング制御回路を提供することができる。

【発明を実施するための最良の形態】

40

【0024】

<<第1実施形態>>

==回路構成==

図1は、本発明の第1実施形態であるスイッチング制御回路を用いて構成されるDC-DCコンバータの構成を示す図である。DC-DCコンバータ1Aは、スイッチング制御回路10A、NチャネルMOSFET11、12、インダクタ13、キャパシタ14、抵抗21、22、電流源23、キャパシタ24、電源25、キャパシタ31、抵抗32、及びマイコン35を含んで構成されている。また、スイッチング制御回路10Aは、誤差増幅回路40、コンパレータ45、インバータ47、バッファ48、SRフリップフロップ(以後「SR-FF」と表す。)50、インバータ51、AND回路53を含んで構成さ

50

れている。

【0025】

NチャンネルMOSFET11(第1トランジスタ)とNチャンネルMOSFET12(第2トランジスタ)は直列に接続されており、NチャンネルMOSFET11のドレインに入力電圧 V_{in} が印加され、NチャンネルMOSFET12のソースが接地されている。そして、NチャンネルMOSFET11のゲート(制御電極)はスイッチング制御回路10Aの端子HDと接続され、NチャンネルMOSFET12のゲート(制御電極)はスイッチング制御回路10Aの端子LDと接続されている。なお、本実施形態では、トランジスタとしてNチャンネルMOSFETを用いることとしたが、PチャンネルMOSFETを用いることもできるし、バイポーラトランジスタを用いることもできる。

10

【0026】

インダクタ13は、一端がNチャンネルMOSFET11,12の接続点と接続され、他端がキャパシタ14の一端と接続されている。そして、キャパシタ14の他端は接地され、インダクタ13とキャパシタ14との接続点の電圧、すなわち、キャパシタ14に充電された電圧が出力電圧 V_{out} となっている。

【0027】

抵抗21,22は、出力電圧 V_{out} に応じた帰還電圧 V_f を生成するための分圧抵抗である。抵抗21は、一端に出力電圧 V_{out} が印加され、他端が抵抗22の一端と接続されている。また、抵抗22の他端は接地されている。そして、抵抗21,22の接続点の電圧が、出力電圧 V_{out} を抵抗21,22の抵抗比で分圧した帰還電圧 V_f となっており、帰還電圧 V_f はスイッチング制御回路10Aの端子FBに印加されている。

20

【0028】

電流源23及びキャパシタ24はDC-DCコンバータ1Aをソフトスタートさせるための電圧 V_{ss} (第1参照電圧)を生成する回路である。電流源23から出力される電流 I_{ss} がキャパシタ24に流れ込むように電流源23とキャパシタ24の一端とが接続され、キャパシタ24の他端は接地されている。そして、電流源23とキャパシタ24との接続点の電圧、すなわち、キャパシタ24に充電された電圧がソフトスタート用の電圧 V_{ss} となっており、電圧 V_{ss} はスイッチング制御回路10Aの端子SSに印加されている。

【0029】

電源25は、DC-DCコンバータ1Aの出力電圧 V_{out} を目的レベルの電圧、すなわち、目的電圧とした際の帰還電圧 V_f と同電位の電圧 V_{ref} (第2参照電圧)を出力する電源である。そして、電源25から出力される電圧 V_{ref} は、スイッチング制御回路10Aの端子RFに印加されている。

30

【0030】

キャパシタ31及び抵抗32は、キャパシタ31の容量 C と抵抗32の抵抗値 R との積により定められる時定数によって誤差増幅回路40を積分動作させるための回路である。キャパシタ31は、一端がスイッチング制御回路10Aの端子CCと接続され、他端が抵抗32の一端と接続されている。また、抵抗32の他端は、スイッチング制御回路10Aの端子CRと接続されている。

【0031】

誤差増幅回路40は、一方の極性の入力端子(本実施形態では-入力端子)を1つと、他方の極性の入力端子(本実施形態では+入力端子)を2つ備えている。誤差増幅回路40の-入力端子には端子FBを介して帰還電圧 V_f が印加され、一方の+入力端子には端子SSを介して電圧 V_{ss} が印加され、他方の+入力端子には端子RFを介して電圧 V_{ref} が印加されている。また、誤差増幅回路40の-入力端子は、端子CCを介してキャパシタ31と接続され、誤差増幅回路40の出力端子は、端子CRを介して抵抗32と接続されている。そして、誤差増幅回路40は、電圧 V_{ss} 及び電圧 V_{ref} の何れか低い方と、帰還電圧 V_f との誤差を示す誤差電圧 V_e を出力する。なお、誤差増幅回路40から出力される誤差電圧 V_e は、キャパシタ31及び抵抗32により定められる時定数に従って変化する。

40

50

【 0 0 3 2 】

コンパレータ 4 5 (比較回路) の一方の入力端子 (本実施形態では + 入力端子) には、端子 F B を介して帰還電圧 V_f が印加され、コンパレータ 4 5 の他方の入力端子 (本実施形態では - 入力端子) には、誤差増幅回路 4 0 から出力される誤差電圧 V_e が印加されている。そして、コンパレータ 4 5 は、+ 入力端子に印加される帰還電圧 V_f と、- 入力端子に印加される誤差電圧 V_e との比較を行う。そして、コンパレータ 4 5 は、帰還電圧 V_f が誤差電圧 V_e より高い場合に一方の論理レベル (本実施形態では H レベル) の比較信号を出力し、帰還電圧 V_f が誤差電圧 V_e より低い場合に他方の論理レベル (本実施形態では L レベル) の比較信号を出力する。

【 0 0 3 3 】

インバータ 4 7 及びバッファ 4 8 は、コンパレータ 4 5 から出力される比較信号に基づいて、Nチャネル MOS F E T 1 1 , 1 2 を相補的にオンオフさせるための制御信号を出力する回路である。コンパレータ 4 5 から出力される比較信号が、帰還電圧 V_f が誤差電圧 V_e より高いことを示す論理レベル (本実施形態では H レベル) の場合、インバータ 4 7 は Nチャネル MOS F E T 1 1 (電源側トランジスタ) をオフさせるための一方の論理レベル (本実施形態では L レベル) の制御信号 (第 1 制御信号) を出力し、バッファ 4 8 は Nチャネル MOS F E T 1 2 (接地側トランジスタ) をオンさせるための他方の論理レベル (本実施形態では H レベル) の制御信号 (第 2 制御信号) を出力する。また、コンパレータ 4 5 から出力される比較信号が、帰還電圧 V_f が誤差電圧 V_e より低いことを示す論理レベル (本実施形態では L レベル) の場合、インバータ 4 7 は Nチャネル MOS F E T 1 1 (電源側トランジスタ) をオンさせるための他方の論理レベル (本実施形態では H レベル) の制御信号 (第 1 制御信号) を出力し、バッファ 4 8 は Nチャネル MOS F E T 1 2 (接地側トランジスタ) をオフさせるための一方の論理レベル (本実施形態では L レベル) の制御信号 (第 2 制御信号) を出力する。

【 0 0 3 4 】

S R - F F 5 0 は、D C - D C コンバータ 1 A の起動時にプレバイアス状態が発生している場合に、Nチャネル MOS F E T 1 1 , 1 2 の相補的なオンオフ動作を停止させることにより回生動作を防止するための回路である。なお、Nチャネル MOS F E T 1 1 , 1 2 を相補的にオンオフさせることによってコイル 1 3 に流れる電流を制御することを同期整流という。S R - F F 5 0 は、誤差電圧 V_e が帰還電圧 V_f より高くなった後に、同期整流を開始させるための信号 (スイッチング開始信号) を出力する。S R - F F 5 0 のセット端子 S には、コンパレータ 4 5 から出力される比較信号がインバータ 5 1 を介して入力されている。また、S R - F F 5 0 のリセット端子 R には、マイコン 3 5 から出力されるスタンバイ信号が端子 S T B を介して入力されている。

【 0 0 3 5 】

ここで、本実施形態では、スタンバイ信号は、D C - D C コンバータ 1 A の起動時に H レベルとなるパルス信号であることとする。また、S R - F F 5 0 の出力端子 Q から出力される信号が、同期整流の開始可否を示す信号となっている。そして、本実施形態では、S R - F F 5 0 の出力端子 Q から H レベルの信号 (開始信号) が出力されている場合に同期整流が行われることとする。したがって、本実施形態においては、D C - D C コンバータ 1 A の起動時には、マイコン 3 5 から出力されるスタンバイ信号によって S R - F F 5 0 から出力される信号が L レベルとなり、回生防止動作が行われることとなる。なお、スタンバイ信号以外であっても、D C - D C コンバータ 1 A の起動時に S R - F F 5 0 の出力端子 Q から出力される信号を L レベルとすることができる信号を用いることができる。例えば、D C - D C コンバータ 1 A の駆動電圧が駆動に必要なレベルに達しているかどうかを判定するための U V L O (Under Voltage Lock Out) 回路から出力される信号に基づいて、D C - D C コンバータ 1 A の起動時に S R - F F 5 0 の出力端子 Q から出力される信号を L レベルとすることも可能である。

【 0 0 3 6 】

そして、インバータ 4 7 から出力される信号が、端子 H D を介して Nチャネル MOS F

10

20

30

40

50

ET11のゲート(制御電極)に入力されている。また、バッファ48から出力される信号が、AND回路53の一方の入力端子に入力されている。また、SR-FF50の出力端子Qから出力される信号が、AND回路53の他方の入力端子に入力されている。そして、AND回路53から出力される信号が、端子LDを介してNチャンネルMOSFET12のゲート(制御電極)に入力されている。つまり、SR-FF50の出力端子QからLレベルの信号が出力されている間は、AND回路53から出力される信号はコンパレータ45から出力される比較信号にかかわらずLレベルとなり、同期整流が行われない。

【0037】

なお、スイッチング制御回路10Aにおける、インバータ47、バッファ48、SR-FF50、インバータ51、及びAND回路53が、本発明の駆動回路に相当する。また、SR-FF50及びインバータ51が本発明の開始信号出力回路に相当し、インバータ47及びバッファ48が本発明の制御信号出力回路に相当し、AND回路53が本発明の駆動制御回路に相当する。

10

【0038】

また、スイッチング制御回路10Aは、集積化することができる。スイッチング制御回路10Aを集積化する場合、例えば、電流源23や電源25等をスイッチング制御回路10Aが備えることとしてもよい。また、NチャンネルMOSFET11,12をスイッチング制御回路10Aが備えることとしてもよい。

【0039】

= = 動作説明 = =

20

DC-DCコンバータ1Aの動作について説明する。まず、DC-DCコンバータ1Aの起動時に、出力電圧 V_{out} がゼロレベルの場合、すなわち、プレバイアス状態が発生していない場合の動作について説明する。図2は、起動時にプレバイアス状態が発生していない場合のDC-DCコンバータ1Aにおける電圧変化を示す図である。DC-DCコンバータ1Aが起動されると、電流源23から出力される電流 I_{ss} によって、電圧 V_{ss} が上昇しはじめる。この時点では、電圧 V_{ref} よりも電圧 V_{ss} の方が低いため、誤差増幅回路40は、電圧 V_{ss} と帰還電圧 V_f との誤差を増幅して出力することとなる。そして、プレバイアス状態が発生していない場合、帰還電圧 V_f よりも電圧 V_{ss} の方が高くなるため、誤差増幅回路40から出力される誤差電圧 V_e は、電圧 V_{ss} に従って徐々に高くなる。そのため、コンパレータ45から出力される信号はLレベルとなり、インバータ47からはHレベルの信号が出力され、バッファ48からはLレベルの信号が出力される。また、コンパレータ45から出力される信号がLレベルであるため、SR-FF50のセット端子SにはHレベルの信号が入力される。そして、SR-FF50のセット端子SにHレベルの信号が入力されると、SR-FF50の出力端子QからHレベルの信号が出力される。つまり、AND回路53から出力される信号のレベルは、バッファ48から出力される信号のレベルによって定まることとなる。いま、インバータ47からHレベルの信号が出力され、バッファ48からLレベルの信号が出力されているため、NチャンネルMOSFET11がオン、NチャンネルMOSFET12がオフとなる。そのため、出力電圧 V_{out} が上昇しはじめる。

30

【0040】

40

そして、出力電圧 V_{out} が上昇し、帰還電圧 V_f が電圧 V_{ss} を超えると、誤差増幅回路40から出力される誤差電圧 V_e が下降しはじめる。そして、誤差電圧 V_e が帰還電圧 V_f より低くなると、コンパレータ45から出力される信号がHレベルとなる。そして、コンパレータ45から出力される信号がHレベルになると、インバータ47からLレベルの信号が出力され、NチャンネルMOSFET11がオフとなる。このとき、バッファ48からHレベルの信号が出力され、SR-FF50の出力端子QからHレベルの信号が出力されているため、AND回路53からHレベルの信号が出力され、NチャンネルMOSFET12がオンとなる。そのため、出力電圧 V_{out} が下降しはじめる。

【0041】

つまり、帰還電圧 V_f が電圧 V_{ss} より低いとNチャンネルMOSFET11がオン、Nチ

50

チャンネルMOSFET12がオフとなることによって帰還電圧Vfが上昇し、帰還電圧Vfが電圧Vssより高いとNチャンネルMOSFET11がオフ、NチャンネルMOSFET12がオンとなることによって帰還電圧Vfが下降する。このように、DC-DCコンバータ1Aでは、NチャンネルMOSFET11, 12の相補的なオンオフによる同期整流によって、帰還電圧Vfが電圧Vssとなるように出力電圧Voutが徐々に上昇していく。

【0042】

そして、電圧Vssが電圧Vrefを超えるとソフトスタート動作が終了し、誤差増幅回路40は、電圧Vrefと帰還電圧Vfとの誤差を増幅して出力することとなる。帰還電圧Vfが電圧Vrefより低くなると、誤差増幅回路40から出力される誤差電圧Veが上昇し、コンパレータ45から出力される信号がLレベルとなる。そのため、NチャンネルMOSFET11がオン、NチャンネルMOSFET12がオフとなることによって帰還電圧Vfが上昇する。また、帰還電圧Vfが電圧Vrefより高くなると、誤差増幅回路40から出力される誤差電圧Veが下降し、コンパレータ45から出力される信号がHレベルとなる。そのため、NチャンネルMOSFET11がオフ、NチャンネルMOSFET12がオンとなることによって帰還電圧Vfが下降する。このように、DC-DCコンバータ1Aでは、帰還電圧Vfが電圧Vrefとなるように同期整流が行われることにより、出力電圧Voutが帰還電圧Vrefに応じた目的電圧となる。

【0043】

次に、DC-DCコンバータ1Aの起動時に、出力電圧Voutがゼロレベルになっていない状態、すなわち、プレバイアス状態が発生している場合の動作について説明する。図3は、起動時に出力電圧Voutがゼロレベル以上で目的レベル以下の電圧になっている場合のDC-DCコンバータ1Aにおける電圧変化を示す図である。DC-DCコンバータ1Aが起動されると、マイコン35から出力されるスタンバイ信号によって、SR-FF50の出力端子Qから出力される信号がLレベルとなる。また、電流源23から出力される電流Issによって、電圧Vssが上昇しはじめる。この時点では、電圧Vrefよりも電圧Vssの方が低いため、誤差増幅回路40は、電圧Vssと帰還電圧Vfとの誤差を増幅して出力することとなる。そして、プレバイアス状態により、電圧Vssよりも帰還電圧Vfの方が高い状態となっているため、誤差増幅回路40から出力される誤差電圧Veは、Lレベルに張り付いた状態となる。そのため、コンパレータ45から出力される信号はHレベルとなり、インバータ47からはLレベルの信号が出力され、バッファ48からはHレベルの信号が出力される。また、コンパレータ45から出力される信号がHレベルであるため、SR-FF50のセット端子SにはLレベルの信号が入力される。したがって、SR-FF50の出力端子Qから出力される信号はLレベルのままである。

【0044】

このとき、バッファ48からHレベルの信号が出力されているが、SR-FF50の出力端子QからLレベルの信号が出力されているため、AND回路53からはLレベルの信号が出力されることとなる。したがって、端子HD及び端子LDの何れにもLレベルの信号が出力され、NチャンネルMOSFET11, 12の何れもオフとなり、同期整流は行われず、回生動作が防止される。

【0045】

その後、電圧Vssが上昇して行き、電圧Vssが帰還電圧Vfを超えると、誤差増幅回路40から出力される誤差電圧Veが上昇しはじめる。そして、誤差電圧Veが帰還電圧Vfより高くなると、コンパレータ45から出力される信号がLレベルとなる。そして、コンパレータ45から出力される信号がLレベルになると、インバータ47からHレベルの信号が出力され、NチャンネルMOSFET11がオンとなる。このとき、バッファ48からはLレベルの信号が出力されるため、AND回路53からLレベルの信号が出力され、NチャンネルMOSFET12がオフとなる。そのため、出力電圧Voutが上昇しはじめる。また、コンパレータ45から出力される信号がLレベルになると、SR-FF50のセット端子SにHレベルの信号が入力され、SR-FF50の出力端子QからHレベルの信号が出力される。

10

20

30

40

50

【 0 0 4 6 】

そして、出力電圧 V_{out} が上昇し、帰還電圧 V_f が電圧 V_{ss} を超えると、誤差増幅回路 40 から出力される誤差電圧 V_e が下降しはじめる。そして、誤差電圧 V_e が帰還電圧 V_f より低くなると、コンパレータ 45 から出力される信号が H レベルとなる。そして、コンパレータ 45 から出力される信号が H レベルになると、インバータ 47 から L レベルの信号が出力され、N チャンネル MOS FET 11 がオフとなる。このとき、バッファ 48 から H レベルの信号が出力され、SR - FF 50 の出力端子 Q から H レベルの信号が出力されているため、AND 回路 53 から H レベルの信号が出力され、N チャンネル MOS FET 12 がオンとなる。そのため、出力電圧 V_{out} が下降しはじめる。

【 0 0 4 7 】

つまり、SR - FF 50 の出力端子 Q から出力される信号が H レベルになった後、すなわち、回生防止動作が解除された後は、帰還電圧 V_f が電圧 V_{ss} より低いと N チャンネル MOS FET 11 がオン、N チャンネル MOS FET 12 がオフとなることによって帰還電圧 V_f が上昇し、帰還電圧 V_f が電圧 V_{ss} より高いと N チャンネル MOS FET 11 がオフ、N チャンネル MOS FET 12 がオンとなることによって帰還電圧 V_f が下降する。このように、DC - DC コンバータ 1A では、N チャンネル MOS FET 11, 12 の相補的なオンオフによる同期整流によって、帰還電圧 V_f が電圧 V_{ss} となるように出力電圧 V_{out} が徐々に上昇していく。そして、電圧 V_{ss} が電圧 V_{ref} を超えると、誤差増幅回路 40 は、電圧 V_{ref} と帰還電圧 V_f との誤差を増幅して出力することとなる。したがって、DC - DC コンバータ 1A では、帰還電圧 V_f が電圧 V_{ref} となるように同期整流が行われることにより、出力電圧 V_{out} が帰還電圧 V_{ref} に応じた目的電圧となる。

【 0 0 4 8 】

このように、DC - DC コンバータ 1A では、コンパレータ 45 から出力される比較信号に基づいて、回生防止動作が制御されている。つまり、コンパレータ 45 により、DC - DC コンバータ 1A における同期整流を制御する信号を生成する機能と、回生防止動作を解除するための信号を生成する機能とが実現されている。したがって、DC - DC コンバータ 1A では、回生防止動作を実現するために専用のコンパレータを設ける必要がなく、スイッチング制御回路 10A の回路規模を小さくすることができる。

【 0 0 4 9 】

また、DC - DC コンバータ 1A では、回生防止動作が解除されて同期整流が開始される際には、N チャンネル MOS FET 12 よりも先に N チャンネル MOS FET 11 がオンすることとなる。ここで、仮に、同期整流が開始される際に N チャンネル MOS FET 12 がオンすることとすると、N チャンネル MOS FET 11 がオンするまでの間、出力電圧 V_{out} が下降してしまうこととなる。しかし、DC - DC コンバータ 1A では、N チャンネル MOS FET 11 が先にオンとなるため、同期整流が開始される際に出力電圧 V_{out} が下降することを抑制することができる。

【 0 0 5 0 】

< < 第 2 実施形態 > >

= = 回路構成 = =

図 4 は、本発明の第 2 実施形態であるスイッチング制御回路を用いて構成される DC - DC コンバータの構成を示す図である。DC - DC コンバータ 1B は、第 1 実施形態の DC - DC コンバータ 1A におけるスイッチング制御回路 10A に代えて、スイッチング制御回路 10B を備えている。そして、スイッチング制御回路 10B は、スイッチング制御回路 10A が備える構成に加え、コンパレータ 60 (参照電圧比較回路)、電源 61、NOR 回路 62、及びインバータ 63 を備えている。

【 0 0 5 1 】

コンパレータ 60 は、DC - DC コンバータ 1B における回生防止動作を強制的に解除するための回路である。例えば、第 1 実施形態の DC - DC コンバータ 1A において、プレバイアス状態における出力電圧 V_{out} が目的電圧よりも高い場合を想定する。この場合、帰還電圧 V_f が電圧 V_{ref} よりも高いため、コンパレータ 45 から出力される信号が H レ

10

20

30

40

50

ベルのままとなる。そのため、SR - FF 50の出力端子Qから出力される信号がLレベルのままとなり、同期整流が開始されず、出力電圧V_{out}が目的電圧より高い状態が継続してしまうこととなる。そこで、DC - DCコンバータ1Bでは、コンパレータ60を用いることにより、ソフトスタート動作終了後に、回生防止動作を強制的に解除する機能を実現している。

【0052】

コンパレータ60の一方の入力端子(本実施形態では+入力端子)には、端子SSを介して電圧V_{ss}が印加され、コンパレータ60の他方の入力端子(本実施形態では-入力端子)には、電源61から出力される電圧V_{end}が印加されている。そして、コンパレータ50は、+入力端子に印加される電圧V_{ss}と、-入力端子に印加される電圧V_{end}との比較を行い、電圧V_{ss}が電圧V_{end}より高い場合に一方の論理レベル(本実施形態ではHレベル)の比較信号を出力し、電圧V_{ss}が電圧V_{end}より低い場合に他方の論理レベル(本実施形態ではLレベル)の比較信号を出力する。なお、電源61は、スイッチング制御回路10Bの外部に設けられていることとしてもよい。

10

【0053】

ここで、電圧V_{end}は、ソフトスタート動作の終了を検出するための電圧であり、電圧V_{ref}以上の電圧となっている。すなわち、電圧V_{ss}が電圧V_{end}より高くなってコンパレータ60からHレベルの信号が出力されると、ソフトスタート動作が終了したと判断され、回生防止動作が解除されることとなる。なお、回生防止動作を解除するタイミングをソフトスタート動作が確実に終了した後にするために、電圧V_{end}は、電圧V_{ref}と同一ではなく、電圧V_{ref}より少し高い電圧とすることが好ましい。

20

【0054】

NOR回路62の一方の入力端子には、SR - FF 50の出力端子Qから出力される信号が入力されており、NOR回路62の他方の入力端子には、コンパレータ60から出力される信号が入力されている。したがって、SR - FF 50の出力端子Qから出力される信号、または、コンパレータ60から出力される信号の何れか一方がHレベルになると、NOR回路62から出力される信号がLレベルとなる。そして、NOR回路62から出力される信号は、インバータ回路63を介して、バッファ48から出力される信号とともにAND回路53に入力されている。

【0055】

なお、スイッチング制御回路10Bにおける、インバータ47、バッファ48、SR - FF 50、インバータ51、AND回路53、NOR回路62、及びインバータ63が、本発明の駆動回路に相当する。また、SR - FF 50及びインバータ51が本発明の開始信号出力回路に相当し、インバータ47及びバッファ48が本発明の制御信号出力回路に相当し、AND回路53、NOR回路62、及びインバータ63が本発明の駆動制御回路に相当する。

30

【0056】

== 動作説明 ==

DC - DCコンバータ1Bの動作について説明する。なお、プレバイアス状態が発生していない場合は、回生防止動作が行われなため、第1実施形態のDC - DCコンバータ1Aと同様の動作となる。また、プレバイアス状態における帰還電圧V_fが電圧V_{ref}より低い場合は、ソフトスタート動作によって電圧V_{ss}が上昇し、電圧V_{ss}が帰還電圧V_fより高くなると、第1実施形態のDC - DCコンバータ1Aと同様にSR - FF 50の出力端子Qから出力される信号がHレベルとなる。そして、SR - FF 50の出力端子Qから出力される信号がHレベルになると、インバータ63から出力される信号がHレベルとなり、回生防止動作が解除される。

40

【0057】

そして、プレバイアス状態における帰還電圧V_fが電圧V_{ref}より高い場合、ソフトスタート動作が終了してもコンパレータ45から出力される信号はHレベルのままとなっている。そのため、SR - FF 50の出力端子Qから出力される信号はLレベルのままであり

50

、SR-FF50の出力端子Qから出力される信号によっては、回生防止動作は解除されない。しかし、電圧V_{ss}が電圧V_{end}より高くなると、コンパレータ60から出力される信号がHレベルとなり、NOR回路62から出力される信号がLレベルとなる。すなわち、インバータ63から出力される信号がHレベルとなり、コンパレータ45から出力される信号のレベルにかかわらず、回生防止動作が強制的に解除される。

【0058】

このように、DC-DCコンバータ1Bでは、第1実施形態におけるDC-DCコンバータ1Aと同様に、コンパレータ45から出力される比較信号に基づいて回生防止動作が制御されており、回生防止動作を実現するために専用のコンパレータを設ける必要がなく、スイッチング制御回路10Bの回路規模を小さくすることができる。さらに、DC-DCコンバータ1Bでは、ソフトスタート動作終了後も帰還電圧V_fが電圧V_{ref}より高い場合は回生防止動作が強制的に解除される。したがって、出力電圧V_{out}が目的電圧より高い状態が継続することがなく、出力電圧V_{out}が供給される回路への影響を小さくすることができる。

10

【0059】

<<第3実施形態>>

= = 回路構成 = =

ところで、第2実施形態に示したDC-DCコンバータ1Bでは、回生防止動作を強制的に解除する際、出力電圧V_{out}が一時的に下降する。図5は、第2実施形態に示したDC-DCコンバータ1Bにおいて、プレバイアス状態での帰還電圧V_fが電圧V_{ref}より高い場合の電圧変化を示す図である。帰還電圧V_fが電圧V_{ref}より高いため、電圧V_{ss}が上昇しても誤差増幅回路40から出力される誤差電圧V_eはLレベルに張り付いたままである。その後、前述したように、電圧V_{ss}が電圧V_{end}より高くなると、コンパレータ60からHレベルの信号が出力されて回生防止動作が強制的に解除され、同期整流が開始される。

20

【0060】

このとき、誤差増幅回路40から出力される電圧V_eはLレベルのままである。したがって、コンパレータ45から出力される信号はHレベルとなり、NチャンネルMOSFET11がオフ、NチャンネルMOSFET12がオンとなる。そのため、出力電圧V_{out}が下降しはじめる。そして、出力電圧V_{out}が下降して帰還電圧V_fが電圧V_{ref}より低くなると、誤差増幅回路40から出力される誤差電圧V_eは上昇しはじめる。しかし、誤差増幅回路40は、キャパシタ31及び抵抗32により定まる積分定数によって積分動作するため、誤差電圧V_eはすぐには上昇しない。そのため、DC-DCコンバータ1Bでは、出力電圧V_{out}がゼロレベルに近い電圧まで下降する。その後、誤差電圧V_eが上昇すると、コンパレータ45から出力される信号がLレベルとなり、NチャンネルMOSFET11がオン、NチャンネルMOSFET12がオフとなる。そして、帰還電圧V_fが電圧V_{ref}となるように出力電圧V_{out}が上昇していくこととなる。

30

【0061】

このように、第2実施形態のDC-DCコンバータ1Bでは、回生防止動作の強制解除時に出力電圧V_{out}が下降してしまう。そこで、出力電圧V_{out}を供給する回路によっては、以下の第3実施形態で示すように、回生防止動作の強制解除時における出力電圧V_{out}の下降を抑制することが好ましい場合がある。

40

【0062】

図6は、本発明の第3実施形態であるスイッチング制御回路を用いて構成されるDC-DCコンバータの構成を示す図である。DC-DCコンバータ1Cは、第2実施形態のDC-DCコンバータ1Bにおけるスイッチング制御回路10Bに代えて、スイッチング制御回路10Cを備えている。スイッチング制御回路10Cは、回生防止動作の強制解除時における出力電圧V_{out}の大幅な下降を抑制する機能を有するものであり、スイッチング制御回路10Bが備える構成に加え、スイッチ回路70（誤差電圧制御回路）を備えている。

50

【 0 0 6 3 】

スイッチ回路 7 0 は、誤差増幅回路 4 0 の - 入力端子に印加する電圧を、S R - F F 5 0 の出力端子 Q から出力される信号に応じて切り替えることができる。具体的には、S R - F F 5 0 の出力端子 Q から出力される信号が、回生防止動作を行わせることを示す一方の論理レベル（本実施形態では L レベル）の場合、スイッチ回路 7 0 は、誤差増幅回路 4 0 の出力端子と - 入力端子とを電氣的に接続することにより、- 入力端子に誤差電圧 V_e を印加する。この場合、誤差電圧 V_e は、電圧 V_{ss} 又は電圧 V_{ref} の低い方と同電位となる。つまり、誤差増幅回路 4 0 は、電圧 V_{ss} 又は電圧 V_{ref} の低い方を出力するバッファ回路として動作することとなる。また、S R - F F 5 0 の出力端子 Q から出力される信号が、回生防止動作を解除することを示す他方の論理レベル（本実施形態では H レベル）の場合、スイッチ回路 7 0 は、端子 F B と誤差増幅回路 4 0 の - 入力端子とを電氣的に接続することにより、- 入力端子に帰還電圧 V_f を印加する。

10

【 0 0 6 4 】

なお、スイッチング制御回路 1 0 C における、インバータ 4 7、バッファ 4 8、S R - F F 5 0、インバータ 5 1、AND 回路 5 3、NOR 回路 6 2、及びインバータ 6 3 が、本発明の駆動回路に相当する。また、S R - F F 5 0 及びインバータ 5 1 が本発明の開始信号出力回路に相当し、インバータ 4 7 及びバッファ 4 8 が本発明の制御信号出力回路に相当し、AND 回路 5 3、NOR 回路 6 2、及びインバータ 6 3 が本発明の駆動制御回路に相当する。

【 0 0 6 5 】

= = 動作説明 = =

DC - DC コンバータ 1 C の動作について説明する。まず、プレバイアス状態が発生していない場合の動作について説明する。この場合、DC - DC コンバータ 1 C が起動されると、マイコン 3 5 から出力されるスタンバイ信号によって、S R - F F 5 0 の出力端子 Q から出力される信号が L レベルとなる。そして、スイッチ回路 7 0 は、S R - F F 5 0 の出力端子 Q から出力される L レベルの信号に応じて、誤差増幅回路 4 0 の出力端子と - 入力端子とを電氣的に接続する。つまり、誤差増幅回路 4 0 の + 入力端子と - 入力端子とが仮想短絡された状態となる。そして、DC - DC コンバータ 1 C の起動時には、電圧 V_{ref} よりも電圧 V_{ss} の方が低いため、誤差増幅回路 4 0 の出力端子から出力される誤差電圧 V_e は、電圧 V_{ss} と同電位となる。そして、電圧 V_{ss} が徐々に上昇していくため誤差電圧 V_e が帰還電圧 V_f より高くなる。そのため、コンパレータ 4 5 から出力される信号が L レベルとなり、S R - F F 5 0 の出力端子 Q から出力される信号が H レベルに変化する。S R - F F 5 0 の出力端子 Q から出力される信号が H レベルに変化すると、スイッチ回路 7 0 は、端子 F B と誤差増幅回路 4 0 の - 入力端子とを電氣的に接続する。以後は、帰還電圧 V_f が電圧 V_{ss} 又は電圧 V_{ref} の低い方と同電位となるように同期整流が行われる。

20

30

【 0 0 6 6 】

次に、プレバイアス状態における帰還電圧 V_f が電圧 V_{ref} より低い場合の動作について説明する。この場合も、DC - DC コンバータ 1 C が起動されると、マイコン 3 5 から出力されるスタンバイ信号によって、S R - F F 5 0 の出力端子 Q から出力される信号が L レベルとなる。そして、スイッチ回路 7 0 は、S R - F F 5 0 の出力端子 Q から出力される L レベルの信号に応じて、誤差増幅回路 4 0 の出力端子と - 入力端子とを電氣的に接続する。そのため、誤差増幅回路 4 0 の出力端子から出力される誤差電圧 V_e は、電圧 V_{ss} と同電位となる。このとき、プレバイアス状態によって、電圧 V_{ss} よりも帰還電圧 V_f が高くなっているため、コンパレータ 4 5 から出力される信号は H レベルとなり、S R - F F 5 0 から出力される信号は L レベルのままである。したがって、DC - DC コンバータ 1 C では回生防止動作が行われることとなる。

40

【 0 0 6 7 】

そして、電圧 V_{ss} の上昇とともに誤差増幅回路 4 0 から出力される誤差電圧 V_e が上昇し、誤差電圧 V_e が帰還電圧 V_f より高くなると、コンパレータ 4 5 から出力される信号は L レベルとなる。つまり、電圧 V_{ss} が帰還電圧 V_f より高くなってプレバイアス状態が解

50

除されると、コンパレータ45から出力される信号がLレベルとなる。そして、コンパレータ45から出力される信号がLレベルになると、SR-FF50の出力端子Qから出力される信号がHレベルとなり、回生防止動作が解除される。その後は、帰還電圧Vfが電圧Vss又は電圧Vrefの低い方と同電位となるように同期整流が行われる。

【0068】

次に、プレバイアス状態における帰還電圧Vfが電圧Vrefより高い場合の動作について説明する。図7は、DC-DCコンバータ1Cにおいて、プレバイアス状態での帰還電圧Vfが電圧Vrefより高い場合の電圧変化を示す図である。この場合も、DC-DCコンバータ1Cが起動されると、マイコン35から出力されるスタンバイ信号によって、SR-FF50の出力端子Qから出力される信号がLレベルとなる。そして、スイッチ回路70は、SR-FF50の出力端子Qから出力されるLレベルの信号に応じて、誤差増幅回路40の出力端子と-入力端子とを電氣的に接続する。そのため、誤差増幅回路40の出力端子から出力される誤差電圧Veは、電圧Vssと同電位となる。このとき、プレバイアス状態によって、電圧Vssよりも帰還電圧Vfが高くなっているため、コンパレータ45から出力される信号はHレベルとなり、SR-FF50から出力される信号はLレベルのままである。したがって、DC-DCコンバータ1Cでは回生防止動作が行われることとなる。

10

【0069】

そして、電圧Vssが上昇して電圧Vrefより高くなると、誤差増幅回路40の出力端子から出力される電圧Veは、電圧Vrefと同電位となる。いま、帰還電圧Vfが電圧Vrefより高い状態にあるため、コンパレータ45から出力される信号はHレベルのままである。したがって、SR-FF50から出力される信号はLレベルのままとなり、DC-DCコンバータ1Cでは回生保護動作が継続される。

20

【0070】

その後、電圧Vssが上昇し続け、電源61から出力される電圧Vendより高くなると、コンパレータ60から出力される信号がHレベルとなり、回生防止動作が強制的に解除される。このとき、誤差増幅回路40から出力される誤差電圧Veは、誤差増幅回路40がバッファ回路として動作しているため、電圧Vrefと同電位となっている。したがって、回生防止動作が解除されると、すぐに、帰還電圧Vfが電圧Vrefとなるように同期整流が行われることとなる。そのため、出力電圧Voutの大幅な下降を抑制することができる。

30

【0071】

以上、本発明の実施形態について説明した。第1～第3実施形態に示したように、DC-DCコンバータ1A, 1B, 1Cでは、コンパレータ45から出力される比較信号に基づいて、回生防止動作が制御されている。つまり、コンパレータ45により、DC-DCコンバータ1A, 1B, 1Cにおける同期整流を制御する信号を生成する機能と、回生防止動作を解除するための信号を生成する機能とが実現されている。したがって、DC-DCコンバータ1A, 1B, 1Cでは、回生防止動作を実現するために専用のコンパレータを設ける必要がなく、スイッチング制御回路10A, 10B, 10Cの回路規模を小さくすることができる。

【0072】

また、DC-DCコンバータ1A, 1B, 1Cでは、回生防止動作が解除されて同期整流が開始される際には、NチャネルMOSFET12よりも先にNチャネルMOSFET11がオンすることとなる。したがって、同期整流が開始される際に出力電圧Voutが下降することを抑制することができる。

40

【0073】

また、第2及び第3実施形態に示したように、DC-DCコンバータ1B, 1Cでは、ソフトスタート動作が終了しても帰還電圧Vfが電圧Vrefよりも高い場合は、回生防止動作が強制的に解除される。したがって、プレバイアス状態における出力電圧Voutが目的電圧よりも高い場合であっても、ソフトスタート動作が終了した後に強制的に回生防止動作が解除される。そのため、出力電圧Voutが目的電圧よりも高い状態が継続してしまうこ

50

とがなく、出力電圧 V_{out} を目的電圧に変化させることができる。

【0074】

また、第3実施形態に示したように、DC-DCコンバータ1Cでは、回生防止動作が行われている間、誤差増幅回路40が電圧 V_{ss} 又は V_{ref} の低い方を出力するバッファ回路として機能している。そのため、回生防止動作が強制的に解除された際に、誤差増幅回路40から出力される誤差電圧 V_e が電圧 V_{ref} と同電位となっており、出力電圧 V_{out} の大幅な下降を抑制することができる。

【0075】

なお、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

10

【図面の簡単な説明】

【0076】

【図1】本発明の第1実施形態であるスイッチング制御回路を用いて構成されるDC-DCコンバータの構成を示す図である。

【図2】起動時にプレバイアス状態が発生していない場合のDC-DCコンバータ1Aにおける電圧変化を示す図である。

【図3】起動時に出力電圧 V_{out} がゼロレベル以上で目的レベル以下の電圧になっている場合のDC-DCコンバータ1Aにおける電圧変化を示す図である。

【図4】本発明の第2実施形態であるスイッチング制御回路を用いて構成されるDC-DCコンバータの構成を示す図である。

20

【図5】DC-DCコンバータ1Bにおいて、プレバイアス状態での帰還電圧 V_f が電圧 V_{ref} より高い場合の電圧変化を示す図である。

【図6】本発明の第3実施形態であるスイッチング制御回路を用いて構成されるDC-DCコンバータの構成を示す図である。

【図7】DC-DCコンバータ1Cにおいて、プレバイアス状態での帰還電圧 V_f が電圧 V_{ref} より高い場合の電圧変化を示す図である。

【図8】降圧型のDC-DCコンバータの一般的な構成を示す図である。

【符号の説明】

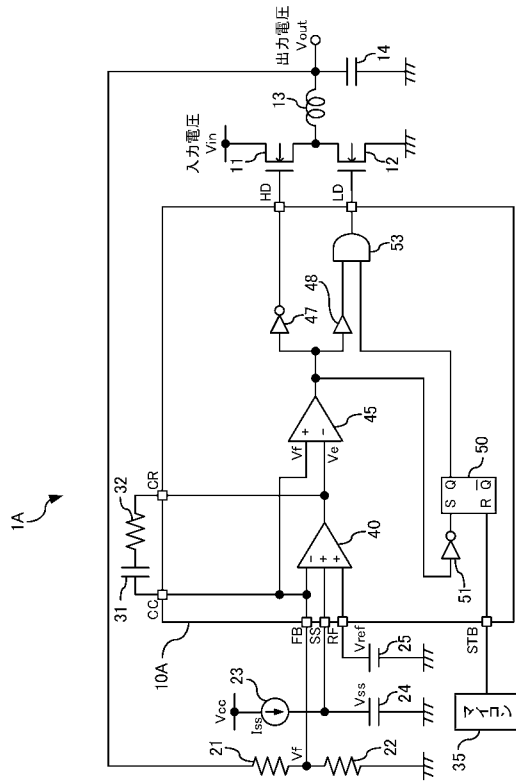
【0077】

30

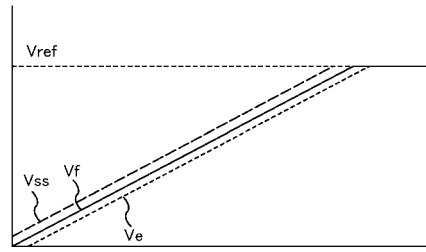
- 1A, 1B, 1C DC-DCコンバータ
- 10A, 10B, 10C スwitchング制御回路
- 11, 12 NチャンネルMOSFET
- 13 インダクタ
- 14, 31 キャパシタ
- 21, 22, 24, 32 抵抗
- 23 電流源
- 25, 61 電源
- 35 マイコン
- 40 誤差増幅回路
- 45, 60 コンパレータ
- 47, 51, 63 インバータ
- 48 バッファ
- 50 SR型フリップフロップ
- 53 AND回路
- 62 NOR回路
- 70 スイッチ回路

40

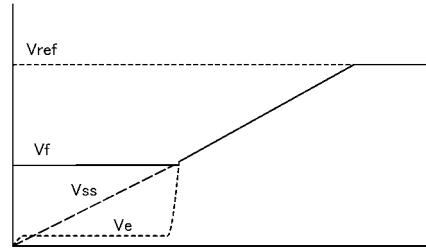
【図1】



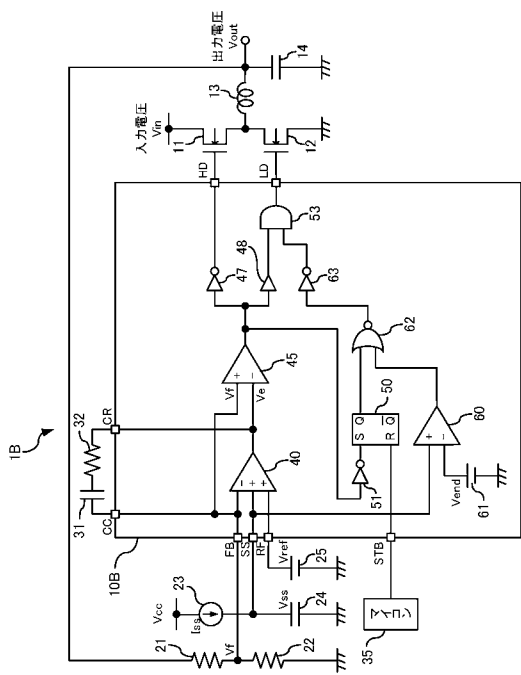
【図2】



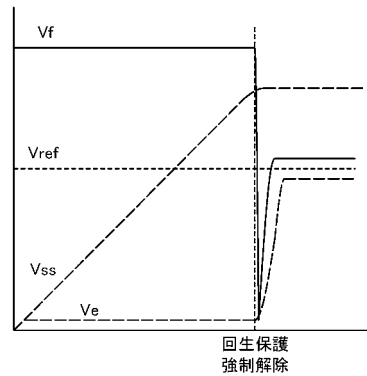
【図3】



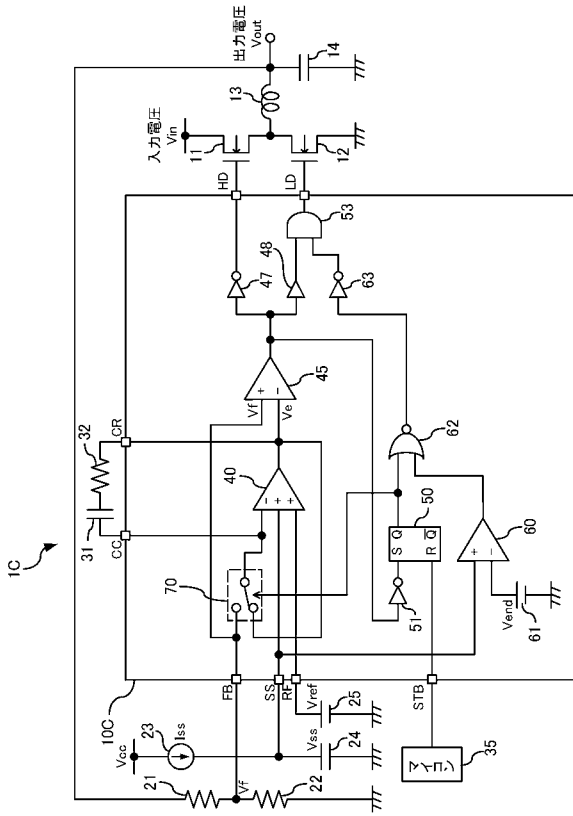
【図4】



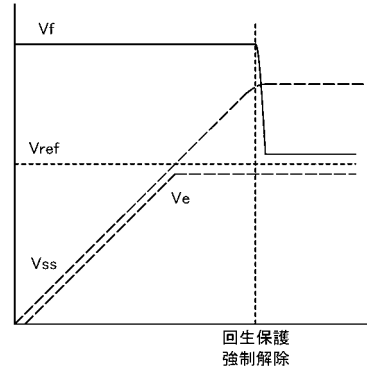
【図5】



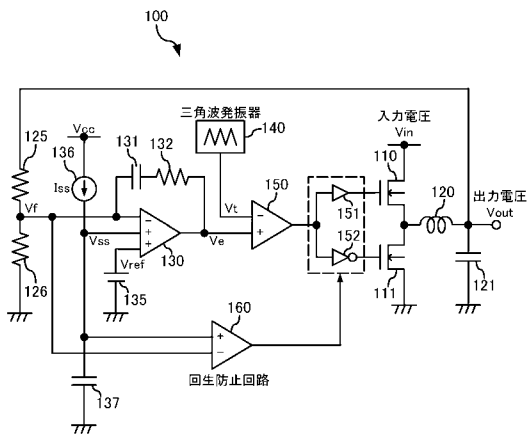
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 野間 隆嗣

京都府長岡京市天神二丁目2番10号 株式会社村田製作所内

審査官 塩治 雅也

(56)参考文献 特開平11-220874(JP,A)

特開平10-295074(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155