



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I408795B1

(45) 公告日：中華民國 102 (2013) 年 09 月 11 日

(21) 申請案號：093122757

(22) 申請日：中華民國 93 (2004) 年 07 月 29 日

(51) Int. Cl. : H01L27/00 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2003/10/30 日本

2003-370651

(71) 申請人：OKI I 半導體股份有限公司 (日本) OKI SEMICONDUCTOR COMPANY, LIMITED
(JP)

日本

(72) 發明人：石原政道 ISHIHARA, MASAMICHI (JP)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

JP 2003-309221A

US 5952718

US 2002/0028532A1

US 2003/0062620A1

審查人員：劉中石

申請專利範圍項數：46 項 圖式數：29 共 0 頁

(54) 名稱

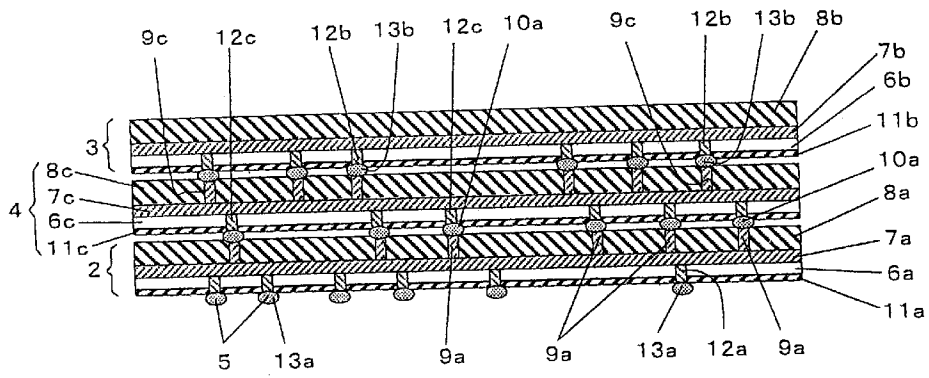
半導體裝置及其製造方法

(57) 摘要

本發明提供一種薄型且適用於高速動作的積層型半導體裝置。

在半導體基板的一面，整列配置形成複數個預定電路；將與電路電性連接的配線及絕緣層，依序積層形成預定圖案以形成多層配線部；在形成多層配線部的階段，在半導體基板上形成表面被絕緣膜覆蓋的充填電極；在多層配線部的預定配線上形成柱電極；在半導體基板的一面形成第 1 絕緣層；將第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出；研削半導體基板的另一面，以令充填電極露出以形成貫通電極；蝕刻半導體基板的一面，以令貫通電極的前端突出；在令貫通電極的前端露出的狀態，在半導體基板的一面，形成第 2 絕緣層；在兩電極形成突起電極；分割半導體基板以形成半導體裝置。將藉由該方法獲致的複數半導體裝置以突起電極加以積層固定，而製成積層型半導體裝置。

第1圖



- 2 . . . 第 1 半 導 體 裝 置
- 3 . . . 第 2 半 導 體 裝 置
- 4 . . . 第 3 半 導 體 裝 置
- 5 . . . 外 部 電 極 端 子
- 6a、6b、6c . . . 半 導 體 基 板
- 7a、7b、7c . . . 多 層 配 線 部
- 8a、8b、8c . . . 第 1 絕 緣 層
- 9a、9c . . . 柱 電 極
- 10a . . . 突 起 電 極
- 11a、11b、11c . . . 第 2 絕 緣 層
- 12a、12b、12c . . . 貫 通 電 極
- 13a、13b . . . 突 起 電 極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93122757

※ 申請日期：93-7-29

※ IPC 分類：H01L 27/00

21/60

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、中文發明摘要：

本發明提供一種薄型且適用於高速動作的積層型半導體裝置。

在半導體基板的一面，整列配置形成複數個預定電路；將與電路電性連接的配線及絕緣層，依序積層形成預定圖案以形成多層配線部；在形成多層配線部的階段，在半導體基板上形成表面被絕緣膜覆蓋的充填電極；在多層配線部的預定配線上形成柱電極；在半導體基板的一面形成第 1 絕緣層；將第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出；研削半導體基板的另一面，以令充填電極露出以形成貫通電極；蝕刻半導體基板的一面，以令貫通電極的前端突出；在令貫通電極的前端露出的狀態，在半導體基板的一面，形成第 2 絕緣層；在兩電極形成突起電極；分割半導體基板以形成半導體裝置。將藉由該方法獲致的複數半導體裝置以突起電極加以積層固定，而製成積層型半導體裝置。

三、英文發明摘要：

四、指定代表圖：

(一) 本案之指定代表圖：第 (1) 圖

(二) 本代表圖之元件符號簡單說明：

2	第 1 半導體裝置
3	第 2 半導體裝置
4	第 3 半導體裝置
5	外部電極端子
6a、6b、6c	半導體基板
7a、7b、7c	多層配線部
8a、8b、8c	第 1 絕緣層
9a、9c	柱電極
10a	突起電極
11a、11b、11c	第 2 絕緣層
12a、12b、12c	貫通電極
13a、13b	突起電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是關於可達成薄型化及高速動作化之半導體裝置及其製造方法，尤其關於適用於將複數半導體裝置依序積層之積層型半導體裝置的製造技術之有效技術。

【先前技術】

隨著各種電子裝置的多功能・小型化，組裝於電子裝置的半導體裝置逐漸形成小型且內設許多電路元件的構造。就提升半導體裝置（積體電路裝置）之積體密度的方法而言，已知有三維積層型半導體裝置。

例如，具有在中介層上積層固定複數層具有貫通電極的 LSI 晶片，以達成高積體化的構造之提案（例如，專利文獻 1、非專利文獻 2）。

又，將形成積體電路之第 1 至第 3 半導體基板加以積層的 3 維半導體裝置係為已知。該 3 維半導體裝置中，第 3 半導體裝置係使用 SOI 基板（例如，專利文獻 2）。

再者，就 3 維積層 LSI 之製造所需要的技術而言，係有在半導體基板上形成貫通電極的技術。目前在矽（Si）晶圓上形成貫通電極的加工（process）或步驟數有很多（例如，專利文獻 2）。

[專利文獻 1]日本特開 2003-46057 號公報

[專利文獻 2]日本特開 2001-250913 號公報

[非專利文獻 1]電氣學會電子材料研究會資料、VOL.EFM-02-6, No.1-8, P31-35

[非專利文獻 2]表面技術、VOL.52, No.7, 2001, P479-483

【發明內容】

[發明所欲解決之課題]

習知之 3 維積層型半導體裝置，具有以下之問題。

(1) 將 LSI 晶片多層地積層（例如 3 晶片以上）之構造中，大多數的情況主要是個別設置中介層，藉由該中介層而積層。此時，大多採用從特性面的個別倒裝片（flip chip）工法。倒裝片安裝的成本較高。又，因為個別隔著中介層，故晶片間的連接路徑變長，特性面也會惡化。

(2) 取代倒裝片之銲接引線所形成連接可為 3 層或 4 層。然而，引線數增加之同時，步驟數也會變長。再者，引線會造成連接路徑變長，阻抗增加，而導致特性劣化（高速動作化）。再者，進行薄型裸晶片的裝卸（handling）時，會有問題，在整體的薄型化產生限制。

(3) 為了提升完成品的良率，在安裝（積層）前，必須以裸晶片實施最後測試，然而，裸晶片的最後測試、所謂 KGD（Known Good Die）的最後測試成本，就現階段來說，裝卸的難度非常高。

(4) 在 1 晶片上於複數部位積層時，充其量兩層為其界限，又，此時，連接路徑變長，容易對特性造成影響。

系統封裝（system·in·package：SiP），與系統單晶片（system·on·chip：SoC）相比較，開發成本、開發期小非常多，是擔負日後高功能半導體之要角的技術。SiP 目前雖已使用在行動電話或數位相機等，然而需要進一步

高積體化。所以，可預知不久的將來，將會有 4 層、5 層之積層的需求，再者，其組合亦需具備彈性。

本發明之一目的在於提供半導體裝置間之連接路徑得以縮短且特性良好的積層型半導體裝置。

本發明之一目的在於提供一種可積層複數層構造不同之多種半導體裝置之薄型積層型半導體裝置的製造方法。

本發明之一目的在於提供一種可廉價製造生產性良好且可靠性高的薄型積層型半導體裝置之半導體裝置的製造方法。

本發明之一目的在於提供一種可容易積層複數層構造不同之含多種半導體裝置的電子零件之積層型半導體裝置的製造方法。

本發明之一目的在於提供一種可縮短與外部的連接路徑，薄型且製造成本廉價的半導體裝置。

本發明之上述與其他目的和新穎特徵，藉由本說明書之描述及附圖應可明晰。

[用以解決課題之手段]

本申請案所揭示之發明中，代表性概要的簡要說明係如下所述：

(1) 本發明之積層型半導體裝置，係具備：下面具有外部電極端子的第 1 半導體裝置、和與上述第 1 半導體裝置藉由接合體電性連接，且固定於上述第 1 半導體裝置上的第 2 半導體裝置、和在上述第 1 半導體裝置和第 2 半導

體裝置之間，藉由接合體而依序積層固定的第 3 半導體裝置，其特徵為：

上述第 1 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

複數柱電極，其係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面；和

複數貫通電極，其係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部之各預定配線連接；和

上述第 2 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

至少具有柱電極或複數貫通電極，該柱電極係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣

層的表面，而複數貫通電極係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，且藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部的各預定配線連接，

上述第 3 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

複數柱電極，其係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面；和

複數貫通電極，其係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部之各預定配線連接，

而上述第 1 半導體裝置之上述柱電極或上述貫通電極係位於下面，在該下面之上述柱電極或上述貫通電極上設置上述外部電極端子，

而上述第 3 半導體裝置下面的上述貫通電極或上述柱電極，係藉由上述接合體與上述第 1 半導體裝置上面的上述柱電極或上述貫通電極電性連接。

而上述第 2 半導體裝置下面的上述柱電極或上述貫通

電極，係藉由上述貫通電極，與上述第 3 半導體裝置上面的上述柱電極或上述貫通電極電性連接。

此種積層型半導體裝置係具備下列步驟：

(a) 在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

(b) 在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

(c) 在形成上述多層配線部的階段，形成複數個從上述多層配線部的預定深度，朝向上述半導體基板的上述第 1 主面之相反面的第 2 主面，且表面具有絕緣膜的孔，同時於該孔充填導體，以形成與上述多層配線部的預定配線電性連接的充填電極之步驟；和

(d) 在上述多層配線部的各預定配線上，形成柱電極的步驟；和

(e) 在上述半導體基板的第 1 主面，形成覆蓋上述柱電極的第 1 絕緣層之步驟；和

(f) 將上述第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出的步驟；和

(g) 將上述半導體基板的第 2 主面從其表面去除預定厚度，以令上述充填電極露出，俾形成貫通電極的步驟；和

(h) 將上述半導體基板的第 2 主面蝕刻去除預定厚度，以令上述貫通電極突出預定長度的步驟；和

(i) 於令上述貫通電極的前端露出的狀態，在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層之步驟；和

(j) 將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟；和

(k) 於上述步驟 (i) 後或上述步驟 (j) 後，在上述貫通電極及上述柱電極中的預定露出端，形成突起電極的步驟，

藉由上述步驟 (a) 至步驟 (k)，形成上述第 1 半導體裝置及第 3 半導體裝置，

藉由上述步驟 (a) 至步驟 (k) 之步驟的選擇，形成在下面僅具有上述貫通電極或上述柱電極的第 2 半導體裝置，

繼之，將上述第 1 半導體裝置的上述貫通電極或上述柱電極設在下面，使下面的上述電極作為上述外部電極端子，其後，將上述第 3 半導體裝置下面的上述貫通電極或上述柱電極，與上述第 1 半導體裝置上面的上述貫通電極或上述柱電極重疊，藉由上述突起電極之暫時的熔融處理，予以連接，

將上述第 2 半導體裝置下面的上述貫通電極或上述柱電極，與上述第 3 半導體裝置上面的上述貫通電極或上述柱電極重疊，藉由上述突起電極之暫時的加熱處理，予以連接，而製得積層型半導體裝置。

僅具有上述貫通電極的上述第 2 半導體裝置係藉由下

列步驟形成：

在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

在形成上述多層配線部的階段，形成複數個從上述多層配線部的預定深度，朝向上述半導體基板的上述第 1 主面之相反面的第 2 主面，且表面具有絕緣膜的孔，同時於該孔充填導體，以形成與上述多層配線部的預定配線電性連接的充填電極之步驟；和

在上述多層配線部的第 1 主面，形成第 1 絕緣層的步驟；和

將上述半導體基板的第 2 主面從其表面去除預定厚度，以令上述充填電極露出，俾形成貫通電極的步驟；和

將上述半導體基板的第 2 主面蝕刻去除預定厚度，以令上述貫通電極突出預定長度的步驟；和

在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層，以令上述貫通電極的前端露出之步驟；和

將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟；和

於上述分割步驟的前後，在上述貫通電極的露出部分，形成突起電極的步驟。

僅具有上述柱電極的上述第 2 半導體裝置係藉由下列

步驟形成：

在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

在上述多層配線部的各預定配線上，形成柱電極的步驟；和

在上述半導體基板的第 1 主面，形成覆蓋上述柱電極的第 1 絕緣層之步驟；和

將上述第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出的步驟；和

將上述半導體基板的第 2 主面從其表面去除預定厚度，以將上述半導體基板變薄的步驟；和

在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層之步驟；和

將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟；和

於上述分割步驟的前後，在上述貫通電極的露出部分，形成突起電極的步驟。

(2) 上述 (1) 的構成中，在上述第 1 半導體裝置上，並列配置固定複數個比上述第 1 半導體裝置小的第 2 半導體裝置。

[發明之效果]

本申請案所揭示之發明中，代表性概要的簡要說明係如下所述：

根據上述 (1) 之手段，(a) 第 1 及第 3 與第 2 半導體裝置的製造中，在半導體基板的第 1 主面側形成第 1 絕緣層後，將半導體基板的第 2 主面去除預定厚度，然而，由於上述第 1 絕緣層可作為強度構件，所以可將半導體基板變薄為 5 至 50 μm 左右。又，因為絕緣層的厚度亦可變薄為 20 至 100 μm 左右，所以在不考慮突起電極之厚度的狀態，各半導體裝置可形成例如 40 至 100 μm 左右的厚度，且可達成積層型半導體裝置的薄型化。若將半導體基板及絕緣層的厚度設為下限之數值的話，則可進一步達成薄型化。

(b) 在第 1 及第 3 與第 2 半導體裝置中，下層側的半導體裝置和上層側的半導體裝置之連接，係利用貫通於第 1 絕緣層而設置的柱狀柱電極、或貫通於半導體基板而設置的貫通電極來連接，所以電流路徑變短，可降低電感 (inductance)，且積層型半導體裝置的電性特性良好。設置於第 1 絕緣層或半導體基板的柱電極或貫通電極之長度較短，係為 5 至 50 μm 左右，與藉由引線連接之銲接引線之數百 μm 以上的長度相比較，大幅地縮短。因此，可進行積層型半導體裝置的高速動作。

(c) 設置於半導體基板的貫通電極，雖然具有形成於與形成電路元件之區域分離的區域之制約，然而配線區域

等可較自由地選擇配置位置。又，與多層配線部之預定配線連接的柱電極，藉由配線的引繞，可較自由地決定配置位置。因此，藉由選擇設置貫通電極及柱電極的位置，可提昇 2 維方向的積體密度。

(d) 本發明之積層型半導體裝置不需使用中介層，而可進行下層側之半導體裝置和上層側之半導體裝置的電性連接。結果，可減少組裝零件數，同時獲致積層型半導體裝置的薄型化。中介層的使用會導致半導體晶片間或半導體裝置間的連接路徑（電流路徑）變長，而藉由不使用中介層，可縮短電流路徑，提昇電性特性。

(e) 本發明之積層型半導體裝置的製造中，第 1 及第 3 與第 2 半導體裝置的製造中，係使用半導體晶圓來製造，在最後階段將半導體基板與絕緣層一起切斷，而製成第 1 及第 3 與第 2 半導體裝置。因此，第 1 及第 3 與第 2 半導體裝置之積層固定以外的必要加工，可以晶圓級（wafer level）實施，故藉由步驟，裝卸性佳，減少徒勞的作業。結果，可降低生產成本。

(2) 根據上述構成 (1)，由於在上述第 1 半導體裝置上並列配置固定複數個比上述第 1 半導體裝置小的第 2 半導體裝置，所以可進一步提昇積體度。

【實施方式】

以下，參照圖面，詳細說明本發明之實施形態。此外，用以說明本發明實施形態的所有圖示中，具有同樣功能者係附以同樣的符號，以省略重複說明。

[實施例 1]

第 1 圖至第 20 圖係關於本發明實施例 1 之積層型半導體裝置的圖。第 1 圖至第 3 圖係關於積層型半導體裝置之構造圖，第 4 圖至第 19 圖係關於積層型半導體裝置之製造圖，第 20 圖係表示積層型半導體裝置之安裝狀態圖。

根據本發明之製造方法所製造的積層型半導體裝置 1 係如第 2 圖所示，由下層的四角形第 1 半導體裝置 2、和積層固定於該第 1 半導體裝置 2 的上面之中間層的第 3 半導體裝置 4、和積層固定於該第 3 半導體裝置 4 的上面之上層第 2 半導體裝置 3 所構成。實施例 1 之積層型半導體裝置 1 中，第 1、第 2、第 3 半導體裝置 2、3、4 的平面尺寸係相同且一致地重疊。第 3 圖是表示積層型半導體裝置 1 的底面圖，藉由設置於第 1 半導體裝置 2 下面的突起電極，形成外部電極端子 5。

第 1、第 2、第 3 半導體裝置 2、3、4 中，由於各半導體裝置，在積層固定的面上是否具有貫通電極或柱電極、是否有用以連接貫通電極和柱電極之接合體等的不同，所以各部位的名稱為相同的名稱，而符號方面，第 1 半導體裝置 2 係在數字的尾端附上 a，第 2 半導體裝置 3 中在數字的尾端附上 b，第 3 半導體裝置 4 中在數字的尾端附上 c 來說明。上述接合體係將設置於貫通電極或柱電極之露出端的突起電極（凸塊電極）暫時地進行加熱處理而形成者。

第 1 半導體裝置 2 具有四角形的半導體基板 6a。半導

體基板 6a 係由例如矽 (Si) 所構成，在其第 1 主面側（形成 IC 等電路的面，第 1 圖中為上面），形成有多層配線部 7a，且在該多層配線部 7a 上，設有由絕緣性樹脂所構成的第 1 絕緣層 8a。一般而言，絕緣層係由使用於半導體裝置的製造之樹脂，例如聚醯亞胺樹脂、環氧樹脂等絕緣性有機樹脂形成者。半導體基板 6a 係形成例如 20 μm 左右的厚度。半導體基板 6a 亦可形成 5 至 50 μm 左右的厚度。由於絕緣膜係製造半導體裝置時的強度構件，所以比較厚，為例如 50 μm 左右。此外，絕緣層的厚度亦可為 20 至 100 μm 左右。

設有柱電極 9a，該柱電極 9a 係貫通第 1 絕緣層 8a，且由與多層配線部 7a 之預定配線電性連接的柱狀銅 (Cu) 構成。柱電極 9a 係露出於第 1 絕緣層 8a 的表面。在柱電極 9a 的露出部分設有突起電極 10a。突起電極 10a 係由例如錫球、金球、表面鍍金的銅球所構成之凸塊電極。

在半導體基板 6a 的第 1 主面，各種構造的電晶體或二極體等主動元件、電阻元件、電容元件、感應層等被動元件係依據需要形成。柱電極 9a 的直徑為 10 μm 左右，厚度為 50 μm 左右。柱電極 9a 的直徑亦可為 10 至 50 μm 左右，厚度亦可為 20 至 100 μm 左右。又，突起電極 10a 連接前的尺寸，係形成例如直徑 60 μm 左右的球，而厚度為 40 μm 左右。突起電極 10a 亦可形成直徑 40 至 80 μm 左右的球。

在位於半導體基板 6a 之上述第 1 主面背側的第 2 主面

(第 1 圖中，下面)，設有由絕緣性樹脂構成的第 2 絕緣層 11a。第 2 絕緣層 11a 係由例如聚醯亞胺樹脂形成。第 2 絕緣層 11a 係形成可確保電性絕緣性的厚度，例如數 μm 至 $10\mu\text{m}$ 左右。本實施例中，形成 $5\mu\text{m}$ 左右。

再者，設有從多層配線部 7a 的預定深度，貫通半導體基板 6a 及第 2 絕緣層 11a 的貫通電極 12a。該貫通電極 12a 係與多層配線部 7a 的預定配線電性連接。貫通電極 12a 係由柱狀的鍍銅形成。貫通電極 12a 的直徑為例如 $10\mu\text{m}$ 左右。貫通電極 12a 的直徑亦可為數 μm 至 $30\mu\text{m}$ 左右。如後所述，藉由絕緣膜將貫通電極 12a 的四周與半導體基板 6a 連接，使貫通電極 12a 與半導體基板 6a 電性獨立。

又，貫通電極 12a 係露出於第 2 絕緣層 11a 的表面。在該貫通電極 12a 的露出部，設有突起電極 13a。突起電極 13a 係由例如金球、表面鍍金的銅球、錫球等所構成之球凸塊電極。突起電極 13a 亦為與突起電極 10a 相同大小的球。此外，亦可藉由電鍍或印刷（網版印刷）形成突起電極。此時，可將突起電極的厚度形成 $10\mu\text{m}$ 左右。

實施例 1 的積層型半導體裝置 1 中，第 1、第 2、第 3 半導體裝置 2、3、4 皆為第 1 絕緣層 8a、8b、8c 朝上，半導體基板 6a、6b、6c 朝下的構造。

中間層的第 3 半導體裝置 4 中，柱電極 9c 及貫通電極 12c 的圖案與第 1 半導體裝置 2 不同，然而，其他部分係形成與第 1 半導體裝置 2 大致相同的構造。此外，第 3 半導體裝置 4 中，沒有設置突起電極。此係由於在積層固定

中，將積層之相對側的半導體裝置之突起電極作為連接用之故。然而，亦可採用將突起電極分別設置於柱電極 9c、貫通電極 12c，且藉由突起電極彼此的連接，進行積層固定的方法。

中間層的第 3 半導體裝置 4，在半導體基板 6c 的第 1 主面（上面），具有多層配線部 7c 及第 1 絕緣層 8c，且在第 2 主面具有第 2 絕緣層 11c。在第 1 絕緣層 8c 上，設有與多層配線部 7c 之預定配線電性連接的複數柱電極 9c。又，設有從半導體基板 6c 貫通第 2 絕緣層 11c，且與多層配線部 7c 的預定配線電性連接的複數貫通電極 12c。該貫通電極 12c 的四周也設有絕緣膜，對半導體基板 6c 形成絕緣分離。

中間層之第 3 半導體裝置 4 下面側的貫通電極 12c、和下層之第 1 半導體裝置 2 上面側的柱電極 9a 係彼此相對，且介著突起電極 10a 電性連接。突起電極 10a 透過暫時的加熱處理，形成接合體，用以連接連接部。藉由該連接，第 3 半導體裝置 4 得以積層固定於第 1 半導體裝置 2 上。

上層的第 2 半導體裝置 3 係為第 1 半導體裝置 2 沒有設置上述柱電極的構造。亦即，第 2 半導體裝置 3 係在半導體基板 6b 的第 1 主面（上面），具有多層配線部 7b 及第 1 絕緣層 8b，且在第 2 主面具有第 2 絕緣層 11b 的構造。此外，具有從半導體基板 6b 貫通第 2 絕緣層 11b 的貫通電極 12b。貫通電極 12b 係與多層配線部 7b 的預定配線電性

連接。在露出於第 2 絕緣層 11b 表面的貫通電極 12b 上，設有突起電極 13b。

上層之第 3 半導體裝置 4 下面側的貫通電極 12b、和中間層之第 3 半導體裝置 4 上面側的柱電極 9c 係彼此相對，且藉由突起電極 13b 電性連接。藉由該連接，第 2 半導體裝置 4 得以積層固定於第 3 半導體裝置 4 上。

用以連接第 1 半導體裝置 2 和第 3 半導體裝置 4 的突起電極 10a 係為接合體，用以連接第 3 半導體裝置 4 和第 2 半導體裝置 3 的突起電極 13b 係為接合體。以直徑 60 μm 左右的球形成突起電極時，可形成厚度 40 μm 左右的突起電極。又，以突起電極形成上述接合體時，接合體的厚度為 20 μm 左右。此外，欲在柱電極或貫通電極形成突起電極，但難以直接形成突起電極時，事先在貫通電極或突起電極露出的面上形成所期望的電鍍膜即可。

藉由各半導體裝置分別選擇實施例所示之尺寸區域的預定尺寸，其厚度可為 40 至 100 μm 左右，故積層固定為 3 層之積層型半導體裝置 1 的厚度非常薄，球凸塊電極的情況下，為 200 至 380 μm 左右，利用印刷所生之突起電極的情況下，為 150 至 330 μm 左右。該積層型半導體裝置 1 的高度，係因球凸塊電極或印刷所產生之突起電極的大小（厚度）而改變。

藉由積層固定而製成的積層型半導體裝置 1 中，設於半導體基板 6a 下面的突起電極 13a 係外部電極端子 5。將第 1 絕緣層 8a 設為下面而使用第 1 半導體裝置 2 時，突起

電極 10a 係外部電極端子 5。

繼之，說明本實施例 1 之積層型半導體裝置 1 的製造方法。第 4 圖係表示積層型半導體裝置 1 的製造方法之流程圖。該流程圖係由步驟 11 (S11) 至步驟 21 (S21) 的階段，以各別的流程圖表示下層之第 1 半導體裝置 2、中間層之第 3 半導體裝置 4 及上層之第 2 半導體裝置 3 的製造階段，在 S22 的階段將下層、中間層及上層的半導體裝置予以積層固定之內容。

下層之第 1 半導體裝置 2 係透過：對半導體基板形成電路元件 (S11)、於多層配線部形成階段形成充填電極及電極鉚墊 (S12)、形成柱電極 (S13)、形成第 1 絕緣層 (埋設柱電極：S14)、去除第 1 絕緣層表面 (露出柱電極：S15)、去除基板表面 (形成貫通電極：S16)、蝕刻基板表面 (貫通電極突出：S17)、形成第 2 絕緣層 (露出貫通電極：S18)、形成突起電極 (貫通電極・柱電極：S19)、分割 (單片化：S20)、特性檢查 (S21) 之各步驟而形成。

中間層之第 3 半導體裝置 4 係透過相同於上述下層之第 1 半導體裝置 2 的製造階段來製造，而下面的貫通電極 12c 係由與下層之第 1 半導體裝置 2 上面的柱電極 9a 相對的圖案形成。

因為上層之第 2 半導體裝置 3 沒有形成柱電極，所以不需要 S13 的階段。再者，因為沒有設置柱電極，所以在 S14 中形成第 1 絕緣層，在 S15 中去除第 1 絕緣層表面時，不需考慮與柱電極的關係亦可。

將 S21 階段所形成的第 1·第 3·第 2 半導體裝置 2、4、3，於積層固定階段（S22）依序重疊，經由例如平坦化熱處理（reflow）爐加以積層固定，以製造第 1 圖至第 3 圖所示之積層型半導體裝置 1。

實施例 1 之積層型半導體裝置 1 的任一半導體裝置皆是使用矽基板的半導體裝置。然而，也可以是使用 GaAs 或 InP 等化合物半導體的半導體裝置、和使用矽基板的半導體裝置之組合。此時，可形成半導體部之材料適用的電路元件。

繼之，說明關於下層之第 1 半導體裝置 2 的製造。第 5 圖是積層型半導體裝置 1 的製造中，於形成 IC 等的半導體基板（矽基板）上，形成充填電極的模式剖面圖。

半導體裝置的製造中，一般是準備面積較廣的半導體晶圓，其後，在該晶圓的第 1 主面，形成含預定電路元件的單位電路。該單位電路係縱橫地整列配置形成於晶圓的第 1 主面。繼之，經過各處理，最後於縱橫方向予以切斷分離，而形成多數半導體元件（半導體晶片）。該單位電路所形成的四角形區域（部分）在本說明書中稱為製品形成部。用以進行分割的刻畫線或所切斷的切割區域，係位於製品形成部和製品形成部之間。最後，可於該切割區域切斷。第 5 圖之後，僅表示單一的製品形成部。因此，只要不會特別造成妨礙，大部分的名稱係以完成品狀態的名稱來說明。

如第 5 圖所示，準備厚度數 100 μ m 的半導體基板 6a

後，於該半導體基板 6a 的第 1 主面，形成電路（電路元件）（S11）。又，在半導體基板 6a 的第 1 主面上，形成多層配線部 7a。於該多層配線部 7a 的形成階段，在半導體基板 6a 的第 1 主面，形成孔。令孔的表面氧化，接著，在該孔內充填形成電鍍膜。藉由該電鍍膜的充填，可形成充填電極 12。孔的直徑為例如數 μm 至 $30\mu\text{m}$ 左右，深度為 5 至 $50\mu\text{m}$ 左右。實施例中，直徑為例如 $10\mu\text{m}$ 左右，深度為例如 $30\mu\text{m}$ 左右。本實施例中，形成半導體裝置時，係將半導體基板 6a 變薄，以達成第 1 半導體裝置 2 的薄型化。因此，進一步施行薄型化時，可將上述孔變得更淺，孔加工得以容易進行。電鍍膜係由例如銅形成。形成充填電極 12 的方法亦可為其他方法。例如，亦可為利用噴墨方式，將導電性粒子噴塗入孔內以進行充填，其後，利用熱處理使其硬化，以形成充填電極 12 的方法。再者，亦可利用 CVD（氣相化學成長法），充填例如鎢、鈦、鎳、鋁或這些的合金。

第 6 圖是表示上述充填電極及多層配線部的下層部之部分半導體基板的模式放大剖面圖。半導體基板 6a 為第 1 導電型基板，在第 1 主面側的表層部，形成有第 2 導電型的第 1 阱 21 及第 1 導電型的第 2 阱 22。在第 1 阱 21 上，形成例如源極區域 23、汲極區域 24 及絕緣閘極膜 25，又，在絕緣閘極膜 25 上形成閘極電極 26，而形成場效電晶體（FET）。又，在第 1 阱 21 及第 2 阱 22 的表面，亦分別形成有電極 27、28。在半導體基板 6a 的第 1 主面，選擇

性地設有較厚的氧化膜 29。

第 7 圖是表示上述充填電極及多層配線部的一部分之模式放大剖面圖。如第 7 圖所示，在半導體基板 6a 的第 1 主面，絕緣層 30 和配線層（配線）31 以預定圖案交互地積層形成，以形成多層配線部 7a。接著，利用最上層的配線層，形成有電極鍍墊 32。露出該電極鍍墊 32 的一部分。在該露出的部分形成柱電極 9a。因此，露出的部分形成直徑 $10\mu\text{m}$ 左右的孔。此外，第 6 圖是表示多層配線部 7a 的最下層之絕緣層 30 和配線層（配線）31。

此外，在多層配線部 6a 的形成階段，上述充填電極 12 係形成於半導體基板 6a 上。實施例中，在形成電路元件且形成厚氧化膜 29 的階段，利用常用的熱微影技術和熱蝕刻技術，在半導體基板 6a 的第 1 主面側形成上述孔 33。其後，進行氧化處理，以在孔 33 的表面形成絕緣膜 34。再者，實施鍍銅，用鍍銅膜充填孔 33 以形成充填電極 12。例如，充填電極 12 的直徑為 $10\mu\text{m}$ 左右，深度為 $30\mu\text{m}$ 左右。藉此方式，可形成充填電極及電極鍍墊（S12）。由於充填電極 12 係透過絕緣膜 34 與半導體基板 6a 接觸，故形成電性絕緣。

上述充填電極 12 亦可利用噴墨方式，噴塗導電性液體以埋住孔 33 而形成。此時，在噴塗後，將充填的導電性液體施以硬化處理（bake：燒硬）。又，亦可利用 CVD（氣相化學成長法），形成由其他金屬例如鎢、鈦、鎳、鋁或這些合金等所構成的 CVD 膜。

如上所述，由於在充填電極 12 和半導體基板 6a 之間介存絕緣膜 34，所以充填電極 12 可與半導體基板 6a 電性分離（獨立）。

此外，在半導體基板 6a 的第 1 主面上，依序將絕緣層 30 和配線層（配線）31 以預定圖案交互地積層形成時，可令充填電極 12 與多層配線部 7a 的預定配線電性連接。

如第 8 圖所示，在半導體基板 6a 的第 1 主面之預定位置，實施電鍍，以形成複數柱狀柱電極 9a（S13）。該柱電極 9a 係與上述充填電極 12 同樣，亦可形成利用鎢、鈦、鎳、鋁或這些合金等而成的 CVD 膜。

繼之，在半導體基板 6a 的第 1 主面，形成第 1 絕緣層 8a（S14）。柱電極 9a 被第 1 絕緣層 8a 覆蓋。第 1 絕緣層 8a 可使用環氧樹脂或聚醯亞胺等絕緣性有機樹脂。第 1 絕緣層 8a 係利用例如傳送模塑法或擦乾（squeegee）印刷法形成。

第 9 圖是表示形成上述柱電極及第 1 絕緣層配之部分半導體基板的模式放大剖面圖。在電極鉀墊 32 的上面形成柱電極 9a，並且用第 1 絕緣層 8a 覆蓋柱電極 9a。第 9 圖是柱電極 9a 大幅細於電極鉀墊 32 而形成的圖。這是假設使用具有進行連接引線之電極鉀墊的 IC 等製造加工。在 IC 等中，為了連接導電性的引線，電極鉀墊的一邊係 80 至 100 μm 左右的四角形。於是，實施例中，係在該電極鉀墊 32 上設置柱電極 9a。使用確定之 IC 加工而生的電極鉀墊 32 作為用以形成柱電極 9a 的配線部分，也是一種方式

。然而，本發明並不限定於此，亦可在面積較小的配線部形成柱電極 9a。

第 10 圖及第 11 圖係在電極鐳墊 32 上，形成直徑與電極鐳墊 32 相同程度的柱電極 9a 之例子（變形例）。

第 10 圖的構造是在形成多層配線部 7a 之較初期的階段，形成充填電極 12 的例子。在半導體基板 6a 的第 1 面側，形成第 1 層及第 2 層的絕緣層 30 後，在這兩層絕緣層 30 及半導體基板 6a 形成孔 33，然後，在孔 33 充填電鍍膜以形成充填電極 12。

第 11 圖的構造是在形成多層配線部 7a 之較後期的階段，形成充填電極 12 的例子。在半導體基板 6a 的第 1 面側，形成第 1 層及第 4 層的絕緣層 30 後，在這四層絕緣層 30 及半導體基板 6a 形成孔 33，接著，在孔 33 充填電鍍膜以形成充填電極 12。

如第 7 圖、第 10 圖及第 11 圖所示，孔 33 的形成可在多層配線部 7a 之所期望形成階段自由地選擇，且可與多層配線部 7a 的預定配線（配線層 31）電性連接。此外，由於在第 7 圖及第 9 圖中已詳細地說明部分的構造，故第 9 圖至第 10 圖中省略部分的符號。

接著，如第 12 圖所示，將第 1 絕緣層 8a 的表面去除預定厚度（S15）。例如，研磨第 1 絕緣層 8a 的表面，使柱電極 9a 的前端露出。研磨量越多的話，柱電極 9a 的厚度就越短，第 1 絕緣層 8a 的厚度也越薄。本實施例中，由於後述之半導體基板 6a 進行薄型化後，第 1 絕緣層 8a 可作

為用以支持半導體基板 6a 的強度構件使用，所以將例如第 1 絕緣層 8a 的厚度形成 50 μm 左右的厚度。半導體基板 6a 的裝卸 (handling) 中，強度上不會產生妨礙時，則第 1 絕緣層 8a 亦可變得更薄。這與第 1 半導體裝置 2 的薄型化、積層型半導體裝置 1 的薄型化有關。

如第 13 圖所示，研削半導體基板 6a 的第 2 主面，露出充填電極 12 的前端，藉由充填電極 12 形成貫通電極 12a (S16)。藉此構成，半導體基板 6a 形成 25 μm 左右的厚度。即使半導體基板 6a 以此方式變薄第 1 絕緣層 8a 也保持厚度，因此，當半導體基板 6a 進行裝卸時，可防止產生龜裂、破裂等損傷。

如第 14 圖所示，將半導體基板 6a 的第 2 主面側蝕刻預定厚度。蝕刻係藉由氫氟酸系的蝕刻液之濕蝕刻來進行，貫通電極 12a 沒有被蝕刻。因此，貫通電極 12 的前端從厚度 20 μm 左右之半導體基板 6a 的表面，突出 5 μm 左右 (S17)。

如第 15 圖所示，在半導體基板 6a 之第 2 主面側的矽表面上，形成第 2 絕緣層 11a。此時，以令貫通電極 12a 的前端露出之方式，形成第 2 絕緣層 11a (S18)。第 2 絕緣膜 11a 的形成，可藉由例如旋轉塗佈、擦乾印刷、或將膜狀物藉由熱處理黏貼、藉由絕緣性接合劑黏貼而形成。第 2 絕緣層 11a 的最小厚度係可形成電性絕緣之厚度。又，該第 2 絕緣層 11a 的形成，可藉由塗佈對 Cu 之貫通電極 12a 具疏水性，而對 Si 具親水性的絕緣材料形成。亦即

，藉由將第 2 絕緣層 11a 設成與貫通電極 12a 的突出高度大致相同程度，貫通電極 12a 的前端得以從第 2 絕緣層 11a 露出。

如第 16 圖所示，在露出於第 2 絕緣層 11a 之表面側的柱電極 9a 前端、及露出於半導體基板 6a 之第 2 主面側的貫通電極 12a 前端，分別形成突起電極 10a、13a (S19)。突起電極 10a、13a 係為例如錫球、金球，表面經鍍銅之銅球等所形成之凸塊電極、或利用網版印刷和加熱所形成之突起電極。在柱電極及貫通電極，不易直接形成突起電極時，亦可在柱電極或貫通電極的露出面，形成連接良好的電鍍膜。

將半導體晶圓縱橫向地分割進行單片化 (S20)。圖中的說明係在單一製品形成部的狀態，而不是半導體晶圓的狀態。因此，分割形成的第 1 半導體裝置 2 亦如第 16 圖所示之剖面構造。實施例中，係在凸塊電極形成後進行單片化，然而，亦可在單片化後再形成凸塊電極。

第 16 圖係半導體基板 6a 位在上面側，第 1 絕緣層 8a 位在下面側之構造，第 17 圖係半導體基板 6a 位在下面側，第 1 絕緣層 8a 位在上面側之構造。第 1 半導體裝置 2 在積層固定時，可作為最下層的半導體裝置使用，此時，係如第 16 圖所示，突起電極 10a 作為外部電極端子使用，或如第 17 圖所示，突起電極 13a 作為外部電極端子使用。

形成單片晶片，即形成第 1 半導體裝置 2 後，實施一般的測試 (電性特性)。此時，如第 18 圖所示，在托盤 (

tray) 40 的上面，分別於矩陣狀設置的收容凹部 41，收容晶片（第 1 半導體裝置 2）。第 1 半導體裝置 2 的上面、背面，分別被絕緣材料覆蓋，所以可藉由探測（probe）檢查，同時並行地實施測試。可排除不良的製品。第 18 圖係模式地表示第 1 半導體裝置 2 的突起電極 13a。藉由此種托盤 40 的使用，可將製品排成陣列狀，且可進行一次測試，同時容易進行製品的裝卸，且得以提昇測試效率。

此外，一般而言，半導體裝置的製造中，半導體晶圓之各製品形成部的製品（電路）之電性特性檢查，係在半導體晶圓狀態進行。亦即，令探針接觸半導體晶圓之各製品形成部所露出的電極，以進行電性特性檢查，然而，本實施例中，亦可在分割前進行同樣的探針檢查，以測定檢查各製品形成部之製品（電路）的良否。

利用上述方法，可製得第 1 半導體裝置 2。

積層固定於第 1 半導體裝置 2 的第 3 半導體裝置 4，係藉由與第 1 半導體裝置 2 同樣的步驟，即第 4 圖所示之 S11 至 S21 的各步驟來製造。此時，第 3 半導體裝置 4 亦如第 16 圖或第 17 圖所示的狀態，亦即，可以突起電極 10a 位於下面，或使突起電極 13a 位於下面之方式使用。其選擇是自由的，然而，第 3 半導體裝置 4 下面的突起電極 10a 或突起電極 13a，必須以可與第 1 半導體裝置 2 上面的突起電極 10a 或突起電極 13a 相對而連接之方式形成。此外，由於與連接相關的凸塊電極係設置於下層側的第 1 半導體裝置 2 及上層側第 2 半導體裝置 3，所以中間層之第 3

半導體裝置 4 不一定要設置凸塊電極。因此，如第 19 圖的中間層所示，第 3 半導體裝置 4 亦可在沒有設置凸塊電極的狀態，進行積層固定。再者，亦可在第 3 半導體裝置 4 的上面或下面之一邊，設置突起電極。此時，與設置突起電極的面相對之半導體裝置的面，亦可不一定要設置突起電極，設置於中間層第 3 半導體裝置 4 的突起電極可發揮接合體的作用。

又，積層固定於第 3 半導體裝置 4 的上面之第 2 半導體裝置 3，在上述第 1 半導體裝置 2 的製造中，係形成貫通電極 12a 及柱電極 9a 之任一者的構造。亦即，由於係位於最上層，所以其上面不需要外部電極端子。

本實施例 1 中，如第 4 圖所示，係以第 2 半導體裝置 3 中沒有形成柱電極，而形成貫通電極 12a 為例來說明。第 2 半導體裝置 3 的製造中，對半導體基板形成電路元件 (S11) 係相同，然而在 (S12) 中在多層配線部形成階段，僅形成充填電極。然後，繼續進行 (S14)。該 (S14) 中，僅形成第 1 絕緣層 8a。又，由於 (S15) 中不存在柱電極，所以不需考慮與柱電極的關係，而可確保第 1 絕緣層 8a 的厚度。之後的 (S16)、(S17)、(S18) 皆為相同的處理加工。(S19) 中，僅在貫通電極 12a 的前端形成突起電極 13b。進行 (S20) 的分割及 (S21) 的特性檢查，而形成第 19 圖之最上層所示之第 2 半導體裝置 3。

第 19 圖是將實施例 1 中所形成之 3 種半導體裝置(第 1 半導體裝置 2、第 3 半導體裝置 4、第 2 半導體裝置 3)

，按積層順序予以分離的圖。將這三種半導體裝置 2、4、3 對準 (alignment) 以重疊連接部，通過爐體，將連接部的突起電極暫時地加熱熔融而接合。連接部的連接亦可將連接部局部地加熱而連接。實施例 1 中，第 1 半導體裝置 2 和第 3 半導體裝置 4 之間的連接部係突起電極 10a 和貫通電極 12c，而第 3 半導體裝置 4 和第 2 半導體裝置 3 的連接部係柱電極 9c 和突起電極 13b。這些構造形成接合體。藉由該積層固定，可製造第 1 圖至第 3 圖所示之積層型半導體裝置 1。最下層之第 1 半導體裝置 2 下面的突起電極 13a 係外部電極端子 5 (參照第 1 圖)。

第 20 圖係表示利用本實施例 1 之積層型半導體裝置的製造方法所製造之積層型半導體裝置 1 的安裝狀態之模式剖面圖。在多層配線基板所構成的子板 (daughter board) 45 上面，搭載積層型半導體裝置 1。子板 45 的下面具有複數凸塊電極 46，上面雖未特別圖示，然而形成有晶島 (land)。積層型半導體裝置 1 之外部電極端子 5 的配置圖案和上述晶島的配置圖案一致。因此，藉由外部電極端子 5 的平坦化熱處理 (reflow)，可將積層型半導體裝置 1 搭載於子板 45 上。

本實施例 1 中，說明關於積層型半導體裝置 1 的製造技術，然而考慮單一製品時，第 1 半導體裝置 2 及第 3 半導體裝置 4 亦可分別作為單一製品出貨。根據本發明，此等半導體裝置 2、4 的特徵為：從半導體裝置 2、4 的上下面，令各電極之貫通電極及柱電極突出。

根據本實施例，具有以下效果。

(1) 藉由第 1、第 2、第 3 半導體裝置 2、3、4 的積層固定所形成的積層型半導體裝置 1，在其製造中，各半導體裝置 2、3、4 雖然在半導體基板 6a、6b、6c 的第 1 主面側，形成第 1 絕緣層 8a、8b、8c 後，將半導體基板 6a、6b、6c 的第 2 主面去除預定厚度，然而因為上述第 1 絕緣層 8a、8b、8c 可發揮強度構件的作用，所以可將半導體基板 6a、6b、6c 變薄為 5 至 50 μm 左右。又，絕緣層 8a、8b、8c 的厚度亦可變薄 20 至 100 μm 左右。因此，積層固定的積層型半導體裝置 1 為球凸塊電極時，其高度（厚度）為 200 至 380 μm 左右，利用印刷方式形成突起電極時，其高度（厚度）可變薄為 150 至 330 μm 左右。因此，可達成多層積層構造之半導體裝置（積體電路裝置：三維積體電路裝置）的薄型化。

(2) 在第 1 及第 3 與第 2 積層型半導體裝置中，下層側之半導體裝置和上層側之半導體裝置的連接，係利用貫通第 1 絕緣層而設置之柱狀柱電極、或貫通半導體基板而設置的柱狀貫通電極來連接，故電流路徑較短，可降低電感（inductance），所以積層型半導體裝置 1 的電性特性良好。設置於第 1 絕緣層或半導體基板的柱電極或貫通電極，其長度（厚度）較短而形成 20 至 100 μm 左右或 5 至 50 μm 左右，與利用引線連接之銲接引線之數百 μm 以上的長度相比較，大幅地變短。以此構成，可進行積層型半導體裝置 1 的高速動作。

(3) 雖然設置於半導體基板的貫通電極，具有形成於與形成電路元件之區域分離的區域之制約，然而配線區域等可較自由地選擇配置位置。又，與多層配線部之預定配線連接的柱電極，藉由配線的引繞，可比較自由地決定配置位置。因此，藉由選擇設置貫通電極及柱電極的位置，可提昇 2 維方向的積體密度。

(4) 本發明之積層型半導體裝置不需使用中介層，而可進行下層側之半導體裝置和上層側之半導體裝置的電性連接。結果，可降低組裝零件數，同時獲致積層型半導體裝置的薄型化。中介層的使用會導致半導體晶片間或半導體裝置間的連接路徑（電流路徑）變長，而藉由不使用中介層，可縮短電流路徑，提昇電性特性。

(5) 本實施例 1 之積層型半導體裝置 1 的製造中，第 1 及第 3 與第 2 半導體裝置 2、4、3，係使用半導體基板 6a、6c、6b 來製造，在最後階段，將絕緣層與半導體基板 6a、6c、6c 一起切斷，而製成第 1 及第 3 與第 2 半導體裝置 2、4、3。因此，第 1 及第 3 與第 2 半導體裝置 2、4、3 之積層固定以外的必要加工，可以晶圓級（wafer level）實施，故藉由步驟，裝卸性佳，減少徒勞的作業。結果，可降低生產成本。

(6) 本實施例 1 之積層型半導體裝置 1 的製造中，在積層 3 個半導體裝置 2、4、3 前的階段，全部皆以晶圓級進行處理加工，故可將加工（process）簡單化，可提高生產性，而得以達成積層型半導體裝置 1 之製造成本的降低

。

(7) 根據本實施例 1 之積層型半導體裝置的製造方法，由於僅藉由使上下重疊之半導體裝置的連接部一致，可更多層地積層半導體裝置，故可製造更高積體化的積層型半導體裝置 1。

(8) 本實施例 1 之積層型半導體裝置 1，其構造上係如上述 (7) 所示，若去除使上下重疊之半導體裝置的連接部一致之制約的話，則可自由地設計形成於各半導體裝置的電路。亦即，若將上述制約作為設計工具之一的話，則可將積層型半導體裝置 1 如一晶片般地設計，現在的設計工具僅係以一晶片 LSI (與本實施例 1 之各半導體裝置相對應的構造) 為前提的設計工具。

因此，在設計系統封裝 (system · in · package) 時，若從性能、成本、測試的容易性等來判斷，模擬各半導體裝置適合哪一種電路，並根據該模擬結果，進行各半導體裝置的分配的話，則可小型 · 薄型 · 廉價地製造電性特性、高速動作性優良的積層型半導體裝置 1。

(9) 作為單一製品之第 1 半導體裝置 2 及第 3 半導體裝置 4，係為從半導體裝置的上下面，令各電極之貫通電極及柱電極突出的構造。利用從該特徵衍生的上述 (1) 至 (3)、(5) 及 (6)，或利用加工 (process) 的簡單化，即使在單一半導體裝置中，亦可提昇 2 維方向之積體密度，同時在其製造中根據晶圓狀態的製造，以降地成本。

[實施例 2]

第 21 圖係本發明實施例 2 之積層型半導體裝置的模式剖面圖。本實施例 2 係在實施例 1 之積層型半導體裝置 1 中，令絕緣性樹脂充填於第 1 半導體裝置 2 和第 3 半導體裝置 4 之間間隙，以及第 3 半導體裝置 4 和第 2 半導體裝置 3 之間間隙，而形成底部填充 (underfill) 層 50、51。因為利用該底部填充層 50、51 埋設間隙，所以可防止異物混入等而造成不良短路的情形。就絕緣性樹脂而言，例如令具聚醯亞胺樹脂於真空環境中充填於間隙，接著，進行燒硬處理，使其硬化。

[實施例 3]

第 22 (a) 圖、第 22 (b) 圖係本發明實施例 3 之兩層積層固定型的積層型半導體裝置 1 之模式剖面圖。第 22 (a) 圖、第 22 (b) 圖皆是半導體基板 6a、6b 位於上方，第 1 絕緣層 8a、8b 位於下方而積層固定。任一者之第 1 半導體裝置 2 的下面之突起電極 10a 皆為外部電極端子 5。又，第 1 半導體裝置 2 的上面之突起電極 13a 為接合體，積層固定有第 2 半導體裝置 3。亦即，安裝於第 1 半導體裝置 2 上面側的貫通電極 12a 之突起電極 13a，係與第 2 半導體裝置 3 下面之柱電極 9b 連接的構造。

第 22 (a) 圖中，形成第 2 半導體裝置 3 的上面側沒有露出電極的構造，亦即，係於半導體基板 6b 沒有設置貫通電極 12b 的構造。

相對於此，第 22 (b) 圖中，在第 2 半導體裝置 3 的上面側之半導體基板 6b，設有貫通電極 12b。貫通電極 12b 的構造係與實施例 1 之貫通電極 12b 具有同樣程度的直徑，係為圖的兩端側所示之較粗的貫通電極 12b。較粗的貫通電極 12b 係如第 10 圖之說明所示，具有與電極鐳墊相同程度的直徑，例如可連接引線。亦即，可利用導電性引線連接基板與鐳墊之間。

相對於此，與實施例 1 同樣細的複數貫通電極 12b，係與例如子板的接地 (ground) 連接之電極板 55 的一端連接。根據本實施例，由於係形成在上層第 2 半導體裝置 3 的上面，露出貫通電極 12b 的構造，所以可增加含子板之電路設計 (安裝設計) 的餘裕度。

又，本實施例中，亦可在第 2 半導體裝置 3 的上面側，搭載晶片電阻、晶片電容器、晶片感應器 (chip inductor) 等主動元件 (主動零件)。各主動元件的電極係與貫通電極 12b 電性連接。藉此構成，更得以提升積體度。

[實施例 4]

第 23 圖及第 24 圖係關於本發明實施例 4 之積層型半導體裝置的製造方法圖。本實施例 4 中，係與實施例 1 的情況大致相同，經由 S11 至 S22 的階段，製造積層型半導體裝置 1，然而第 1 半導體裝置 2 和第 3 半導體裝置 4 的連接不需使用突起電極，而是利用超音波振動所產生的金屬間接合。因此，某部分的製造不相同。

如第 23 (a) 圖所示，在第 1 半導體裝置 2 的製造中，用第 1 絕緣層 8a 覆蓋設置於半導體基板 6a 的第 1 主面側之柱電極 9a 後，在第 1 絕緣層 8a 的硬化處理 (cure) 時，進行使樹脂之硬化處理不充分的第 1 硬化處理。

繼之，如第 23 (b) 圖所示，將第 1 絕緣層 8a 的表面加以研磨，去除預定厚度，令柱電極 9a 露出。

如第 23 (c) 圖所示，進行伴隨第 1 絕緣層 8a 硬化收縮的第 2 硬化處理 (cure)，令柱電極 9a 的前端突出於第 1 絕緣層 8a 的表面。例如，突出長度為 $10\mu\text{m}$ 左右。該突出長度係為有效進行利用超音波振動所產生之金屬間接合的必要長度。

將第 1 半導體裝置 2、第 3 半導體裝置 4、第 2 半導體裝置 3 定位而重疊。第 24 (a) 圖係表示積層順序，最下層為第 1 半導體裝置 2，其上為第 3 半導體裝置 4，再其上為第 2 半導體裝置 3 的分離設置圖。

在此，並未特別圖示，而在第 1 半導體裝置 2 上定位載置第 3 半導體裝置 4，將第 1 半導體裝置 2 上面之 Cu 所構成的柱電極 9a，與第 3 半導體裝置 4 下面之 Cu 所構成的貫通電極 12c 相對地施加超音波振動而磨擦，利用金屬間接合 (金屬接合) 令柱電極 9a 和貫通電極 12c 的磨擦面連接。其後，利用與實施例 1 同樣的方法，將第 2 半導體裝置 3 積層固定於第 3 半導體裝置 4 上，而製造第 24 (b) 圖所示之積層型半導體裝置 1。

該例子中，與實施例 2 同樣地，在第 1 半導體裝置 2

和第 3 半導體裝置 4 的間隙，充填絕緣性底部填充層 50，在第 3 半導體裝置 4 和第 2 半導體裝置 3 的間隙，充填絕緣性底部填充層 51。

根據本實施例，由於在第 1 半導體裝置 2 和第 3 半導體裝置 4 的積層固定中，沒有使用突起電極，所以具有獲致更薄型化的特徵。

[實施例 5]

第 25 (a) 圖、第 25 (b) 圖係表示本發明實施例 5 之積層型半導體裝置製造方法的一部分之各步驟剖面圖。本實施例 5 與實施例 4 同樣係利用金屬接合，進行積層固定的例子。該例子中，係利用金屬接合，將第 3 半導體裝置 4 積層固定於第 1 半導體裝置 2 上後，再利用金屬接合，將第 2 半導體裝置 3 積層固定於第 3 半導體裝置 4 上。本實施例中，與實施例 4 同樣地，製造第 1 半導體裝置 2 及第 3 半導體裝置 4 時，係令第 1 半導體裝置 2 及第 3 半導體裝置 4 的柱電極 9a、9c 之前端，從第 1 絕緣層 8a、8c 的表面突出 10 μ m 左右。

第 25 (a) 圖是表示積層順序，最下層為第 1 半導體裝置 2，其上為第 3 半導體裝置 4，其上為第 2 半導體裝置 3 的分離安置圖。

在此，並未特別圖示，而在 1 半導體裝置 2 上定位載置第 3 半導體裝置 4，將第 1 半導體裝置 2 上面之 Cu 所構成的柱電極 9a，與第 3 半導體裝置 4 下面之 Cu 所構成之

貫通電極 12c 相對地施加超音波振動而磨擦，利用金屬間接合（金屬接合）令柱電極 9a 和貫通電極 12c 的磨擦面連接。

接著，同樣並未特別圖示，而在 3 半導體裝置 4 上定位載置第 2 半導體裝置 3，將第 3 半導體裝置 4 上面之 Cu 所構成的柱電極 9c，與第 2 半導體裝置 3 下面之 Cu 所構成之貫通電極 12b 相對地施加超音波振動而磨擦，利用金屬間接合（金屬接合）令柱電極 9c 和貫通電極 12b 的磨擦面連接。

又，該例子中，與實施例 2 同樣地，在第 1 半導體裝置 2 和第 3 半導體裝置 4 的間隙，充填絕緣性底部填充層 50，在第 3 半導體裝置 4 和第 2 半導體裝置 3 的間隙，充填絕緣性底部填充層 51。

根據本實施例，由於在第 1 半導體裝置 2 和第 3 半導體裝置 4 的積層固定，及第 3 半導體裝置 4 和第 2 半導體裝置 3 的積層固定中，沒有使用突起電極，所以具有獲致更加薄型化的特徵。

[實施例 6]

第 26 圖是將本發明實施例 6 之積層型半導體裝置，安裝於子板的狀態之模式剖面圖。本實施例 6 中，積層型半導體裝置 1 的第 1 半導體裝置 2、第 2 半導體裝置 3、第 3 半導體裝置 4 之任一者中，皆為半導體基板 6a、6b、6c 位於上面側，第 1 絕緣層 8a、8b、8c 位於下面側的狀態而

積層固定。然後，將第 1 半導體裝置 2 的突起電極 10a 與子板 45 之未圖示的晶島 (land) 連接地搭載。

[實施例 7]

第 27 圖是將本發明實施例 7 之積層型半導體裝置，安裝於子板的狀態之模式剖面圖。本實施例 7 中，積層型半導體裝置 1 係混合型構造，第 1 半導體裝置 2、第 2 半導體裝置 3 係半導體基板 6a、6b 位於上面側，第 1 絕緣層 8a、8b 位於下面側的狀態而積層固定，而第 3 半導體裝置 4 之半導體基板 6c 位於下面側，第 1 絕緣層 8c 位於上面側的狀態而積層固定。然後，將第 1 半導體裝置 2 的突起電極 10a 與子板 45 之未圖示的晶島 (land) 連接地搭載。

[實施例 8]

第 28 圖是將本發明實施例 8 之積層型半導體裝置，安裝於子板的狀態之模式剖面圖。本實施例 8 中，將小於第 1 半導體裝置 2 之中間層第 3 半導體裝置 4 之半導體裝置 4A、4B，個別並列配置固定於第 1 半導體裝置 2 上，並且將第 2 半導體裝置 3 之半導體裝置 3A、3B，分別積層固定在此等半導體裝置 4A、4B 上。亦即，本實施例 8 係在面積最大的第 1 半導體裝置 2 上，並列配置複數的中間層第 3 半導體裝置 4，再者，在此等第 3 半導體裝置 4 上分別積層固定上層的第 2 半導體裝置 3。中間層第 3 半導體裝置 4 亦可在下層第 1 半導體裝置和上層第 2 半導體裝置

之間，積層固定複數層，俾使積體度進一步提升。

本實施例 8 中，上述第 1 至第 3 半導體裝置中，一個半導體裝置的上述半導體基板是矽基板，另一個半導體裝置的上述半導體基板是化合物半導體基板。而且，形成有適用於各半導體基板的電路元件。例如，第 1 半導體裝置 2 的半導體基板 6a 是矽基板，半導體裝置 3A 的半導體基板 6cA 是化合物半導體（例如 GaAs 基板）。中間層及上層半導體裝置中，省略其大部分的符號。然而，必要說明時，在中間層之第 3 半導體裝置 4A、4B 的尾端，附上 A 或 B 來表示。再者，在上層之第 2 半導體裝置 3A、3B 的尾端，附上 A 或 B 來表示。

此外，實施例 8 中，組裝於積層型半導體裝置 1 的零件皆為半導體裝置，然而也可為其他電子零件的積層固定。例如，亦可將電阻、電容等晶片零件、MEMS (Micro electro Mechanical System)、生物晶片 (biochip) 等積層固定。此外，亦可形成更多的半導體基板為矽基板的構造，或半導體為化合物半導體基板的構造。

根據本實施例 8，可達成更高積體化。

[實施例 9]

第 29 圖是將本發明實施例 8 之積層型半導體裝置，安裝於子板的狀態之模式剖面圖。本實施例 9 中，係在實施例 8 之第 1 半導體裝置 2 和其上的半導體裝製 4B 之間夾著金屬板 60，又，在半導體裝 4B 和半導體裝置 3B 之間

夾著金屬板 70。電路上，係以例如金屬板 70 為接地(ground) 電路，金屬板 60 為 Vcc 等電源電位(基準電位)之方式構成。

亦即，在第 1 半導體裝置 2 和半導體裝置 4B 之間，介設具有絕緣用孔 61 的金屬板。在絕緣用孔 61 的部位，與金屬板 60 非接觸的狀態，第 1 半導體裝置 2 上面的貫通電極 12a、和半導體裝置 4B 下面的柱電極 9cB，係藉由突起電極 13a 及突起電極 10cB 電性連接。

又，位於第 1 半導體裝置 2 及半導體裝置 4B 的金屬板 60 之相對面的貫通電極 12a、和半導體裝置 4B 下面的柱電極 9cB，係介著突起電極 13a 及突起電極 10cB 電性連接。由於金屬板 60 的存在，故貫通電極 12a 和柱電極 9cB 的距離變長，因此使用於絕緣用孔 61 部位的連接之突起電極 13a 及突起電極 10cB，係大於與金屬板 60 連接之突起電極 13a 及突起電極 10cB。

再者，半導體裝置 4B 和半導體裝置 3B 之間，介設具有絕緣用孔 71 的金屬板 70。在絕緣用孔 71 的部位，與金屬板 70 非接觸的狀態，半導體裝置 4B 上面的貫通電極 12bB、和半導體裝置 3B 下面的柱電極 9bB，係介著突起電極 13cB 及突起電極 10bB 電性連接。再者，與半導體裝置 4B 及半導體裝置 3B 的金屬板 70 相對之貫通電極 12cB 和柱電極 9bB，係介著突起電極 13cB 及突起電極 10bB 電性連接。由於金屬板 70 的存在，故貫通電極 12cB 和柱電極 9bB 的距離變長，因此使用於絕緣用孔 71 部位的連接

之突起電極 13cB 及突起電極 10bB，係大於與金屬板 70 連接之突起電極 13cB 及突起電極 10bB。

又，第 1 半導體裝置 2 和半導體裝置 4 之間間隙，係藉由底部填充層 80 填塞，半導體裝置 4B 和半導體裝置 3B 之間間隙，係藉由底部填充層 81 填塞。

根據本實施例 9，藉由接地電位之金屬板 70、Vcc 等的電源電位（基準電位）之金屬板 60 的存在，積層型半導體裝置 1 的電源及接地得以穩定，結果，可獲得動作穩定且良好的電性特性。

以上，依據實施例具體說明本案發明者的發明，然而，本發明並不限定於上述實施例，在不脫離要旨的範圍內亦可進行各種變更。實施例中，利用電鍍形成柱電極，然而亦可利用柱凸塊（stud bump）形成。柱凸塊法係利用熱壓接法（球錫接法）將金線連接於電極錫墊，以形成釘頭（nail head），其後，在該釘頭的根部切斷引線，將所形成的突起電極重複幾段形成的方法。

[產業上利用之可能性]

如上所述，本發明之積層型半導體裝置可使用在適用於薄型且高速動作的三維積體電路裝置。又，本發明之積層型半導體裝置在系統封裝（system·in·package）的設計時，以性能、成本、測試的容易性等判斷為基準，藉由模擬，可進行積層型半導體裝置之各半導體裝置的分配。因此，根據本發明，可提供電性特性及高速動作性優良且

小型・薄型且廉價的積層型半導體裝置。

【圖式簡單說明】

第 1 圖是本發明實施例 1 之積層型半導體裝置的模式剖面圖。

第 2 圖示表示上述積層型半導體裝置的外觀之模式斜視圖。

第 3 圖是上述積層型半導體裝置的模式剖面圖。

第 4 圖是表示實施例 1 之積層型半導體裝置的製造方法之流程圖。

第 5 圖是上述製造方法中，在形成 IC 等的半導體基板上形成充填電極的模式剖面圖。

第 6 圖是表示上述充填電極及多層配線部的下層部之部分半導體基板之模式放大剖面圖。

第 7 圖是表示上述充填電極及多層配線部的一部分之模式放大剖面圖。

第 8 圖是表示在上述半導體基板 1 的主面，形成柱電極及第 1 絕緣層的狀態之模式剖面圖。

第 9 圖是形成上述柱電極及第 1 絕緣層之部分半導體基板之模式放大剖面圖。

第 10 圖是表示實施例 1 之變形例的充填電極構造的一部分之模式放大剖面圖。

第 11 圖是表示實施例 1 之其他變形例的充填電極構造的一部分之模式放大剖面圖。

第 12 圖是表示將上述第 1 絕緣層去除預定厚度，以令柱電極露出的狀態之模式剖面圖。

第 13 圖是表示將上述半導體基板的第 2 主面去除預定厚度，以令充填電極露出而形成貫通電極狀態之模式剖面圖。

第 14 圖是表示將上述半導體基板的第 2 主面蝕刻預定厚度，以令貫通電極的前端露出的狀態之模式剖面圖。

第 15 圖是表示以令貫通電極的前端露出於上述半導體基板的第 2 主面之方式，形成第 2 絕緣層的狀態之模式剖面圖。

第 16 圖是表示在上述貫通電極及柱電極的前端，形成突起電極的狀態之模式剖面圖。

第 17 圖是以上述半導體基板為下面側，第 1 絕緣層為上面側而形成的半導體基板（半導體晶圓）之模式剖面圖。

第 18 圖是將實施例 1 之積層型半導體裝置載置收容於托盤的模式平面圖。

第 19 圖示將實施例 1 中形成的 3 種半導體裝置（第 1 半導體裝置、第 3 半導體裝置及第 2 半導體裝置），按積層順序分別予以分離的模式圖。

第 20 圖是將實施例 1 之積層型半導體裝置安裝於子板的狀態之模式剖面圖。

第 21 圖是本發明實施例 2 之積層型半導體裝置的模式剖面圖。

第 22 圖是本發明實施例 3 之兩層積層型半導體裝置的模式剖面圖。

第 23 圖是表示本發明實施例 4 之積層型半導體裝置製造方法的一部分之各步驟的剖面圖。

第 24 圖是表示本發明實施例 4 之積層型半導體裝置製造方法的一部分之各步驟的剖面圖。

第 25 圖是表示本發明實施例 5 之積層型半導體裝置製造方法的一部分之各步驟的剖面圖。

第 26 圖是將本發明實施例 6 之積層型半導體裝置安裝於子板的狀態之模式剖面圖。

第 27 圖是將本發明實施例 7 之積層型半導體裝置安裝於子板的狀態之模式剖面圖。

第 28 圖是將本發明實施例 8 之積層型半導體裝置安裝於子板的狀態之模式剖面圖。

第 29 圖是將本發明實施例 9 之積層型半導體裝置安裝於子板的狀態之模式剖面圖。

【主要元件符號說明】

- 1 積層型半導體裝置
- 2 第 1 半導體裝置
- 3 第 2 半導體裝置
- 4 第 3 半導體裝置
- 5 外部電極端子
- 6a、6b、6c 半導體基板

- 7a、7b、7c 多層配線部
- 8a、8b、8c 第 1 絕緣層
- 9a、9b、9c 柱電極
- 10a、10b、10c 突起電極
- 11a、11b、11c 第 2 絕緣層
- 12 充填電極
- 12a、12b、12c 貫通電極
- 13a、13b、13c 突起電極
- 21 第 1 阱
- 22 第 2 阱
- 23 源極區域
- 24 汲極區域
- 25 絕緣閘極膜
- 26 閘極電極
- 27、28 電極
- 29 厚氧化膜
- 30 絕緣層
- 31 配線層 (配線)
- 32 電極鐳墊
- 33 孔
- 34 絕緣膜
- 40 托盤 (tray)
- 41 收容凹部
- 45 子板

46 凸塊電極

50、51、80、81 底部填充層

60、70 金屬板

61、71 絕緣用孔

七、申請專利範圍：

1. 一種積層型半導體裝置，係由下面具有外部電極端子的第 1 半導體裝置、和與上述第 1 半導體裝置電性連接，且固定於上述第 1 半導體裝置上的第 2 半導體裝置所構成，其特徵為：

上述第 1 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

複數柱電極，其係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面；和

複數貫通電極，其係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，且藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部之各預定配線連接；和

上述外部電極端子，其係與上述貫通電極連接，

上述第 2 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

至少具有柱電極或複數貫通電極，該柱電極係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面，而複數貫通電極係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，且藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部的各預定配線連接，

而上述第 1 半導體裝置之上述柱電極或上述貫通電極係位於下面，在該下面之上述柱電極或上述貫通電極上，設置上述外部電極端子，而上述第 2 半導體裝置下面之上述柱電極或上述貫通電極，係藉由接合體與上述第 1 半導體裝置上面的上述柱電極或上述貫通電極電性連接，

其中上述第 1 絕緣層的厚度大於上述第 2 絕緣層的厚度。

2. 如申請專利範圍第 1 項之積層型半導體裝置，其中，具有第 3 半導體裝置，而該第 3 半導體裝置可在上述第 1 半導體裝置和上述第 2 半導體裝置之間，積層固定一至複數層，

上述第 3 半導體裝置具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

複數柱電極，其係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面；和

複數貫通電極，其係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，且藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部的各預定配線連接，

而上述第 3 半導體裝置之上下面的柱電極或貫通電極，係藉由接合體與上層側之半導體裝置及下層側之半導體裝置的柱電極或貫通電極電性連接。

3. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述各層之半導體裝置係為單體，且各半導體裝置係為同一尺寸且一致地重疊。

4. 如申請專利範圍第 1 項之積層型半導體裝置，其中，在上述第 1 半導體裝置上，並列配置固定有複數個小於上述第 1 半導體裝置的第 2 半導體裝置。

5. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述第 1 半導體裝置上面的各貫通電極或各柱電極，係與上述第 2 半導體裝置下面的各貫通電極或各柱電極對應，且藉由上述接合體分別形成電性連接。

6. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述第 1 半導體裝置上面的各貫通電極或各柱電極、和上述第 2 半導體裝置下面的各貫通電極或各柱電極之接

合沒有使用上述接合體，

與上述一邊半導體裝置的上述接合相關的上述柱電極或上述貫通電極係突出，該突出部分係藉由金屬接合，與相對之半導體裝置的上述柱電極或上述貫通電極連接。

7. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述柱電極係由電鍍膜、柱凸塊 (stud bump) 電極或 CVD 膜形成者。

8. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述第 1 半導體裝置和上述第 2 半導體裝置之間介設具有絕緣用孔的金屬板，在上述絕緣用孔的部分，與上述金屬板非接觸的狀態，上述第 1 半導體裝置上面的上述貫通電極或上述柱電極、和上述第 2 半導體裝置下面的上述貫通電極或上述柱電極，係藉由上述接合體電性連接，而與上述第 1 半導體裝置及上述第 2 半導體裝置之上述金屬板相對的上述貫通電極及上述柱電極，係藉由上述接合體電性連接。

9. 如申請專利範圍第 8 項之積層型半導體裝置，其中，上述金屬板上，连接有構成上述半導體裝置之電源電位或接地電位之上述貫通電極或上述柱電極。

10. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述第 1 及第 2 半導體裝置中，一個半導體裝置的上述半導體基板係矽基板，另一個半導體裝置的上述半導體基板係化合物半導體基板。

11. 如申請專利範圍第 1 項之積層型半導體裝置，其

中，上述貫通電極及上述柱電極係由銅、鎢、鈦、鎳、鋁或這些的合金形成者。

12. 如申請專利範圍第 1 項之積層型半導體裝置，其中，在上述第 1 半導體裝置和上述第 2 半導體裝置之間間隙，充填有絕緣性樹脂。

13. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述第 2 半導體裝置係與上述第 1 半導體裝置同樣，具有露出於上述第 1 絕緣層表面的複數柱電極、和露出於上述第 2 絕緣層表面的複數貫通電極，並且在上面之預定上述柱電極或上述貫通電極之露出端，形成有突起電極。

14. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述柱電極的直徑係大於上述貫通電極的直徑。

15. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述電路元件係主動元件及被動元件。

16. 如申請專利範圍第 1 項之積層型半導體裝置，其中，上述各半導體裝置之上述半導體基板的厚度係 5 至 50 μm 左右，上述第 1 絕緣層的厚度係 20 至 100 μm 左右。

17. 一種半導體裝置，其特徵為具備：

半導體基板；和

多層配線部，其係包含與形成於上述半導體基板的第 1 主面側之複數電路元件及上述電路元件連接的配線；和

第 1 絕緣層，其係用以覆蓋上述多層配線部；和

第 2 絕緣層，其係用以覆蓋上述半導體基板的第 1 主面之相反面的第 2 主面；和

複數柱電極，其係形成於上述多層配線部的各預定配線上，且露出於上述第 1 絕緣層的表面；和

複數貫通電極，其係從上述多層配線部的預定深度，貫通上述半導體基板及上述第 2 絕緣層而設置，且藉由絕緣膜與上述半導體基板接觸，且與上述多層配線部之各預定配線連接，

其中上述第 1 絕緣層的厚度大於上述第 2 絕緣層的厚度。

18. 如申請專利範圍第 17 項之半導體裝置，其中，在預定的上述柱電極及上述貫通電極的露出端，形成有突起電極。

19. 如申請專利範圍第 17 項之半導體裝置，其中，上述柱電極的直徑係大於上述貫通電極的直徑。

20. 如申請專利範圍第 17 項之半導體裝置，其中，上述柱電極係由電鍍膜、柱凸塊 (stud bump) 電極或 CVD 膜形成者。

21. 如申請專利範圍第 17 項之半導體裝置，其中，上述貫通電極及上述柱電極係由銅、鎢、鈦、鎳、鋁或這些的合金形成者。

22. 如申請專利範圍第 17 項之半導體裝置，其中，上述電路元件係主動元件及被動元件。

23. 如申請專利範圍第 17 項之積層型半導體裝置，其中，上述各半導體裝置之上述半導體基板的厚度為 5 至 50 μm 左右，上述第 1 絕緣層的厚度為 20 至 100 μm 左右

。

24. 一種積層型半導體裝置的製造方法，係包括下面具有外部電極端子的第 1 半導體裝置、和積層固定於上述第 1 半導體裝置上的第 2 半導體裝置，且上述兩半導體裝置形成電性連接，其特徵為具備下列步驟：

(a) 在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

(b) 在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

(c) 在形成上述多層配線部的階段，形成複數個從上述多層配線部的預定深度，朝向上述半導體基板的上述第 1 主面之相反面的第 2 主面，且表面具有絕緣膜的孔，同時於該孔充填導體，以形成與上述多層配線部的預定配線電性連接的充填電極之步驟；和

(d) 在上述多層配線部的各預定配線上，形成柱電極的步驟；和

(e) 在上述半導體基板的第 1 主面，形成覆蓋上述柱電極的第 1 絕緣層之步驟；和

(f) 將上述第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出的步驟；和

(g) 將上述半導體基板的第 2 主面從其表面去除預定厚度，以令上述充填電極露出，俾形成貫通電極的步驟；和

(h) 將上述半導體基板的第 2 主面蝕刻去除預定厚度，以令上述貫通電極突出預定長度的步驟；和

(i) 於上述貫通電極的前端露出的狀態，在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層之步驟；和

(j) 將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟；和

(k) 於上述步驟 (i) 後或上述步驟 (j) 後，在上述貫通電極及上述柱電極中的預定露出端，形成突起電極的步驟，

藉由上述步驟 (a) 至步驟 (k)，形成上述第 1 半導體裝置，

藉由上述步驟 (a) 至步驟 (k) 之步驟的選擇，形成至少具有上述貫通電極或上述柱電極的上述第 2 半導體裝置，

繼之，將上述第 1 半導體裝置之上述貫通電極或上述柱電極設在下面，作為外部電極端子後，將上述第 2 半導體裝置下面的上述貫通電極或上述柱電極、和上述第 1 半導體裝置上面的上述貫通電極或上述柱電極，藉由上述突起電極之暫時的熔融處理，予以電性連接，而製成積層型半導體裝置，

其中上述第 1 絕緣層的厚度大於上述第 2 絕緣層的厚度。

25. 如申請專利範圍第 24 項之積層型半導體裝置的

製造方法，其中，僅具有上述貫通電極的上述第 2 半導體裝置係藉由下列步驟形成：

在上述半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

在形成上述多層配線部的階段，形成複數個從上述多層配線部的預定深度，朝向上述半導體基板的上述第 1 主面之相反面的第 2 主面，且表面具有絕緣膜的孔，同時於該孔充填導體，以形成與上述多層配線部的預定配線電性連接的充填電極之步驟；和

在上述多層配線部的第 1 主面上，形成第 1 絕緣層的步驟；和

將上述半導體基板的第 2 主面從其表面去除預定厚度，以令上述充填電極露出，俾形成貫通電極的步驟；和

將上述半導體基板的第 2 主面蝕刻去除預定厚度，以令上述貫通電極突出預定長度的步驟；和

於使上述貫通電極的前端露出的狀態，在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層之步驟；和

將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟。

26. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，僅具有上述柱電極的上述第 2 半導體裝

置係藉由下列步驟形成：

在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

在上述多層配線部的各預定配線上，形成柱電極的步驟；和

在上述半導體基板的第 1 主面，形成覆蓋上述柱電極的第 1 絕緣層之步驟；和

將上述第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出的步驟；和

將上述半導體基板的第 2 主面從其表面去除預定厚度，以將上述半導體基板變薄的步驟；和

在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層之步驟；和

在上述柱電極的露出部分，形成突起電極的步驟；

將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟。

27. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，具有藉由上述步驟 (a) 至步驟 (k)，將積層固定於上述第 1 半導體裝置和上述第 2 半導體裝置之間的 1 至複數第 3 半導體裝置予以積層固定的步驟，

設置於上述第 3 半導體裝置之一面的充填電極，係與

相對面之半導體裝置的充填電極或柱電極對應而形成，

設置於上述第 3 半導體裝置之另一面的柱電極，係與相對面之半導體裝置的充填電極或柱電極對應而形成。

28. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，在上述第 1 半導體裝置上，並列配置固定有複數個比上述第 1 半導體裝置小的第 2 半導體裝置。

29. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，上述第 1 半導體裝置上面之各充填電極或各柱電極，係與上述第 2 半導體裝置下面之各充填電極或各柱電極對應而形成。

30. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，

在上述步驟 (e) 中，形成上述第 1 絕緣層時，樹脂的硬化處理係為不充分的第 1 次硬化處理，

在上述步驟 (f) 中，令上述柱電極露出於上述第 1 絕緣層的表面後，進行伴隨上述第 1 絕緣層之硬化收縮而產生的第 2 次硬化處理，令上述柱電極的前端突出於上述第 1 絕緣層的表面。

在上述第 1 半導體裝置上積層固定上述第 2 半導體裝置時，對上述柱電極的突出部位施加超音波振動，而與對面之上述充填電極或上述柱電極藉由金屬接合連接。

31. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，將上述柱電極藉由電鍍膜、柱凸塊 (stud bump) 電極或 CVD 膜形成。

32. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，在上述第 1 半導體裝置和上述第 2 半導體裝置之間，介設具有絕緣用孔的金屬板，

在上述絕緣用孔的部分，與上述金屬板非接觸的狀態下，將上述第 1 半導體裝置上面的上述充填電極或上述柱電極、和上述第 2 半導體裝置下面的上述充填電極或上述柱電極，藉由上述突起電極之暫時的熔融處理電性連接，並且，將與上述第 1 半導體裝置及上述第 2 半導體裝置之上述金屬板相對之上述貫通電極及上述柱電極，藉由上述突起電極之暫時的熔融處理，與上述金屬板電性連接。

33. 如申請專利範圍第 32 項之積層型半導體裝置的製造方法，其中，在上述金屬板上，連接構成上述半導體裝置的電源電位或接地電位之上述充填電極或上述柱電極。

34. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，在上述第 1 半導體裝置和上述第 2 半導體裝置之間，充填絕緣性樹脂且令其硬化。

35. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，上述第 1 及第 2 半導體裝置中，一個半導體裝置係使用矽基板作為上述半導體基板，以形成上述電路元件，另一個半導體裝置係使用化合物半導體基板作為上述半導體基板，以形成上述電路元件。

36. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，在上述第 2 半導體裝置的製造中，與上

述第 1 半導體裝置同樣地，形成露出於上述第 1 絕緣層表面的複數柱電極、和露出於上述第 2 絕緣層表面的複數貫通電極，並且在上面之上述柱電極或上述貫通電極的預定露出端，設置突起電極。

37. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，上述柱電極係以其直徑大於上述貫通電極的直徑之方式形成。

38. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，形成主動元件及被動元件作為上述電路元件。

39. 如申請專利範圍第 24 項之積層型半導體裝置的製造方法，其中，

上述步驟 (e) 中，形成厚度為 20 至 100 μm 左右的上述第 1 絕緣層，

上述步驟 (c) 中，形成深度為 5 至 50 μm 左右的上述孔，

上述步驟 (f) 中，形成厚度為 20 至 100 μm 左右的上述柱電極，

上述步驟 (g) 中，形成厚度為 5 至 50 μm 左右的貫通電極。

40. 一種積層型半導體裝置的製造方法，其特徵為具備下列步驟：

(a) 在半導體基板的第 1 主面，整列配置形成複數個含預定電路元件的製品形成部之步驟；和

(b) 在上述各製品形成部，將與上述電路元件電性連接的配線及絕緣層，依序積層形成預定圖案，以形成多層配線部之步驟；和

(c) 在形成上述多層配線部的階段，形成複數個從上述多層配線部的預定深度，朝向上述半導體基板的上述第 1 主面之相反面的第 2 主面，且表面具有絕緣膜的孔，同時於該孔充填導體，以形成與上述多層配線部的預定配線電性連接的充填電極之步驟；和

(d) 在上述多層配線部的各預定配線上，形成柱電極的步驟；和

(e) 在上述半導體基板的第 1 主面，形成用以覆蓋上述柱電極的第 1 絕緣層之步驟；和

(f) 將上述第 1 絕緣層的表面去除預定厚度，以令上述柱電極露出的步驟；和

(g) 將上述半導體基板的第 2 主面從其表面去除預定厚度，以令上述充填電極露出，俾形成貫通電極的步驟；和

(h) 將上述半導體基板的第 2 主面蝕刻去除預定厚度，以令上述貫通電極突出預定長度的步驟；和

(i) 在上述半導體基板的第 2 主面，形成預定厚度的第 2 絕緣層，以令上述貫通電極的前端露出之步驟；和

(j) 將上述半導體基板含上述第 1 及第 2 絕緣層於縱橫向加以切斷，以分割上述各製品形成部的步驟，

其中上述第 1 絕緣層的厚度大於上述第 2 絕緣層的厚

度。

41. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，

上述步驟 (e) 中，形成上述第 1 絕緣層時，樹脂的硬化處理係為不充分的第 1 次硬化處理，

上述步驟 (f) 中，令上述柱電極露出於上述第 1 絕緣層的表面後，進行伴隨上述第 1 絕緣層之硬化收縮而產生的第 2 次硬化處理，令上述柱電極的前端突出於上述第 1 絕緣層的表面。

42. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，在上述步驟 (i) 後、或上述步驟 (j) 後，於上述貫通電極及上述柱電極的預定露出部分，形成突起電極。

43. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，上述柱電極係以其直徑大於上述貫通電極的直徑之方式形成。

44. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，將上述柱電極藉由電鍍膜、柱凸塊 (stud bump) 電極或 CVD 膜形成。

45. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，上述電路元件係主動元件及被動元件。

46. 如申請專利範圍第 40 項之積層型半導體裝置的製造方法，其中，

上述步驟 (e) 中，形成厚度為 20 至 100 μm 左右的上

述第 1 絕緣層，

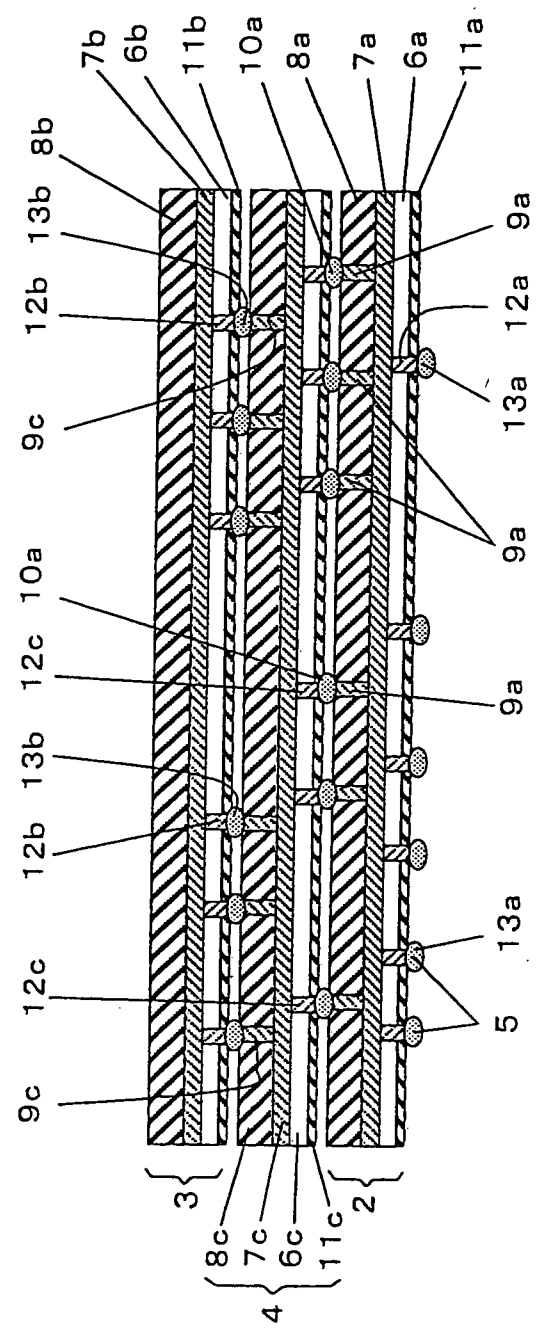
上述步驟 (c) 中，形成深度為 5 至 50 μm 左右的上述孔，

上述步驟 (f) 中，形成厚度為 20 至 100 μm 左右的上述柱電極，

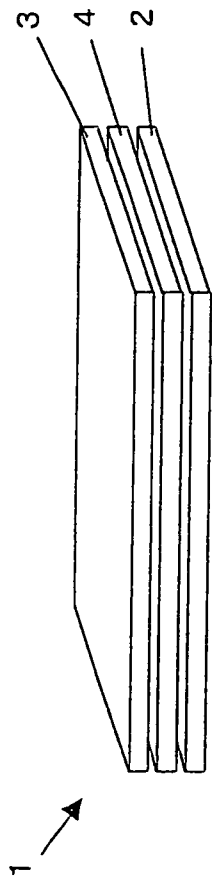
上述步驟 (g) 中，形成厚度為 5 至 50 μm 左右的貫通電極。

93/22757

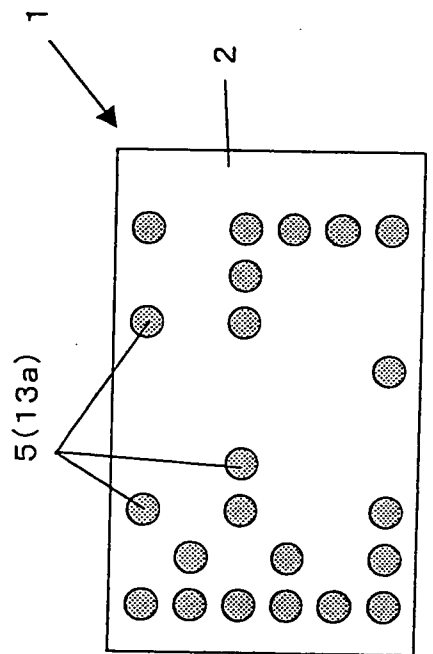
第1圖



第2圖



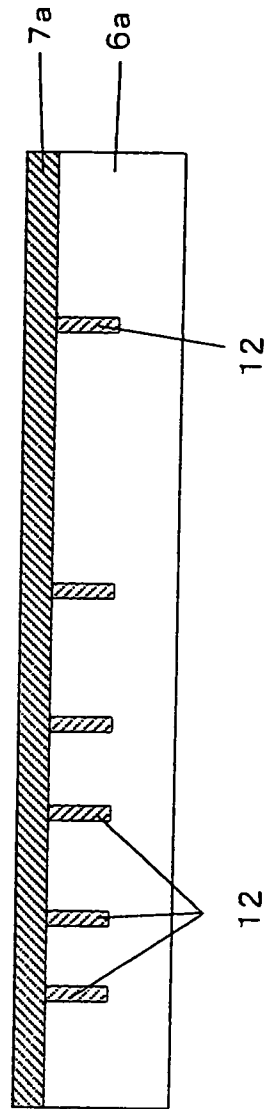
第3圖



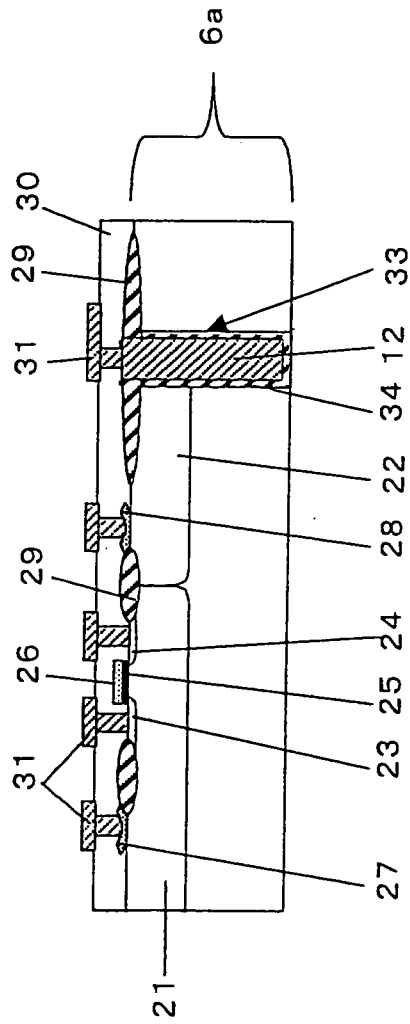
第4圖



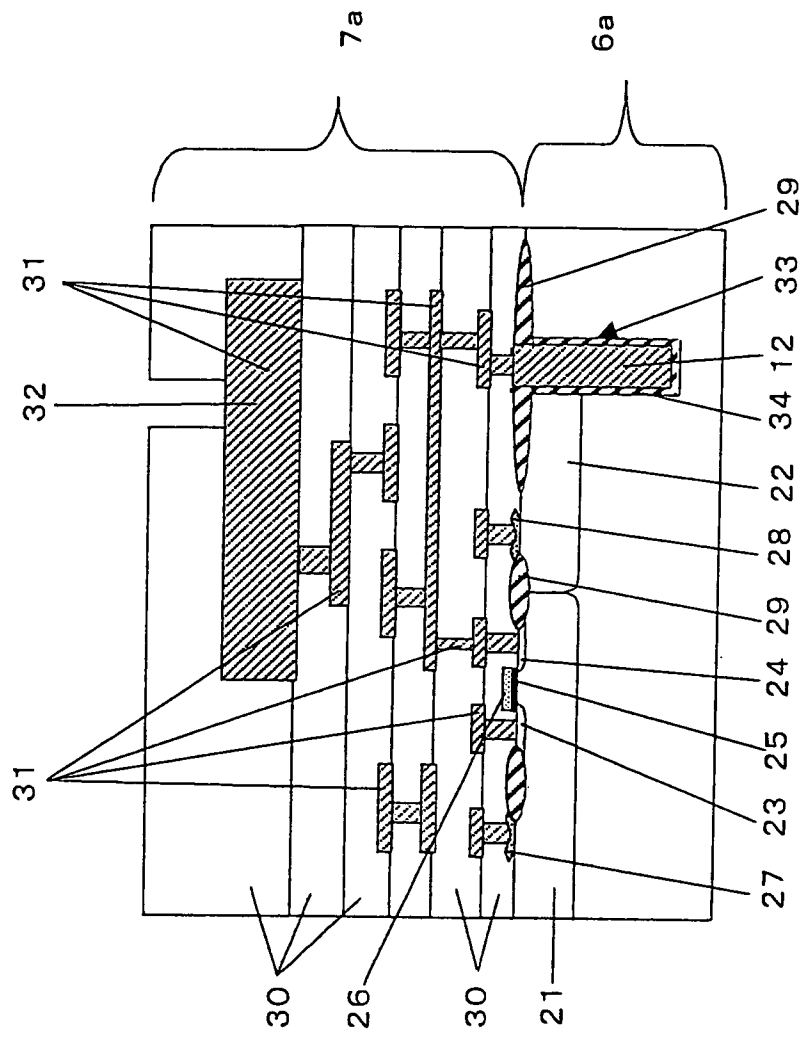
第5圖



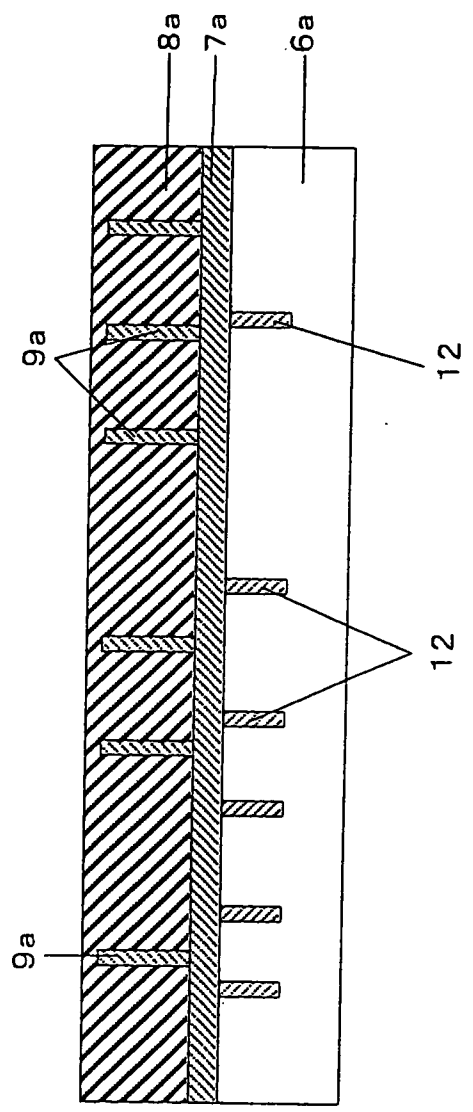
第6圖



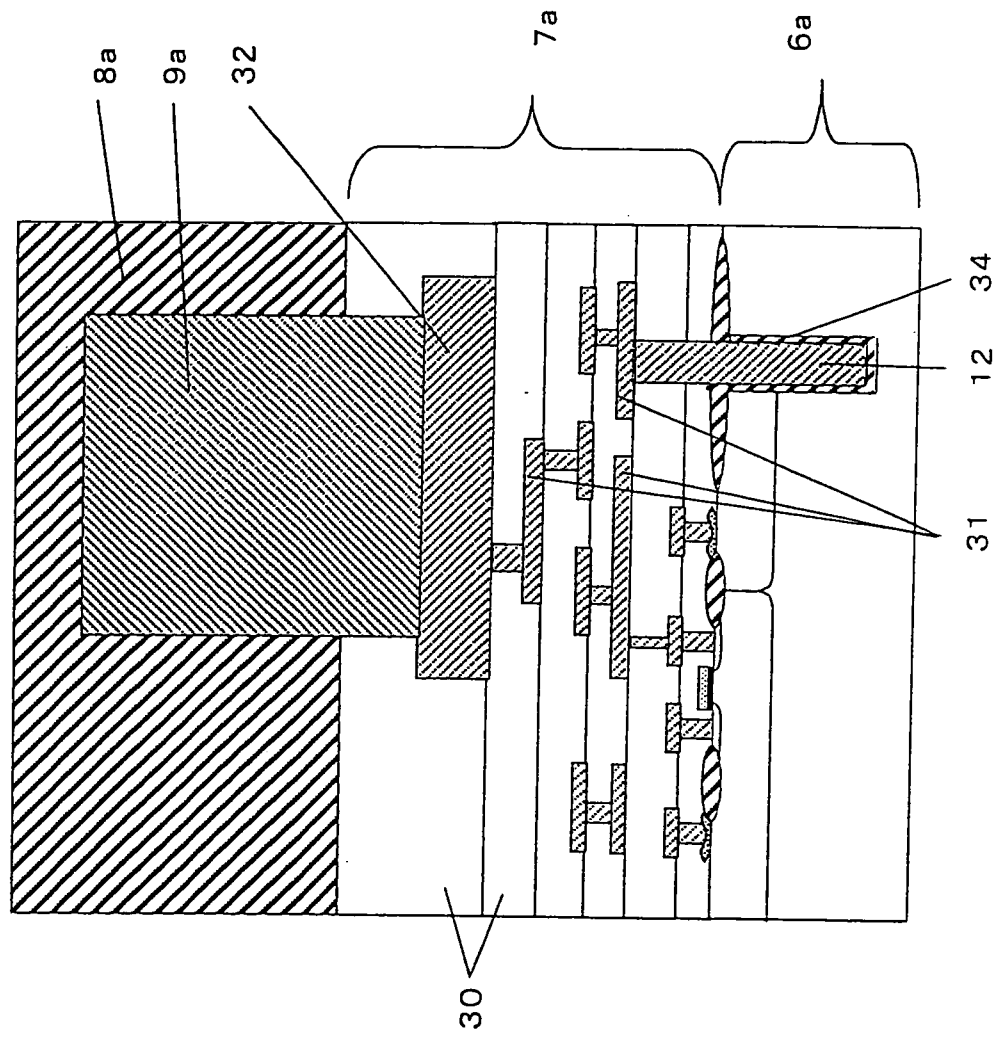
第7圖



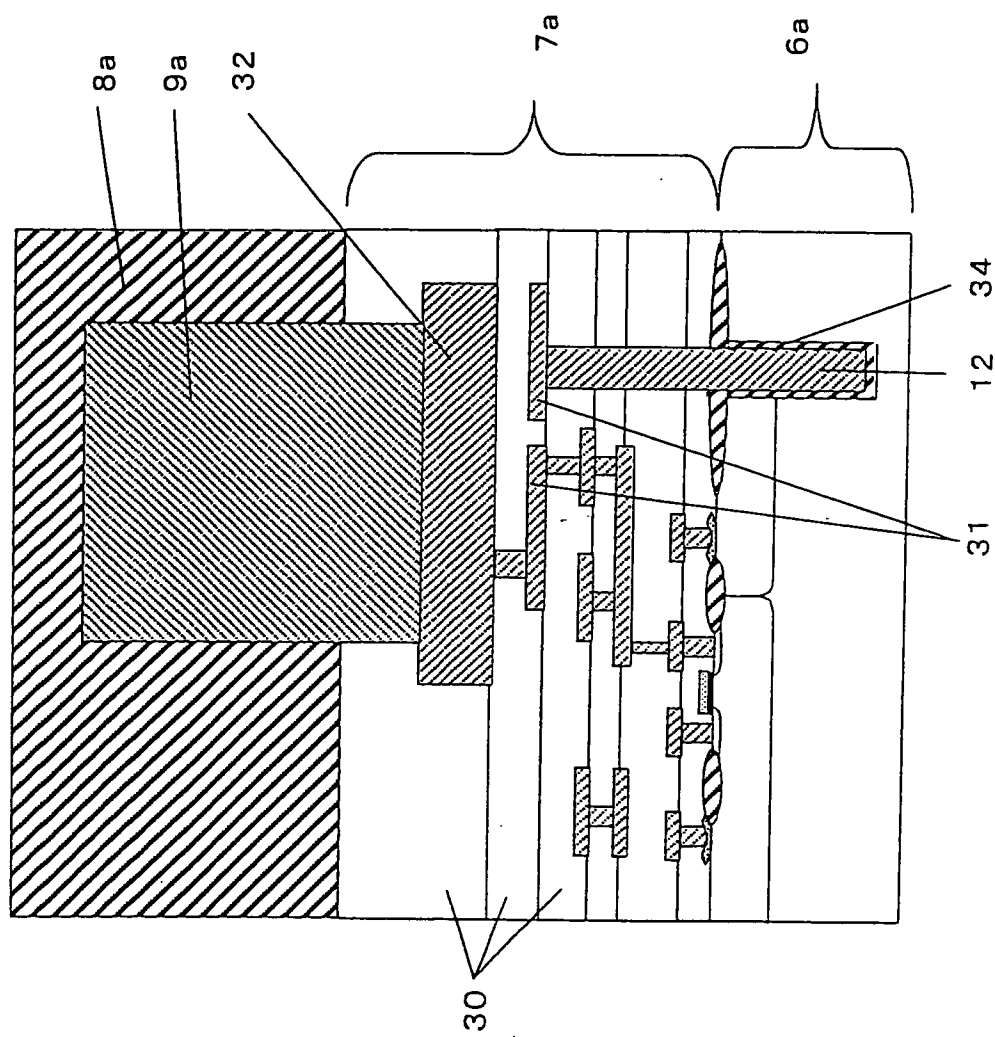
第8圖



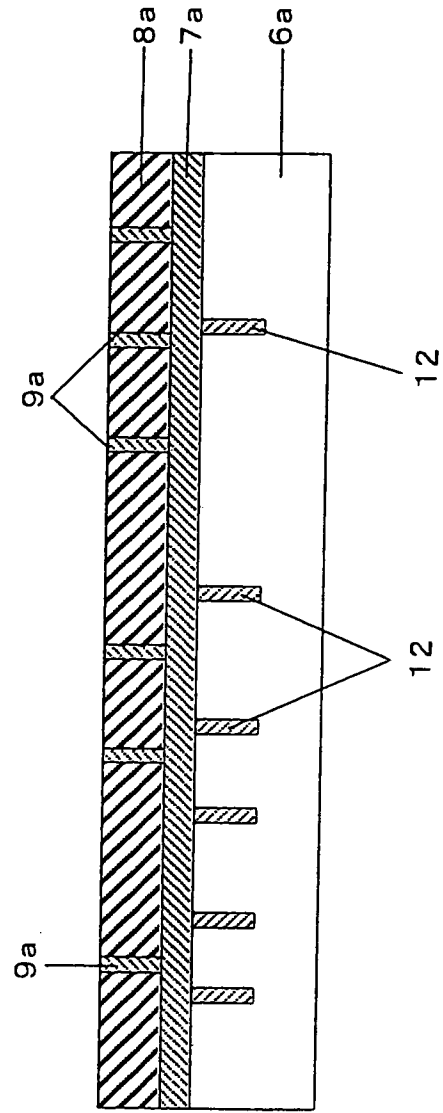
第10圖



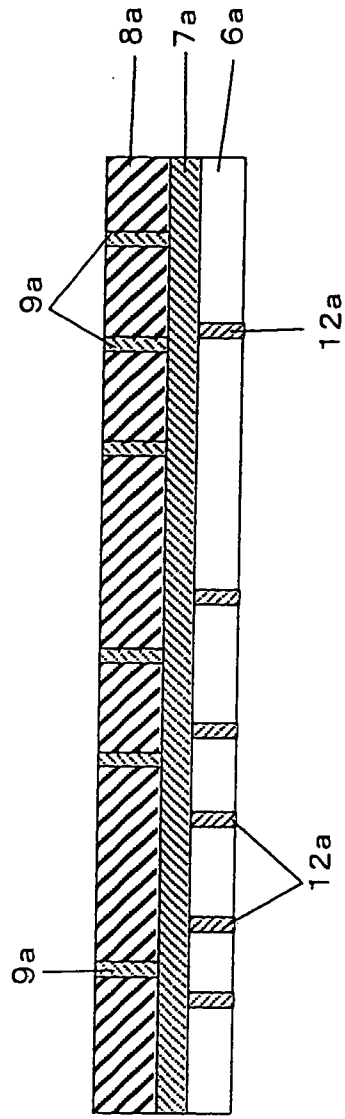
第11圖



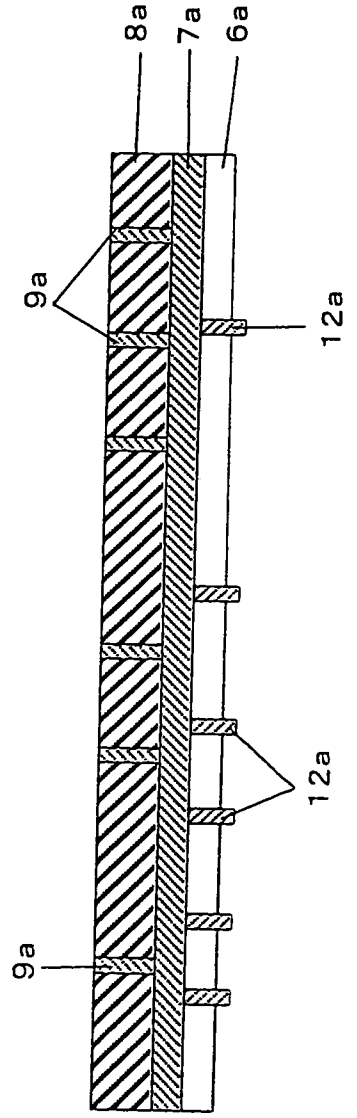
第12圖



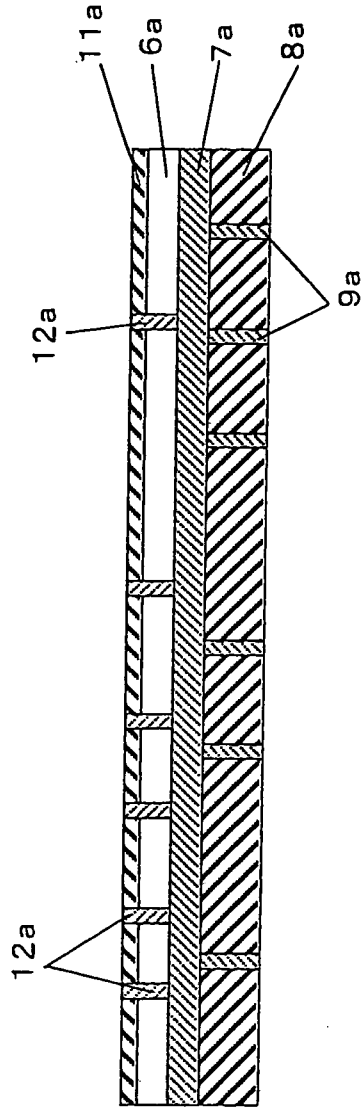
第13圖



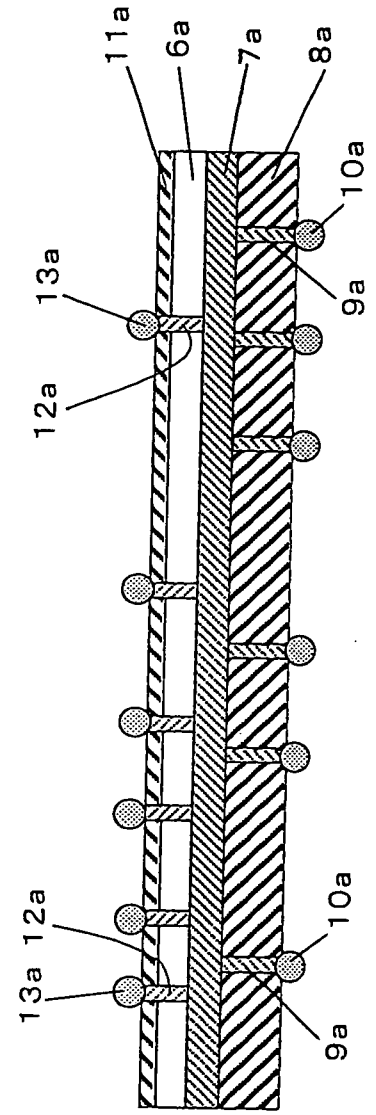
第14圖



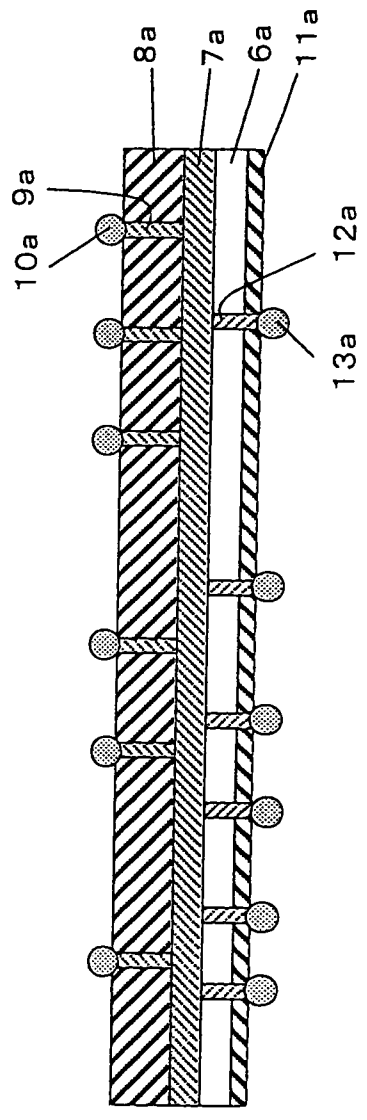
第15圖



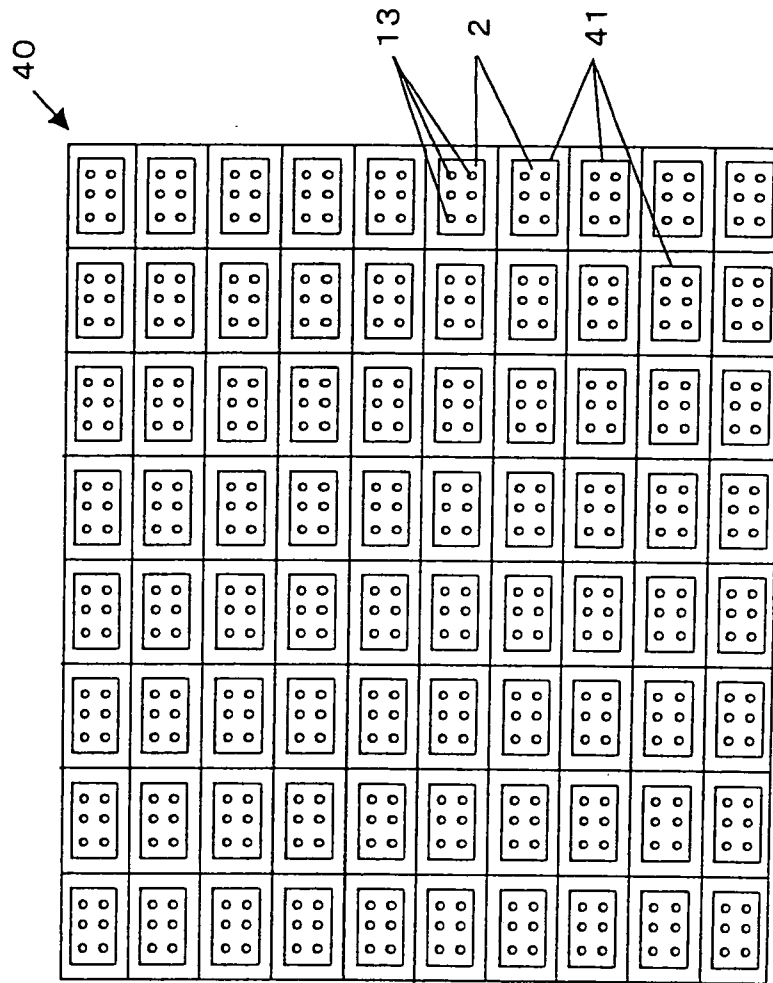
第16圖



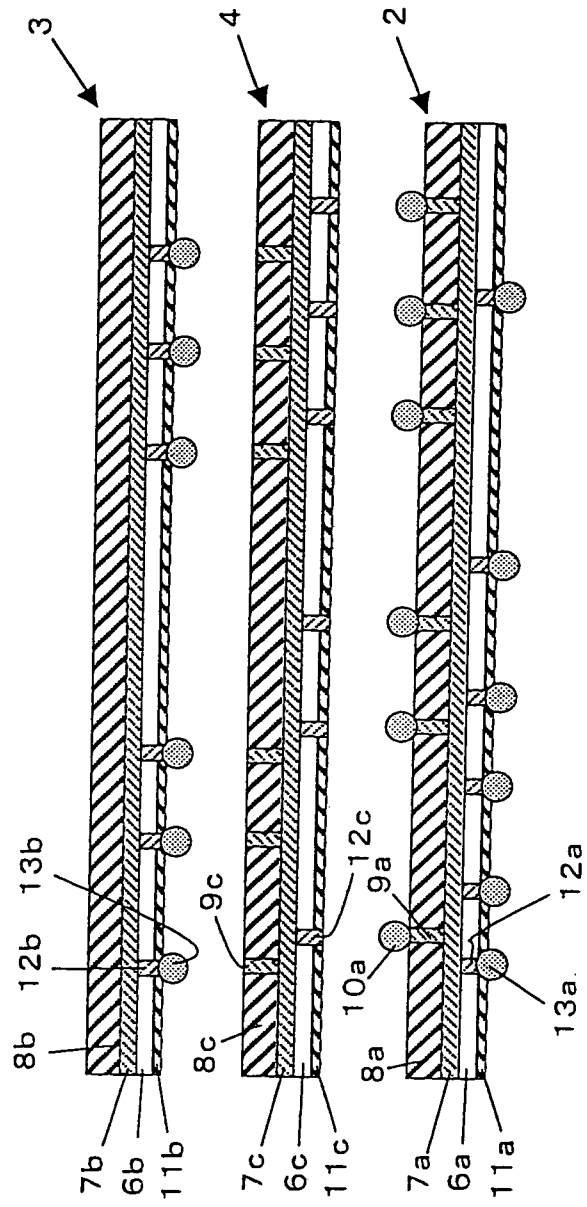
第17圖



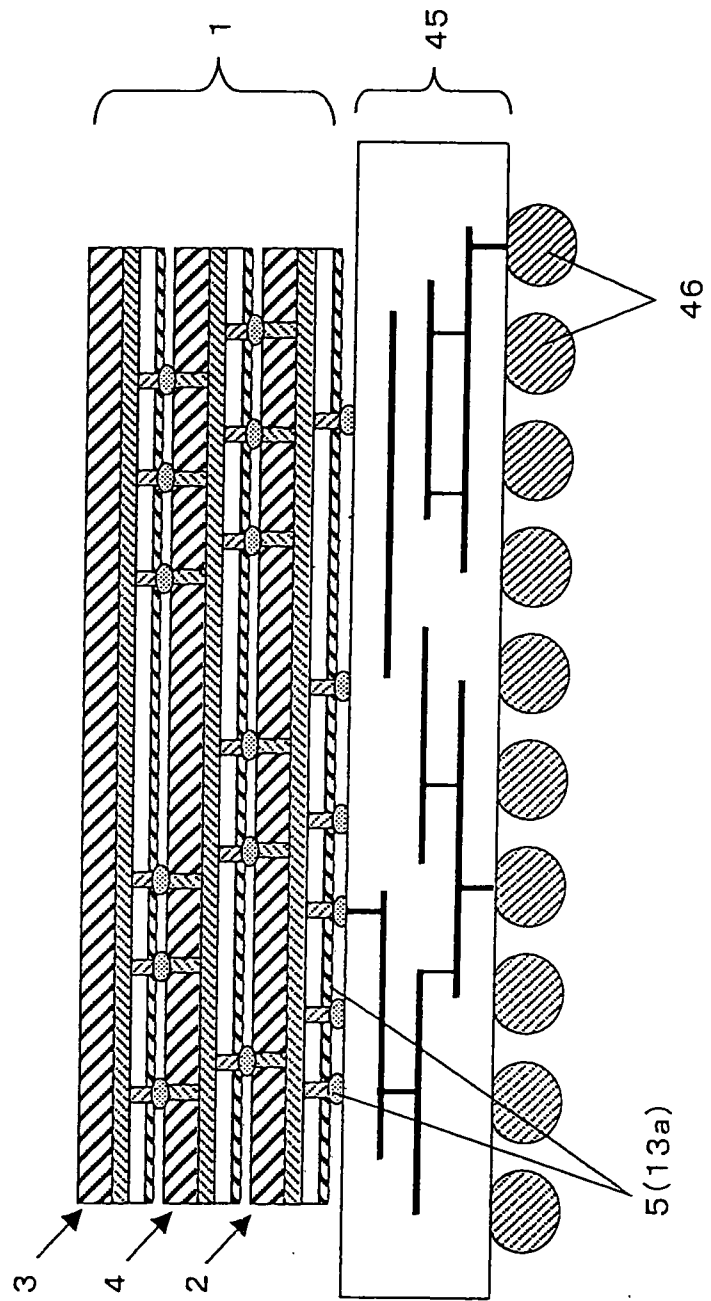
第18圖



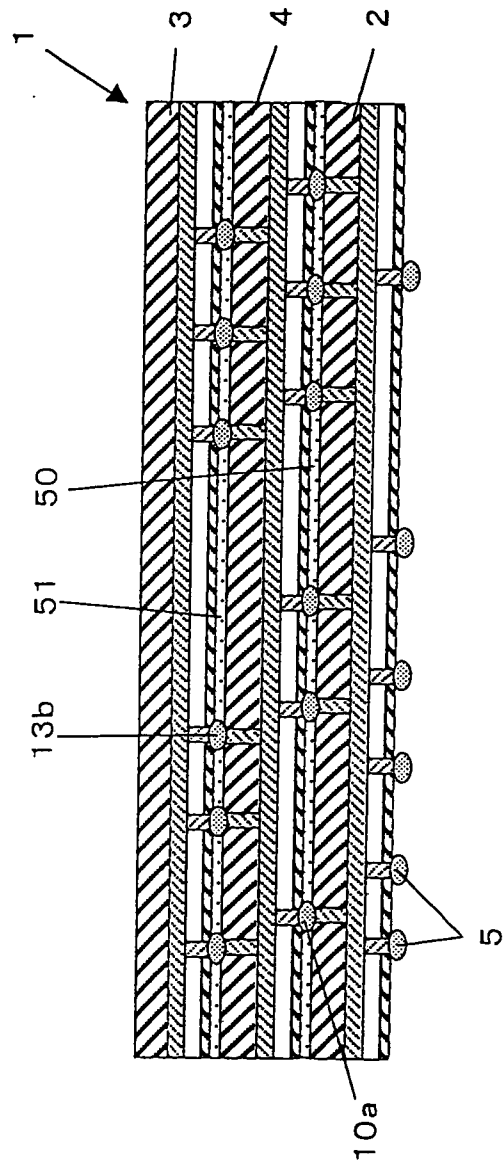
第19圖



第20圖

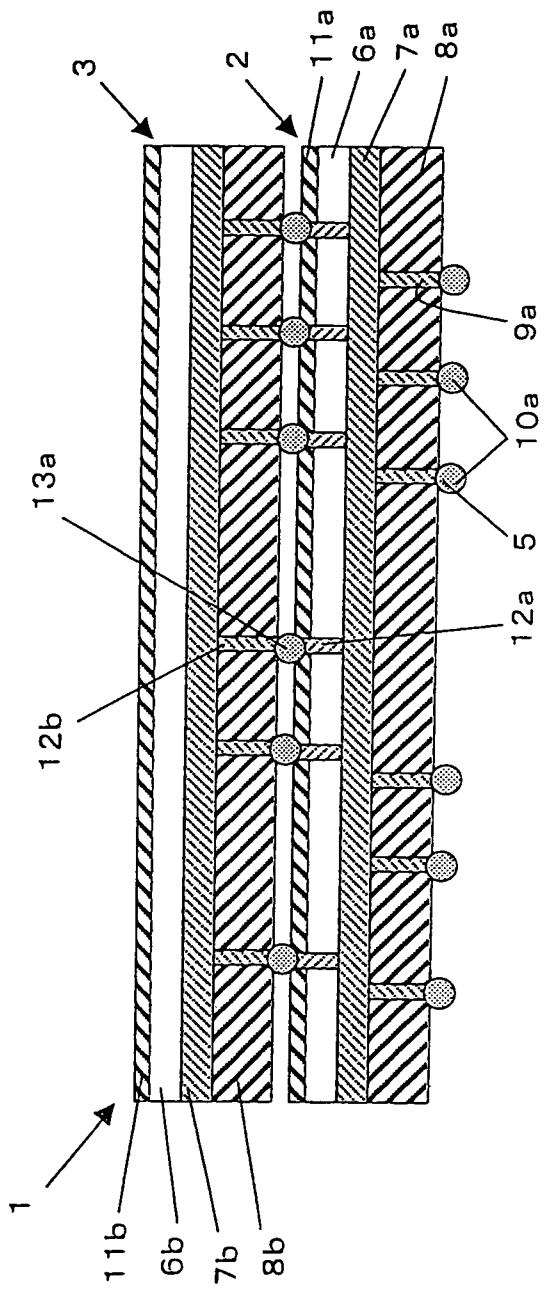


第21圖

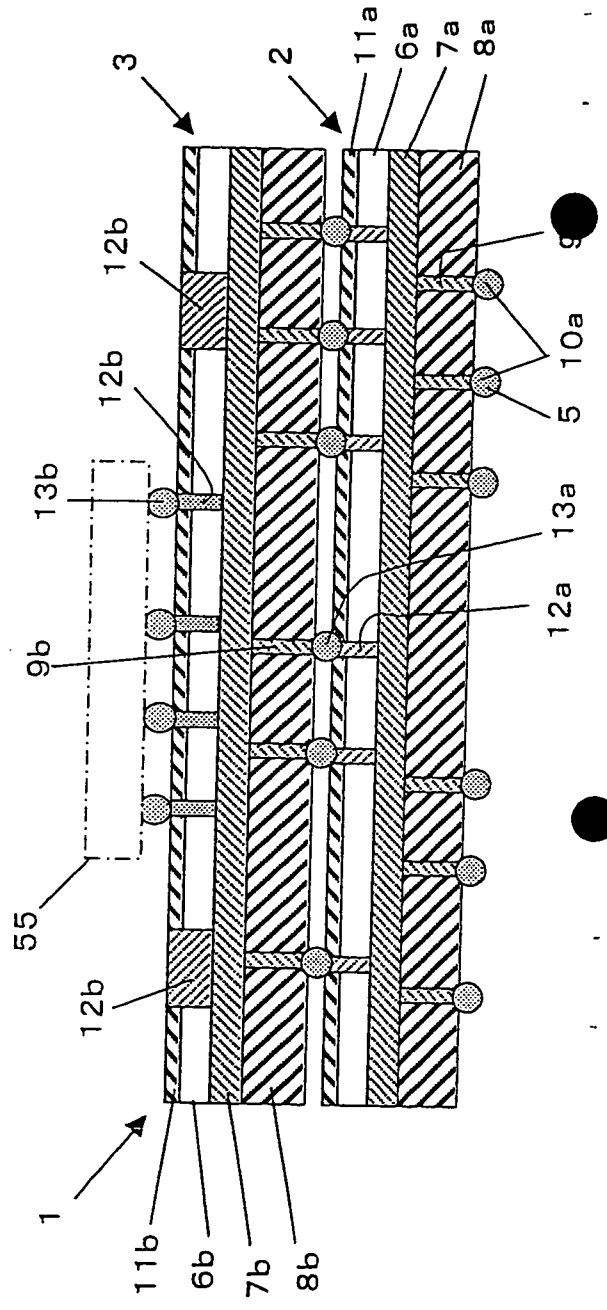


第22圖

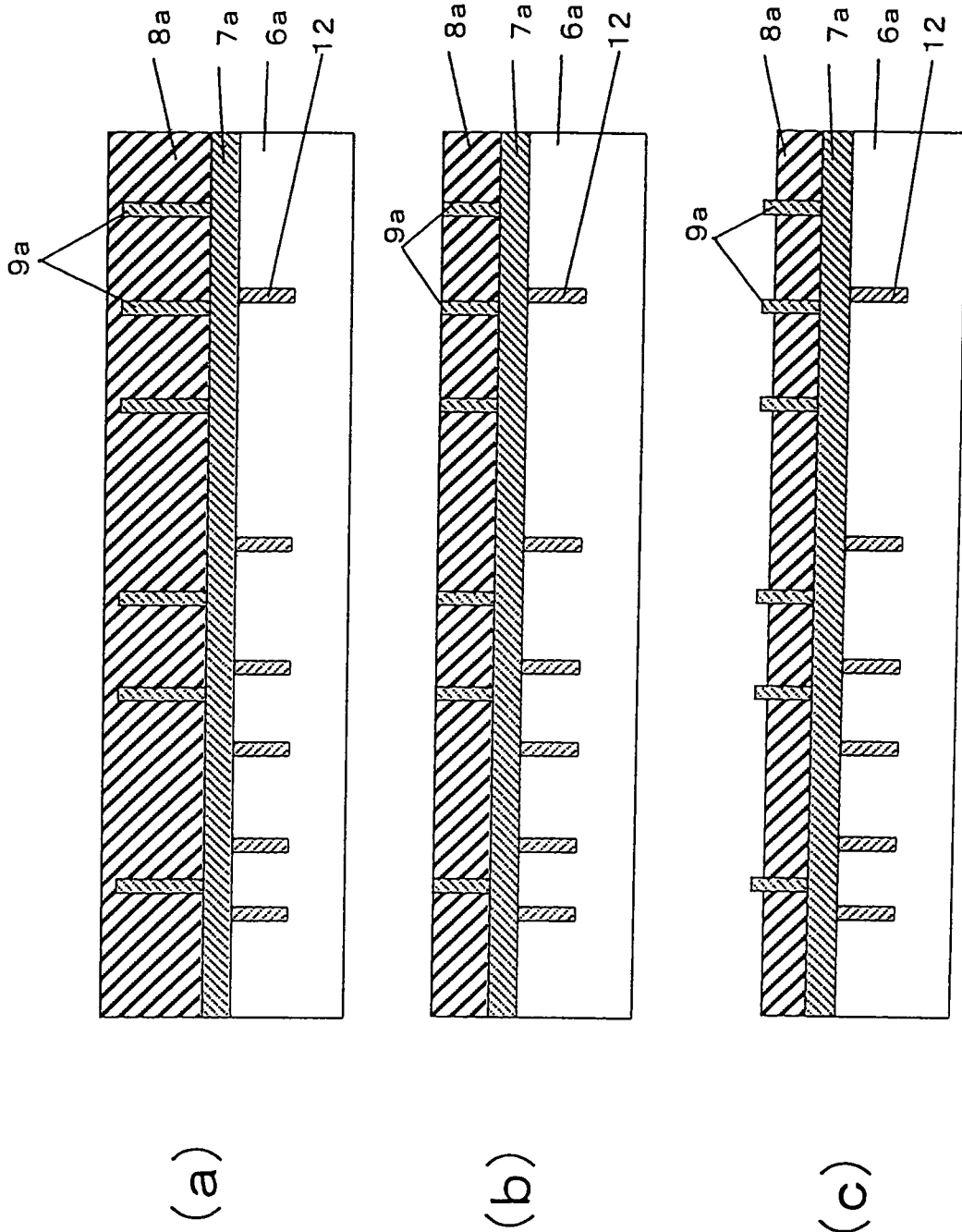
(a)



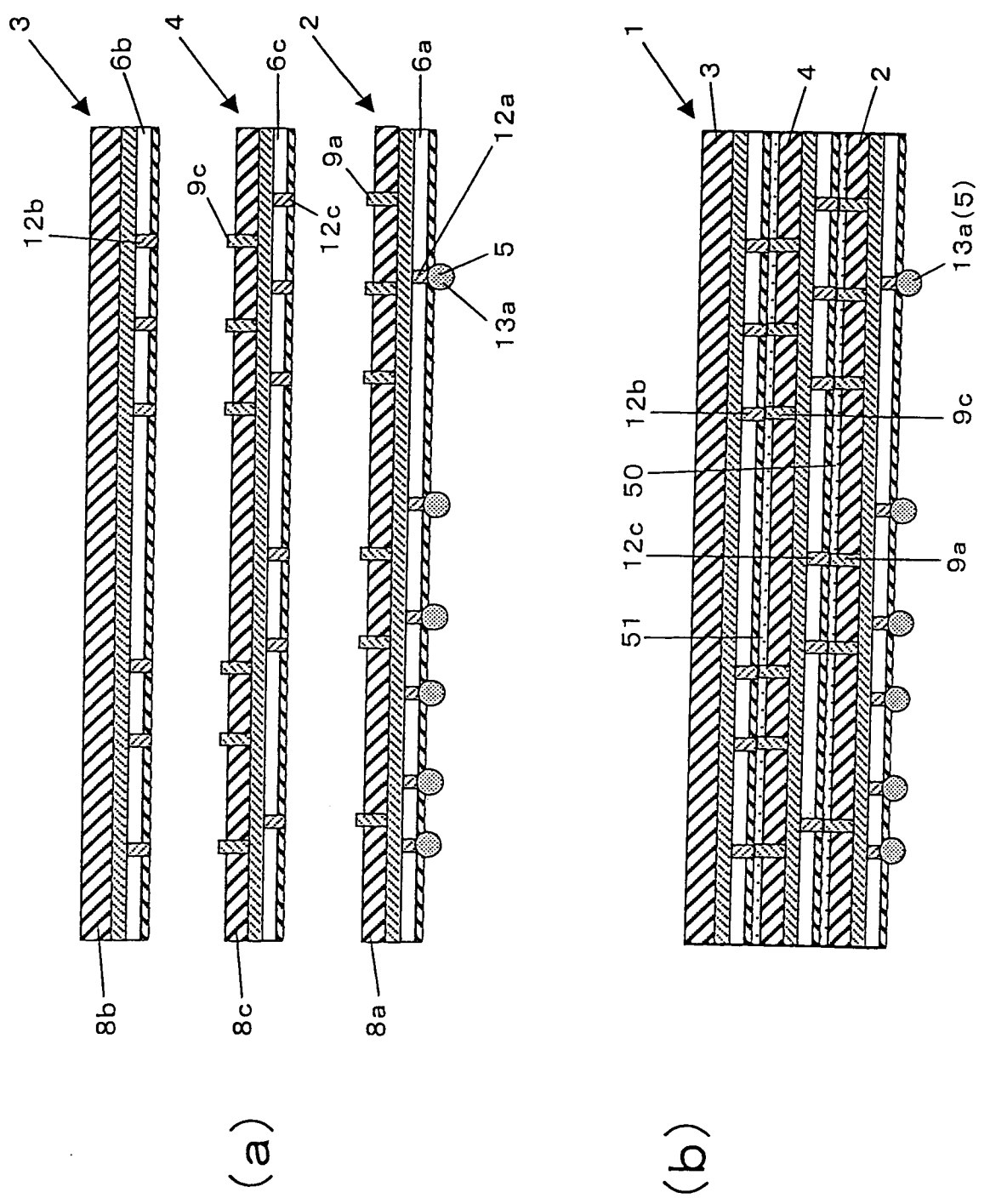
(b)



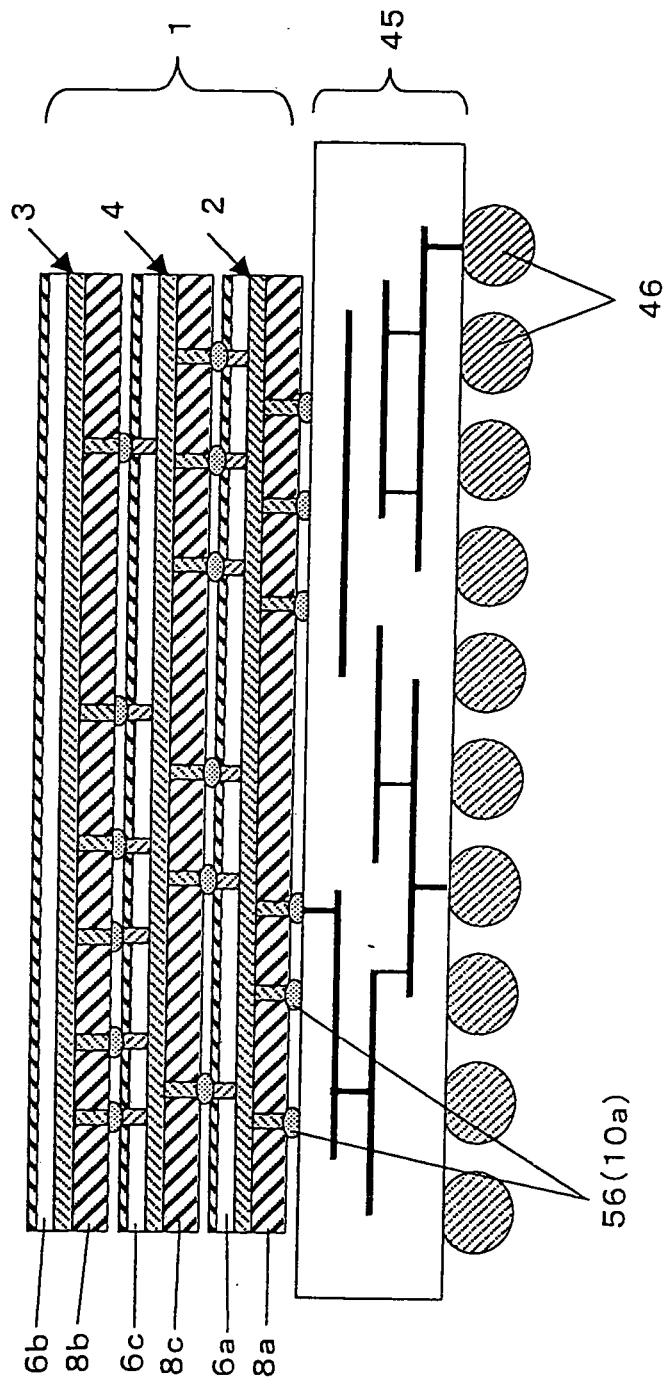
第23圖



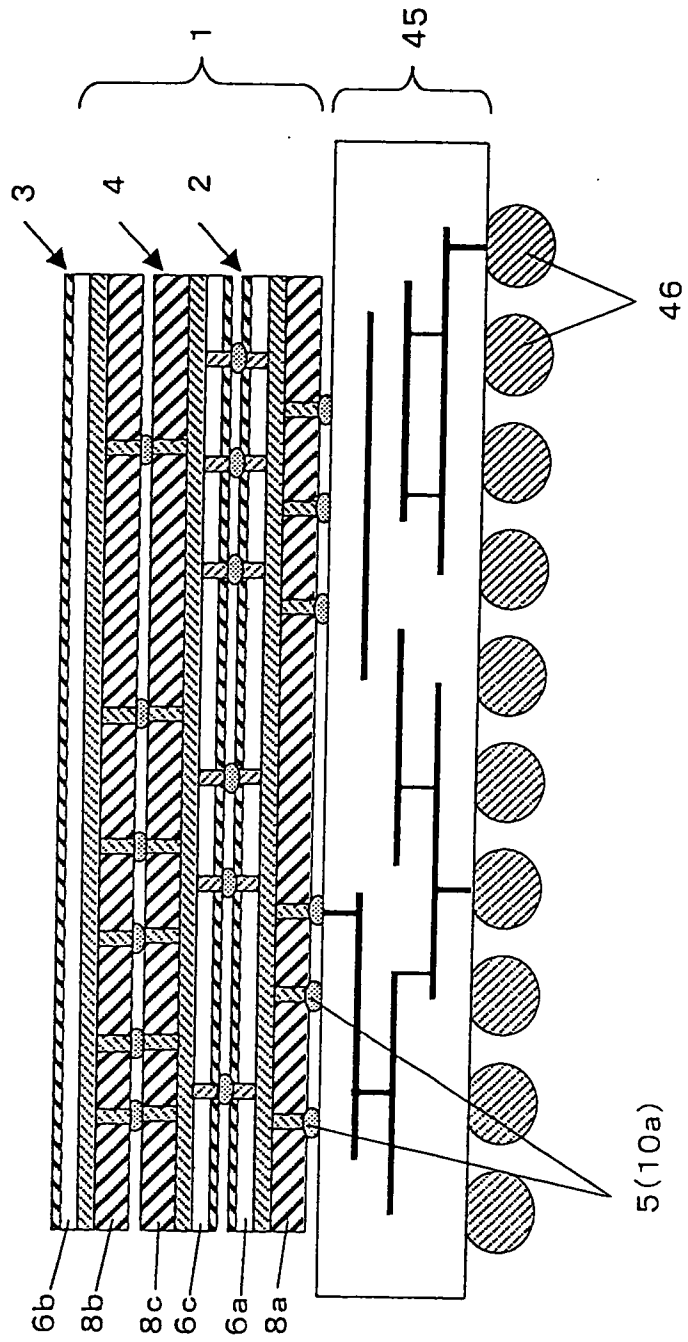
第25圖



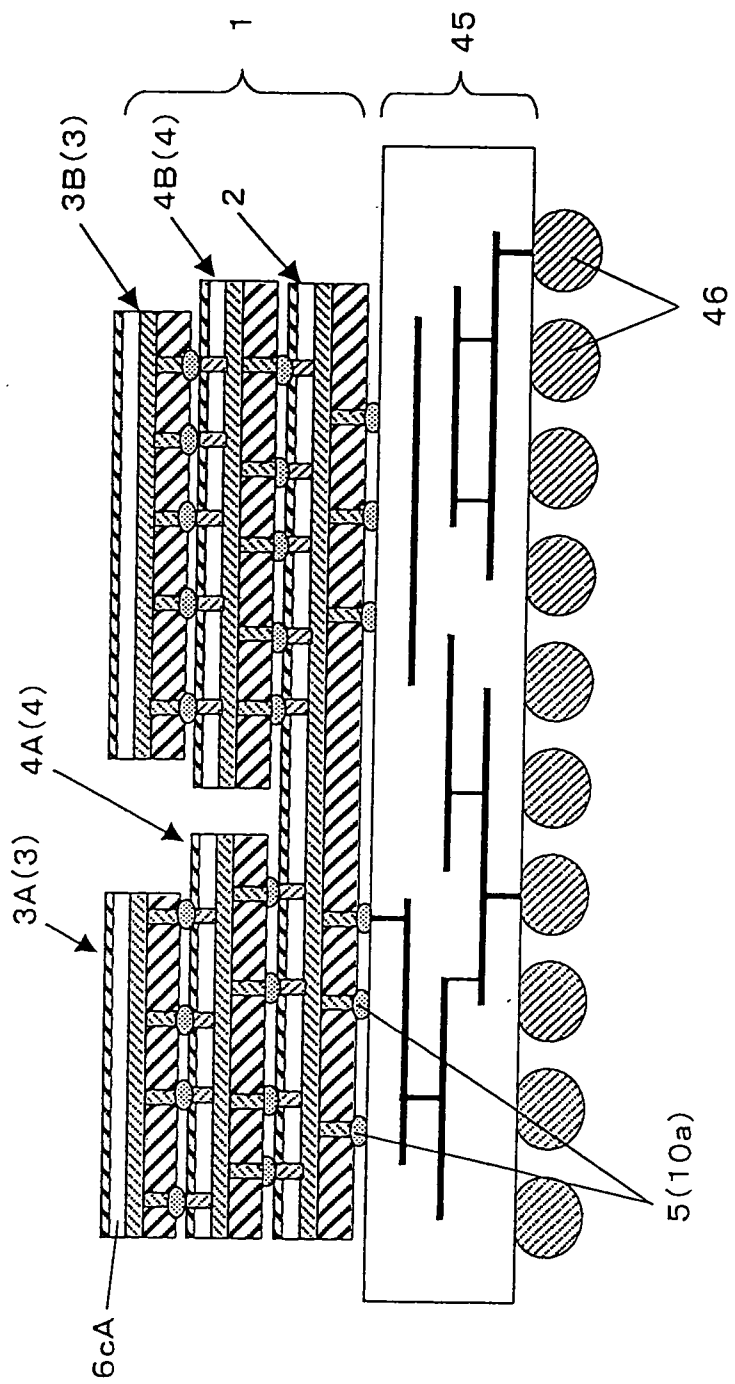
第26圖



第27圖



第28圖



第29圖

