

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년08월22일
HO1L 27/115 (2006.01)	(11) 등록번호	10-0614644
HO1L 21/8247 (2006.01)	(24) 등록일자	2006년08월14일

(21) 출원번호	10-2004-0116845	(65) 공개번호	10-2006-0078146
(22) 출원일자	2004년12월30일	(43) 공개일자	2006년07월05일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 전희석
 경기 화성시 태안읍 병점리 주공4단지 404동 501호

 윤승범
 경기 수원시 권선구 금곡동 530번지 LG빌리지아파트 208동 1104호

 한정옥
 경기 성남시 분당구 금곡동 LG빌리지아파트 206동 203호

 김용태
 경기 용인시 기흥읍 보라리 현대모닝사이드1차아파트 307동 1404호

(74) 대리인 임창현
 권혁수

(56) 선행기술조사문헌	
JP01248670 A	KR1020020014275 A
US6635533 B1	US6787418 B2
* 심사관에 의하여 인용된 문헌	

심사관 : 김기현

(54) 비휘발성 기억소자, 그 제조방법 및 동작 방법

요약

비휘발성 기억소자, 그 제조방법 및 동작 방법이 개시된다. 이 소자는, 기판 상에 게이트 절연막을 개재하여 형성된 부유게이트와, 상기 부유게이트 상에 형성된 터널 절연막과, 상기 게이트 절연막을 통한 전하의 주입을 유도하는 선택 게이트 전극과, 상기 터널 절연막을 통한 전하의 터널링을 유도하는 제어 게이트 전극을 포함한다. 상기 선택 게이트 전극은 상기 제어 게이트 전극과 절연되어 있다. 본 발명에 따른 기억소자는 부유 게이트 상에 선택 게이트 전극 및 제어 게이트 전극을 형성하여 각 게이트 전극에 전압을 인가함으로써 기입 및 소거가 가능하다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 스플리트 게이트 기억소자의 셀 어레이를 나타낸 등가회로도이다.

도 2는 종래의 스플리트 게이트 기억소자의 단면도이다.

도 3은 종래의 EEPROM의 셀 어레이를 나타낸 등가회로도이다.

도 4는 종래의 EEPROM의 단면도이다.

도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자를 나타낸 평면도이다.

도 6은 도 5의 I-I'를 따라 취해진 단면도이다.

도 7은 본 발명에 따른 비휘발성 기억소자를 나타내는 기호이다.

도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 셀 어레이를 나타낸 등가회로도이다.

도 9a 내지 도 17a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 제조방법을 설명하기 위한 평면도들이다.

도 9b 내지 도 17b는 각각 도 9a 내지 도 17a의 II-II'를 따라 취해진 단면도들이다.

도 9c 내지 도 17c는 각각 도 9a 내지 도 17a의 III-III'를 따라 취해진 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자, 그 동작 방법 및 제조방법에 관한 것으로서, 더 구체적으로는 비휘발성 기억소자와 그 동작 방법 및 제조방법에 관한 것이다.

전기적으로 절연된 저장소에 정보를 저장하는 비휘발성 기억소자는 대표적으로 스택 게이트 기억소자(stack gate memory), 스플리트 게이트 기억소자(split gate memory) 및 이이피롬(EEPROM)으로 분류할 수 있다.

도 1은 종래의 스플리트 게이트 기억소자의 셀 어레이를 나타낸 등가회로도이다.

도 2는 종래의 스플리트 게이트 기억소자의 단면도이다.

도 1 및 도 2를 참조하면 종래의 스플리트 게이트 기억소자의 셀 어레이는 노어형을 채택하여 기억셀을 랜덤 액세스할 수 있다. 기억 셀들은 행 방향 및 열 방향으로 배치되어 인접한 기억 셀들과 소오스 영역(22) 또는 드레인 영역(24)을 공유한다. 각 기억 셀은 소오스 영역(22)와 드레인 영역(24) 사이에 정의되는 채널 영역과, 상기 채널 영역 상에 형성된 게이트 절연막(12)과, 상기 게이트 절연막(12) 상에 형성된 부유 게이트(14)와, 상기 게이트 절연막(12)과 상기 부유게이트(14) 상에 형성된 제어 게이트 전극(16)과, 상기 제어 게이트 전극(16)과 상기 부유게이트(14) 사이에 개재된 터널 절연막(20)으로 구성된다. 상기 부유게이트(14) 상에는 타원 단면의 절연막(18)이 형성되어 터널링 효율을 높일 수 있는 틱을 형성한다.

도 1에 도시된 것과 같이, 열 방향으로 배치된 기억 셀들의 제어 게이트 전극(16)은 연결되어 워드라인(WLn)을 이루고, 소오스 영역들은 연결되어 공통 소오스 라인(CSL)을 이룬다. 행 방향으로 배치된 기억 셀들의 드레인 영역은 비트라인(BLn)

에 연결된다. 스택 게이트 기억 소자의 노어형 셀 어레이가 과잉 소거(over erase) 문제를 가짐에 반해서 스플리트 게이트 기억소자의 노어형 셀 어레이는, 상기 게이트 절연막 상의 제어 게이트 전극이 선택 트랜지스터의 게이트 전극에 해당하기 때문에, 과잉 소거의 문제는 고려하지 않아도되는 장점을 지닌다.

스플리트 게이트 기억 소자에서, 제어 게이트 전극(16) 하부에 채널을 형성하기 위한 턴-온 전압을 제어 게이트 전극(16)에 인가하고, 소오스 영역(22)에 10볼트 정도의 높은 기입 전압(program voltage)을 인가하여 게이트 절연막(12)을 통하여 부유게이트(14)에 전하를 주입한다. 기입 전압은 소오스 영역(22)과 부유게이트(14)의 오버랩 커패시턴스에 의해 상기 부유게이트(14)에 커플링된다. 따라서, 채널 영역에 충분한 수직 전계를 유도하기 위하여 높은 기입 전압이 요구된다. 따라서, 소오스 영역(22)은 높은 접합 항복 전압을 가지는 구조로 형성되어야 한다.

스플리트 게이트 기억소자에 비해 터널 절연막을 통한 FN터널링에 의해 부유 게이트에 전하를 저장하는 EEPROM은 소오스 영역 또는 드레인 영역에 상대적으로 낮은 전압이 인가되기 때문에 높은 접합 항복을 제공하기 위한 정션 구조가 요구되지 않는다.

도 3은 종래의 EEPROM의 셀 어레이를 나타낸 등가회로도이다.

도 4는 종래의 EEPROM의 단면도이다.

도 3 및 도 4를 참조하면, 스플리트 게이트 기억 소자와는 달리 EEPROM은 선택 게이트 전극과 제어 게이트 전극이 분리된 구조를 가진다. EEPROM의 기억 셀은 행 방향 및 열 방향으로 배치되고, 행 방향 및 열 방향으로 배치된 기억 셀들은 인접한 기억 셀들과 소오스 영역(68) 및 드레인 영역(66)을 공유한다. 각 기억셀은 상기 소오스 영역(68)과 드레인 영역(66) 사이에 정의되는 채널 영역, 상기 채널 영역 상에 형성된 터널 절연막(52)과 게이트 절연막(54), 상기 터널 절연막(52) 및 게이트 절연막(54) 상에 형성된 부유 게이트(56) 및 상기 부유 게이트(56)과 이격되어 상기 게이트 절연막(54) 상에 형성된 제어 게이트 전극(60)을 포함한다. 상기 부유 게이트(56) 상에 게이트 충전유전막(62)을 개재하여 선택 게이트 전극(58)이 형성되고, 상기 부유 게이트(56)과 상기 제어 게이트 전극(60) 사이의 기관 내에는 상기 터널 절연막(52) 하부까지 확장된 플로팅 확산층(64)가 형성되어 있다.

도 3에 도시된 것과 같이, 열 방향으로 배치된 기억 셀들의 선택 게이트 전극이 연결되어 센싱 라인(SL)을 이루고, 열 방향으로 배치된 기억 셀들의 제어 게이트 전극이 연결되어 워드 라인(WL), 열 방향의 소오스 영역들은 연결되어 공통 소오스 영역(CSL)을 이룬다. 센싱 라인(SL)은 복수개의 셀 단위로 분리되어 워드 라인(WL)에 연결된 기억 셀들을 선택적으로 소거할 수 있다. 그러나, 스플리트 게이트 기억소자에 비해 넓은 셀 면적이 요구되어 집적도가 제한된다.

상술한 것과 같이 스플리트 게이트 기억소자는 선택 트랜지스터의 게이트 전극의 기능을 겸비한 제어 게이트 전극을 가지기 때문에 소자의 집적도는 높으나, 커플링비가 낮은 소오스 정션 커플링에 의해 기입 동작이 이루어지기 때문에 높은 항복 전압이 요구된다. 이에 비해 게이트 커플링에 의해 기입 동작이 이루어지는 EEPROM은 높은 정션 항복 전압은 요구되지 않지만, 선택 게이트 전극과 제어 게이트 전극이 이격되어 셀 면적이 넓고 집적도가 제한되는 단점을 지닌다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 스플리트 게이트 기억소자와 EEPROM의 단점을 극복할 수 있는 구조의 비휘발성 기억소자와, 그 동작 방법 및 제조 방법을 제공하는데 목적이 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 단위 셀 면적이 작고 소오스 영역 또는 드레인 영역에 고전압이 인가되지 않는 비휘발성 기억소자를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명은 스플리트 게이트 기억소자 구조와 EEPROM 구조가 결합된 비휘발성 기억소자를 제공한다. 이 소자는, 기관 상에 게이트 절연막을 개재하여 형성된 부유게이트와, 상기 부유게이트 상에 형성된 터널 절연막과, 상기 게이트 절연막을 통한 전하의 주입을 유도하는 선택 게이트 전극과, 상기 터널 절연막을 통한 전하의 터널링을 유도하는 제어 게이트 전극을 포함한다. 상기 선택 게이트 전극은 상기 제어 게이트 전극과 절연되어 있다.

상기 선택 게이트 전극과 상기 제어 게이트 전극은 서로 다른 물질에 의해 상기 부유 게이트와 절연될 수 있다. 예컨대, 상기 선택 게이트 전극은 유전막에 의해 상기 부유게이트와 절연되고, 상기 제어 게이트 전극은 상기 터널 절연막에 의해 상

기 부유 게이트와 절연될 수 있다. 이 때, 상기 선택 게이트 전극과 상기 부유게이트 사이의 커패시턴스는 상기 제어 게이트 전극과 상기 부유 게이트 사이의 커패시턴스보다 높게 형성할 수 있다. 즉, 상기 유전막은 상기 터널 절연막보다 높은 유전상수를 가지는 물질을 포함함으로써 상기 선택 게이트 전극과 상기 부유게이트 사이의 커패시턴스를 높일 수 있다.

상기 부유게이트는 상기 제어 게이트 전극을 향하는 틱을 가질 수 있다. 따라서, 상기 틱 부근에 전계가 집중되어 상기 터널절연막을 통한 전하의 터널링은 상기 틱 부근에서 일어날 수 있다.

상기 게이트 절연막은 소오스 영역 및 드레인 영역 사이에 정의된 채널 영역 상에 형성될 수 있고, 상기 부유게이트, 상기 선택 게이트 전극 및 상기 제어 게이트 전극은 상기 채널 영역 상에 상기 게이트 절연막을 개재하여 형성될 수 있다. 상기 선택 게이트 전극의 유도에 의해 상기 채널 영역에 생성된 열전하가 상기 게이트 절연막을 통해 주입된다.

본 발명의 일 실시예에서 이 소자는 기판에 채널 영역을 정의하는 소오스 영역 및 드레인 영역과, 상기 채널 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 부유게이트를 포함한다. 상기 게이트 절연막과 상기 부유게이트 상에 선택 게이트 전극이 형성되고, 상기 선택 게이트 전극에 대향하여 상기 부유 게이트의 측벽과 상기 게이트 절연막 상에 제어 게이트 전극이 형성된다. 상기 선택 게이트 전극과 상기 부유게이트 사이에는 게이트 층간유전막이 개재되고, 상기 제어 게이트 전극과 상기 부유게이트 사이에는 터널 절연막이 개재된다.

상기 선택 게이트 전극과 상기 부유게이트 사이의 커패시턴스는 상기 제어 게이트 전극과 상기 부유게이트 사이의 커패시턴스보다 높게 형성함으로써 이 소자의 기입 및 소거 효율을 높일 수 있다. 따라서, 상기 선택 게이트 전극과 상기 부유 게이트 사이의 게이트 층간유전막의 면적이 상기 제어 게이트 전극과 상기 부유 게이트 사이의 터널 절연막의 면적보다 넓거나, 상기 게이트 층간유전막은 상기 터널 절연막보다 높은 유전상수를 가지는 물질을 포함할 수 있다.

상기 선택 게이트 전극은 상부 선택 게이트 전극과 측벽 선택 게이트 전극으로 구성될 수 있다. 상기 상부 선택 게이트 전극은 상기 부유게이트의 상부에 형성되고, 상기 측벽 선택 게이트 전극은 상기 제어 게이트 전극에 대향하여 상기 부유게이트의 측벽과 상기 게이트 절연막 상에 형성된다. 이 때, 상기 측벽 선택 게이트 전극과 상기 제어 게이트 전극은 대칭 구조일 수 있다.

상기 상부 선택 게이트 전극과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널 절연막보다 유전상수가 높은 물질을 포함할 수 있다. 이에 비해, 상기 측벽 선택 게이트 전극과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널절연막과 동일한 물질일 수 있다.

상기 선택 게이트 전극과 상기 제어 게이트 전극은 전기적으로 절연시키기 위한 스페이서 절연막 패턴이 상기 상부 선택 게이트 전극과 상기 제어 게이트 전극 사이에 개재될 수 있다. 상기 상부 선택 게이트 전극 및 상기 측벽 선택 게이트 전극 사이에도 상기 스페이서 절연막 패턴에 대향하는 다른 스페이서 절연막 패턴이 개재될 수 있다.

본 발명에 따른 비휘발성 기억소자는 상기 게이트 절연막을 통하여 상기 부유게이트에 전하를 주입하여 정보를 기입하고, 상기 부유게이트에 저장된 전하의 영향으로 변화된 문턱 전압을 감지하여 정보를 읽고, 상기 터널 절연막을 통하여 상기 부유게이트에 저장된 전하의 터널링을 유도하여 저장된 정보를 소거한다.

구체적으로 정보의 기입은 소오스 영역 및 드레인 영역에 각각 정전압(Vcc) 및 접지 전압(GND)을 인가하고, 선택 게이트 전극에 기입 전압(write voltage)을 인가하고, 제어 게이트 전극에 턴-온 전압을 인가하여 게이트 절연막을 통해 전하를 주입하는 것으로 이루어진다. 이 때, 상기 제어 게이트 전극에는 제어 게이트 전극 하부의 채널 영역에 채널을 형성하는 턴-온 전압을 인가한다. 또한, 상기 선택 게이트 전극에는 상기 부유게이트와 상기 채널 영역 사이의 게이트 절연막을 통해 열전하 주입이 일어나도록 기입 전압을 인가한다.

정보를 읽는 단계에서는 소오스 영역에 접지 전압을 인가하고, 드레인 영역에 읽기 전압을 인가하고, 선택 게이트 전극에 턴-온 전압을 인가하고, 제어 게이트 전극에 판독 전압(verify voltage)을 인가하여 부유게이트에 저장된 정보를 감지(sensing)할 수 있다. 이 때, 상기 선택 게이트 전극에는 선택 게이트 전극 하부의 채널 영역에 채널을 형성하는 턴-온 전압을 인가한다. 또한, 상기 제어 게이트 전극에는 상기 부유게이트와 상기 채널 영역 사이의 게이트 절연막에 기입 문턱 전압보다 높고 소거 문턱 전압 보다 낮은 전압이 커플링되도록 판독 전압을 인가한다.

정보를 소거하는 단계에서는 소오스 영역, 드레인 영역 및 선택 게이트 전극에 각각 접지 전압을 인가하고, 제어 게이트 전극에 소거 전압(erase voltage)을 인가하여 터널 절연막을 통해 전하의 터널링을 유도할 수 있다. 상기 제어 게이트 전극에는 상기 부유게이트와 상기 제어 게이트 전극 사이의 터널 절연막을 통하여 전하의 터널링이 일어나도록 소거 전압을 인가한다.

본 발명의 다른 실시예에서 이 소자는 셀 어레이를 구성할 수 있다. 구체적으로, 이 기억소자는 반도체 기판에 복수개의 활성영역들을 한정하는 소자분리막과, 상기 활성영역들 상에 형성된 게이트 절연막과, 상기 활성영역들의 상기 게이트 절연막 상에 각각 형성된 부유게이트를 포함한다. 상기 게이트 절연막과 상기 부유게이트 상에 센싱 라인이 형성되어 상기 활성영역들의 상부를 가로지르고, 상기 센싱 라인에 대향하여 상기 부유 게이트의 측벽과 상기 게이트 절연막 상에 워드라인이 형성되어 상기 활성영역들의 상부를 가로지른다. 상기 센싱 라인과 상기 부유게이트 사이에 게이트 층간유전막이 개재되고, 상기 워드 라인과 상기 부유게이트 사이에 터널 절연막이 개재된다.

상기 센싱 라인은 상기 부유게이트의 상부를 가로지르는 상부 센싱 라인과, 상기 부유게이트의 측벽 및 상기 활성영역들의 상부를 가로지르는 측벽 센싱 라인으로 구성될 수 있다. 상기 상부 센싱 라인과 상기 워드라인 사이에는 스페이서 절연막이 개재되고, 상기 측벽 센싱 라인과 상기 워드라인은 서로 대향하는 대칭구조로 형성될 수 있다. 상기 상부 센싱 라인과 상기 측벽 센싱 라인 사이에도 스페이서 절연막이 개재될 수 있다.

기입 단계에서는 선택 공통 소오스 라인, 선택 비트라인, 선택 센싱 라인 및 선택 워드라인에 각각 정전압(Vcc), 접지 전압(GND), 기입 전압(write voltage) 및 턴-온 전압을 인가하고, 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하여 정보를 기입할 수 있다.

독출 단계에서는 선택 공통 소오스 라인, 선택 비트라인, 선택 센싱 라인 및 선택 워드 라인에 각각 접지 전압, 읽기 전압, 턴-온 전압 및 판독 전압을 인가하고, 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하여 정보를 읽을 수 있다.

소거 단계에서는 선택 공통 소오스 라인, 선택 비트 라인 및 선택 센싱 라인에 각각 접지 전압을 인가하고, 선택 워드라인에 소거 전압(erase voltage)을 인가하고, 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하여 저장된 정보를 소거할 수 있다.

상기 센싱 라인에 인접한 활성영역들에 드레인 영역이 각각 형성되고, 상기 워드 라인에 인접한 활성영역에는 상기 워드라인과 평행하게 연결된 공통 소오스 라인이 형성된다, 상기 센싱 라인은 소정 개수의 기억셀 단위로 분리될 수 있다. 따라서, 상기 소거 단계에서 선택 워드라인과 대향하는 선택 센싱 라인에 접지 전압을 인가하고, 상기 선택 워드라인과 대향하는 비선택 센싱 라인에는 소거 저지 전압(program inhibit voltage)을 인가하여 비선택 센싱 라인을 공유하는 기억 셀들의 부유게이트의 전위를 높일 수 있다. 부유게이트의 높여진 전위에 의해 워드 라인과 부유 게이트 사이의 터널 절연막에서 터널링이 억제될 수 있다.

본 발명은 또한 비휘발성 기억소자의 제조방법을 제공한다. 이 방법은 반도체 기판에 활성영역을 한정하고, 상기 활성영역 상에 게이트 절연막을 개재하여 상기 반도체 기판의 전면에 부유 게이트 도전막을 형성하는 것을 포함한다. 상기 부유 게이트 도전막 상에 상기 활성영역의 상부를 가로지르는 상부 선택 게이트 전극을 형성하고, 상기 부유 게이트 도전막을 패터닝하여 상기 활성영역 상에 부유 게이트를 형성한다. 상기 부유 게이트의 측벽에 터널 절연막을 형성하고, 상기 부유 게이트 양측의 터널 절연막 및 게이트 절연막 상에 서로 대향하여 활성영역을 가로지르는 측벽 선택 게이트 전극 및 제어 게이트 전극을 형성한다.

상기 상부 선택 게이트 전극은 상기 부유 게이트 도전막 상에 스페이서 절연막 패턴을 형성하고, 스페이서 절연막 패턴들 사이에 도전막을 채워 형성할 수 있다. 상기 스페이서 절연막 패턴들은 상기 부유 게이트 도전막 상에 서로 대향하여 상기 활성영역을 가로지르도록 형성한다. 상기 상부 게이트 도전막은 상기 스페이서 절연막들 사이의 부유 게이트 도전막 상에 유전막을 콘포말하게 형성하고 상기 스페이서 절연막 패턴들 사이에 형성한다. 상기 유전막은 상기 터널 절연막보다 유전상수가 높은 막을 적어도 한층 포함할 수 있다.

상기 스페이서 절연막 패턴은 상기 부유 게이트 도전막 상에 상기 활성영역의 상부를 가로지르는 오프닝을 가지는 하드마스크막을 형성하고 상기 오프닝의 측벽에 형성할 수 있다. 즉, 상기 하드마스크막 상에 스페이서 절연막을 콘포말하게 형

성하고, 상기 스페이서 절연막을 이방성 식각하여 형성할 수 있다. 상기 스페이서 절연막을 형성하기 전에, 상기 오프닝에 노출된 부유 게이트 도전막을 열산화시키어 희생 산화막 패턴을 성장시키고, 상기 희생 산화막 패턴을 제거하여 오목한 리세스 영역을 형성할 수 있다.

상기 부유 게이트는 상기 스페이서 절연막 패턴에 자기정렬되도록 형성할 수 있다. 상기 측벽 선택 게이트 전극 및 상기 제어 게이트 전극은 기판의 전면에서 도전막을 형성한 후 이방성 식각하여 상기 스페이서 절연막 패턴의 측벽 및 상기 부유 게이트의 측벽에 형성할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 소자의 단위 셀을 기호로 표시한 것이다.

도 5를 참조하면, 이 기억소자는 채널 영역을 정의하는 소오스 영역(S) 및 드레인 영역(D)과, 상기 채널 영역 상의 부유 게이트(FG)와, 상기 부유 게이트(FG) 상의 선택 게이트 전극(SG) 및 제어 게이트 전극(CG)을 포함한다. 상기 제어 게이트 전극(CG)과 상기 선택 게이트 전극(SG)은 대향하고 절연되어 있다. 상기 부유 게이트(FG)와 상기 채널 영역 사이에 게이트 절연막이 개재되고, 상기 제어 게이트 전극(CG)과 상기 부유 게이트(FG) 사이에는 터널 절연막이 개재되고, 상기 선택 게이트 전극(SG)과 상기 부유 게이트(FG) 사이에는 게이트 층간유전막이 개재된다. 상기 선택 게이트 전극(SG)은 상기 부유 게이트(FG)에 기입 전압을 커플링시켜 게이트 절연막을 통하여 상기 부유 게이트(FG)로 전하가 주입되게 하고, 상기 제어 게이트 전극(CG)은 소거 전압이 인가되어 상기 터널 절연막을 통한 전하의 터널링을 유도한다. 상기 선택 게이트 전극(SG)과 상기 부유 게이트(FG) 및 상기 게이트 층간유전막으로 구성되는 커패시터의 커패시턴스(C_d)는 상기 제어 게이트 전극(CG)과 상기 부유 게이트(FG) 및 상기 터널 절연막으로 구성되는 커패시터의 커패시턴스(C_t)보다 높도록 구성하여 기입 및 소거의 효율을 높일 수 있다. 예컨대, 상기 선택 게이트 전극(SG)과 상기 부유 게이트(FG) 사이에 개재되는 게이트 층간유전막의 면적을 상기 제어 게이트 전극(CG)과 상기 부유 게이트(FG) 사이에 개재되는 터널 절연막의 면적보다 넓게 형성하거나, 상기 터널 절연막보다 높은 유전 상수를 가지는 물질을 포함하여 상기 게이트 층간유전막을 형성할 수 있다.

이 소자는 열전하 주입(hot carrier injection)에 의해 상기 게이트 절연막을 통하여 상기 부유 게이트(FG)에 정보가 저장되고, 상기 터널 절연막을 통한 FN터널링(Fowler-Nordheim tunneling)에 의해 저장된 정보가 소거된다. 상기 선택 게이트 전극(SG)에 인가된 기입 전압은 그 하부의 채널 영역에 채널을 형성함과 동시에 상기 부유 게이트(FG)에 커플링되고, 상기 선택 게이트 전극(SG)과의 경계부근의 부유 게이트(FG) 하부에서 생성된 열전하는 상기 게이트 절연막을 가로지르는 수직 전계에 의해 상기 부유 게이트(FG)로 주입된다. 상기 제어 게이트 전극(CG)에 소거 전압이 인가되면 FN터널링에 의해 상기 터널 절연막을 통하여 전하가 터널링되어 상기 부유 게이트(FG)에 저장된 정보가 소거된다.

기입 전압이 선택 게이트 전극(SG)에 인가되어 부유 게이트(FG)로 커플링되고, 제어 게이트 전극(CG)에 턴-온 전압이 인가되어 제어 게이트 전극 하부의 채널 영역이 반전된다. 상기 제어 게이트 전극(CG)에 인가되는 턴-온 전압은 상기 채널 영역이 반전되는 문턱 전압보다 높다. 드레인 영역(D)에 접지 전압을 인가하고 소오스 영역(S)에 정전압(V_{cc})을 인가하여 채널 영역에서 생성된 열전하는 상기 부유 게이트에 커플링된 전압에 의한 수직 전계에 이끌려 게이트 절연막의 전위 장벽을 넘어 상기 부유 게이트에 저장된다. 일반적인 NMOS 구조를 채택한다면 상기 소오스 영역을 향하는 가속된 전자가 게이트 절연막의 전위 장벽을 넘어 부유 게이트에 저장될 것이다.

상기 부유 게이트(FG)에 저장된 전하-일반적으로 전자-는 상기 부유 게이트 하부의 채널 영역이 반전되는 문턱 전압을 변화시킨다. 상기 부유 게이트(FG)에 전자가 저장된 상태의 문턱 전압인, 기입 문턱전압(programed threshold voltage)은 전자가 저장되지 않은 상태의 문턱 전압인 소거 문턱전압(erased threshold voltage) 보다 높다. 따라서, 기입 문턱전압과 소거 문턱전압 사이의 전압을 인가하여 부유 게이트에 저장된 정보를 판독할 수 있다. 예컨대, 상기 선택 게이트 전극(SG) 및/또는 상기 제어 게이트 전극(CG)에 읽기 전압이 인가되면, 상기 선택 게이트 전극 및 상기 제어 게이트 전극 하부의 채널 영역이 반전되고 상기 부유 게이트에 읽기 전압이 커플링된다. 상기 부유 게이트에 저장된 전자의 유무에 따라 상기 부유 게이트 하부의 채널 영역이 반전 여부가 결정된다.

상기 소오스 영역(S), 상기 드레인 영역(D) 및 상기 선택 게이트 전극(SG)에 접지 전압을 인가하고, 상기 제어 게이트 전극(CG)에 소거 전압을 인가하여 상기 부유 게이트(FG)에 저장된 정보를 소거한다. 상기 제어 게이트 전극(CG)에 인가된 소거 전압은 상기 터널 절연막에 높은 전계를 형성하여 상기 부유 게이트(FG)에 저장된 전자 또는 상기 제어 게이트 전극(CG)에 공급되는 정공의 FN터널링을 유도한다.

[표 1]은 본 발명의 일 실시예에 따른 비휘발성 기억소자의 동작 전압을 보여준다. 여기서 V_{sl} 은 선택 게이트 전극에 인가되는 전압, V_{wl} 은 제어 게이트 전극에 인가되는 전압, V_s 는 소오스 영역에 인가되는 전압, V_{bl} 는 드레인 영역에 인가되는 전압을 나타낸다.

[표 1]

	V_{sl}	V_{wl}	V_s	V_{bl}
쓰기(program)	8V-10V	2V	3.3V	0V
읽기(read)	1V	1.5V-2.0V	0V	1V
지우기(erase)	0	10V-12V	0V	0V

[표 1]은 본 발명에 따른 비휘발성 기억소자의 동작 전압의 일 실시예에 지나지 않으며, 각 부분에 인가되는 전압은 소자의 구조적 특징에 의존하여 변경될 수 있다.

도 6은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 단위 셀을 나타낸 평면도이다.

도 7은 도 6의 I-I'를 따라 취해진 단면도이다.

도 6 및 7을 참조하면, 이 기억소자는 반도체 기판(100)에 채널 영역(103)을 한정하는 소오스 영역(128) 및 드레인 영역(130)과 상기 채널 영역(103) 상에 형성된 게이트 구조물을 포함한다. 상기 게이트 구조물은 게이트 절연막 상에 형성되는 부유 게이트와, 상기 부유 게이트 상에 게이트 층간유전막을 개재하여 형성되는 선택 게이트 전극과, 상기 부유 게이트 상에 터널절연막을 개재하여 형성되는 제어 게이트 전극을 포함한다. 도 5에서 설명되어진 것과 같이, 상기 선택 게이트 전극, 상기 부유 게이트 및 상기 게이트 층간유전막으로 이루어진 커패시터의 커패시턴스(C_d)는 상기 제어 게이트 전극, 상기 부유 게이트 및 상기 터널절연막으로 이루어진 커패시터의 커패시턴스(C_t)보다 큰 것이 바람직하다. 이러한 이유로, 상기 선택 게이트 전극과 상기 부유 게이트의 대향 면적은 상기 제어 게이트 전극과 상기 부유 게이트의 대향 면적보다 넓거나, 상기 게이트 층간유전막은 상기 터널절연막에 비해 높은 유전상수를 가지는 물질을 포함한다.

구체적으로, 상기 채널 영역(103) 상에 게이트 절연막(102)이 형성되고, 상기 게이트 절연막(102) 상에 상기 부유 게이트(104a)가 형성된다. 상기 선택 게이트 전극은 상기 부유 게이트(104a)의 일측벽과 상기 게이트 절연막(102) 상에 형성된 측벽 선택 게이트 전극(126a)과, 상기 부유 게이트(104a)의 상부에 형성된 상부 선택 게이트 전극(120)으로 구성된다. 상기 제어 게이트 전극(126b)은 상기 부유 게이트(104a)의 다른 측벽과 상기 게이트 절연막(102) 상에 형성된다. 상기 측벽 선택 게이트 전극(126a)과 상기 제어 게이트 전극(126b)은 서로 대향하는 대칭 구조를 가진다. 상기 상부 선택 게이트 전극(120)과 상기 측벽 선택 게이트 전극(126a) 사이와, 상기 상부 선택 게이트 전극(120)과 상기 제어 게이트 전극(126b) 사이에는 각각 스페이서 절연막 패턴(116a)이 개재된다. 상기 스페이서 절연막 패턴(116a)은 상기 상부 선택 게이트 전극(120)을 상기 측벽 선택 게이트 전극(126a) 및 상기 제어 게이트 전극(126b)으로부터 절연시킨다. 그러나, 상기 상부 선택 게이트 전극(120)과 상기 측벽 선택 게이트 전극(126a)는 배선에 공통으로 연결되어 동일한 바이어스(V_{sl})가 인가될 수 있다.

상기 제어 게이트 전극(126b)와 상기 부유 게이트(104a) 사이에 개재된 절연막들(114a, 124a)는 터널절연막(125a)을 구성하고, 상기 선택 게이트 전극(126a, 120)과 상기 부유게이트(104a) 사이에 개재된 절연막들(114b, 115, 118, 124b)은 게이트 층간유전막(125b)을 구성한다. 상기 스페이서 절연막 패턴(116a) 및 상기 부유게이트(104a) 상에 콘포말하게 형성된 절연막(118)은 상기 터널절연막(125a)보다 유전 상수가 높은 물질을 포함하는 유전막일 수 있다. 예컨대, 상기 터널 절연막(125a)이 실리콘 산화막으로 형성되는 경우, 상기 유전막(118)은 실리콘산화막보다 높은 유전상수를 가지는 물질

인 절연성 금속산화막 또는 실리콘질화막을 적어도 한층 포함할 수 있다. 도시된 것과 같이, 이 비휘발성 기억소자는 대칭 구조를 가지기 때문에 상기 측벽 선택 게이트 전극(126a)와 상기 부유게이트(104a) 사이에 개재된 절연막은 상기 터널절연막(125a)를 구성하는 절연막과 동일한 절연막일 수 있다.

상기 부유 게이트(104a)는 상기 제어 게이트 전극(126b)을 향하는 팁(104t)을 가질 수 있다. 따라서, 소거 동작에서 상기 팁(104t) 부근에 전계가 집중되어, FN터널링에 의한 전하의 터널링은 상기 터널절연막의 팁(104t) 부근에서 높은 확률을 가진다. 상기 제어 게이트 전극(126b)과 상기 부유게이트(104a) 사이의 낮은 커패시턴스(C_c)는 상기 터널절연막(125a)에 걸리는 전위차를 높여 상대적으로 낮은 전압에서 FN터널링을 유도할 수 있다. 상기 부유 게이트(104a)와 상기 채널 영역(103) 사이의 커패시턴스 뿐만 아니라, 상기 부유 게이트(104a)와 상기 선택 게이트 전극 사이의 커패시턴스는 상기 제어 게이트 전극(126b)과 상기 부유게이트(104a) 사이에 커플링되는 전압비를 높여주기 때문에 소거 효율이 높아질 수 있다.

도시된 것과 같이, 이 기억소자는 대칭인 단면구조를 가질 수 있다. 따라서, 상기 부유 게이트(104a)는 상기 측벽 선택 게이트 전극(126a)을 향하는 팁을 가질 수도 있다. 그러나, 기입 동작에서 측벽 선택 게이트 전극(126a) 및 상부 선택 게이트 전극(120)으로 구성되는 선택 게이트 전극에 고전압이 인가되더라도, 상기 선택 게이트 전극과 상기 부유게이트 사이의 높은 커패시턴스(C_d)는 상기 게이트 층간유전막(125b)에 걸리는 전위차를 낮추어 게이트 층간절연막을 통한 FN터널링 확률이 낮을 뿐만 아니라, 열전하 주입에 의한 기입 동작은 FN터널링에 비해 상대적으로 낮은 전압이 요구되기 때문에 상기 측벽 선택 게이트 전극(126a)을 향하는 팁 부근에서 FN터널링은 거의 일어나지 않는다.

이 소자의 채널 영역(103)은 상기 측벽 선택 게이트 전극(126a) 하부의 영역, 상기 부유게이트(104) 하부의 영역 및 상기 제어 게이트 전극(126b) 하부의 영역으로 구분될 수 있다. 앞서 설명하였듯이, 이들 구분된 채널 영역(103)은 소자의 기입, 독출 및 소거 동작시 선택적으로 온-오프되어 데이터의 저장, 읽기 및 삭제가 이루어진다.

도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 어레이를 나타낸 등가회로도이다.

도 8을 참조하면, 이 기억소자의 어레이는 행 방향 및 열방향으로 배열된 복수개의 단위 기억셀들로 구성된다. 각 기억 셀들은 양 방향에서 인접하는 다른 기억 셀들과 각각 소오스 영역(S) 및 드레인 영역(D)을 공유한다. 따라서, 이웃한 기억 셀들은 행 방향으로 대칭적으로 배치된다. 상기 단위 기억셀들은 도 7 및 도 7에서 설명된 것과 같이, 소오스 영역(S) 및 드레인 영역(D) 사이에 정의되는 채널 영역 상의 부유 게이트와 상기 부유 게이트 상부에 대향하여 형성된 선택 게이트 전극 및 제어 게이트 전극을 포함한다. 상기 단위 기억셀들의 소오스 영역(S)을 열방향으로 연결되어 공통 소오스 영역(CSL)을 구성하고, 상기 단위 기억셀들의 선택 게이트 전극 및 제어 게이트 전극들은 열방향으로 연결되어 각각 센싱라인(SL)과 워드라인(WL)을 구성한다. 상기 센싱 라인(SL)은 복수개의 기억 셀마다 분리되어 하나의 워드라인(WL)은 다수의 센싱 라인(SL)과 대향하여 배치된다. 또한, 행 방향으로 배열된 드레인 영역들(D)은 비트 라인에 연결된다.

이러한 셀 어레이 구조는 센싱 라인(SL)을 공유하는 기억 셀들의 선택적인 소거를 가능하게 한다. 셀 어레이로 구성된 이 소자의 동작은 각 단위셀을 선택하여 기입 및 독출하고 소정개수의 단위셀들을 선택하여 소거한다.

선택된 기억셀(CP)에 연결되는 선택 공통 소오스 라인(CSL1), 선택 비트라인(BL1), 선택 센싱 라인(SL1) 및 선택 워드라인(WL1)에 각각 정전압(V_{cc}), 접지 전압(GND), 기입 전압(write voltage) 및 턴-온 전압을 인가하고, 선택 소오스 라인에 연결되지 않은 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하여 선택 기억셀에 정보를 저장한다.

저장된 정보는 특정 기억 셀을 선택하여 독출할 수 있다. 독출단계에서 선택된 기억셀(CP)에 연결되는 선택 공통 소오스 라인(CSL1), 선택 비트라인(BL1), 선택 센싱 라인(SL1) 및 선택 워드라인(WL1)에 각각 접지 전압, 읽기 전압, 턴-온 전압 및 판독 전압을 인가하고, 상기 선택된 기억셀에 연결되지 않은 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하여 정보를 읽을 수 있다.

저장된 정보는 소정개수의 기억셀들(CE)을 선택하여 소거할 수 있다. 소거 단계에서 선택된 기억 셀들(CE)은 선택된 워드라인을 공유하는 기억셀 들일 수 있고, 소정개수의 기억 셀마다 센싱 라인이 분리되어 하나의 워드라인에 다수의 센싱 라인이 대향하는 경우 선택된 센싱 라인을 공유하는 기억셀이 소거단계에서 선택될 수 있다.

선택된 기억셀들(CE)에 연결된 선택 공통 소오스 라인(CSL2), 선택 비트 라인(BL) 및 선택 센싱 라인(SL2)에 각각 접지 전압을 인가하고, 선택 워드라인(WL2)에 소거 전압(erase voltage)을 인가하고, 선택된 기억셀들에 연결되지 않은 비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인(SL3, SL4) 및 비선택 워드라인에 각각 접지 전압을 인가하여 선택된 기억셀들을 한꺼번에 소거할 수 있다.

한편, 선택된 기억셀들과 워드라인을 공유하지만 센싱 라인을 공유하지 않는 기억셀들은 선택 워드라인에 대항하는 비선택 센싱 라인에 소거 저지 전압을 인가함으로써 소거를 억제할 수 있다. 즉, 선택 워드라인에 소거 전압이 인가되더라도, 소거 전압이 인가된 워드라인에 대항하는 비선택 센싱라인에 소거 저지 전압인 양의 전압이 인가되면 부유 게이트의 전위가 상승하여 워드라인과 부유 게이트 사이에 걸리는 전압이 낮아지고, 이로 인해 그 기억 셀에서는 소거에 필요한 전계가 터널 산화막에 생기지 않게된다.

[표 2]는 본 발명의 일 실시예에 따른 셀 어레이의 동작 전압을 보여준다.

여기서 Vs11은 선택 센싱 라인에 인가되는 전압, Vs12는 비선택 센싱 라인에 인가되는 전압, Vw11은 선택 워드라인에 인가되는 전압, Vw12는 비선택 워드라인에 인가되는 전압, Vs1은 선택 소오스 라인에 인가되는 전압, Vs2는 비선택 소오스 라인에 인가되는 전압, Vb11은 선택 비트라인에 인가되는 전압, Vb12는 비선택 비트라인에 인가되는 전압을 나타낸다.

[표 2]

	Vs11	Vs12	Vw11	Vw12	Vs1	Vs2	Vb11	Vb12
쓰기(program)	8-10V	0V	2V	0V	3.3V	0V	0V	0V
읽기(read)	1V	0V	1.5-2.0	0V	0V	0V	1V	0V
지우기(erase)	0V	3.3V	10-12V	0V	0V	0V	0	0V

[표 2]는 본 발명에 따른 셀 어레이의 동작 전압의 일 실시예에 지나지 않으며, 각 부분에 인가되는 전압은 소자의 구조적 특징에 의존하여 변경될 수 있다.

또한, 소거시 비선택 워드라인 전압(Vs12)은 정전압(constant voltage)인 Vcc를 인가하였으나, 이 전압은 소거 저지 전압으로써 충분히 변경될 수 있다.

도 9a 내지 도 17a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 제조방법을 설명하기 위한 평면도들이다.

도 9b 내지 도 17b는 각각 도 9a 내지 도 17a의 II-II'를 따라 취해진 단면도들이다.

도 9c 내지 도 17c는 각각 도 9a 내지 도 17a의 III-III'를 따라 취해진 단면도들이다.

도 9a, 9b 및 9c를 참조하면, 반도체 기판(100) 상에 소자분리막(101)을 형성하여 복수개의 활성영역을 한정한다. 상기 활성영역 상에 게이트 절연막(102)을 형성하고, 상기 기판의 전면에 부유 게이트 도전막(104)을 형성한다. 상기 부유 게이트 도전막은 폴리실리콘막으로 형성할 수 있고, 불순물을 주입하여 도전성의 띠를 만든다. 상기 부유 게이트 도전막(104) 상에 상기 활성영역 및 상기 소자분리막(101)의 상부를 가로질러 상기 부유 게이트 도전막(104)을 노출시키는 그루브(108)을 가지는 하드마스크 패턴(106)을 형성한다. 상기 하드마스크 패턴(106)을 산화방지막으로 사용하여 상기 부유 게이트 도전막(104)이 열산화되도록 하여 희생 산화막 패턴(110)을 형성한다. 상기 희생 산화막 패턴(110)은 타원 단면으로 형성된다.

도 10a, 10b 및 10c를 참조하면, 상기 희생 산화막 패턴(110)을 제거하여 상기 부유 게이트 도전막(104)을 노출시킨다. 상기 희생 산화막 패턴(110)이 제거된 부분은 리세스 영역(109)이 형성된다. 계속해서, 상기 그루브(108) 내에 노출된 부유 게이트 도전막(104)을 제거하여 상기 소자분리막(101) 또는 상기 소자분리막(101) 상에 형성된 게이트 절연막(102)이 노출된 제거 영역(112)을 형성한다. 예컨대, 상기 소자분리막(101)의 상부의 부유 게이트 도전막(104)을 노출시키는 오프닝을 가지는 마스크를 형성하고, 상기 마스크를 식각마스크로 사용하여 상기 소자분리막(101) 상에 형성된 부유 게이트 도전막(104)을 제거할 수 있다.

도 11a, 11b 및 11c를 참조하면, 열산화 공정을 실시하여 상기 그루브(108) 내에 노출된 부유 게이트 도전막(104)의 표면에 열산화막(114)을 형성한다. 이 과정에서 상기 부유 게이트 도전막(104) 표면의 결함이 제거될 수 있다. 상기 그루브(108) 내에도 상기 스페이서 절연막(116)이 콘포말하게 덮도록 상기 기관의 전면에 스페이서 절연막(116)을 콘포말하게 형성한다. 상기 스페이서 절연막(116)은 상기 하드 마스크 패턴(106)과 식각선택비를 가지는 물질로 형성한다.

도 12a, 12b 및 12c를 참조하면, 상기 스페이서 절연막(116)을 이방성 식각하여 상기 그루브의 측벽에 스페이서 절연막 패턴(116a)을 형성한다. 이 때, 상기 부유 게이트 도전막(104)이 제거된 소자분리막 상부에도 상기 부유 게이트 도전막(104)의 측벽을 덮는 절연막 패턴(116b)이 형성될 수 있다. 상기 스페이서 절연막(116)과 함께 상기 부유 게이트 도전막(104) 상의 열산화막(114)도 제거되어 대향하는 스페이서 절연막 패턴(116) 사이에 부유 게이트 도전막(104)이 노출된다.

도 13a, 13b 및 13c를 참조하면, 상기 기관을 열처리하여 스페이서 절연막 패턴(116)을 형성하는 식각공정에서 발생된 결함을 제거한다. 그 결과, 상기 스페이서 절연막 패턴(116) 사이에 노출된 부유 게이트 도전막(104)이 열산화되어 열산화막(115)이 형성될 수 있다.

계속해서, 상기 기관의 전면에 유전막(118)을 콘포말하게 형성하고, 상기 유전막(118) 상에 상기 스페이서 절연막 패턴(116) 사이의 영역이 채워지도록 상부 게이트 도전막(120)을 형성한다. 상기 유전막(118)은 실리콘 산화막보다 유전상수가 높은 금속 산화막 또는 실리콘 산화막으로 형성할 수 있다. 상기 상부 게이트 도전막(120)은 도우핑된 폴리 실리콘으로 형성할 수 있다. 상기 상부 게이트 도전막(120) 및 상기 유전막(118)을 평탄화하여 상기 하드마스크막(106)을 노출시킨다. 상기 상부 게이트 도전막(120) 및 상기 유전막(118)은 화학기계적 연마공정 또는 이방성 에치백 등을 사용하여 평탄화할 수 있다. 결과적으로 상기 스페이서 절연막 패턴들(116) 사이의 영역에 콘포말한 유전막(118)이 개재되어 상부 게이트 도전막(120)이 채워지게 된다.

상기 상부 게이트 도전막(120) 상에 캐핑막(122)을 형성한다. 상기 캐핑막(122)은 상기 하드마스크막(106) 및 상기 부유 게이트 도전막(104)에 대하여 식각선택성을 가지는 산화막으로 형성할 수 있다.

도 14a, 14b 및 14c를 참조하면, 상기 하드마스크막(106)을 제거하여 상기 부유 게이트 도전막(104) 및 상기 스페이서 절연막 패턴들(116)의 측벽들을 노출시킨다. 상기 스페이서 절연막 패턴들(116)의 측벽들에 자기정렬되도록 상기 부유 게이트 도전막(104)을 패터닝하여 부유 게이트(104a)를 형성한다. 상기 상부 게이트 도전막(120) 상의 캐핑막(122)은 상기 하드마스크막(106) 및 상기 부유 게이트 도전막(104)을 식각하는 동안 식각저지막이 된다. 결과적으로, 상기 활성영역 상에 상기 스페이서 절연막 패턴들(116)의 측벽들에 자기정렬된 측벽을 가지는 부유 게이트들(104a)이 형성된다. 도 10a, 10b 및 10c에서 설명되었듯이 부유 게이트막 상에 희생산화막 패턴을 형성 및 식각하여 리세스 영역을 형성하였을 때, 상기 부유 게이트들(104a)의 측벽과 상기 리세스 영역(109)의 경계로 이루어지는 틈(104t)이 상기 부유 게이트(104a)는 가장자리에 형성될 수 있다.

도 15a, 15b 및 15c를 참조하면, 상기 부유 게이트(104a)의 측벽에 산화막(124)을 형성한다. 상기 산화막(124)은 상기 스페이서 절연막 패턴(116) 하부의 산화막과 연결되어 상기 틈(104t)을 덮는 터널 산화막이 된다. 상기 산화막(124)은 상기 부유 게이트(104a)의 측벽이 산화된 열산화막일 수 있다. 이 때, 상기 부유 게이트(104a)의 양측에 남아있는 게이트 절연막(102)의 두께가 더욱 두꺼워질 수 있다.

상기 산화막(124)은 상기 스페이서 절연막 패턴들(116)의 측벽의 일부분을 등방성 식각한 이후에 형성할 수도 있다. 또 다른 방법으로, 상기 부유 게이트(104a)의 측벽을 열산화하여 식각손상을 치유한 이후 열산화막을 등방성 식각하고 추가 열산화공정 또는 CVD산화막을 형성하여 상기 산화막(124)을 형성할 수도 있다.

도 16a, 16b 및 16c를 참조하면, 상기 기관의 전면에 스페이서 도전막을 형성하고, 상기 스페이서 도전막을 이방성 식각하여 상기 스페이서 절연막 패턴(116a)과 상기 부유 게이트(104a)으로 이루어지는 측벽에 도전막 패턴(126a, 126b)을 형성한다. 상기 도전막 패턴들(126a, 126b)은 대칭 구조로 형성될 수 있다.

도 17a, 17b 및 17c를 참조하면, 상기 기관 상의 구조물들을 이온주입 마스크로 사용하여 상기 활성영역 내에 불순물을 주입한다. 제 1 도전막 패턴들(126a) 사이의 연결된 활성영역에는 소오스 영역(128)이 형성되고, 제 2 도전막 패턴들(126b) 사이의 독립된 활성영역에는 드레인 영역(130)이 형성될 수 있다.

발명의 효과

상술한 것과 같이 본 발명에 따르면, 부유 게이트 상에 선택 게이트 전극 및 제어 게이트 전극을 형성하여 각 게이트 전극에 전압을 인가함으로써 기입 및 소거가 가능하다. 기입 동작은 상기 선택 게이트 전극에 기입 전압을 인가하여 채널로부터 전하의 주입이 가능하기 때문에 소오스 영역 또는 드레인 영역에 고전압이 인가되지 않는다. 따라서, 스플리트 게이트 기억소자에서 소오스 영역에 고전압을 인가하여 기입하는 것에 비해 보다 안정적으로 기입 동작을 실시할 수 있다.

또한, 부유 게이트 상에 선택 게이트 전극 및 제어 게이트 전극이 형성되기 때문에 제어 게이트 전극이 적층된 부유 게이트 및 선택 게이트 전극으로부터 이격되어 형성되는 EEPROM에 비해 셀 면적을 축소할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 게이트 절연막을 개재하여 형성된 부유게이트;

상기 부유게이트 상에 형성된 터널 절연막;

상기 게이트 절연막을 통한 전하의 주입을 유도하는 선택 게이트 전극; 및

상기 터널 절연막을 통한 전하의 터널링을 유도하는 제어 게이트 전극을 포함하되, 상기 선택 게이트 전극은 상기 제어 게이트 전극과 절연된 것을 특징으로 하는 비휘발성 기억 소자.

청구항 2.

제 1 항에 있어서,

상기 선택 게이트 전극은 유전막에 의해 상기 부유게이트와 절연되고, 상기 제어 게이트 전극은 상기 터널 절연막에 의해 상기 부유 게이트와 절연된 것을 특징으로 하는 비휘발성 기억소자.

청구항 3.

제 2 항에 있어서,

상기 선택 게이트 전극과 상기 부유게이트 사이의 커패시턴스는 상기 제어 게이트 전극과 상기 부유게이트 사이의 커패시턴스보다 높은 것을 특징으로 하는 비휘발성 기억 소자.

청구항 4.

제 3 항에 있어서,

상기 유전막은 상기 터널 절연막보다 높은 유전상수를 가지는 물질을 포함하는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 5.

제 1 항에 있어서,

상기 부유게이트는 상기 제어 게이트 전극을 향하는 팁을 가지는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 6.

제 5 항에 있어서,

상기 터널절연막을 통한 전하의 터널링은 상기 텅 부근에서 일어나는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 7.

제 1 항에 있어서,

상기 기관에 채널 영역을 정의하는 소오스 영역 및 드레인 영역을 더 포함하되,

상기 부유게이트, 상기 선택 게이트 전극 및 상기 제어 게이트 전극은 상기 채널 영역 상에 상기 게이트 절연막을 개재하여 형성된 것을 특징으로 하는 비휘발성 기억 소자.

청구항 8.

제 7 항에 있어서,

상기 선택 게이트 전극의 유도에 의해 상기 채널 영역에서 생성된 열전하가 상기 게이트 절연막을 통해 주입되는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 9.

기관에 채널 영역을 정의하는 소오스 영역 및 드레인 영역;

상기 채널 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 부유게이트;

상기 게이트 절연막과 상기 부유게이트 상에 형성된 선택 게이트 전극;

상기 선택 게이트 전극에 대향하여 상기 부유 게이트의 측벽과 상기 게이트 절연막 상에 형성된 제어 게이트 전극;

상기 선택 게이트 전극과 상기 부유게이트 사이에 개재된 게이트 층간유전막; 및

상기 제어 게이트 전극과 상기 부유게이트 사이에 개재된 터널 절연막을 포함하는 비휘발성 기억 소자.

청구항 10.

제 9 항에 있어서,

상기 선택 게이트 전극과 상기 부유게이트 사이의 커패시턴스는 상기 제어 게이트 전극과 상기 부유게이트 사이의 커패시턴스보다 높은 것을 특징으로 하는 비휘발성 기억소자.

청구항 11.

제 10 항에 있어서,

상기 선택 게이트 전극과 상기 부유 게이트 사이의 게이트 층간유전막의 면적은 상기 제어 게이트 전극과 상기 부유 게이트 사이의 터널 절연막의 면적보다 넓은 것을 특징으로 하는 비휘발성 기억소자.

청구항 12.

제 10 항에 있어서,

상기 게이트 층간유전막은 상기 터널 절연막보다 높은 유전상수를 가지는 물질을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

청구항 13.

제 9 항에 있어서,

상기 선택 게이트 전극은,

상기 부유게이트 상부에 형성된 상부 선택 게이트 전극; 및

상기 제어 게이트 전극에 대향하여 상기 부유게이트의 측벽과 상기 게이트 절연막 상에 형성된 측벽 선택 게이트 전극을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

청구항 14.

제 13 항에 있어서,

상기 측벽 선택 게이트 전극과 상기 제어 게이트 전극은 대칭 구조인 것을 특징으로 하는 비휘발성 기억소자.

청구항 15.

제 13 항에 있어서,

상기 상부 선택 게이트 전극과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널 절연막보다 유전상수가 높은 물질을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

청구항 16.

제 15 항에 있어서,

상기 측벽 선택 게이트 전극과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널절연막과 동일한 물질인 것을 특징으로 하는 비휘발성 기억소자.

청구항 17.

제 13 항에 있어서,

상기 상부 선택 게이트 전극 및 상기 측벽 선택 게이트 전극과, 상기 상부 선택 게이트 전극 및 상기 제어 게이트 전극 사이에 각각 스페이서 절연막 패턴이 개재된 것을 특징으로 하는 비휘발성 기억소자.

청구항 18.

제 9 항에 있어서,

상기 부유게이트는 상기 제어 게이트 전극을 향하는 팁을 가지는 것을 특징으로 하는 비휘발성 기억소자.

청구항 19.

반도체 기판에 복수개의 활성영역들을 한정하는 소자분리막;

상기 활성영역들 상에 형성된 게이트 절연막;

상기 활성영역들의 상기 게이트 절연막 상에 각각 형성된 부유게이트;

상기 게이트 절연막과 상기 부유게이트 상에 형성되어 활성영역들의 상부를 가로지르는 센싱 라인;

상기 센싱 라인에 대향하여 상기 부유 게이트의 측벽과 상기 게이트 절연막 상에 형성되어 상기 활성영역들의 상부를 가로지르는 워드라인;

상기 센싱 라인과 상기 부유게이트 사이에 개재된 게이트 층간유전막; 및

상기 워드 라인과 상기 부유게이트 사이에 개재된 터널 절연막을 포함하는 비휘발성 기억 소자.

청구항 20.

제 19 항에 있어서,

부유 게이트와 센싱 라인 사이의 커패시턴스는 부유 게이트와 워드 라인 사이의 커패시턴스보다 높은 것을 특징으로 하는 비휘발성 기억소자.

청구항 21.

제 20 항에 있어서,

부유게이트와 센싱 라인 사이의 게이트 층간유전막의 면적은 부유게이트와 워드 라인 사이의 터널 절연막의 면적보다 넓은 것을 특징으로 하는 비휘발성 기억소자.

청구항 22.

제 20 항에 있어서,

상기 게이트 층간유전막은 상기 터널 절연막보다 높은 유전상수를 가지는 물질을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

청구항 23.

제 19 항에 있어서,

상기 센싱 라인은 상기 부유게이트의 상부를 가로지르는 상부 센싱 라인; 및

상기 부유게이트의 측벽 및 상기 활성화영역들의 상부를 가로지르는 측벽 센싱 라인으로 구성된 것을 특징으로 하는 비휘발성 기억 소자.

청구항 24.

제 23 항에 있어서,

상기 상부 센싱 라인 및 상기 측벽 센싱 라인 사이와, 상기 상부 센싱 라인 및 상기 워드라인 사이에 각각 개재된 스페이서 절연막 패턴을 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 25.

제 23 항에 있어서,

상기 측벽 센싱 라인과 상기 워드라인은 서로 대향하는 대칭 구조인 것을 특징으로 하는 비휘발성 기억소자.

청구항 26.

제 23 항에 있어서,

상기 상부 센싱 라인과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널 절연막보다 유전상수가 높은 물질을 포함하는 것을 특징으로 하는 비휘발성 기억소자.

청구항 27.

제 26 항에 있어서,

상기 측벽 센싱 라인과 상기 부유게이트 사이의 게이트 층간유전막은 상기 터널절연막과 동일한 물질인 것을 특징으로 하는 비휘발성 기억소자.

청구항 28.

제 19 항에 있어서,

상기 부유게이트는 상기 제어 게이트 전극을 향하는 팁을 가지는 것을 특징으로 하는 비휘발성 기억소자.

청구항 29.

제 19 항에 있어서,

상기 센싱 라인에 인접한 활성영역에 각각 형성된 드레인 영역; 및

상기 워드 라인에 인접한 활성영역에 형성되어 상기 워드 라인과 평행하게 연결된 공통 소오스 라인을 포함하는 비휘발성 기억 소자.

청구항 30.

제 19 항에 있어서,

상기 활성영역 상의 부유게이트, 센싱 라인 및 워드 라인은 기억 셀을 구성하되, 상기 센싱 라인은 소정 개수의 기억셀 단위로 분리되어 복수개의 센싱 라인이 각 워드라인에 대향하는 것을 특징으로 하는 비휘발성 기억 소자.

청구항 31.

채널 영역을 정의하는 소오스 영역 및 드레인 영역, 상기 채널 영역 상의 게이트 절연막, 상기 게이트 절연막 상의 부유게이트, 상기 게이트 절연막과 상기 부유게이트 상의 선택 게이트 전극, 상기 부유게이트의 측벽과 상기 게이트 절연막 상의 상기 선택 게이트 전극과 대향하는 제어 게이트 전극, 상기 선택 게이트 전극과 부유게이트 사이에 개재된 게이트 충전유전막 및 상기 제어 게이트 전극과 상기 부유게이트 사이에 개재된 터널 절연막을 포함하는 비휘발성 기억 셀의 동작 방법에 있어서,

상기 게이트 절연막을 통하여 상기 부유게이트에 전하를 주입하는 기입 단계, 상기 부유게이트에 저장된 전하에 의한 상기 부유 게이트 하부의 채널 영역의 문턱 전압의 변화를 감지하는 독출 단계, 및 상기 터널 절연막을 통하여 상기 부유게이트에 저장된 전하의 터널링을 유도하는 소거 단계를 포함하는 비휘발성 기억 소자의 동작 방법.

청구항 32.

제 31 항에 있어서,

상기 기입단계에서,

소오스 영역 및 드레인 영역에 각각 정전압(Vcc) 및 접지 전압(GND)을 인가하고, 선택 게이트 전극에 기입 전압(write voltage)을 인가하고, 제어 게이트 전극에 턴-온 전압을 인가하여 게이트 절연막을 통해 전하를 주입하는 것을 특징으로 하는 비휘발성 기억 소자의 동작 방법.

청구항 33.

제 32 항에 있어서,

상기 기입 단계에서,

상기 제어 게이트 전극에 인가되는 턴-온 전압은 제어 게이트 전극 하부의 채널 영역에 채널을 형성하는 전압인 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 34.

제 32 항에 있어서,

상기 기입 단계에서,

상기 부유게이트와 상기 채널 영역 사이의 게이트 절연막을 통해 열전하 주입이 일어나도록 기입 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 35.

제 31 항에 있어서,

상기 독출 단계에서,

소오스 영역에 접지 전압을 인가하고, 드레인 영역에 읽기 전압을 인가하고, 선택 게이트 전극에 턴-온 전압을 인가하고, 제어 게이트 전극에 판독 전압(verify voltage)을 인가하여 부유게이트에 저장된 정보를 감지(sensing)하는 것을 특징으로 하는 비휘발성 기억 소자의 동작 방법.

청구항 36.

제 35 항에 있어서,

상기 독출 단계에서,

상기 선택 게이트 전극에 인가되는 턴-온 전압은 선택 게이트 전극 하부의 채널 영역에 채널을 형성하는 전압인 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 37.

제 35 항에 있어서,

상기 부유게이트와 상기 채널 영역 사이의 게이트 절연막에 기입 문턱 전압보다 높고 소거 문턱 전압 보다 낮은 전압이 커플링되도록 판독 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 38.

제 31 항에 있어서,

상기 소거 단계에서,

소오스 영역, 드레인 영역 및 선택 게이트 전극에 각각 접지 전압을 인가하고, 제어 게이트 전극에 소거 전압(erase voltage)을 인가하여 터널 절연막을 통해 전하의 터널링을 유도하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 39.

제 38 항에 있어서,

상기 부유게이트와 상기 제어 게이트 전극 사이의 터널 절연막을 통하여 전하의 터널링이 일어나도록 상기 소거 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 40.

제 31 항에 있어서,

상기 기억셀이 행방향 및 열방향으로 배열되고, 행 방향으로 배치된 기억셀들의 드레인 영역이 연결되어 비트라인을 구성하고, 열 방향으로 배치된 기억 셀들의 선택 게이트 전극들이 연결되어 센싱 라인을 구성하고, 열 방향으로 배치된 기억셀들의 제어 게이트 전극들이 연결되어 워드라인을 구성하고, 열 방향으로 배치된 소오스 영역들이 연결되어 공통 소오스 라인을 구성하되,

상기 기입 단계에서 선택된 선택 공통 소오스 라인, 선택 비트라인, 선택 센싱 라인 및 선택 워드라인에 각각 정전압(Vcc), 접지 전압(GND), 기입 전압(write voltage) 및 턴-온 전압을 인가하고,

비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 41.

제 40 항에 있어서,

상기 독출 단계에서 선택된 선택 공통 소오스 라인, 선택 비트라인, 선택 센싱 라인 및 선택 워드 라인에 각각 접지 전압, 읽기 전압, 턴-온 전압 및 관독 전압을 인가하고,

비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 42.

제 40 항에 있어서,

상기 소거 단계에서 선택된 선택 공통 소오스 라인, 선택 비트 라인 및 선택 센싱 라인에 각각 접지 전압을 인가하고, 선택 워드라인에 소거 전압(erase voltage)을 인가하고,

비선택 공통 소오스 라인, 비선택 비트라인, 비선택 센싱 라인 및 비선택 워드라인에 각각 접지 전압을 인가하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 43.

제 42 항에 있어서,

상기 센싱 라인은 소정 개수의 기억셀 단위로 분리되어 복수개의 센싱 라인이 각 워드라인에 대향하되,

상기 소거 단계에서 선택 워드라인과 대향하는 선택 센싱 라인에 접지 전압을 인가하고,

상기 선택 워드라인과 대향하는 비선택 센싱 라인에는 소거 저지 전압(program inhibit voltage)을 인가하여 비선택 센싱 라인을 공유하는 기억 셀들의 부유게이트의 전위를 올려 터널 절연막을 통한 터널링을 억제하는 것을 특징으로 하는 비휘발성 기억소자의 동작 방법.

청구항 44.

반도체 기판에 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 절연막을 개재하여 상기 반도체 기판의 전면에 부유 게이트 도전막을 형성하는 단계;

상기 부유 게이트 도전막 상에 상기 활성영역의 상부를 가로지르는 상부 선택 게이트 전극을 형성하는 단계;

상기 부유 게이트 도전막을 패터닝하여 상기 활성영역 상에 부유 게이트를 형성하는 단계;

상기 부유 게이트의 측벽에 터널 절연막을 형성하는 단계; 및

상기 부유 게이트 양측의 터널 절연막 및 게이트 절연막 상에 서로 대향하여 활성영역을 가로지르는 측벽 선택 게이트 전극 및 제어 게이트 전극을 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

청구항 45.

제 44 항에 있어서,

상기 상부 선택 게이트 전극을 형성하는 단계는,

상기 부유 게이트 도전막 상에 서로 대향하여 상기 활성영역을 가로지르는 스페이서 절연막을 형성하는 단계;

상기 스페이서 절연막 패턴들 사이의 부유 게이트 도전막 상에 유전막을 콘포말하게 형성하는 단계; 및

상기 유전막이 형성된 스페이서 절연막들 사이에 상부 게이트 도전막을 채우는 단계를 포함하는 비휘발성 기억소자의 제조방법.

청구항 46.

제 45 항에 있어서,

상기 유전막은 상기 터널 절연막보다 유전 상수가 높은 막을 적어도 한층 포함하는 것을 특징으로 하는 비휘발성 기억소자의 제조방법.

청구항 47.

제 45 항에 있어서,

상기 스페이서 절연막 패턴을 형성하는 단계는,

상기 부유 게이트 도전막 상에 상기 활성영역의 상부를 가로지르는 오프닝을 가지는 하드마스크막을 형성하는 단계;

상기 하드마스크막 상에 스페이서 절연막을 콘포말하게 형성하는 단계; 및

상기 스페이서 절연막을 이방성 식각하여 상기 오프닝의 측벽에 스페이서 절연막 패턴을 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

청구항 48.

제 47 항에 있어서,

상기 스페이서 절연막을 형성하기 전에,

상기 오프닝에 노출된 부유 게이트 도전막을 열산화시키어 희생 산화막 패턴을 성장시키는 단계; 및

상기 희생 산화막 패턴을 제거하여 오목한 리세스 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억소자의 제조방법.

청구항 49.

제 47 항에 있어서,

상기 부유 게이트를 형성하는 단계는,

상기 상부 게이트 도전막 상에 산화막을 형성하는 단계;

상기 하드마스크막을 제거하는 단계;

상기 산화막 및 상기 스페이서 절연막 패턴을 식각마스크로 사용하여 상기 부유 게이트 도전막을 자기정렬 식각하여 부유 게이트를 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

청구항 50.

제 49 항에 있어서,

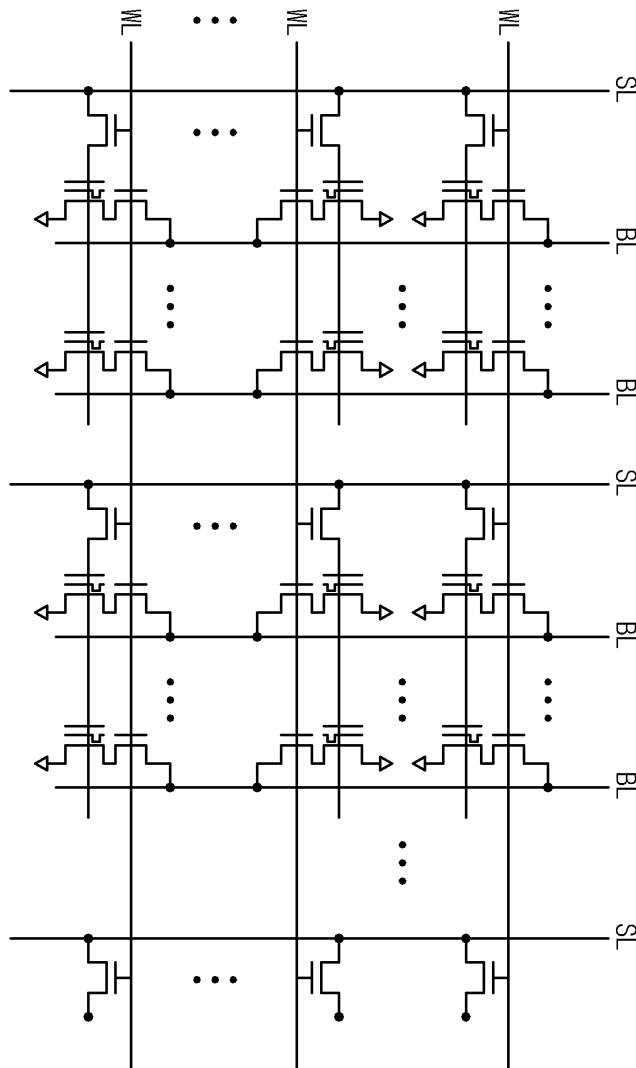
측벽 선택 게이트 전극 및 제어 게이트 전극을 형성하는 단계는,

상기 기판의 전면에 스페이서 도전막을 형성하는 단계; 및

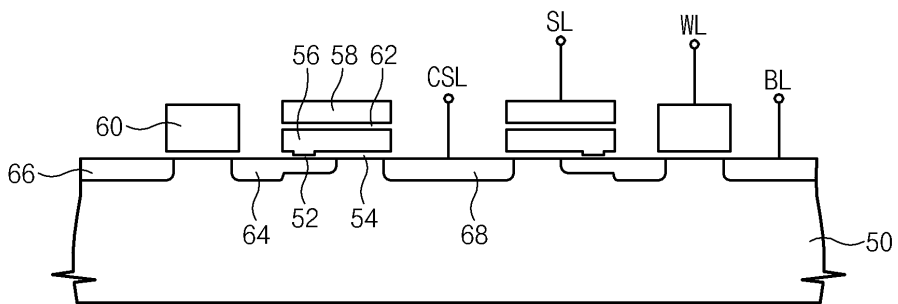
상기 스페이서 도전막을 이방성 식각하여 상기 스페이서 절연막 패턴의 측벽 및 상기 부유 게이트의 측벽에 도전막 패턴을 형성하는 단계를 포함하는 비휘발성 기억소자의 제조방법.

도면

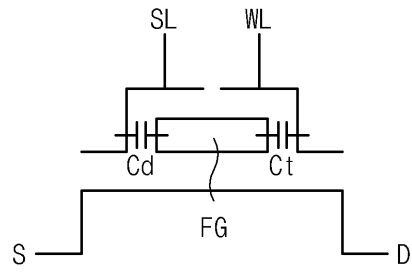
도면3



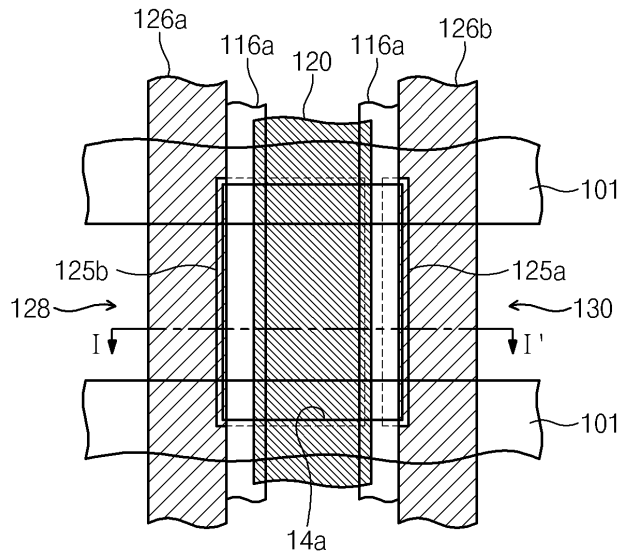
도면4



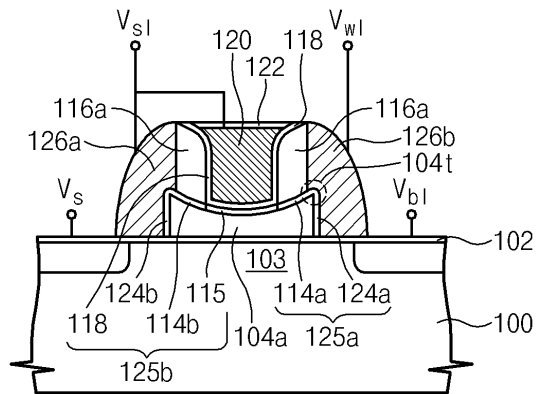
도면5



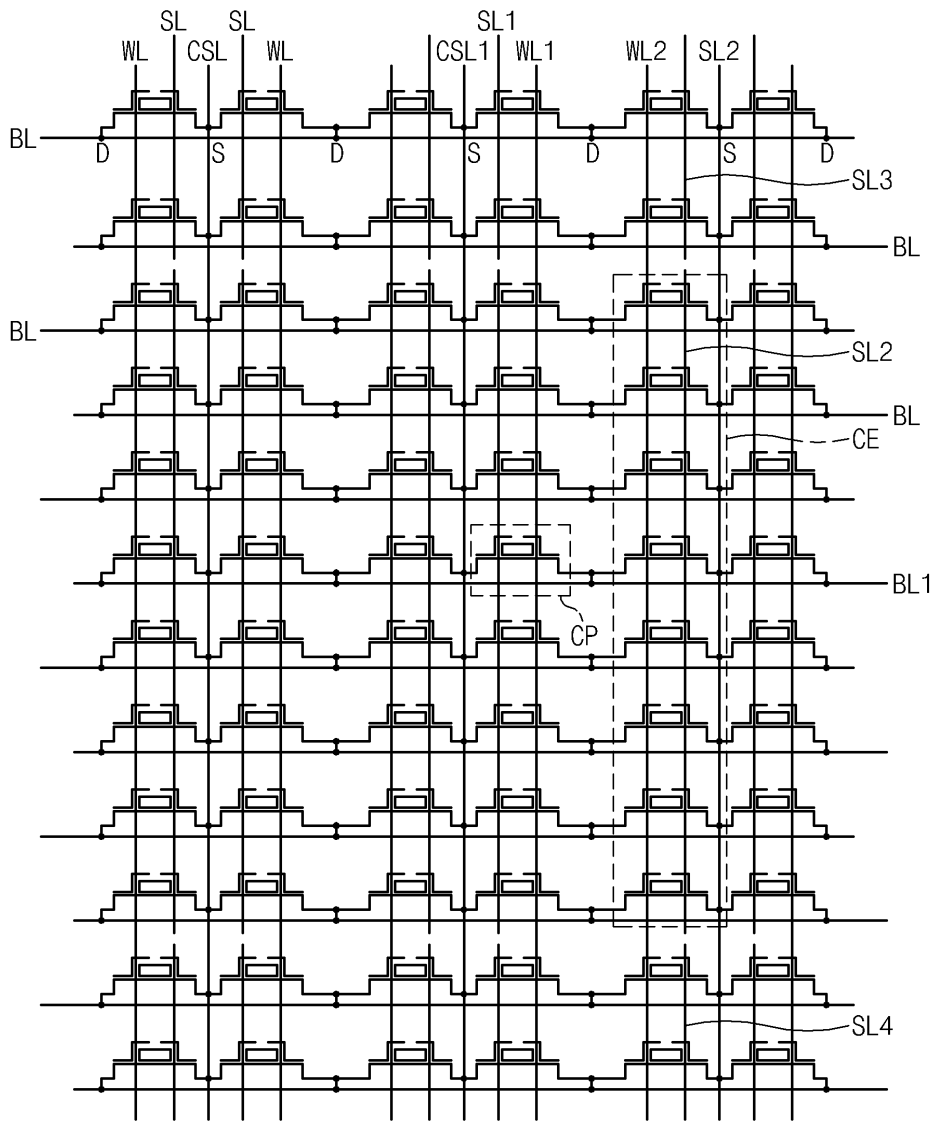
도면6



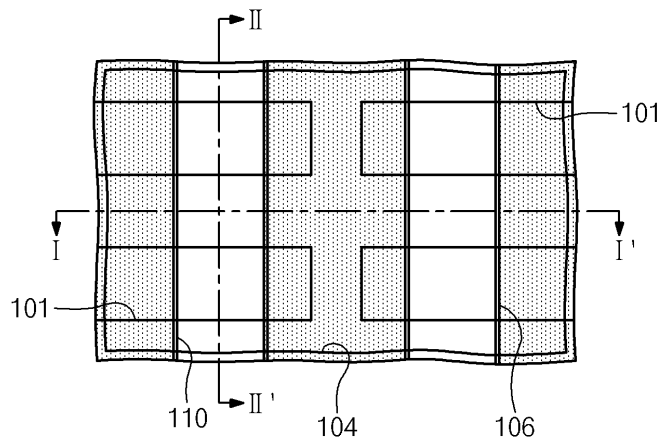
도면7



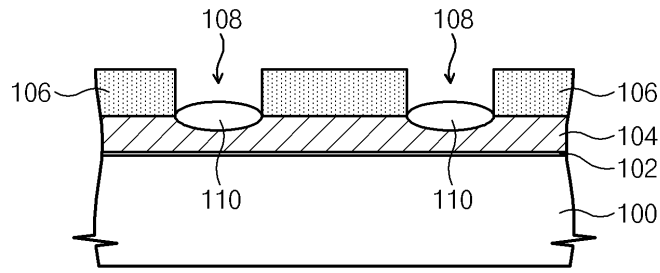
도면8



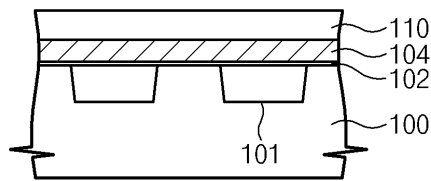
도면9a



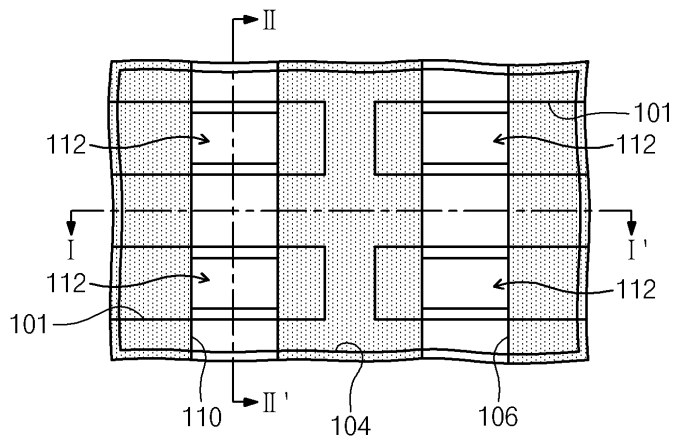
도면9b



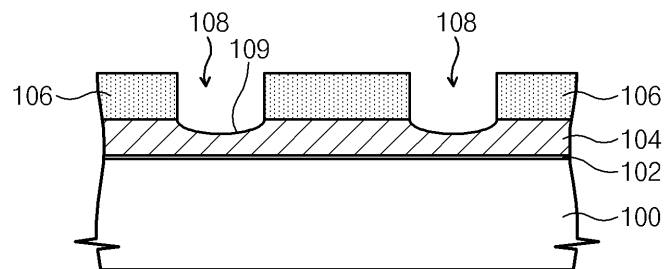
도면9c



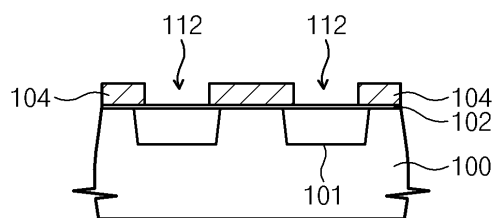
도면10a



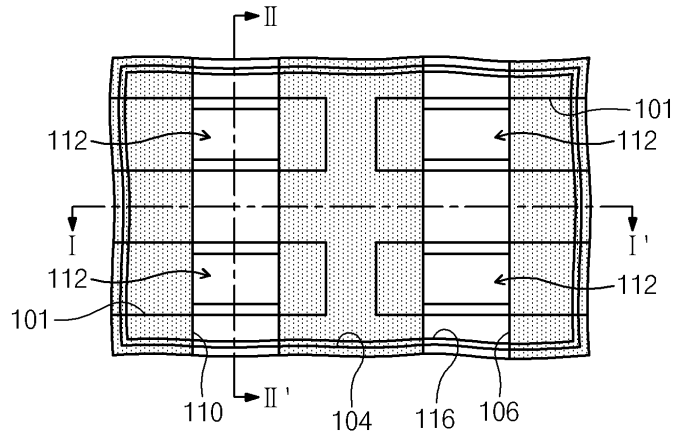
도면10b



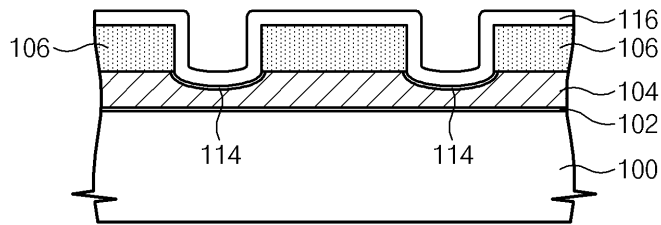
도면10c



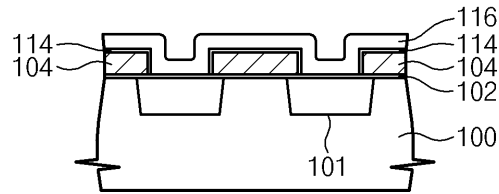
도면11a



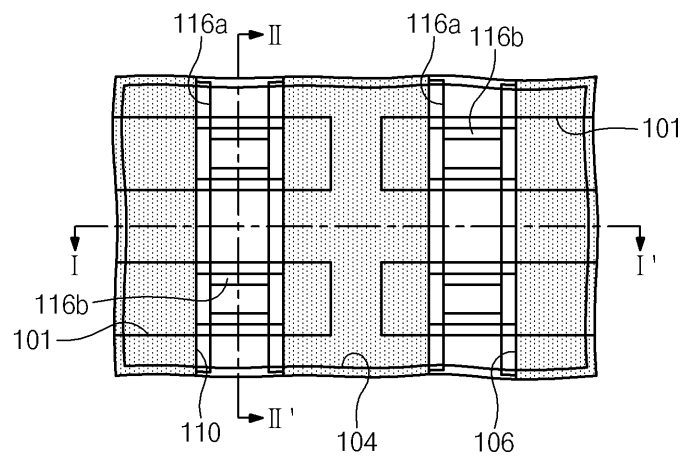
도면11b



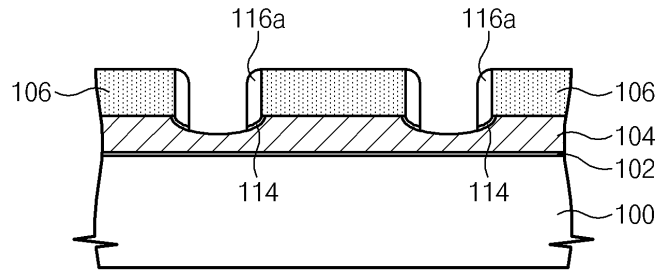
도면11c



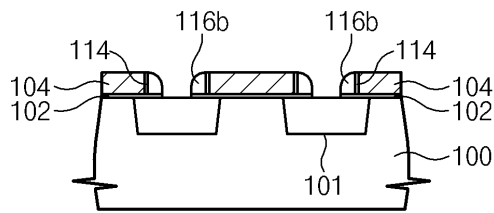
도면12a



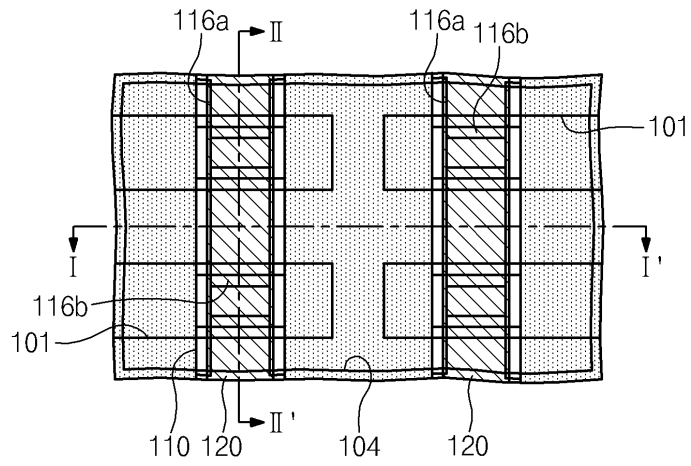
도면12b



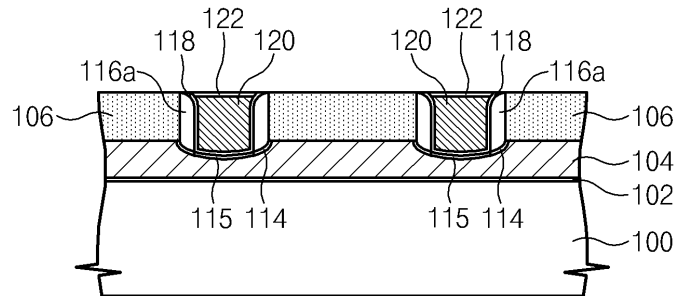
도면12c



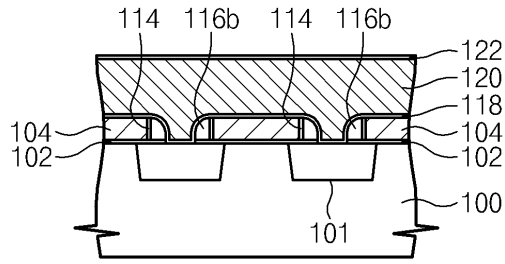
도면13a



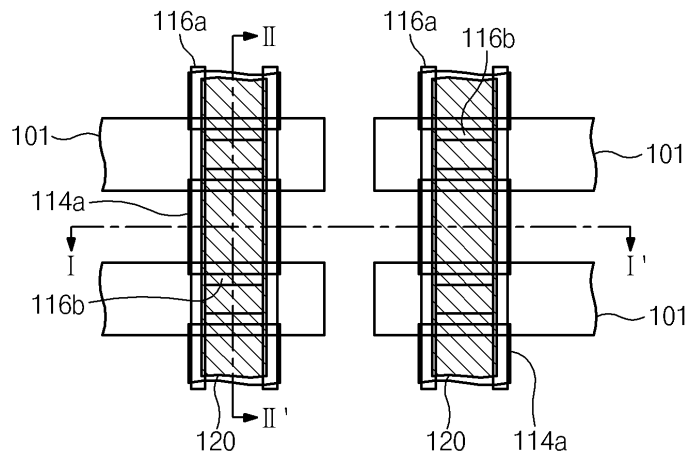
도면13b



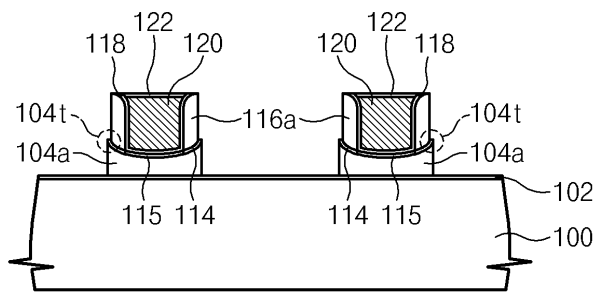
도면13c



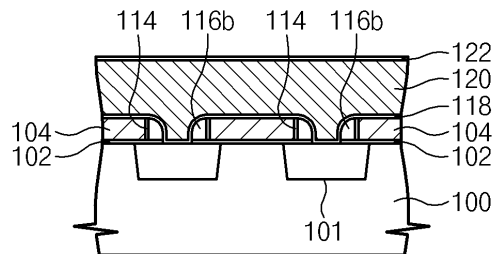
도면14a



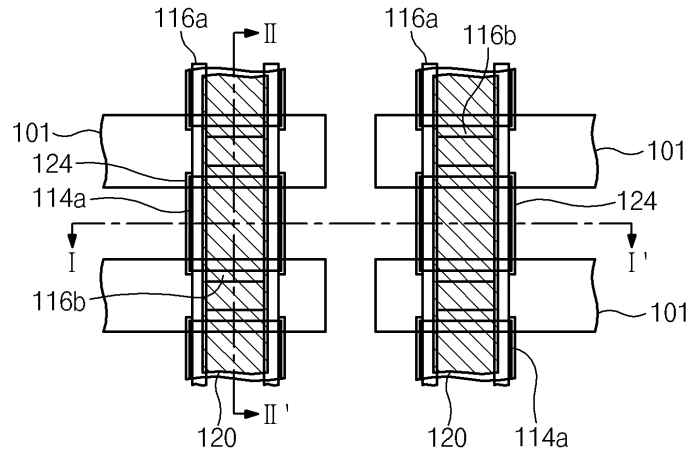
도면14b



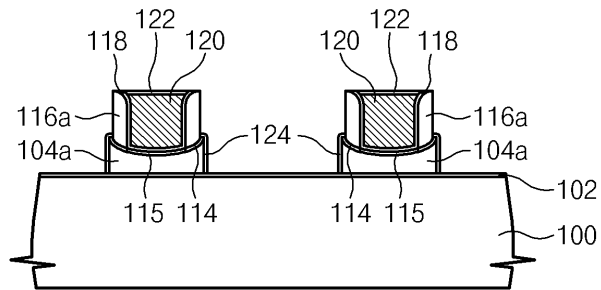
도면14c



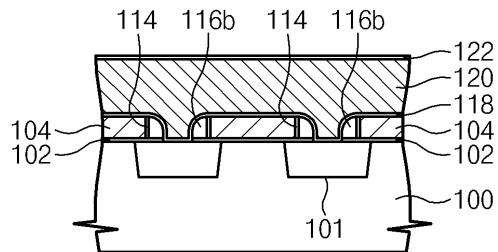
도면15a



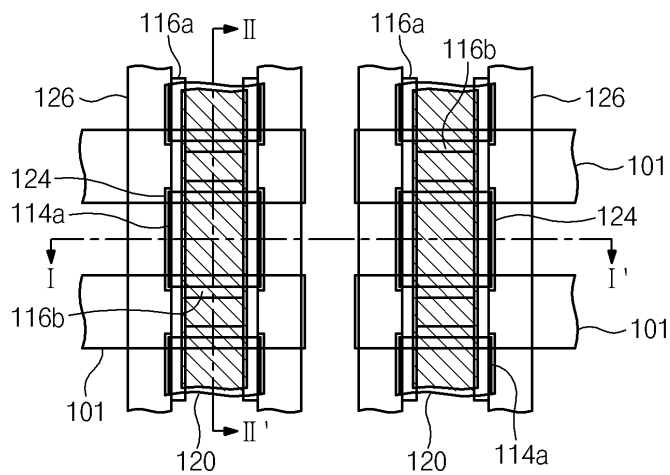
도면15b



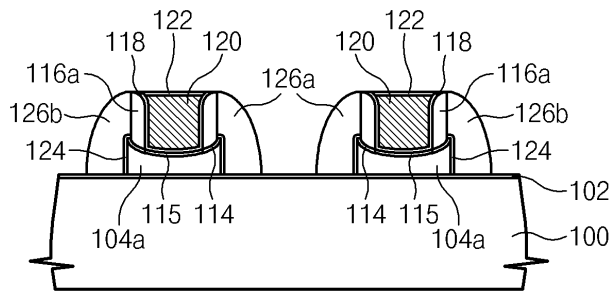
도면15c



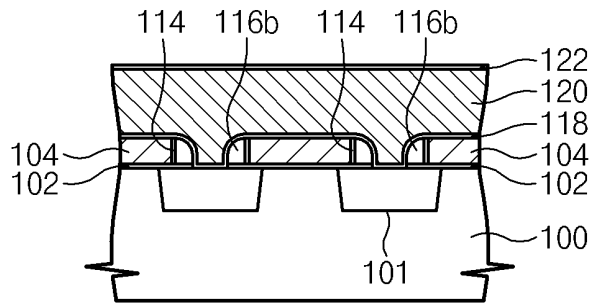
도면16a



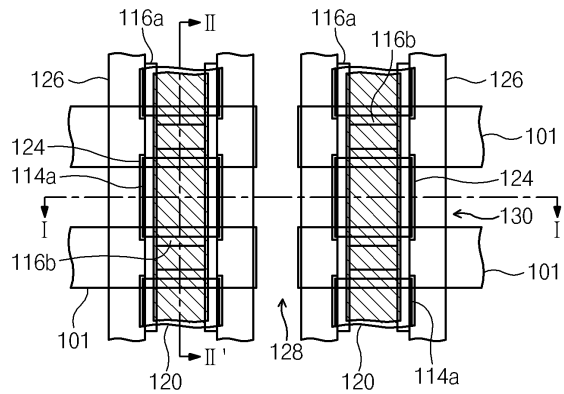
도면16b



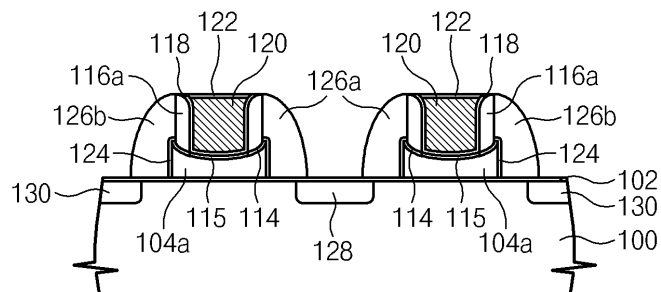
도면16c



도면17a



도면17b



도면17c

