

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-91505

(P2005-91505A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int. Cl.<sup>7</sup>

G09G 3/36  
G02F 1/133  
G02F 1/1345  
G09G 3/20

F I

G09G 3/36  
G02F 1/133 550  
G02F 1/133 570  
G02F 1/1345  
G09G 3/20 611A

テーマコード(参考)

2H092  
2H093  
5C006  
5C080

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-321896 (P2003-321896)  
(22) 出願日 平成15年9月12日(2003.9.12)

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(74) 代理人 100092336  
弁理士 鈴木 晴敏  
(72) 発明者 坪田 浩嘉  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(72) 発明者 飯野 友博  
東京都港区赤坂8丁目5番26号 株式会社メイテック内  
Fターム(参考) 2H092 GA59 JA24 JB66 KA04 NA26 PA06

最終頁に続く

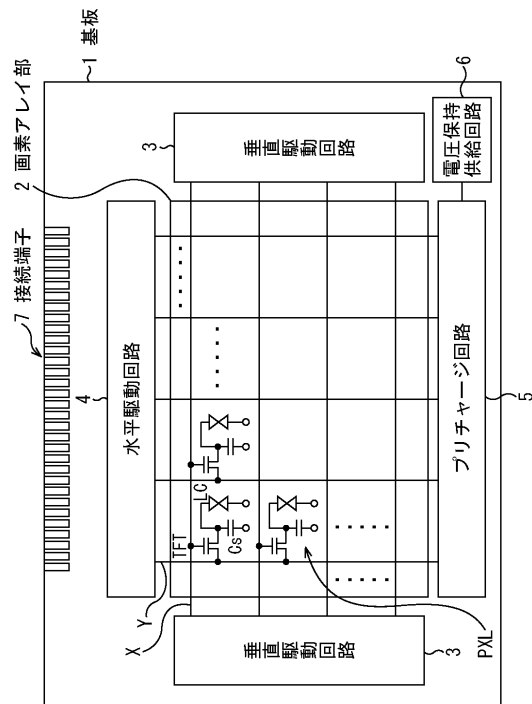
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 パネルのプリチャージ方式を改善して液晶表示装置の消費電力を低減化する。

【解決手段】 表示装置は、画素アレイ部2とこれを駆動する周辺回路部とを同一の基板1上に形成したパネルからなる。画素アレイ部2は、行状に配された走査線Xと、列状に配された信号線Yと、各走査線X及び信号線Yの交差部に対応して行列状に配された画素PXLとからなる。周辺回路部は、走査線Xを順次走査して画素PXLを行毎に選択する垂直駆動回路3と、信号線Yを介して映像信号を該選択された行の画素PXLに書き込んで画像を表示する水平駆動回路4と、画像の画質を改善するため映像信号を書き込む前に信号線Yに予備的にプリチャージ信号を印加するプリチャージ回路5とを備える。パネルには、プリチャージ信号用の電圧を蓄電するコンデンサを含む電圧保持供給回路6が形成されており、パネル内部でプリチャージ回路5にプリチャージ信号用の電圧を供給する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

画素アレイ部とこれを駆動する周辺回路部とを同一の基板上に形成したパネルからなり

、  
前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線及び信号線の交差部に対応して行列状に配された画素とからなり、

前記周辺回路部は、行状の走査線を順次走査して画素を行毎に選択する垂直駆動回路と、列状の信号線を介して映像信号を該選択された行の画素に書き込んで画像を表示する水平駆動回路と、該画像の画質を改善するため該映像信号を書き込む前に列状の信号線に予備的にプリチャージ信号を印加するプリチャージ回路とを備えた表示装置において、

前記パネルには、該プリチャージ信号用の電圧を蓄電するコンデンサを含む電圧保持供給回路が形成されており、パネル内部で該プリチャージ回路に該プリチャージ信号用の電圧を供給可能なことを特徴とする表示装置。

10

**【請求項 2】**

前記プリチャージ回路は映像信号を書き込む期間以外のブランキング期間に該プリチャージ信号を各信号線に印加し、

前記電圧保持供給回路は、該ブランキング期間に合わせて該コンデンサに対する充放電を制御することを特徴とする請求項 1 記載の表示装置。

**【請求項 3】**

前記画素は、液晶セルと、該走査線及び信号線に接続され該液晶セルに映像信号を書き込む薄膜トランジスタと、該液晶セルに書き込まれた映像信号を保持する薄膜容量とからなり、

20

前記コンデンサは、該薄膜容量と同一の層構成を有し且つ同時に形成されることを特徴とする請求項 1 記載の表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、アクティブマトリクス型で且つ周辺回路部も同一基板上に形成した表示装置に関する。より詳しくは、周辺回路部に含まれるプリチャージ回路の改良技術に関する。

**【背景技術】**

30

**【0002】**

従来のアクティブマトリクス型表示装置は、画素アレイ部とこれを駆動する周辺回路部とを同一の基板上に形成したパネルからなる。画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線及び信号線の交差部に対応して行列状（マトリクス状）に配された画素とで構成されている。これに対し周辺回路部は、行状の走査線を順次走査して画素を行毎に選択する垂直駆動回路と、列状の信号線を介して映像信号を選択された行の画素に書き込んで画像を表示する水平駆動回路とを含んでいる。更に近年プリチャージ回路を含むパネルが開発されている。プリチャージ回路は、画像の画質を改善する為映像信号を書き込む前に列状の信号線に予備的にプリチャージ信号を印加する。

【特許文献 1】特開平 8 - 69013 号公報

40

**【発明の開示】****【発明が解決しようとする課題】****【0003】**

従来、映像信号と同様にプリチャージ信号も外部からパネルに供給されていた。例えば LCD パネルを各種機器のディスプレイに用いる場合、機器本体からプリチャージ信号をパネルへ供給している。この為、機器本体からパネル側へ常に電流が流れている構造となっている。パネルにはプリチャージ信号に加え映像信号（ビデオ信号）や電源電圧などの高電圧が入力される為、本体側からパネルに流れる電流が大きく、システム全体として消費電力が大きくなってしまふ。

**【課題を解決するための手段】**

50

## 【 0 0 0 4 】

上述した従来 of 技術 of 課題に鑑み、本発明はパネル of プリチャージ方式を改善して表示装置 of 消費電力を低減化することを目的とする。係る目的を達成するために以下 of 手段を講じた。即ち、画素アレイ部とこれを駆動する周辺回路部とを同一 of 基板上に形成したパネルからなり、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線及び信号線 of 交差部に対応して行列状に配された画素とからなり、前記周辺回路部は、行状 of 走査線を順次走査して画素を行毎に選択する垂直駆動回路と、列状 of 信号線を介して映像信号を該選択された行 of 画素に書き込んで画像を表示する水平駆動回路と、該画像 of 画質を改善するため該映像信号を書き込む前に列状 of 信号線に予備的にプリチャージ信号を印加するプリチャージ回路とを備えた表示装置において、前記パネルには、

10

## 【 0 0 0 5 】

好ましくは、前記プリチャージ回路は映像信号を書き込む期間以外 of ブランキング期間に該プリチャージ信号を各信号線に印加し、前記電圧保持供給回路は、該ブランキング期間に合わせて該コンデンサに対する充放電を制御する。また、前記画素は、液晶セルと、該走査線及び信号線に接続され該液晶セルに映像信号を書き込む薄膜トランジスタと、該液晶セルに書き込まれた映像信号を保持する薄膜容量とからなり、前記コンデンサは、該薄膜容量と同一 of 層構成を有し且つ同時に形成される。

20

## 【 発明 of 効果 】

## 【 0 0 0 6 】

本発明によれば、アクティブマトリクス型 of 表示装置を構成するパネル of 周辺回路部に、大容量 of プリチャージ信号用電圧保持供給回路を内蔵している。この電圧保持供給回路は大容量 of 薄膜コンデンサを備えている。この大容量コンデンサを定期的に充電することで得られた電圧を用いてプリチャージ信号とする。これにより、パネル of 消費電力 of 低減化を実現できる。

## 【 発明を実施するための最良 of 形態 】

## 【 0 0 0 7 】

以下図面を参照して本発明 of 実施 of 形態を詳細に説明する。図 1 は本発明に係る表示装置 of 好適な実施形態を示す模式的なブロック図である。図示する様に、本表示装置は、画素アレイ部 2 とこれを駆動する周辺回路部とを同一 of 基板 1 上に形成したパネルからなる。画素アレイ部 2 は、行状に配された走査線 X と、列状に配された信号線 Y と、各走査線 X 及び信号線 Y of 交差部に対応して行列状に配された画素 P X L とから構成されている。一方、周辺回路部は中央 of 画素アレイ部 2 を囲む様に配されている。周辺回路部は、垂直駆動回路 3 と水平駆動回路 4 とプリチャージ回路 5 とを含んでいる。垂直駆動回路 3 は、行状 of 走査線 X を順次走査して画素 P X L を行毎に選択する。本実施形態では、垂直駆動回路 3 は基板 1 of 左右両側に配されており、行状 of 走査線 X を両側から同時に駆動している。水平駆動回路 4 は列状 of 信号線 Y を介して映像信号を該選択された行 of 画素 P X L に書き込んで画像を表示する。本実施形態では、この水平駆動回路 4 は列状 of 信号線 Y of 上端側に接続されている。プリチャージ回路 5 は画素アレイ部 2 に表示される画像 of 画質を改善する為、映像信号を書き込む前に列状 of 信号線 Y に予備的にプリチャージ信号を印加する。本実施形態では、プリチャージ回路 5 は列状 of 信号線 Y of 下端側に接続されている。なお、基板 1 of 上端には外部接続用 of 端子 7 も形成されている。

30

40

## 【 0 0 0 8 】

本発明 of 特徴事項として、パネルには、プリチャージ信号用 of 電圧を蓄電するコンデンサを含む電圧保持供給回路 6 が形成されており、パネル内部でプリチャージ回路 5 にプリチャージ信号用 of 電圧を供給している。電圧保持供給回路 6 に含まれる大容量コンデンサは、中央 of 画素アレイ部 2 of 占有面積を圧迫しない様、周辺回路部 of 空いた部分に適宜形成可能である。本実施形態では、プリチャージ回路 5 は映像信号を書き込む期間以外 of プ

50

ランキング期間にプリチャージ信号を各信号線 Y に印加している。電圧保持供給回路 6 は、このランキング期間に合わせてコンデンサに対する充放電を制御している。尚、本実施形態のパネルは LCD (液晶ディスプレイ) となっている。すなわち、個々の画素 P X L は液晶セル LC と、走査線 X 及び信号線 Y に接続され液晶セル LC に映像信号を書き込む薄膜トランジスタ TFT と、液晶セル LC に書き込まれた映像信号を保持する薄膜容量 Cs とからなる。一方、電圧保持供給回路 6 に含まれる大容量コンデンサは、画素の薄膜容量 Cs と同一の層構成を有し且つ同時に形成される。

**【 0 0 0 9 】**

薄膜トランジスタ TFT のゲート電極は対応する走査線 X に接続されている。TFT のソース電極は対応する信号線 Y に接続されている。TFT のドレイン電極は対応する液晶セル LC の画素電極に接続されている。尚液晶セル LC は画素電極と対向電極との間に保持された液晶で構成されている。対向電極は基板 1 と対向する別の基板に形成されている。薄膜容量 Cs は補助容量とも呼ばれ、その一方の電極が TFT のドレイン電極に接続される一方、他方の電極は所定の電位に接続されている。

10

**【 0 0 1 0 】**

以上の説明から明らかな様に、本発明は、LCD パネル内部にプリチャージ用の大容量コンデンサを追加し、プリチャージの為に電圧保持供給回路を構成している。大容量コンデンサに蓄積された電圧を使って信号線のプリチャージを行う。LCD パネルの周辺回路部に形成されたプリチャージ用電圧保持供給回路に使用する大容量コンデンサは、各画素に形成された補助容量 Cs と同じプロセスにより形成できる。又、電圧保持供給回路 6 の他の部分も通常のプロセスにより垂直駆動回路 3、水平駆動回路 4 及びプリチャージ回路 5 と同時に形成できる為、工程数の増加をもたらすことはない。この大容量コンデンサを例えば基板 1 の下方空隅に配置することで、レイアウト上画素アレイ部 2 や周辺回路部に含まれる他の回路と重ならない様に配置することができる。

20

**【 0 0 1 1 】**

図 2 は図 1 に示した電圧保持供給回路 6 の具体的な構成を示す回路図である。図示する様に、電圧保持供給回路 6 は定抵抗 R s w、コンデンサ C、抵抗 R、スイッチ S W などで構成されている。定抵抗 R s w と抵抗 R はスイッチ S W を介して電源電圧レベルと接地レベルとの間に直列接続されている。本例では電源電圧 V D D は例えば 15 V であり、接地電圧 G N D は例えば 0 V である。コンデンサ C は抵抗 R の両端に接続されている。定抵抗 R s w と抵抗 R の接続点から本電圧保持供給回路 6 の出力電圧が得られる。出力電圧は、電源電圧 V D D を入力として、コンデンサ C と抵抗 R によって所望のレベルに調整される。この出力電圧は、大容量コンデンサ C を使った保持回路によって一定期間の充電によりその電位を保持し、プリチャージ信号として利用される。充電期間はランキング期間に対応して設定されており、水平方向走査と垂直方向走査の両方のランキング期間に対応している。この構成によれば、従来機器本体 (システム) 側から入力されていたプリチャージ信号が、パネル内部で供給されることによって、定常的な消費電流を削減可能である。定常的な消費電流の削減に伴い、消費電力の低下を実現できる。

30

**【 0 0 1 2 】**

尚、プリチャージ信号は通常複数の電位レベルが必要である。必要な電位レベルの数に合わせて、図 2 に示した電圧保持供給回路がパネルに組み込まれる。その場合出力電圧が電源電圧 V D D に比べて低い程抵抗 R を通じての放電が多い為、これを補う様コンデンサ C の容量は大きくしなければならない。又、プリチャージ期間が長い程、安定した出力電圧を供給する為コンデンサ C の容量を大きくする必要がある。

40

**【 0 0 1 3 】**

図 3 は、図 1 に示した TFT とコンデンサ C の断面構造を示す模式図である。TFT は基板 1 に形成された多結晶シリコンなどの半導体薄膜 1 1 を素子領域とし、その上に絶縁膜 1 2 を介して同じく多結晶シリコンなどの半導体薄膜 1 3 からなるゲート電極 G が形成されている。係る構成を有する TFT は第 1 層間絶縁膜 1 4 により被覆されており、その上に金属配線 1 5 が形成されている。一方の金属配線 1 5 は第 1 層間絶縁膜 1 4 に形成さ

50

れたコンタクトホールを介してTFTのドレインDに接続している。他方の金属配線15は同じく第1層間絶縁膜14に形成されたコンタクトホールを介してTFTのソースSに接続している。この金属配線15は信号線Yの一部となっている。アルミニウムなどできた金属配線15は第2層間絶縁膜16により被覆されており、その上に画素電極17が形成されている。画素電極17は第2層間絶縁膜16に形成したコンタクトホールを介してドレイン側の金属配線15に接続している。

#### 【0014】

一方、大容量コンデンサCは、薄膜トランジスタTFTと同じく薄膜構造を有し、TFTと同時に形成可能である。図示の例では、大容量コンデンサCは、ゲート絶縁膜と同層の絶縁膜12を誘電体とし、その上下を一对の電極で保持した構成となっている。下側の電極はTFTの素子領域を構成する半導体薄膜11と同層である。上側の電極はTFTのゲート電極を構成する半導体薄膜13と同層である。下側の電極は金属配線15を介して接地電位GNDに接続されている。上側の電極は別の金属配線15を介して出力端子(OUT)に接続されている。尚、画素に形成される補助容量Csも大容量コンデンサCと同一の層構成を有する。換言すると、大容量コンデンサCは、画素部の薄膜容量Csと同一の層構成を有し且つ同時に形成される。

10

#### 【0015】

図4は、図1に示したプリチャージ回路5の一部を示す回路図である。プリチャージ回路は電圧保持供給回路6からプリチャージに必要な電圧PsigBHとPsigBLの供給を受ける。プリチャージ回路は一对のトランスマッションゲート素子TG1, TG2を備えており、外部から供給される周期信号FRPとその反転信号に応じて、PsigBHとPsigBLを交互に選択し、合成された信号PsigBを得ている。

20

#### 【0016】

波形図に示す様に、PsigBは所定の周期で高電圧レベルPsigBHと低電圧レベルPsigBLとが交互に現われている。所定の周期は水平走査期間もしくは垂直走査期間に対応している。一般に、液晶表示素子に書き込まれる映像信号は1水平期間もしくは1垂直期間で極性が切り替わっている。これに応じてプリチャージ信号も極性を切り替える必要があり、PsigBHとPsigBLを組み合わせてプリチャージ信号PsigBを得ている。このプリチャージ信号PsigBは、あらかじめ画素に映像信号を書き込む前に、TFTで隔てられた画素電極と信号線との間のリーク量を一定に揃える為に供給される。この目的で信号線に印加するプリチャージ信号は正極性及び負極性共に絶対値の大きい電圧が必要である。ノーマリホワイトモードの表示装置の場合、このプリチャージ信号PsigBに必要なレベルはブラックレベルである。

30

#### 【0017】

この他プリチャージ信号としては、PsigBの他、PsigGも必要である。このプリチャージ信号PsigGはホワイトレベルとブラックレベルの間の中間レベル(グレイレベル)に設定されており、あらかじめ信号線を中間レベルの電位でプリチャージすることにより、画像のユニフォーミティを改善している。PsigGも映像信号の極性反転に合わせて高低2レベル必要であり、同じく図2に示した構成の電圧保持供給回路から供給される。

40

#### 【0018】

図5は、図1に示したプリチャージ回路5の別の部分を示す回路図である。図示の回路は、制御信号PCG及びPRGによって制御され、前段階で形成されたグレイレベルのプリチャージ信号PsigGとブラックレベルのプリチャージ信号PsigBを合成して最終的なプリチャージ信号Psigを、各信号線に供給するものである。この回路は、図示の様にナンドゲート素子NAND1, NAND2と、インバータ素子INV1, INV2と、トランスマッションゲート素子TG3, TG4とで構成されている。

#### 【0019】

図6は、図5に示したプリチャージ回路の動作説明に供するタイミングチャートである。前述した様に、水平駆動回路は映像信号Vsigを各信号線にサンプリングする一方、

50

プリチャージ回路はプリチャージ信号  $Psig$  を各信号線に印加する。図示する様に、映像信号  $Vsig$  はブランキング期間と映像期間に分かれている。又所定の期間（例えば1水平期間）毎に中心電圧（例えば7.5V）に対して極性が反転している。第1の制御信号  $PCG$  はブランキング期間にハイレベルHとなり映像期間にローレベルLとなっている。この制御信号  $PCG$  はハイレベルの時プリチャージを実行する様にプリチャージ回路を制御する。第2の制御信号  $PRG$  はブランキング期間の前半部分でハイレベルHとなり後半でローレベルLとなっている。この制御信号  $PRG$  はブラックレベルのプリチャージ信号とグレイレベルのプリチャージ信号を切り替える。 $PRG$  がHの時、ブラックレベルのプリチャージ信号が選択される様になっている。前述した様に、図5のプリチャージ回路は、制御信号  $PCG$  及び  $PRG$  に応じて制御され、最終的なプリチャージ信号  $Psig$  を各ブランキング期間毎信号線に印加する。映像信号  $Vsig$  の極性反転に応じて  $Psig$  も極性が反転している。図示の例では最初のブランキング期間にまずブラックレベルで正極性の電位  $PsigBH$ （例えば12.5V）が印加され続いて同じく正極性でグレイレベルの電位  $PsigGH$ （例えば10.0V）が印加される。次のブランキング期間では初めに負極性のブラックレベル  $PsigBL$ （例えば2.5V）が印加され、続いて同じく負極性のグレイレベル  $PsigGL$ （例えば5.5V）が印加される。尚、上述したプリチャージ信号  $Psig$  の波形は一例に過ぎず、本発明はこれに限られるものではない。

10

【産業上の利用可能性】

【0020】

以上説明した様に、本発明によれば、パネル内部に大容量のプリチャージ信号用電圧保持供給回路を組み込んでいる。プリチャージ信号をパネル内部で生成することによって、定常的な消費電流を削減することができる。これに伴い、消費電力の削減を目的として表示装置に本発明を利用可能である。

20

【図面の簡単な説明】

【0021】

【図1】本発明に係る表示装置の全体構成を示すブロック図である。

【図2】図1に示した表示装置に組み込まれる電圧保持供給回路の具体的な構成例を示す回路図である。

【図3】電圧保持供給回路に組み込まれる大容量コンデンサの構造を示す模式的な部分断面図である。

30

【図4】図1に示した表示装置に組み込まれるプリチャージ回路の前段部分を示す回路図である。

【図5】プリチャージ回路に組み込まれる後段部分の回路図である。

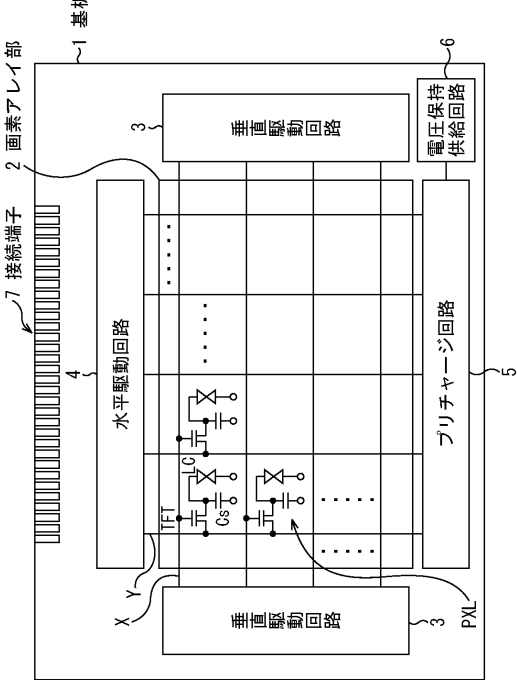
【図6】図5に示したプリチャージ回路の動作説明に供するタイミングチャートである。

【符号の説明】

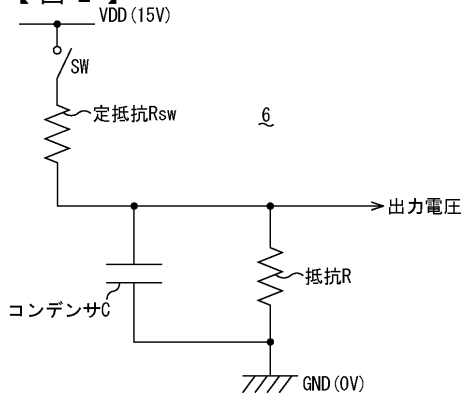
【0022】

1・・・基板、2・・・画素アレイ部、3・・・垂直駆動回路、4・・・水平駆動回路、5・・・プリチャージ回路、6・・・電圧保持供給回路、7・・・接続端子

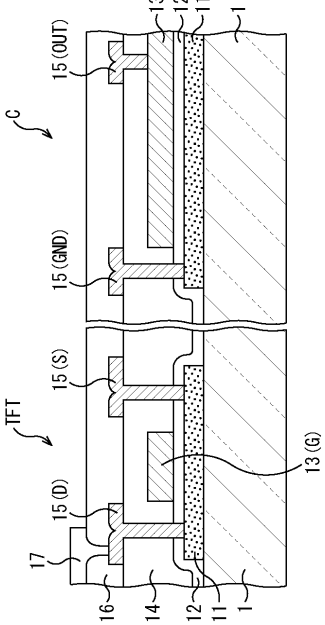
【図1】



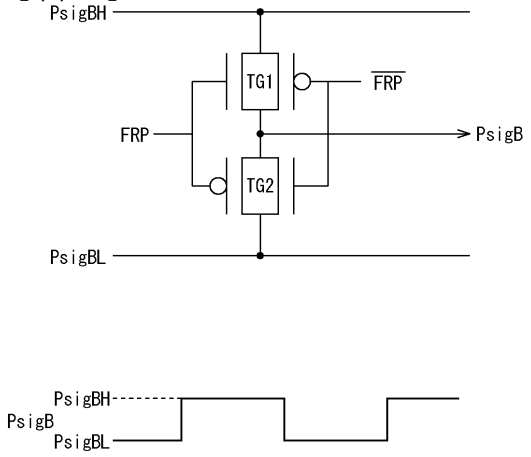
【図2】



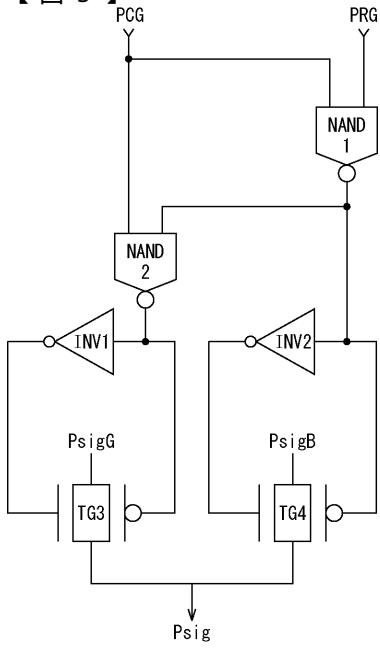
【図3】



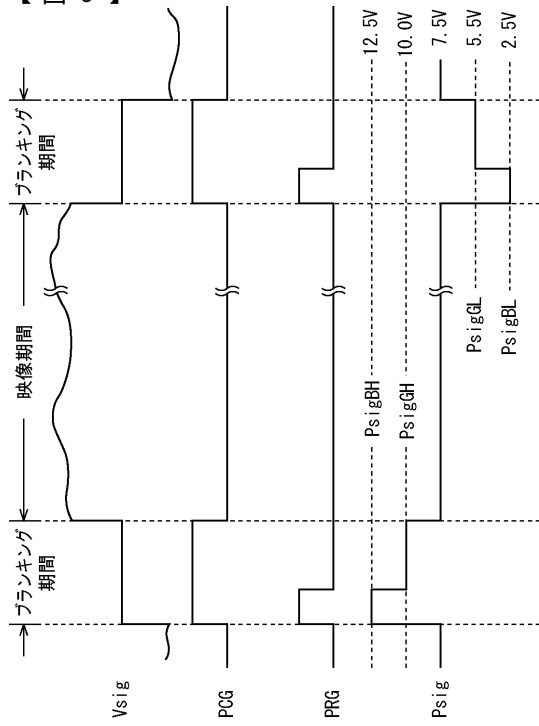
【図4】



【 図 5 】



【 図 6 】



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 8 0 G

F ターム(参考) 2H093 NA16 NA43 NC04 NC16 NC23 NC34 NC35 NC59 ND32 ND33  
 NE07 NH15  
 5C006 AA16 AC11 AC27 AC28 AF42 AF69 AF73 BB16 BC13 BC20  
 BF24 BF26 BF27 BF33 BF37 BF42 EB05 FA14 FA18 FA22  
 FA26 FA36 FA37 FA47  
 5C080 AA10 BB05 DD05 DD08 DD25 DD26 EE29 FF03 FF11 JJ02  
 JJ03 JJ04 JJ06