



[12] 发明专利说明书

专利号 ZL 02802995. X

[45] 授权公告日 2009 年 2 月 4 日

[11] 授权公告号 CN 100458654C

[22] 申请日 2002. 6. 28 [21] 申请号 02802995. X  
 [30] 优先权  
     [32] 2001. 7. 24 [33] US [31] 09/912,146  
 [86] 国际申请 PCT/IB2002/002627 2002. 6. 28  
 [87] 国际公布 WO2003/010640 英 2003. 2. 6  
 [85] 进入国家阶段日期 2003. 5. 23  
 [73] 专利权人 NXP 股份有限公司  
     地址 荷兰艾恩德霍芬  
 [72] 发明人 G·埃曼  
 [56] 参考文献  
     US6138246A 2000. 10. 24  
     CN1304506A 2001. 7. 18  
     CN1294328A 2001. 5. 9  
     US5758134A 1998. 5. 26  
 审查员 吉张媛

[74] 专利代理机构 中科专利商标代理有限责任公司  
 代理人 王波波

权利要求书 3 页 说明书 9 页 附图 2 页

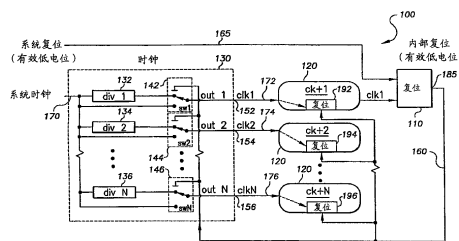
[54] 发明名称

利用公共复位和较慢复位时钟的方法和系统

[57] 摘要

利用一个电路装置改善电子电路的操作性和规模能力，这种电路装置是模块式的，规模化的，可直接提供和允许简单和安全的物理设计。根据本发明的一个示例性实施方案，用一个复位方法和系统对可采用类似和/或不同复位策略的数个外围设备完成复位。复位模块同有着外部时钟参考的时钟模块以及同外部设备连接。操作上，时钟模块将以多个第一频率中的一个频率向每个外围设备提供功能性时钟信号。复位模块根据系统复位信号发生内部复位信号。根据内部复位信号，时钟模块将具有复位时钟频率的公共复位时钟信号经由该时钟模块的时钟输出驱至每一外围设备。复位时钟频率等于或慢于供给每一外部设备的功能性频率。每一外部设备处的同步模块适于利用复位时钟信号在所有外围设备之间将复位信号同步。复位模块将内部复位信号

保持所选定的时间长短，然后将该时钟模块从复位时钟信号释放。因而复位是在每个外围设备上同时释放的，使之从复位平稳过渡成为可能。



1. 在具有使用多个时钟信号和一个系统复位信号的多个电路的数字电路装置中缓解信号定时问题的方法，该方法包括：

- 根据系统复位信号的认定起动复位模式；
- 控制通向该多个电路的时钟信号以在复位模式期间提供第一频率的时钟信号并在复位模式之后提供多个第二频率的时钟信号，

其中，根据第一频率的时钟信号将多个电路的复位同步，从而以与第一频率的时钟信号同步的方式激发复位模式。

2. 根据权利要求1的方法，其中该第一频率至少同多个第二频率中的最低频率一样低。

3. 根据权利要求1的方法，进一步包括：

在复位信号被解除认定之后的延迟时间间期，控制通向该电路的时钟信号以在复位模式之后提供多个第二频率的时钟信号。

4. 根据权利要求1的方法，其中延迟时间间期是在复位信号被解除认定之后的N个时钟周期。

5. 根据权利要求4的方法，其中N至少是6。

6. 根据权利要求1的方法，其中复位模式是在复位信号认定之后被认定的而无有意的延迟。

7. 优化包括多个电路模块的时钟逻辑系统复位的方法，每个电路模块具有多个第一频率之一的时钟信号，该方法包括：

- 根据复位信号的认定，在每一个电路模块内认定一个公共的复位信号；和

- 根据公共复位信号的认定，给每一个电路模块提供一个第二频率的公共时钟信号以取代它的电路模块时钟信号，

其中，根据公共时钟信号将多个电路模块的复位同步。

8. 根据权利要求7的方法，进一步包括：

参照所述公共时钟信号在每一电路模块内控制该公共复位信号的解除认定。

9. 根据权利要求8的方法，进一步包括：

根据每一电路模块内公共复位信号的解除认定,从该公共复位信号同步切换到该电路模块时钟信号。

10. 根据权利要求9的方法,其中第二频率至少同多个第一频率中的最低频率一样低。

11. 用于缓解信号定时问题的数字电路装置,包括:

- 多个电路,其中每一个电路分别使用相应的时钟信号和复位信号并具有同步模块;

- 控制通向电路的相应的时钟信号的装置,以在复位模式期间提供第一频率的时钟信号和在复位模式之后提供第二频率的时钟信号,第一频率小于任何第二频率,

其中,同步模块根据第一频率的时钟信号将多个电路的复位同步。

12. 时钟逻辑系统,包括:

- 安装在多个电路模块内的多个数字电路,每个电路模块以多个第一频率之一对时钟信号操作,每个电路模块具有同步模块;

- 发生第二频率的复位时钟信号的装置,该第二频率至少同多个第一频率中的最低频率一样低;

- 根据系统复位信号对每一个电路模块认定内部复位信号的装置;

- 根据该内部复位信号切换多个电路模块以对复位时钟信号操作的装置;和

- 参照复位时钟信号在每个电路模块内给内部复位信号解除认定的装置,

其中,同步模块根据第二频率的复位时钟信号将多个电路模块的复位同步。

13. 用于根据权利要求12所述的时钟逻辑系统的电路,包括:

- 提供第二频率复位信号的时钟模块;

- 根据系统复位信号认定时钟逻辑系统的内部复位信号的装置;

以及

- 根据内部复位信号的认定将时钟逻辑系统切换至复位时钟信

号的装置。

14. 根据权利要求 13 的电路, 其中第二频率至少同多个第一频率中的最低频率一样低。

15. 根据权利要求 14 的电路, 进一步包括:

参照复位时钟信号将时钟逻辑系统的内部复位信号解除认定的装置。

16. 根据权利要求 15 的电路, 进一步包括:

根据系统复位信号的解除认定, 将内部复位信号的解除认定延迟 N 个复位时钟信号周期的装置。

## 利用公共复位和较慢复位时钟的方法和系统

### 发明领域

本发明一般而言涉及电子系统，具体而言涉及得益于不同复位策略的电子系统和部件。

### 发明背景

电子产业在继续为高功率，高性能电路而努力。通过在小的硅晶片面积上制造超大规模集成电路已经在这方面取得了显著的成绩。在多数现代电子设备中，这些电路已被大量集成以实现增大的容量。这些成果也使得专用芯片迅速发展，每个专用芯片具有独特的功能和应用。

通过利用以前所设计的部件，或模块，并且将这种模块的功能性加以协调以适应大规模系统的总体设计目标可以缩短大规模系统的设计和开发周期时间。已经为具有不同复位要求的系统设计这种模块，通常有着不同的时钟和定时限制。例如，有些模块采用非同步复位方案，同步复位方案或二者的混合。其他的采用正边触发时钟方案，负边触发时钟方案，电平灵敏方案，多相位方案，等等。

同样地，用于将每一模块复位的做法也可以不同。对每个模块，所采用的复位对策引入了同该系统的特殊时钟方案相关的定时限制。这种定时限制的实例包括：同步复位必须在时钟的有效边之前的规定期内到达模块，和/或在时钟边之后将它的有效状态保持规定的期间；非同步复位不应当在电平灵敏时钟设计中在紧邻时钟状态变化时释放；在紧邻一设置信号的认定或解除认定时复位信号不应当被认定或解除认定；并且复位信号的释放对所有模块而言几乎同时实现。从系统的观点看，这种变化着的复位和时钟对策产生一套组合式的复杂设计限制因素。

为了适应这种模块之间的变化的时钟对策，常规系统包括一个模块时钟发生器，这种发生器产生互不相同的合适的频率和相位的时钟信号用于正确的系统操作。要适应这种变化着的复位对策在结构上常常是欠缺的。通常，因为这种问题的组合式性质，对每个模块要设计特定的复位电路，或者对有着类似复位组合和时钟配置的每组模块要

设计特定的复位电路。尽管每个复位电路的设计也许并非过分赘累，但是对这些电路的每一个的正确限定，配置和测试的系统级设计任务会很繁重。

使用特定的，时间相关的复位电路也会使用这种电路所设计出来的系统在技术上改变，或其他特性加到该系统时能“规模”的可能性最小。类似地，将这样一个系统用作未来较大系统中的模块将只会加重与有着不同复位对策和定时限制条件的模块相关的问题。

#### 发明概述

根据本发明的第一方面，提供了在具有使用多个时钟信号和一个系统复位信号的多个电路的数字电路装置中缓解信号定时问题的方法，该方法包括：

- 根据系统复位信号的认定起启动复位模式；
- 控制通向该多个电路的时钟信号以在复位模式期间提供第一频率的时钟信号并在复位模式之后提供多个第二频率的时钟信号，其中，根据第一频率的时钟信号将多个电路的复位同步，从而以与第一频率的时钟信号同步的方式激发复位模式。

根据本发明的第二方面，提供了优化包括多个电路模块的时钟逻辑系统复位的方法，每个电路模块具有多个第一频率之一的时钟信号，该方法包括：

- 根据复位信号的认定，在每一个电路模块内认定一个公共的复位信号；和
- 根据公共复位信号的认定，给每一个电路模块提供一个第二频率的公共时钟信号以取代它的电路模块时钟信号，其中，根据公共时钟信号将多个电路模块的复位同步。

根据本发明的第三方面，提供了用于缓解信号定时问题的数字电路装置，包括：

- 多个电路，其中每一个电路分别适于使用相应的时钟信号和复位信号并具有同步模块；
- 控制通向电路的相应的时钟信号的装置，以在复位模式期间提供第一频率的相应的时钟信号和在复位模式之后提供相应的第二频率的相应的时钟信号，第一频率小于任何第二频率，其中，同步模块适于根据第一频率的时钟信号将多个电路的复位同步。

根据本发明的第四方面，提供了时钟逻辑系统，包括：

- 安装在多个电路模块内的多个数字电路，每个电路模块以多个第一频率之一对时钟信号操作，每个电路模块具有同步模块；

- 发生第二频率的复位时钟信号的装置，该第二频率至少同多个第一频率中的最慢频率一样慢；
- 根据系统复位信号对每一个电路模块认定内部复位信号的装置；
- 根据该内部复位信号切换多个电路模块以对复位时钟信号操作的装置；和
- 参照复位时钟信号在每个电路模块内给内部复位信号解除认定的装置，

其中，同步模块适于根据第二频率的复位时钟信号将多个电路模块的复位同步。

根据本发明的第五方面，提供了用于根据本发明第四方面的时钟逻辑系统的电路，包括：

- 提供第二频率复位信号的时钟模块；
- 根据系统复位信号认定对时钟逻辑系统的内部复位信号的装置；以及
- 根据内部复位信号的认定将时钟逻辑系统切换至复位时钟信号的装置。

本发明致力于一个用于时钟逻辑系统的复位方法和电路，它通过将一频率降低的公共复位和复位时钟信号驱动每一电路模块响应系统复位并控制相对该公共复位时钟信号的复位解除认定，因而该复位方法和电路在上面提到的应用和所讨论的问题中特别有用。例如，数字电路装置可以控制通到该电路的时钟信号以便在复位模式期间提供第一频率的时钟信号和在该复位模式之后提供第二频率的时钟信号，第一频率小于第二频率。本发明在一组实施和应用中举例加以说明，其中一些概述如下。

根据本发明的另一个实施方案，多种电路模块适于利用解决前面所讨论的应用和方法，根据一外部复位信号起内部复位。根据系统复位信号起复位模式(内部复位信号被认定)。根据该复位模式控制馈送至每电路模块的时钟信号。在该复位模式期间供给第一频率作为复位时钟信号，而在复位模式之后提供多个第二频率。第一频率至少是同多个第二频率中最慢频率一样慢。对每个电路模块该复位模式同该复位时钟信号同步，发送该同步复位信号以复位每一电路模块。当系统不能复位，则在时间延迟  $N$  个复位时钟周期之后，复位模式被激活。在复位模式被激活之后，每一电路模块释放其内部复位。

在一个相关的示例实施方案中，本发明致力于一个时钟逻辑系统，该系统适于包括对在一个方式中的多个电路模块的复位。该时钟逻辑系统包括安装在多个电路模块中的多个数字电路。每个电路模块以多个第一频率中的一个频率对时钟信号操作。时钟模块发生第二频率的复位时钟信号，该第二频率至少是同多个第一频率的最慢频率一样慢。根据系统的复位信号，复位逻辑模块控制内部复位信号对每一电路模块的认定，并且参照该复位时钟信号控制该内部复位信号对每一电路模块的认定解除。时钟选择器模块根据该内部复位信号开关多个电路模块使之对复位时钟信号操作。同步模块与多个电路模块的每一个相连接，并具有与该复位模块相连接的复位输入端口。该同步模块适于将内部复位信号与各电路模块上的复位时钟信号同步。该电路模块适于根据内部复位信号起内部复位。

在另一个相关的示例实施方案中，复位电路适于将多个电路模块复位。该复位电路包括复位模块和具有时钟选择开关的时钟模块，其中复位模块适于根据系统复位信号发生内部复位信号。该时钟模块具有外部时钟参考并且对多个电路模块中的每一个模块至少有一时钟模块输出。该时钟模块根据所发生的内部复位信号经由时钟模块选择器开关给每一电路模块提供复位时钟信号。时钟模块的频率可以选成外部时钟参考。

上面概述并非旨在阐述本发明所展示的每个实施方案或每一个实施。下面的附图和详细说明将更具体地对这些实施方案加以举例说明。

#### 附图简述

结合附图考虑本发明如下各种实施方案的详细说明会对本发明有着更为完全的理解，其中：

图 1 是根据本发明的一个示例性实施方案的电路复位原理图；

图 2A 是根据本发明的一个示例性实施方案的复位模块的原理图；

图 2B 是根据本发明的一个示例性实施方案的复位模块定时图。

本发明能够修改成不同的变更和替代形式，其详细说明已经在附图中的实例中加以显示并将详细加以说明。但是，应当懂得本发明并不局限于所阐述的具体实施方案。相反，本发明包括由所附权利要求所规定的构思和范围之内所有变更，同等物以及替代形式。

## 详细说明

确信本发明适用于多种不同类型的电子设备，并且已经发现特别适合于应用在由复位而引起的定时问题方面。尽管本发明并非一定要限制到这类设备，但是对本发明各个方面的最好了解是通过对这种应用的各种实例的讨论获得的。

根据本发明的一个示例性实施方案，一个复位方法和系统被用于实现多个不同电路模块（例如，外围设备）的复位。这种系统包括连接到时钟模块和多个电路模块的每一模块的复位模块。该时钟模块经由时钟选择模块和该电路模块的时钟模块输出与外部时钟参考和每一电路模块连接。该时钟模块按标称值向每一电路模块提供具有多个第一频率之一频率的功能性时钟信号。该复位模块根据系统复位信号发生内部复位信号。该内部复位信号被供给时钟模块和电路模块。根据内部复位信号，时钟选择开关将具有第二时钟频率的复位时钟信号经由时钟输出驱至每一电路模块。第二（复位）时钟频率至少同第一个多个功能性时钟频率的任何一个的频率一样慢。

每一电路模块包括一同步模块，该模块适于用从时钟模块接收到的复位时钟信号将所有电路模块间的内部复位信号同步。该复位模块在系统复位信号解除认定之后将内部复位信号保持所选定的时间长度。根据内部复位信号的解除认定，该时钟选择开关将复位时钟信号释放到该电路模块。该复位信号在每一电路模块上被同时释放。

这种复位可以利用多个复位电路装置实现。图 1 所示是一个这样的电路装置，时钟逻辑系统 100，它是根据本发明的另一个示例性实施方案得到的。该时钟逻辑系统 100 包括复位模块 110，安装在多个电路模块内的多个数字电路 120，以及时钟模块 130。例如，电路模块 120 是代表外围设备。外围设备 CKtA, CKtB, 和 CKtN 示于图 1。

时钟模块 130 包括时钟分配电路，div1 132, div2 134 和 divN 136；时钟选择器开关，SW1 142, SW2 144 和 SWN 146；以及时钟输出，Out1 152, Out2 154 和 OutN 156。时钟信号，CLK1 172, CLK2 174 和 CLKN 176 由时钟模块 130 提供。CLK1 在 Out1 处提供，CLK2 在 Out2 处提供，CLK3 在 Out3 处提供。时钟模块 130 适于接收外部系统时钟信号 170，该信号被提供给每个时钟分配器电路。如图 1 所示，每个时钟分配器电路同一时钟选择器开关相连，而每个时钟选择器开关

又连接到相应的一时钟输出。例如，时钟分配器电路 div1 连接到时钟选择器开关 SW1，而时钟选择器开关 SW1 连接到时钟输出 Out1。

当内部复位信号 160 没被认定时（即不是复位模式时），该时钟模块 130 适于接收外部系统时钟信号 170，并且通过本领域内技术人员所熟悉的时钟分配器逻辑电路给每个时钟输出提供功能性时钟信号。每一功能性时钟信号（例如，CLK1, CLK2 和 CLKN）是多个第一频率之一，第一频率中的每一个等于或大于其外部系统时钟频率。例如，该功能性时钟可以包括时钟信号，该信号具有与每电路模块和整个系统定时限制要求相关的特殊频率和相位。时钟输出 Out1 152, Out2 154 和 Out N156 适于将时钟信号馈送给每一外围设备。虽然图 1 示出三种外围设备和三种时钟输出，该系统 100 适于提供高达“N”台外围设备，以及给每台外围设备提供时钟输出。在一个实施方案中，CLK1 172 被选为具有最长的插入延迟（即时钟从源传播至所有终点的时间长度）。

当内部复位信号 160 被认定后（即复位模式），图 1 中所展示的该时钟模块使时钟模块上的外部系统（复位）时钟能够输出至每一电路模块或外围设备。该系统时钟信号具有的频率至少同最慢的功能性时钟频率一样慢（即至少同第一多个频率的最慢频率一样慢）。该复位时钟在复位模式期间是每电路模块共用的。因此，供给每电路模块的该复位时钟频率等于或小于每电路模块的功能性频率。该复位时钟信号被用于将同步的内部复位信号加在每电路模块。

当系统复位信号 165 一旦再次被解除认定时，该内部复位信号 160 随后在 N 次时钟周期后在复位模块输出如（节点 185）被解除认定。所有的电路模块 120 同时或接近同时释放它们的复位，这样改善了向系统起动安全转移的能力。外部系统时钟信号 170 将对电路模块 120 的认定保持一段所选定的时间间期，然后时钟模块 130（经由时钟选择开关）在复位已经被释放之后切换到每一模块的功能性时钟信号。

在各种实施中，所选定的外部系统时钟 170 被认定的时间间期取决于预定的应用。例如，所选定的对外部系统时钟 170 被认定的时间间期可以通过时钟模块 130 中的寄存器实现，该寄存器被编程使之将外部时钟信号保持若干时钟周期。在内部复位信号 160 被解除认定后，寄存器中的软件操作开关从外部系统（复位）时钟 170 的时钟切换到每一电路模块 120 的功能性时钟。该开关是在若干时钟周期之后才工

作的，这样就允许在开关动作之前电路模块复位被释放。在一个更为特殊的实施中，每一电路模块的复位是在内部复位信号被解除认定之后 2 个时钟周期释放的。在这一时刻，该软件使用至少 2 个时钟周期从参考时钟切换至功能性时钟，并且确保该电路模块复位利用该复位时钟参考同步释放。在其他的方法中，其所选择的间期依据用于恢复其功能性时钟的同步策略所决定，这方面就如同 1999 年 12 月 30 提交的美国申请 U. S. Application No. 09/475, 697 (VLSLI. 280PA) 以及在它审查过程中所引用的各种其它专利文献相关的实例中所描述和展示的那样。

复位模块 110 适于根据输入系统复位信号 165 发生内部复位信号 160 并将它馈送给时钟模块 130 和电路模块 120 (例如，外围设备 CKt1、CKt2 和 CKtN)。电路模块 120 的每一个分别包括同步模块 192, 194 和 196, 每一模块具有至少一个适于接收时钟信号的输入端口，以及适于接收内部复位信号 160 的输入端口。同步模块 192 接收时钟信号 CLK1; 模块 194 接收时钟信号 CLK2 和模块 196 接收时钟信号 CLKN。在复位模式期间，每一电路模块接收相同的复位时钟信号，它的频率等于或小于每一电路模块的功能性时钟频率。该同步模块使用该时钟信号和内部复位信号 160 发生电路模块复位。每一电路模块复位被加以同步使得每一外围设备利用相同的时钟输入加以复位，因而当复位释放时每一设备几乎同时从复位被释放。此处所描述的复位电路和方法适于多个外围设备，每个设备有着不同的复位策略。

复位逻辑可以利用多个复位电路装置加以实现。图 2A 示出一个这样的电路装置，总的用数字 200 表示，它是本发明的另一个示例性实施方案。电路装置 200 具有所示的 N 个串接的触发器，触发器 205 是第一触发器和触发器 210 是串接中最后的触发器。虚线表示在串接中可以包括多至 N 个触发器。触发器 210 的输出连接到“与”门 215。第一触发器 205 的输入为硬耦合至逻辑“1” 220 (高电位)。系统复位输入 225, 它在电路装置 200 中为低电位有效, 在每个触发器(即 205, ... 210)和在“与”门 215 被接收。时钟信号连接到每个触发器(即 205... 210)和扫描测试方式信号 225 在“与”门 215 被加以接收。“与”门 215 提供输出，内部复位 240。

本领域内的技术人员将懂得，在系统复位信号 225 的过渡低电位

(有效或“被认定”)时, N个触发器的每一个(即205...210)正复位驱动它们相应的输出低电位。内部复位信号240(“与”门215的输出)也被系统复位信号225低电位驱至低电位,并且只要系统复位信号225被认定(即低电位)该内部复位信号240就维持低电位。

当系统复位信号225为过渡低电位时(无效或“解除认定”),时钟信号230在系统复位信号225处于过渡高电位之后通过串联触发器使逻辑“1”(高电位)220循环输入到触发器205。对于串联的“N”触发器,时钟信号230的“N”个时钟周期将逻辑“1”220通过其串接循环,该串接包括最后的触发器210至“与”门215。“与”门215在系统复位信号225被解除认定之后将内部复位信号240的“N”个复位时钟周期解除认定(“与”门215输出过渡高电位)。只要系统复位信号225保持高电位,内部复位信号240就维持解除认定状态(高电位)。

时钟模块的定时和电路模块的复位可以用多种方式实现。图2B示出了用于复位图2A逻辑200的定时图。时钟信号230的周期如曲线250所示。系统复位输入信号225(有效低电位)如曲线260所示,内部复位信号240(有效低电位)如曲线270所示。图2B展示在系统复位信号225被解除认定之后,用于内部复位信号240解除认定的定时,在系统复位信号225之后,“N”个时钟周期被解除认定。

根据本发明,可以使用各种实例流程过程对这种电路复位。一个这样的过程包括发生内部复位信号,并将该信号提供给一个时钟模块和2个或多个电路模块。来自时钟模块的所有输出都能以参考时钟频率起动。然后该时钟输出在每一电路模块被接收并用于电路模块间的复位信号同步。复位是对选定的一组时钟间期认定的,并且在所选定的一组时钟间期到达之后复位中止,从而使每电路模块复位的解除认定同时完成。

根据另一个示例性过程,首先发生系统复位信号。然后该内部复位信号被认定使之没有有意的延迟,并且相对慢的(系统)时钟被驱致所有时钟端口。利用该较慢的时钟将电路重新起动。然后将该系统复位信号清除。在延迟“N”个时钟周期之后,内部复位信号同慢时钟被同时清除。然后发生从系统时钟返回至操作时钟(快速)的无虚假电信号的切换。

尽管参照几种不同的示例性实施方案对本发明做了说明，但本领域的技术人员将认识到对此可以进行改变。例如，可以将测试电路和逻辑电路加到各种部件，例如同步模块。可以进行此类和其他的修改和/或增加而不会偏离在下面权利要求中所规定的本发明的构思和范围。

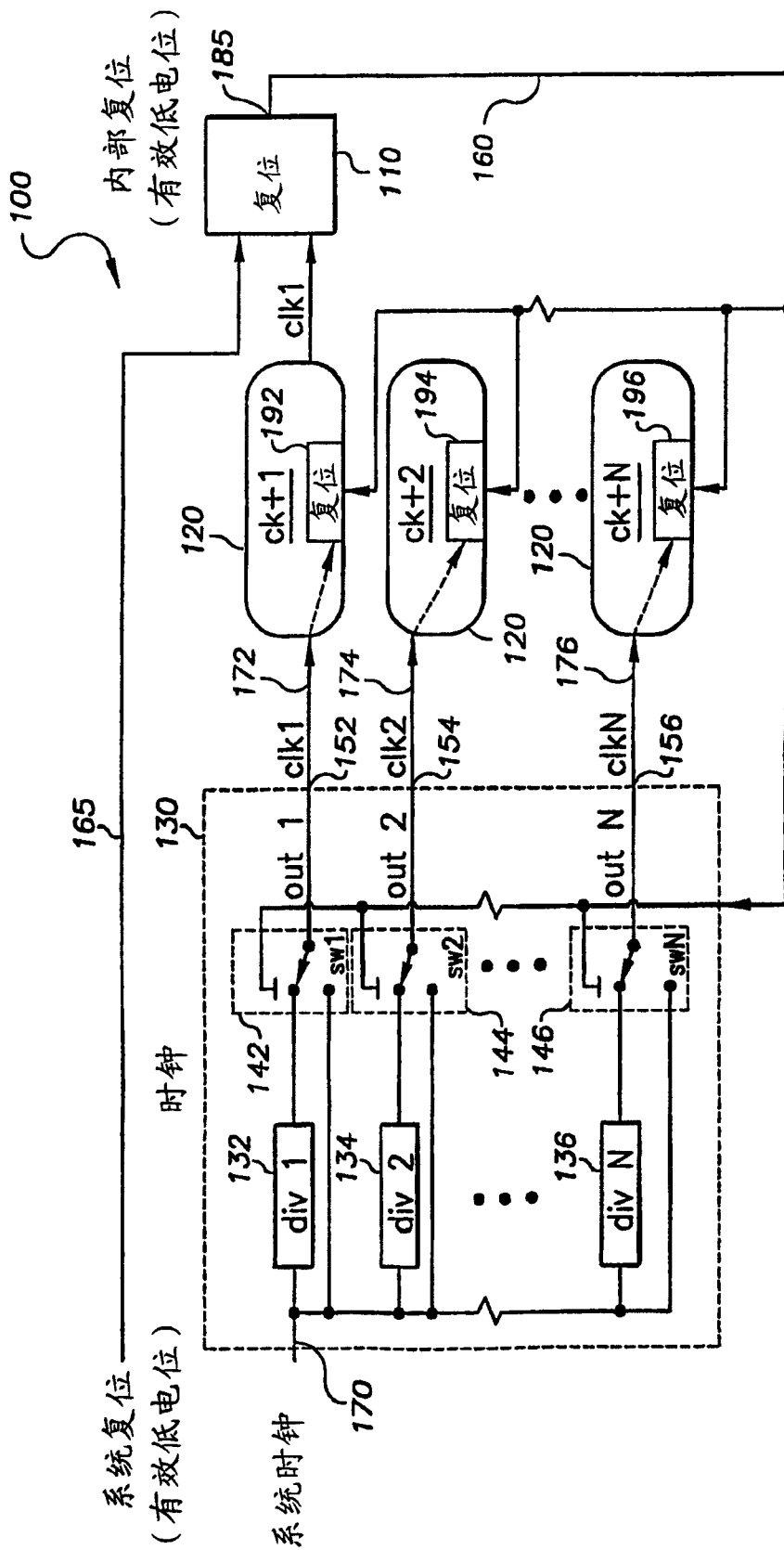


图 1

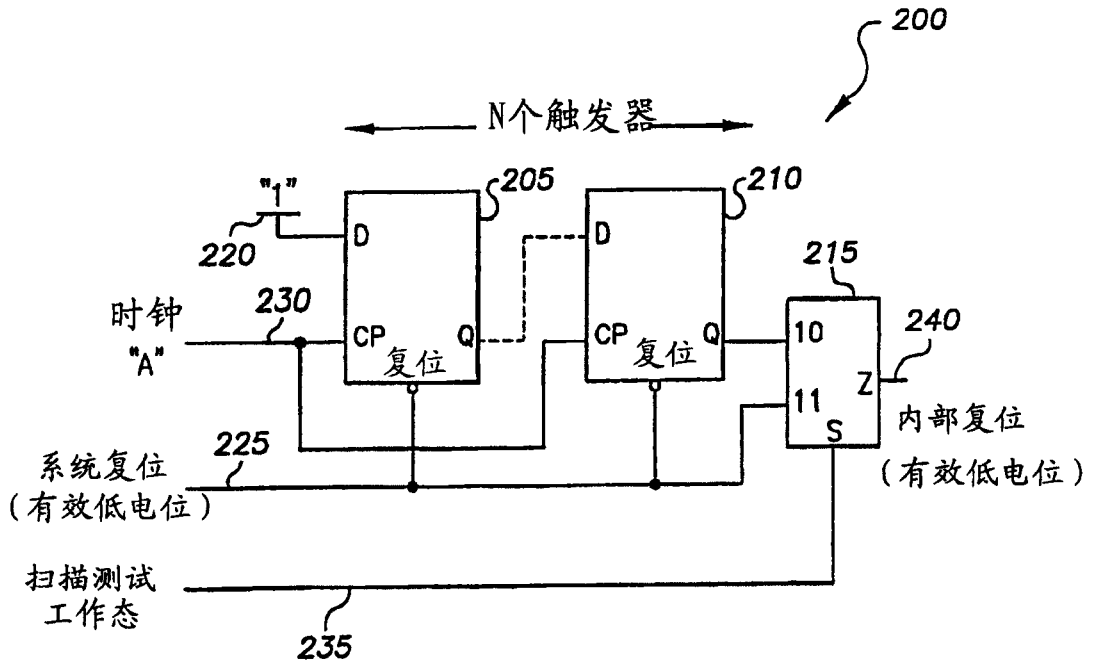


图 2A

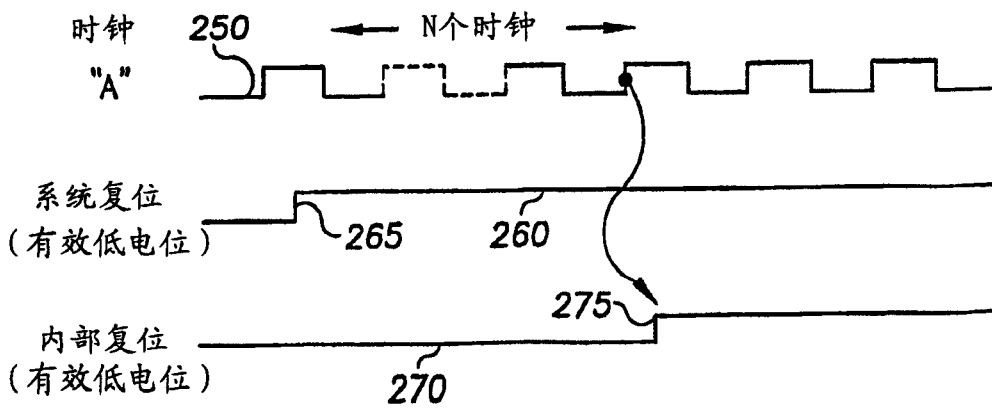


图 2B