

# 公告本

|      |           |
|------|-----------|
| 申請日期 | 91.6.24   |
| 案 號  | 91113770  |
| 類 別  | H01L29/78 |

A4  
C4

(以上各欄由本局填註)

557580

## 發明專利說明書

|                          |               |                                                                                                                                          |
|--------------------------|---------------|------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br><del>新</del> 型名稱 | 中 文           | 場效電晶體及其製作方法                                                                                                                              |
|                          | 英 文           | FIELD-EFFECT TRANSISTOR AND METHOD FOR FABRICATING IT                                                                                    |
| 二、發明<br><del>人</del> 創作人 | 姓 名           | 1.馬汀 帕浦 MARTIN POPP<br>2.法蘭克 瑞奇特 FRANK RICHTER                                                                                           |
|                          | 國 籍           | 1.2.均德國 GERMANY                                                                                                                          |
|                          | 住、居所          | 1.德國德瑞斯登市塞靈爾街17號<br>SELLNER STR. 17, 01109 DRESDEN, GERMANY<br>2.德國德瑞斯登市奧特摩瑞茲伯格街59號<br>ALTE MORITZBURGER STR. 59, 01108 DRESDEN, GERMANY |
| 三、申請人                    | 姓 名<br>(名 稱)  | 德商億恒科技公司<br>INFINEON TECHNOLOGIES AG                                                                                                     |
|                          | 國 籍           | 德國 GERMANY                                                                                                                               |
|                          | 住、居所<br>(事務所) | 德國慕尼黑市馬汀街53號<br>ST.-MARTIN-STR. 53, 81669 MUNICH, GERMANY                                                                                |
|                          | 代 表 人<br>姓 名  | 1.彼得 季里茲 PETER ZEDLITZ<br>2.H. 舒伯特 H. SCHUBERT                                                                                           |

|      |  |
|------|--|
| 申請日期 |  |
| 案 號  |  |
| 類 別  |  |

A4  
C4

(以上各欄由本局填註)

# 發明專利說明書

|              |               |                                                                                                                                             |
|--------------|---------------|---------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱   | 中 文           |                                                                                                                                             |
|              | 英 文           |                                                                                                                                             |
| 二、發明人<br>創作人 | 姓 名           | 3.迪艾特馬 泰姆勒 DIETMAR TEMMLER<br>4.安德魯 偉奇-葛雷森 ANDREAS WICH-GLASEN                                                                              |
|              | 國 籍           | 3.4.均德國 GERMANY                                                                                                                             |
|              | 住、居所          | 3.德國德瑞斯登市普特布惹威格街14號<br>PUTBUSER WEG 14, 01109 DRESDEN, GERMANY<br>4.德國蘭吉布雷克市A. 瑞奇特街12號<br>A. RICHTER-STR. 12, 01465 LANGEBRUECK,<br>GERMANY |
|              |               |                                                                                                                                             |
| 三、申請人        | 姓 名<br>(名 稱)  |                                                                                                                                             |
|              | 國 籍           |                                                                                                                                             |
|              | 住、居所<br>(事務所) |                                                                                                                                             |
|              | 代 表 人<br>姓 名  |                                                                                                                                             |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權  
德國 2001年06月28日 10131276.8 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

## 五、發明說明 ( 1 )

### 發明領域

本發明係關於一場效電晶體及其製作方法。

傳統場效電晶體，特別是平面金屬絕緣場效電晶體(MISFET)之特徵參數因為連續結構小型化(定標度)以及積體電路封裝密度之增加而逐漸受到損害。因此，藉由舉例方式，因為該電晶體縮短之通道長度，所以該電晶體之臨界電壓 $V_T$ 減低。同時，因為該縮短之通道長度，該通道區域之場強度及該反向電流 $I_{OFF}$ 增加(SCE：短通道效應；滾動)。此外，因為減低之通道寬度，該正向電流 $I_{ON}$ 以非線性方式變化。另外，該場效電晶體之幾何以及摻雜在介於該通道與該絕緣之間之接面被加以修正。通常，如果定標度發生時，該等通道界限增益較中央通道區域為相對重要(NCE：窄通道效應，INCE：反向窄通道效應)。

不論先前提到之困難度，為能夠保證在提升結構小型化(定標度)議題之該等場效電晶體效能之改良/維護，而提出或是製作一系列措施。因此，藉由舉例方式，內部操作電壓位準之匹配定標度與該MISFET定標度同時實現。此外，通常最佳化該等井與通道區域之摻雜分佈以及該等源極與汲極之摻雜分佈。同時，經常完成該閘極絕緣體關於厚度以及材料之定標度。

由自行對準矽化物之源極與汲極區域(S/D)以及自行對準矽化物之閘極電極形成進一步改良。可以藉由連接金屬化，例如經由銅接線之寄生電阻或是電容之最小化，以及中間絕緣體之使用、例如經由所謂"低-k"材料之使用，獲得一

## 五、發明說明 ( 2 )

進一步改良。在DRAM記憶胞之案例中，亦可能使讀出邏輯適合為該"ON"電流-該電流因為該等個別陣列電晶體之各"縮小"而減低(例如，該等閘極軌電阻之減低)。

用於維持或是改良場效電晶體效能之另一可能性在於修正之電晶體配置之使用，例如該配置具有提升之源極/汲極區域("提升之S/D")或是該配置為依據一所謂("絕緣體上之矽")技術(SOI)或是該配置在該通道區域中具有一具有一較高載體行動性之一材料，例如SiGe。當該操作溫度降低時造成之額外可能性不在此處呈現。

### 發明背景

取代傳統區域氧化法(LOCOS)場隔離之該溝槽場隔離(STI：淺溝槽隔離)之導入適當地促成改良該狀況。假使一溝槽場隔離(STI：淺溝槽隔離)取代傳統LOCOS場隔離而使用時，則通常需要採取最小化該所謂"反向窄通道效應"(INCE)之額外措施。因此，藉由舉例方式，設定該半導體表面之上之STI上邊緣之正步階高度以避免一所謂"環繞閘極"。此外，除了該正常通道摻雜以外，可以提供在該場隔離接面之該電晶體通道之一局部摻雜，所謂"角效應"。

在該STI處理期間之該STI側壁之氧化可以造成一所謂"鳥嘴形幾何"產生以及在該場隔離接面之作用區域之邊緣變圓。在該處理程序中，此處提到之項目為"角變圓"、"迷你LOCOS"或是"後化學機械研磨(CMP)氧化"。這些措施亦適合於抵銷該"反向窄通道效應"(INCE)。此效應可以藉由該焊墊氧化物之先前橫向平坦化蝕刻加以強化。該等作用區

## 五、發明說明 ( 3 )

域之邊緣變圓亦可以藉由熱表面轉換之方法產生。此外，可以提供一氮化物側護壁防護環。為避免該角區域之上之閘極重疊，可能提供該閘極邊緣之一自我對齊準界限於該場隔離邊界之前。此情形例如可以在該STI圖樣化期間藉由多閘極圖樣化與作用區域之結合而完成。

然而，不論所有這些措施，不具穿隧或是該MISFET之閘極氧化物穩定度衰減之風險保證大約100 nm之上之一態樣大小之充足之正向電流 $I_{ON}$ 變成越來越困難。所以，已經提出一系列替代方案之電晶體配置。

該文件美國專利案第4,979,014號揭示具有一網狀高地於一半導體基板上之一MOS電晶體。此電晶體之通道沿著該網狀高地配置以及除了該網狀高地頂側之一通道區域以外，具有該網狀之該等高地側壁之二其他通道區域。如該文件美國專利案第4,979,014號之電晶體展現一顯著"角效應"，該效應用以產生一大空乏區。

西元1999年IEDM之Huang等人之文件"Sub 50 nm FinFET ; PMOS"揭示所謂"FinFET"之一電晶體，該電晶體在該網狀高地之該等側壁具有一雙重閘極結構("Fin")。該FinFET藉由覆蓋表面之該窄Fin上之一較厚絕緣體層之方法避免該INCE。

### 發明總結

不幸地，先前提到之措施僅具有受限之功效或是需要一高處理工程花費。所以本發明之目的為提供一場效電晶體及其製作方法，該方法降低或是避免上述提到之困難度。

## 五、發明說明( 4 )

特別是，本發明之目的為提供一場效電晶體產生可使用之充足正向電流 $I_{ON}$ 以及可以與平面MOSFET之先前之傳統整合處理匹配低花費製作。

此目的藉由如本發明獨立之申請專利範圍第1項之場效電晶體或是申請專利範圍第4項之場效電晶體以及藉由申請專利範圍第12項用於製作一場效電晶體之方法加以達成。本發明其他有利具體實施例、精細的改進以及特點將由從屬之申請專利範圍、說明以及附圖顯現。

本發明之第一特點提供一場效電晶體，該場效電晶體包括下列態樣：

- a)至少一網狀高地，其配置於一半導體基板上以及具有一上表面以及多個橫向表面；
- b)一第一閘極氧化物層，其配置於該網狀高地之上表面上；
- c)一第一閘極電極，其配置於該第一閘極氧化物層上，該第一閘極電極具有一上表面以及多個橫向表面；
- d)一第二閘極氧化物層，其配置於該網狀高地以及該第一閘極電極之至少一部份該等橫向表面上；
- e)一第二閘極電極，其配置於該第二閘極氧化物層以及該第一閘極電極之上表面上；以及
- f)源極以及汲極區域，其配置於該高地上。

本發明之另一特點提供一場效電晶體，該場效電晶體包括下列態樣：

- a)至少一網狀高地，其配置於一半導體基板上以及具有一上表面以及多個橫向表面；

## 五、發明說明( 5 )

- b)一第一閘極氧化物層，其配置於該網狀高地之至少一部份該等橫向表面上；
- c)一第一閘極電極，其配置於該第一閘極氧化物層上，該第一閘極電極具有一上表面以及多個橫向表面；
- d)一第二閘極氧化物層，其配置於該網狀高地之上表面以及該第一閘極電極之上表面上；
- e)一第二閘極電極，其配置於該第二閘極氧化物層以及該第一閘極電極之該等橫向表面上；以及
- f)源極以及汲極區域，其配置於該高地上。

此外，本發明提供用於製作一場效電晶體之方法，該方法包括下列步驟：

- a)提供具有一第一閘極氧化物層塗敷在半導體基板上以及一第一閘極電極層應用至該閘極氧化物層之一半導體基板；
- b)產生至少一具有一上表面以及多個橫向表面之網狀高地，該第一閘極氧化物層以及該第一閘極電極層配置於該上表面上；
- c)產生一第二閘極氧化物層至少於該網狀高地之一部份該等橫向表面以及該第一閘極電極層上；
- d)塗敷一第二閘極電極層，以致於該第二閘極電極層配置於該第二閘極氧化物層以及該第一閘極電極之上表面上；以及
- e)圖樣化該第一以及第二閘極氧化物層以形成第一以及第二閘極電極以及產生源極以及汲極區域。



## 五、發明說明 ( 6 )

如本發明之場效電晶體具有優點為正向電流 $I_{ON}$ 之有效通道寬度之顯著增加與先前已知傳統之電晶體結構比較可以受保證，而不必接受可以獲得之整合密度之降低。如本發明之場效電晶體案例中，該高地上表面之平面通道區域在寬度方面藉由該高地側區域之額外垂直通道區域加以延伸。這些額外垂直通道區域直接毗連該平面通道區域(多個垂直延伸之通道區域)。此外，如本發明之場效電晶體具有一小反向電流 $I_{OFF}$ 。這些優點可以不必降低該閘極絕緣體厚度至電荷載體之隧通或是降低之穩定度區域內而獲得。

在此案例中，該等額外垂直通道區域如本發明藉由利用該等垂直半導體表面而獲得，該等垂直半導體表面可以類似傳統平面電晶體配置在STI("淺溝槽隔離")圖樣化以及形成該等垂直STI側壁期間較佳地產生。因此用於製作如本發明電晶體之處理與該傳統STI隔離之平面電晶體之處理程序關係如此密切；該傳統平面電晶體可以非常簡單地整合以及組合在具有如本發明場效電晶體之相同晶片上。

介於該平面通道區域與該垂直通道區域之間存在中凸曲線邊緣形式之轉變區域，沿該源極/汲極方向配置於該網狀高地上為該作用通道之組成部分。在先前提出之電晶體配置案例中，此邊緣總是導致一顯著之"角效應"，該效應不利地影響該電晶體之臨界電壓。如本發明之場效電晶體之案例中，此問題藉由具有該等第一與第二閘極氧化物層以及亦且該等第一與第二閘極電極之特殊外圍配置而大大地避免。

## 五、發明說明 ( 7 )

依據如本發明場效電晶體之一較佳具體實施例，該第二閘極氧化物層製作於該第一閘極電極該等橫向表面上而厚於製作於該網狀高地該等橫向表面上。此外，假使一絕緣側護壁配置於該第一閘極電極位準之第二閘極氧化物層上時為較佳。此情形使得可能更進一步減低該等邊緣上之電場強度。

依據如本發明場效電晶體之另一較佳具體實施例，該網狀高地之該等邊緣在介於該上表面與該等橫向表面之間變圓。此變圓可以使用一短的高溫處理之輔助較佳地產生。因此，如本發明之電晶體可以使用一顯著降低之溫度預算加以處理。此獲益尤其是在於摻雜分佈以及效能方面有利。甚至於，結果是介於該等平面與垂直通道區域之間之轉變區域保持為小，以及實際上該幾何通道區域之全部寬度與深度甚至假使一非常高比例之電晶體幾何發生時可以利用為作用通道。

在此案例中，假使該等邊緣之曲率半徑為該第一或是第二閘極氧化物層之層厚度大小之序列時特別為較佳。因此，所謂"寄生角裝置"臨界電壓可以導致大於該平面通道區域臨界電壓值之一值。沿著該邊緣曲率造成之電場強度結果不會超越勝過該通道平面部分之電場強度。

依據如本發明場效電晶體之另一較佳具體實施例，側護壁配置於介於該源極區域與該等閘極電極之間以及亦介於該汲極區域與該等閘極電極之間。此外，假使該第一閘極電極具有一多晶矽層為較佳。甚至於，假使該第二閘極電

## 五、發明說明( 8 )

極特別具有一多晶矽-金屬雙層或是一複晶金屬矽化物層為較佳。

依據如本發明場效電晶體之另一較佳具體實施例，由一閘極氧化物層覆蓋之該網狀高地之該等橫向表面部分藉由一溝槽隔離加以界限。此外，假使該源極區域與該汲極區域之摻雜分佈深度大於由一閘極氧化物層覆蓋之該網狀高地之該等橫向表面部分之範圍特別為較佳。

依據如本發明製作方法之一較佳具體實施例，該網狀高地以一溝槽隔離之該等溝槽圖樣化加以產生。在此案例中，假使該溝槽隔離之該等溝槽以氧化物填滿，以及平坦化蝕刻時，在一CMP步驟之後較佳，特別為較佳，所以該網狀高地之該等橫向表面一部份不覆蓋。

依據如本發明製作方法之另一較佳具體實施例，至少一熱處理完成用於使介於該上表面與該等橫向表面之間之該等邊緣變圓。此外，假使該等閘極氧化物層在各案例中藉由熱氧化而產生時特別為較佳。

依據如本發明製作方法之另一較佳具體實施例，該第二閘極氧化物層藉由選擇性氧化而產生，所以該第二閘極氧化物層製作於該第一閘極電極該等橫向表面上厚於製作於該網狀高地該等橫向表面上。此外，假使一絕緣側護壁於該第一閘極電極層產生之後產生時較佳，所以一絕緣側護壁配置於第一閘極電極位準之該第二閘極氧化物層上。

### 圖式之簡單說明

本發明於下文參考附圖詳細解釋，其中：

## 五、發明說明( 9 )

圖1及圖2顯示如本發明場效電晶體之第一具體實施例；

圖3a-3h顯示如本發明用於製作一場效電晶體方法之第一具體實施例；

圖4顯示如本發明場效電晶體之另一具體實施例；

圖5顯示如本發明場效電晶體之另一具體實施例；以及

圖6顯示如本發明場效電晶體之另一具體實施例。

### 圖式之詳細說明

圖1及圖2顯示如本發明場效電晶體之第一具體實施例。在此案例中，圖1顯示如本發明場效電晶體之此具體實施例之一般結構，而圖2以一橫截面解釋如本發明場效電晶體之此具體實施例之細節。如由圖1可見，如本發明之場效電晶體具有一網狀高地2，其配置於一半導體基板1上面以及具有一上表面2a以及二橫向表面2b。該網狀高地2在此案例中組成該作用半導體區域。

具有垂直連接至該半導體基板1之該作用半導體區域2藉由STI場隔離區域3與鄰近作用區域絕緣(未解釋)。該作用區域之表面2a、2b圖樣化至該等源極與汲極內以及亦圖樣化至一平面通道區域內。該網狀高地2投射在該STI表面之上，結果該作用區域之部分該等側區域2b不為該隔離3覆蓋。這些未覆蓋之側區域直接鄰接該等相對應平面區域，相同地圖樣化至該等源極、汲極內以及通道區域內。在此案例中，介於該作用半導體區域與該STI表面之間之高度差相當於該等垂直通道區域之寬度。該等源極與汲極區域之摻雜分佈深度較佳地大於該高度差。

## 五、發明說明 ( 12 )

網狀高地2之該等上表面2a仍然以氮化矽10保持可靠地覆蓋。該剩餘之STI充填深度標上尺寸以保證一橫向可靠場隔離。結果該形成之狀況顯示在圖3e中。

在該區塊遮光罩移除，清洗/過度蝕刻之後，實現第二閘極氧化(圖3f)。在此案例中，該第二閘極氧化物層6在該網狀高地2之未覆蓋側壁上成長以及在該第一閘極電極5之未覆蓋側壁上成長。此氧化步驟額外使該等邊緣8上之該第一閘極氧化物層4加寬以及更進一步減低該基板以及該等複邊緣之曲率。之後，移除餘留在該第一閘極電極之該等表面上之該焊墊氮化物層10(圖3g)以及在更進一步清洗之後，沈積該第二閘極電極層7(圖3h)。

之後，使用一遮光罩(未顯示)，該等第一以及第二閘極電極以蝕刻，較佳為電漿蝕刻之輔助接合地圖樣化，該蝕刻在該第一閘極氧化物層之中停止。如本發明處理順序，此步驟之後接著更進一步處理，包含該等源極/汲極區域之製作為該完整電路。

圖4顯示如本發明場效電晶體之另一具體實施例。如由圖4可見，如本發明場效電晶體之另一具體實施例亦具有一網狀高地2，其配置於一半導體基板1上以及具有一上表面2a以及二橫向表面2b。該網狀高地2在此案例中組成該作用半導體區域。

具有垂直連接至該半導體基板之該作用半導體區域再次藉由STI場隔離區域3與鄰近作用區域橫向絕緣。該作用區域之表面圖樣化至該等源極與汲極內以及圖樣化至平面通

## 五、發明說明 ( 13 )

道區域內。該作用半導體區域投射在該STI表面之上，結果該作用區域之該等側壁部分不為該隔離3覆蓋。這些未覆蓋之側區域直接鄰接該等相對應平面區域，相同地圖樣化至該等源極、汲極內以及通道區域內。介於該作用半導體區域與該STI表面之間之高度差相當於該垂直通道區域之寬度。該等源極與汲極區域之摻雜分佈深度較佳地大於該高度差。

包括作用以及凹陷STI表面之釋放結構因此藉由該通道區域之一雙重閘極電極5、7覆蓋。在此案例中，該第一閘極電極5較佳地由高度摻雜之多晶矽組成，而該第二閘極電極7較佳地具有一多晶矽-金屬層堆疊。該等閘極電極5、7以此方式配置為以致於該第一閘極電極5互斥地覆蓋該作用區域2之垂直部分2b以及近乎以其中該等上表面為界限，而該第二閘極電極7覆蓋該作用區域2之上表面以及封閉該第一閘極電極5。在此案例中，該第二閘極電極7與其中之該等橫向表面上之第一閘極電極接觸，然而其藉由該第二閘極氧化物層6與其中之上側壁絕緣。該通道區域藉由其平面上之該第二閘極氧化物層6以及在其垂直區域上之該第一閘極氧化物層4覆蓋。

圖5顯示如本發明場效電晶體之另一具體實施例。如圖5顯示之如本發明之場效電晶體之另一具體實施例基本上相當於如圖2顯示之如本發明之場效電晶體具體實施例，除了該第二閘極氧化物層6製作於該第一閘極電極5該等橫向表面上厚於製作於該網狀高地2該等橫向表面上2b以外。該第

## 五、發明說明 ( 14 )

一閘極電極5之該等橫向表面上之該第二閘極氧化物層6之變厚藉由一選擇性閘極氧化加以達成，利用該事實為既定適當選擇之處理參數，在多晶矽上獲得高於單晶格矽之一氧化率。

圖6顯示如本發明場效電晶體之另一具體實施例。如圖6顯示之如本發明之場效電晶體之另一具體實施例基本上相當於如圖2顯示之如本發明之場效電晶體具體實施例，除了一側護壁14，特別是一氧化物側護壁配置於該第一閘極電極5位準之該第二閘極氧化物層6上以外。在此案例中，緊接在圖樣化之後，在該網狀高地2形成之前，該側護壁14可以形成在該第一閘極電極5之該等側壁上。用於產生該第二閘極氧化物層6之氧化則藉由直接在該第一閘極電極層5之該等橫向表面上之一額外氧化物層強化此側護壁14。

如本發明之場效電晶體具有優點為正向電流 $I_{ON}$ 之有效通道寬度之顯著增加與先前已知傳統之電晶體結構比較可以受保證，而不必接受可以獲得之整合密度之降低。如本發明之場效電晶體案例中，高地上表面之平面通道區域在寬度方面藉由高地側區域之額外垂直通道區域加以延伸。這些額外垂直通道區域直接毗連該平面通道區域(垂直延伸之通道區域)。此外，如本發明之場效電晶體具有一小反向電流 $I_{OFF}$ 。這些優點可以不必降低該閘極絕緣體厚度至電荷載體之穿隧或是降低之穩定度區域內而獲得。

## 四、中文發明摘要(發明之名稱：場效電晶體及其製作方法)

如本發明之場效電晶體情況中，高地上表面之平面通道區域在寬度方面藉由多個高地側區域之多個額外垂直通道區域加以延伸。這些額外垂直通道區域直接毗連該平面通道區域(垂直延伸之通道區域)。如本發明之場效電晶體具有優點為正向電流 $I_{ON}$ 之有效通道寬度之顯著增加與先前已知傳統之電晶體結構比較可以受到確保，而不必接受可以獲得之整合密度之降低。此外，如本發明之場效電晶體具有一小反向電流 $I_{OFF}$ 。這些優點可以不必降低該閘極絕緣體厚度至電荷載體之穿隧或是降低之穩定度區域內而獲得。

## 英文發明摘要(發明之名稱：FIELD-EFFECT TRANSISTOR AND METHOD FOR FABRICATING IT)

In the case of the field-effect transistor according to the invention, the planar channel region at the upper surface of the elevation is extended in width by additional vertical channel regions at the side areas of the elevation. These additional vertical channel regions directly adjoin the planar channel region (vertical extended channel regions). The field-effect transistor according to the invention has the advantage that a significant increase in the effective channel width for the forward current  $I_{ON}$  can be ensured compared with previously known, conventional transistor structures, without having to accept a reduction of the integration density that can be attained. Furthermore, the field-effect transistor according to the invention has a small reverse current  $I_{OFF}$ . These advantages are obtained without having to reduce the thickness of the gate insulator into the region of the tunnelling of charge carriers or reduced stability.



## 五、發明說明 ( 10 )

如由圖2可見，如本發明之場效電晶體具有一第一閘極氧化物層4，其配置於該網狀高地2之上表面2a上。此外，提供一第一閘極電極5，其配置於該第一閘極氧化物層4上，該第一閘極電極具有一上表面以及二橫向表面。一第二閘極氧化物層6配置於該網狀高地2之該等橫向表面2b以及該第一閘極電極5上。此外，一第二閘極電極7配置於該第二閘極氧化物層6以及該第一閘極電極5之上表面上。

包括作用以及凹陷STI表面之釋放結構因此藉由該通道區域之一雙重閘極電極覆蓋。在此案例中，該第一閘極電極5較佳地由高度摻雜之多晶矽組成，而該第二閘極電極7較佳地具有一多晶矽-金屬層堆疊。在此案例中，該等閘極電極5、7配置為以致於該第一閘極電極5互斥地覆蓋該作用區域之平面部分以及近乎以其中該等側壁為界限，而該第二閘極電極7覆蓋該作用區域之該等垂直側壁以及封閉該第一閘極電極5。在此案例中，該第二閘極電極7與其中之該平面表面接觸，然而其藉由該第二閘極氧化物層6與其中之橫向側壁絕緣。

在如本發明之場效電晶體當前具體實施例中，該作用區域之該邊緣8變圓。此變圓之曲率半徑為該閘極氧化物厚度大小之序列。此外，該通道區域藉由使該雙重閘極電極5、7與該等S/D接觸區域絕緣之該等側護壁(未顯示)與該源極與汲極側為側面相接。

圖3a-3h顯示如本發明用於製作一場效電晶體方法之第一具體實施例。在一些預備之製作步驟之後，一第一閘極氧

## 五、發明說明( 11 )

化物層4以及一第一閘極電極5與焊墊氮化物層10產生在一半導體基板1，特別是一矽基板上。在此案例中，該閘極氧化例如可以熱氧化之輔助加以完成。該閘極電極層以及焊墊氮化物之沈積例如可以化學汽相沈積(CVD)方法之輔助加以實現。結果該形成之狀況顯示在圖3a中。

之後，使用一光阻遮光罩11，此層堆疊以該STI圖樣化圖樣化一起。此接合圖樣化例如以化學物理乾式蝕刻之輔助加以實現。結果，產生具有一上表面2a以及二橫向表面2b之一網狀高地2，該第一閘極氧化物層4以及該第一閘極電極5配置於該上表面2a上。介於該上表面2a與該二橫向表面2b之間之該等邊緣8在此處理階段中銳利地切割，實際上為90°。結果該形成之狀況顯示在圖3b中。

之後實現下列結果：光阻遮光罩11之移除以及亦且清洗以及一簡略熱氧化；以改良該等垂直側區域以及亦且該第一閘極電極5之該等側壁密封之品質。產生之表面釋放之後以氧化物3填滿(圖3c)，藉由一CMP(化學機械研磨)之方法加以熱密集化以及平坦化至一氮化物殘餘厚度(圖3d)。此處理區段之熱處理造成該邊緣8之第一閘極氧化物層4輕微加寬以及介於該網狀高地2之一上表面2a與二橫向表面2b之間之該邊緣8之變圓。

該STI氧化物3隨後以平面方式藉由使用一區塊遮光罩12之各向異性蝕刻往下平坦化蝕刻至一定義之深度，覆蓋該等電晶體之所有區域而不用延伸之垂直通道延長部分。此蝕刻具有該焊墊氮化物層10相關之一特定選擇性，所以該

## 五、發明說明 ( 15 )

圖式元件符號說明

- |    |        |
|----|--------|
| 1  | 半導體基板  |
| 2  | 網狀高地   |
| 2a | 上表面    |
| 2b | 橫向表面   |
| 3  | 隔離     |
| 4  | 第一氧化物層 |
| 5  | 第一閘極電極 |
| 6  | 第二氧化物層 |
| 7  | 第二閘極電極 |
| 8  | 邊緣     |
| 10 | 焊墊氮化物層 |
| 11 | 光阻遮光罩  |
| 12 | 區塊遮光罩  |
| 14 | 側護壁    |

## 六、申請專利範圍

1. 一種特別是MIS平面場效電晶體之場效電晶體，具有：
  - a)至少一網狀高地(2)，其配置於一半導體基板(1)上以及具有一上表面(2a)以及多橫向表面(2b)；
  - b)一第一閘極氧化物層(4)，其配置於該網狀高地(2)之上表面(2a)上；
  - c)一第一閘極電極(5)，其配置於該第一閘極氧化物層(4)上，該第一閘極電極具有一上表面以及多橫向表面；
  - d)一第二閘極氧化物層(6)，其配置於該網狀高地(2)以及該第一閘極電極(4)之至少一部份該等橫向表面(2b)上；
  - e)一第二閘極電極(7)，其配置於該第二閘極氧化物層(6)以及該第一閘極電極(5)之上表面上；以及
  - f)源極以及汲極區域，其配置於該高地(2)上。
2. 如申請專利範圍第1項之場效電晶體，其中該第二閘極氧化物層(6)製作於該第一閘極電極(5)該等橫向表面上厚於製作於該網狀高地(2)該等橫向表面上(2b)。
3. 如申請專利範圍第1項或第2項之場效電晶體，其中一絕緣側護壁(14)配置於該第一閘極電極(5)位準之第二閘極氧化物層(6)上。
4. 一種特別是MIS平面場效電晶體之場效電晶體，具有：
  - a)至少一網狀高地(2)，其配置於一半導體基板(1)上以及具有一上表面(2a)以及多個橫向表面(2b)；
  - b)一第一閘極氧化物層(4)，其配置於該網狀高地(2)之

## 六、申請專利範圍

至少一部份該等橫向表面(2b)上；

c)一第一閘極電極(5)，其配置於該第一閘極氧化物層(4)上，該第一閘極電極(5)具有一上表面以及多個橫向表面；

d)一第二閘極氧化物層(6)，其配置於該網狀高地(2)之上表面(2a)以及該第一閘極電極(5)之上表面上；

e)一第二閘極電極(7)，其配置於該第二閘極氧化物層(6)以及該第一閘極電極(5)之該等橫向表面上；以及

f)源極以及汲極區域，其配置於該高地(2)上。

5. 如申請專利範圍第1、2或4項之場效電晶體，其中該網狀高地(2)之該等邊緣(8)在該上表面(2a)與該等橫向表面(2b)之間是圓弧狀的。
6. 如申請專利範圍第5項之場效電晶體，其中該等邊緣(8)之曲率半徑大約為該第一或是第二閘極氧化物層(4、6)層的厚度。
7. 如申請專利範圍第1、2或4項之場效電晶體，其中該等側護壁配置於介於該源極區域與該等閘極電極之間以及亦介於該汲極區域與該等閘極電極之間。
8. 如申請專利範圍第1、2或4項之場效電晶體，其中該第一閘極電極(5)具有一多晶矽層。
9. 如申請專利範圍第1、2或4項之場效電晶體，其中該第二閘極電極(7)特別具有一多晶矽-金屬雙層或是一複晶金屬矽化物層。

## 六、申請專利範圍

10. 如申請專利範圍第1、2或4項之場效電晶體，其中由一閘極氧化物層(4、6)覆蓋之該網狀高地(2)之該等橫向表面(2b)部分藉由一溝槽隔離(3)加以界限。
11. 如申請專利範圍第1、2或4項之場效電晶體，其中該源極區域與該汲極區域之摻雜分佈深度大於由一閘極氧化物層(4、6)覆蓋之該網狀高地(2)之該等橫向表面(2b)部分之範圍。
12. 一種用於製作特別是一MIS場效電晶體之方法，該方法具有下列步驟：
  - a)提供具有一第一閘極氧化物層(4)塗敷在半導體基板(1)上面以及一第一閘極電極層(5)塗覆至該閘極氧化物層(4)之一半導體基板(1)；
  - b)產生至少一具有一上表面(2a)以及多個橫向表面(2b)之網狀高地(2)，該第一閘極氧化物層(4)以及該第一閘極電極層(5)配置於該上表面(2a)上；
  - c)產生一第二閘極氧化物層(6)至少於該網狀高地(2)之一部份該等橫向表面(2b)以及該第一閘極電極層(5)上；
  - d)塗敷一第二閘極電極層(7)，以致於該第二閘極電極層(7)配置於該第二閘極氧化物層(6)以及該第一閘極電極層(5)之上表面上；以及
  - e)圖樣化該第一以及第二閘極電極層(5、7)以形成第一以及第二閘極電極以及產生源極以及汲極區域。

## 六、申請專利範圍

13. 如申請專利範圍第12項之方法，其中該網狀高地(2)以一溝槽隔離(3)之該等溝圖樣化加以產生。
14. 如申請專利範圍第13項之方法，其中該溝槽隔離之該等溝槽以氧化物(3)填滿，以及實行平坦化蝕刻，所以該網狀高地(2)之該等橫向表面(2b)一部份不覆蓋。
15. 如申請專利範圍第14項之方法，其中一CMP步驟在該平坦化蝕刻之前完成。
16. 如申請專利範圍第12、13、14或15項之方法，其中至少一熱處理用於使介於該上表面(2a)與該等橫向表面(2b)之間之網狀高地(2)之該等邊緣(8)變圓。
17. 如申請專利範圍第12、13、14或15項之方法，其中該等閘極氧化物層(4、6)在各情況中藉由一熱氧化產生。
18. 如申請專利範圍第12、13、14或15項之方法，其中該第二閘極氧化物層(6)藉由選擇性氧化而產生，所以該第二閘極氧化物層(6)製作於該第一閘極電極(5)之該等橫向表面上厚於製作於該網狀高地(2)之該等橫向表面(2b)上。
19. 如申請專利範圍第12、13、14或15項之方法，其中一絕緣側護壁於該第一閘極電極層(5)產生之後產生，所以一絕緣側護壁(14)配置於第一閘極電極(5)位準之該第二閘極氧化物層(6)上。

92年7月4日修正/更正/補充

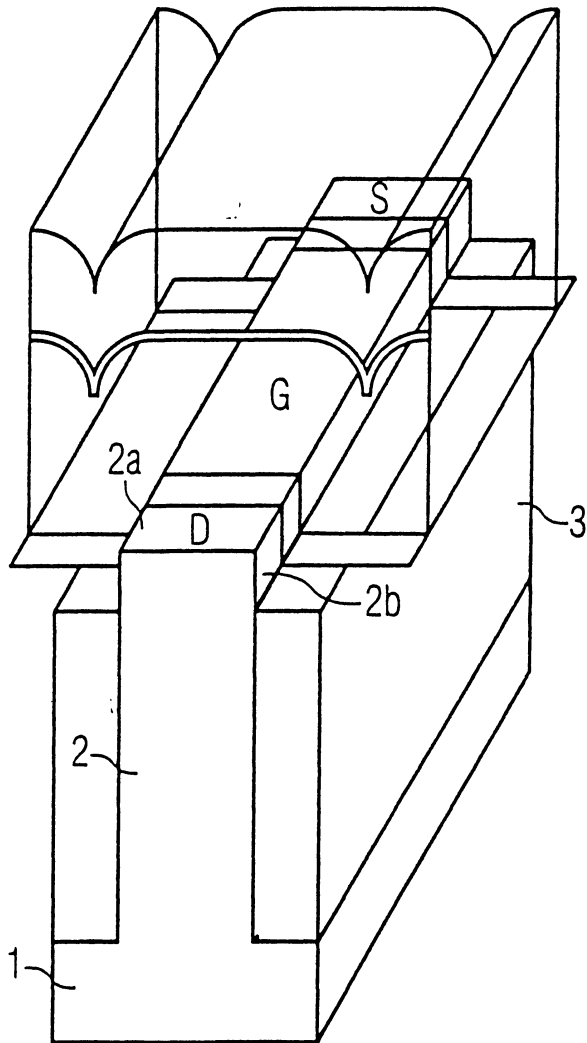
第091113770號專利申請案  
中文圖式替換本(92年7月)

圖 1

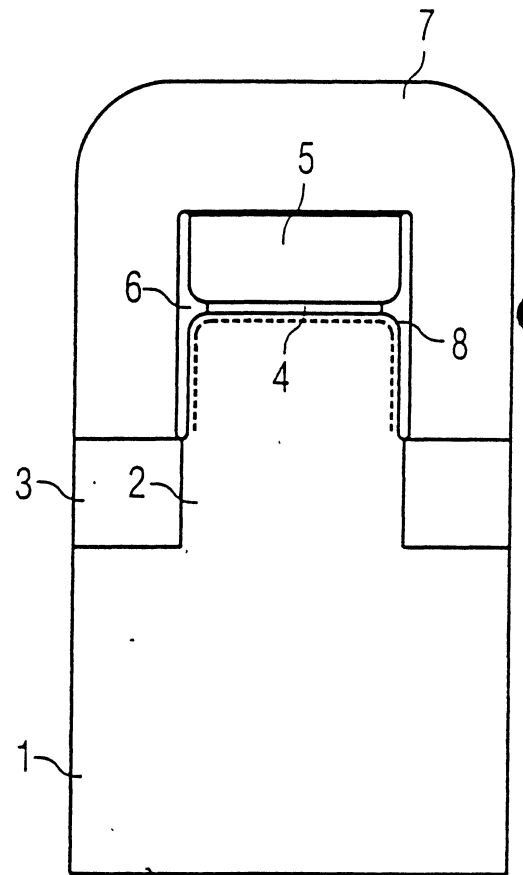


圖 2



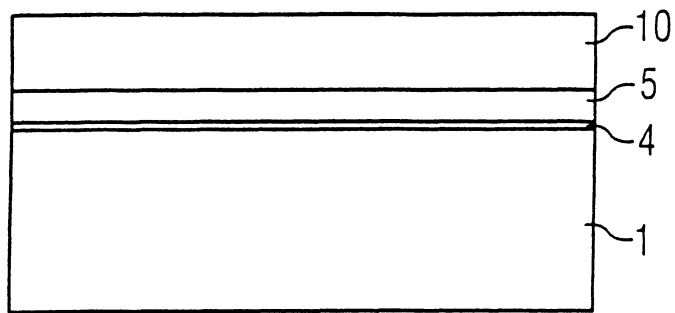


圖 3 a

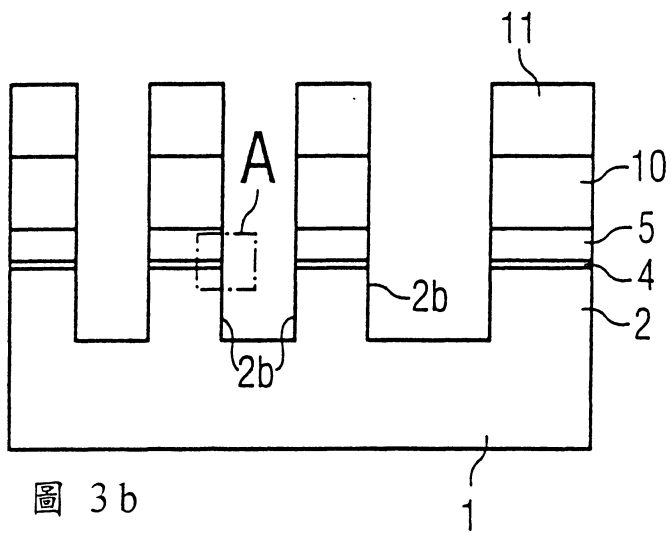
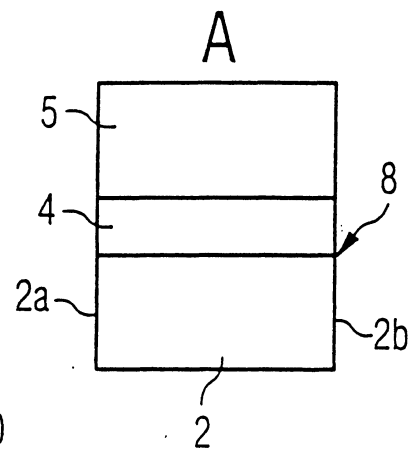


圖 3 b

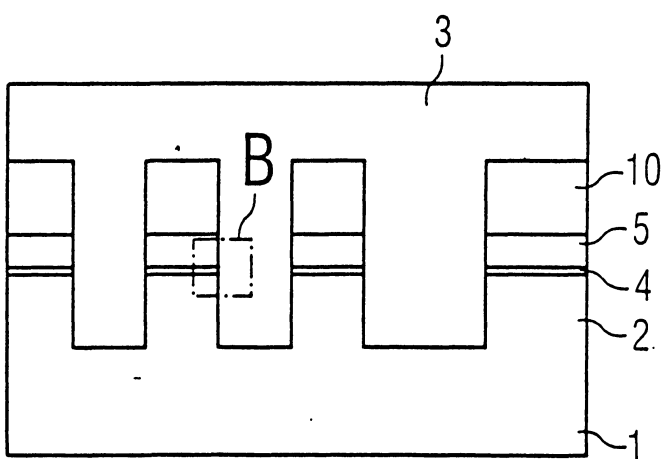
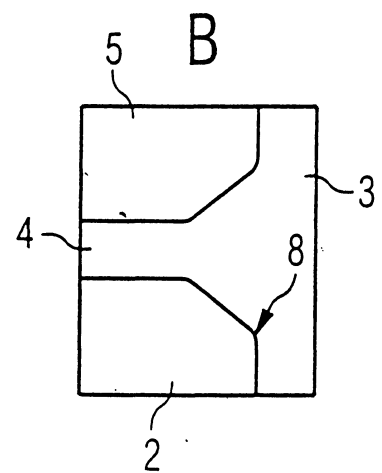


圖 3 c

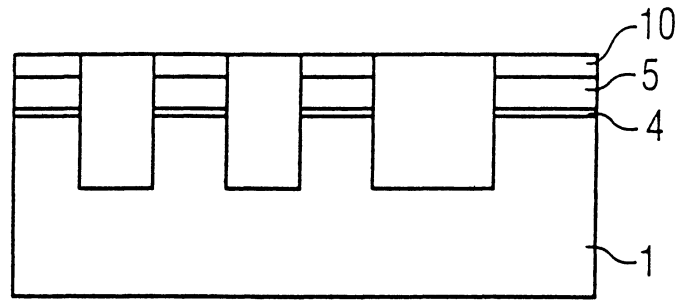


圖 3 d

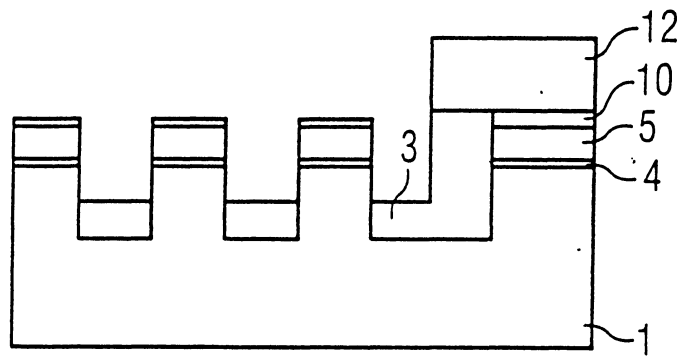


圖 3 e

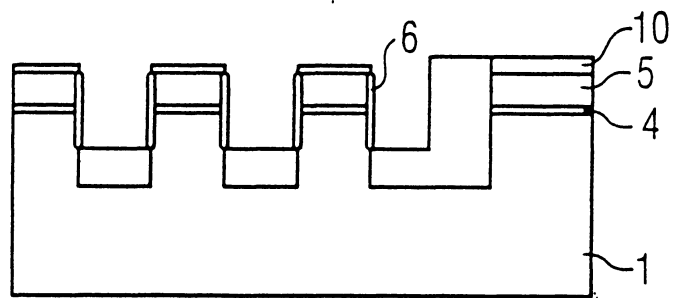


圖 3 f

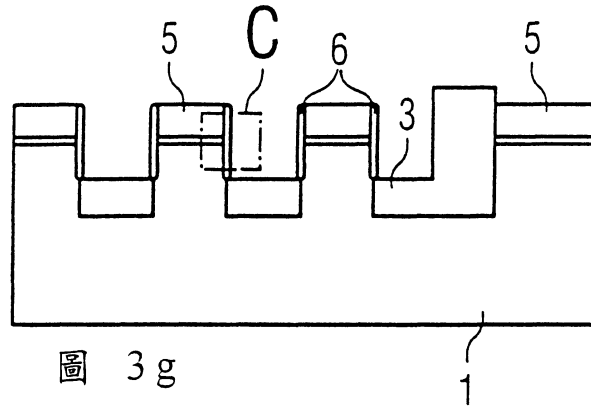


圖 3 g

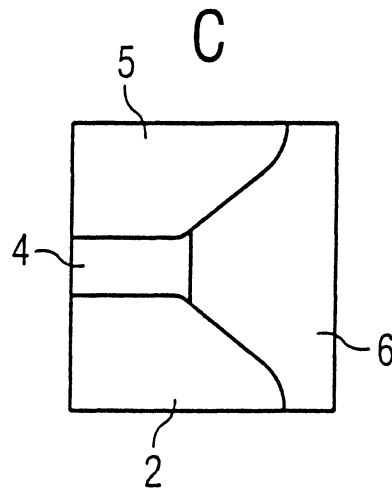
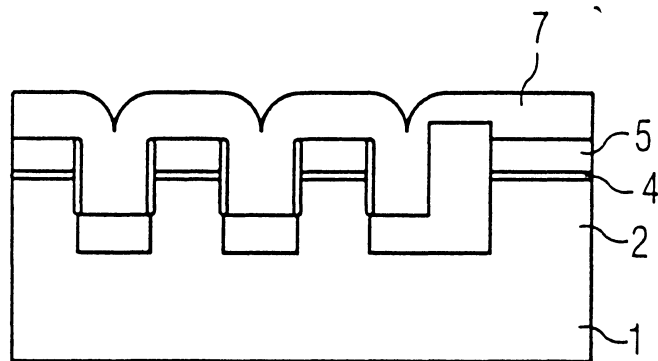


圖 3 h



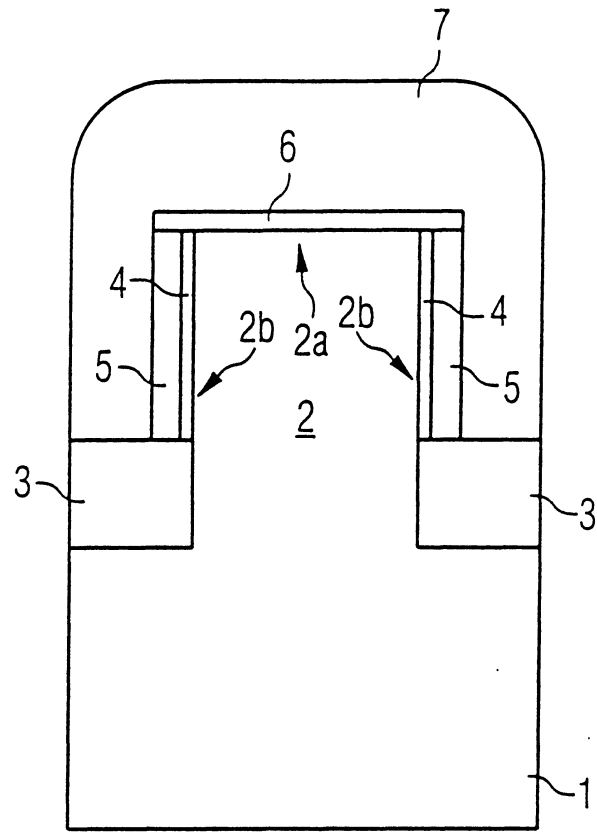


圖 4

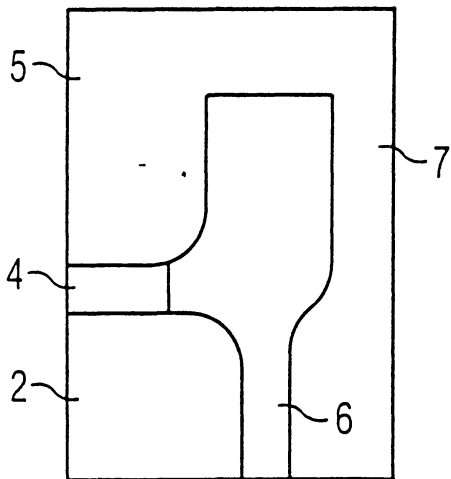


圖 5

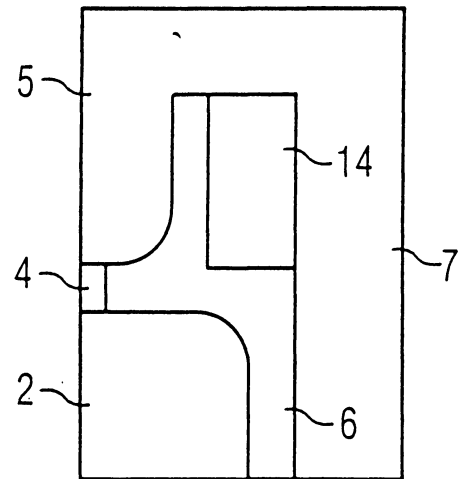


圖 6