

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**3 051 595**

②1 N° d'enregistrement national : **16 54368**

⑤1 Int Cl<sup>8</sup> : **H 01 L 21/20 (2017.01), H 01 L 21/84**

⑫

## DEMANDE DE BREVET D'INVENTION

**A1**

②2 Date de dépôt : 17.05.16.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 24.11.17 Bulletin 17/47.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : *SOITEC Société anonyme* — FR.

⑦2 Inventeur(s) : SCHWARZENBACH WALTER, CHABANNE GUILLAUME et DAVAL NICOLAS.

⑦3 Titulaire(s) : *SOITEC Société anonyme*.

⑦4 Mandataire(s) : REGIMBEAU.

⑤4 **PROCEDE DE FABRICATION D'UN SUBSTRAT DE TYPE SEMI-CONDUCTEUR CONTRAINT SUR ISOLANT.**

⑤7 L'invention concerne un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant, comprenant:

(a) la fourniture d'un substrat donneur (1) comprenant une couche semi-conductrice monocristalline (13),

(b) la fourniture d'un substrat receveur (2) comprenant une couche superficielle (20) d'un matériau semi-conducteur monocristallin contraint,

(c) le collage du substrat donneur (1) sur le substrat receveur (2), une couche diélectrique (11, 22) étant à l'interface,

(d) le transfert de la couche semi-conductrice monocristalline (13) du substrat donneur (1) sur le substrat receveur (2),

(e) la découpe d'une portion d'un empilement formé de la couche semi-conductrice monocristalline transférée (13), de la couche diélectrique (11, 22) et de la couche (20) du matériau semi-conducteur contraint, ladite découpe résultant en la transmission d'au moins une partie de la contrainte du matériau semi-conducteur contraint à la couche semi-conductrice monocristalline transférée.

L'étape (b) comprend en outre la formation, sur la couche (20) de matériau semi-conducteur contraint du substrat receveur (2), d'une couche de collage (22) diélec-

trique ou constituée du même matériau monocristallin (23) relaxé ou au moins partiellement relaxé que la couche semi-conductrice monocristalline (13) du substrat donneur (1), et en ce qu'à l'étape (c) ladite couche de collage (22, 23) est à l'interface de collage entre le substrat donneur et le substrat receveur.

**FR 3 051 595 - A1**



## PROCEDE DE FABRICATION D'UN SUBSTRAT DE TYPE SEMI-CONDUCTEUR CONTRAINT SUR ISOLANT

### 5        **DOMAINE DE L'INVENTION**

La présente invention concerne un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant, ainsi qu'un tel substrat.

### **ARRIERE PLAN DE L'INVENTION**

10        Pour les applications digitales, notamment pour les nœuds technologiques au-delà du nœud 22 nm, on cherche des matériaux dans lesquels la mobilité des porteurs de charge est améliorée.

          Parmi ces matériaux, les substrats de type FDSOI (acronyme du terme anglo-saxon « Fully Depleted Silicon On Insulator ») présentent une couche très mince (i.e. 15 d'épaisseur typiquement inférieure à 50 nm) de silicium sur une couche électriquement isolante enterrée, la couche de silicium pouvant être utilisée pour former le canal d'un transistor CMOS.

          Le silicium contraint sur isolant (sSOI pour « strained Silicon On Insulator ») a été 20 identifié comme une solution permettant d'améliorer la mobilité des porteurs de charge dans la couche de silicium et a démontré des performances intéressantes.

          Différents procédés de fabrication sont connus.

          Le document US 2014/0225160 divulgue en particulier un procédé permettant de transférer au moins une partie d'une contrainte présente dans une couche de silicium germanium située à la surface d'un substrat receveur à une couche de silicium 25 initialement relaxée collée sur ledit substrat receveur par l'intermédiaire d'une couche diélectrique destinée à former la couche isolante enterrée du SOI. Ce transfert de la contrainte s'opère lorsque l'on découpe une portion dudit empilement au moyen de tranchées s'étendant dans le substrat receveur au moins au-delà de la couche de silicium germanium contraint. Ainsi, une relaxation de la contrainte compressive de la couche de 30 silicium germanium est au moins partiellement transmise sous la forme d'une contrainte extensive de la couche de silicium.

          Sur ce principe, un substrat sSOI peut être fabriqué selon les étapes suivantes :

- la fourniture d'un substrat donneur 1 comprenant une couche 10 de silicium monocristallin recouverte d'une couche 11 d'oxyde de silicium (cf. figure 1A),
- 35        - l'implantation d'espèces ioniques dans le substrat donneur 1 de sorte à former une zone de fragilisation 12 permettant de délimiter une couche de silicium 13 à transférer (cf. figure 1B),

- la fourniture d'un substrat receveur 2 comprenant une couche superficielle 20 de silicium germanium contraint en compression (cf. figure 1C),
- le collage du substrat donneur 1 sur le substrat receveur 2, la couche 11 d'oxyde de silicium – qui est destinée à former la couche isolante enterrée du substrat sSOI - et la couche 20 de silicium germanium contraint étant à l'interface de collage (cf. figure 1D),
- le transfert de la couche 13 de silicium monocristallin sur le substrat receveur 2 par détachement du substrat donneur le long de la zone de fragilisation (cf. figure 1E),
- la formation de tranchées T autour d'une portion de l'empilement constitué de la couche 20 de silicium germanium contraint, de la couche d'oxyde enterrée 11 et de la couche semi-conductrice transférée 13, lesdites tranchées s'étendant dans le substrat receveur 2 au-delà de la couche 20 de silicium germanium contraint (cf. figure 1F). Ladite découpe résulte en la relaxation au moins partielle du silicium germanium et la transmission d'au moins une partie de ladite contrainte à la couche de silicium transférée dans ladite portion, permettant ainsi de former le substrat semi-conducteur contraint sur isolant noté sSOI.

Pour les applications au-delà du nœud technologique 22 nm, l'épaisseur de la couche diélectrique enterrée doit être inférieure ou égale à 25 nm.

Pour une épaisseur aussi faible de la couche diélectrique, la défektivité finale du substrat sSOI dépend fortement des conditions de collage, et notamment des matériaux présents à l'interface de collage.

Or, bien que des traitements de préparation de surface classiquement utilisés dans le domaine des semi-conducteurs soient appliqués à la couche de silicium germanium, une défektivité importante du substrat sSOI reste constatée.

## **BREVE DESCRIPTION DE L'INVENTION**

Un but de l'invention est de concevoir un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant qui permette de réduire la défektivité dudit substrat liée aux conditions de collage du substrat donneur sur le substrat receveur.

Conformément à l'invention, il est proposé un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant, comprenant :

- (a) la fourniture d'un substrat donneur comprenant une couche semi-conductrice monocristalline,
- (b) la fourniture d'un substrat receveur comprenant une couche superficielle d'un matériau semi-conducteur monocristallin contraint,
- (c) le collage du substrat donneur sur le substrat receveur, une couche diélectrique étant à l'interface,
- (d) le transfert de la couche semi-conductrice monocristalline du substrat donneur sur le substrat receveur,

(e) la découpe d'une portion d'un empilement formé de la couche semi-conductrice monocristalline transférée, de la couche diélectrique et de la couche du matériau semi-conducteur contraint, ladite découpe résultant en la transmission d'au moins une partie de la contrainte du matériau semi-conducteur contraint à la couche semi-conductrice monocristalline transférée,

5 ledit procédé étant caractérisé en ce que l'étape (b) comprend en outre la formation, sur la couche de matériau semi-conducteur contraint du substrat receveur, d'une couche de collage diélectrique ou constituée du même matériau monocristallin relaxé ou au moins partiellement relaxé que la couche semi-conductrice monocristalline du substrat donneur, et en ce qu'à l'étape (c) ladite couche de collage est à l'interface de collage entre le substrat donneur et le substrat receveur.

Dans le présent texte, on s'intéresse à la contrainte dans un plan parallèle à la surface principale des couches concernées.

15 La couche de collage formée sur le substrat receveur permet de mettre en contact, à l'interface de collage, des matériaux qui procurent une qualité optimale de collage en termes de défektivité finale.

Selon d'autres caractéristiques avantageuses, considérées seules ou en combinaison le cas échéant :

20 - selon un mode de réalisation, la couche de collage est formée par dépôt d'un matériau diélectrique sur la couche de matériau semi-conducteur contraint du substrat receveur ;

- le substrat donneur comprend une première couche diélectrique sur la couche semi-conductrice monocristalline, la première couche diélectrique et la couche de collage formant ensemble une couche électriquement isolante enterrée du substrat semi-conducteur contraint sur isolant ;

25 - la couche de collage comprend un oxyde ou un nitrure d'un matériau semi-conducteur ;

- la couche de collage présente une épaisseur comprise entre 1 et 30 nm ;

30 - selon un autre mode de réalisation, la couche de collage est formée par épitaxie, sur la couche de matériau semi-conducteur contraint, du même matériau semi-conducteur que la couche semi-conductrice monocristalline du substrat donneur ;

- l'épaisseur de ladite couche de collage est comprise entre 1 et 20 nm ;

- la couche de collage et la couche semi-conductrice monocristalline du substrat donneur sont en silicium ;

35 - la couche de matériau semi-conducteur contraint est en silicium-germanium ;

- la couche de semi-conducteur contraint est formée par épitaxie sur un substrat support de silicium ;

- à l'issue de l'étape (d), l'épaisseur de la couche diélectrique comprise entre la couche semi-conductrice monocristalline transférée et la couche du matériau semi-conducteur contraint est inférieure ou égale à 50 nm, de préférence inférieure ou égale à 25 nm ;

5 - l'étape (a) comprend une implantation d'espèces ioniques dans le substrat donneur de sorte à former une zone de fragilisation délimitant la couche semi-conductrice monocristalline, et l'étape (d) comprend le détachement du substrat donneur le long de ladite zone de fragilisation ;

10 - l'étape (d) comprend un amincissement du substrat donneur par la face opposée à l'interface de collage jusqu'à la couche semi-conductrice monocristalline transférée ;

- le procédé comprend en outre, avant l'étape (e), une étape d'amincissement et/ou de lissage de la couche semi-conductrice monocristalline transférée ;

15 - la découpe de ladite portion de l'empilement est réalisée au moyen de tranchées d'isolation s'étendant dans le substrat receveur au-delà de la couche de matériau semi-conducteur contraint.

Un autre objet de l'invention concerne un substrat de type semi-conducteur contraint sur isolant obtenu au moyen d'un procédé tel que décrit ci-dessus.

20 Ledit substrat comprend successivement une couche semi-conductrice monocristalline contrainte, une couche électriquement isolante, et une couche relaxée d'un matériau semi-conducteur différent de celui de la couche semi-conductrice contrainte, ledit substrat étant caractérisé en ce qu'il comprend en outre une couche au moins partiellement relaxée du même matériau que la couche semi-conductrice contrainte entre la couche électriquement isolante et la couche relaxée du matériau semi-conducteur différent de celui de la couche semi-conductrice contrainte.

25 De manière avantageuse, lequel l'épaisseur de la couche électriquement isolante est inférieure ou égale à 50 nm, de préférence inférieure ou égale à 25 nm, et l'épaisseur de la couche au moins partiellement relaxée du même matériau que la couche semi-conductrice contrainte est comprise entre 1 et 20 nm.

### 30 **BREVE DESCRIPTION DES DESSINS**

D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre, en référence aux dessins annexés sur lesquels :

35 - les figures 1A à 1F illustrent de manière schématique des étapes d'un procédé de fabrication d'un substrat de type silicium contraint sur isolant conduisant à une défektivité trop élevée,

- les figures 2A à 2G illustrent de manière schématique des étapes d'un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon un premier mode de réalisation de l'invention,

- les figures 3A à 3G illustrent de manière schématique des étapes d'un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon un deuxième mode de réalisation de l'invention,

5 - les figures 4A à 4G illustrent de manière schématique des étapes d'un procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon un troisième mode de réalisation de l'invention.

Pour favoriser la lisibilité des figures, les différentes couches ne sont pas représentées à l'échelle.

## 10 DESCRIPTION DETAILLÉE DE MODES DE RÉALISATION DE L'INVENTION

On fournit un substrat donneur qui comprend au moins une couche semi-conductrice monocristalline. Le substrat peut être un substrat semi-conducteur massif ou bien un substrat composite, c'est-à-dire constitué d'au moins deux couches de matériaux différents, dont la couche semi-conductrice monocristalline qui est agencée en superficie  
15 dudit substrat.

Le matériau de la couche semi-conductrice monocristalline peut être notamment du silicium, du germanium, ou du silicium germanium.

A ce stade du procédé, ladite couche semi-conductrice monocristalline est à l'état relaxé.

20 Selon un mode de réalisation, la couche semi-conductrice monocristalline est recouverte d'une couche diélectrique. Ladite couche diélectrique peut être en particulier une couche d'un oxyde ou d'un nitrure d'un matériau semi-conducteur.

Par exemple, si la couche monocristalline est une couche de silicium, la couche diélectrique peut être une couche d'oxyde de silicium ( $\text{SiO}_2$ ).

25 Ladite couche diélectrique formera tout ou partie de la couche isolante enterrée du substrat semi-conducteur contraint sur isolant.

De manière alternative, la couche semi-conductrice monocristalline n'est pas recouverte d'une telle couche diélectrique et c'est sa surface libre qui forme la surface du substrat donneur.

30 On fournit par ailleurs un substrat receveur qui comprend une couche superficielle d'un matériau semi-conducteur contraint. Ladite couche peut être formée par épitaxie sur un substrat support présentant un paramètre de maille différent de celui du matériau de la couche contrainte.

35 La contrainte dans ladite couche peut être, selon les matériaux employés et la nature de la contrainte que l'on souhaite imposer à la couche semi-conductrice du substrat semi-conducteur contraint sur isolant, compressive ou extensive.

Par exemple, la couche de matériau semi-conducteur contraint peut être une couche de silicium germanium, formée par épitaxie sur un substrat support de silicium. La teneur

en germanium de ladite couche est typiquement de l'ordre de 20% à 40%, même si ces valeurs ne sont pas limitatives, leur choix pouvant être effectué en fonction de l'épaisseur de la dite couche. Dans ce cas, la couche de silicium germanium présente une contrainte compressive.

5 Pour la formation du substrat semi-conducteur contraint sur isolant, la couche semi-conductrice monocristalline du substrat donneur doit être transférée sur le substrat receveur, ce transfert comprenant un collage du substrat donneur sur le substrat receveur, la couche semi-conductrice monocristalline du substrat donneur et la couche de matériau semi-conducteur contraint étant situées du côté de l'interface de collage.

10 Au préalable, on forme, sur la couche de matériau semi-conducteur contraint du substrat receveur, une couche de collage permettant de mettre en contact, à l'interface de collage, des matériaux qui procurent une qualité optimale de collage en termes de défektivité finale.

Selon un mode de réalisation, ladite couche de collage est une couche diélectrique.

15 Dans le cas où la couche semi-conductrice monocristalline du substrat donneur est également recouverte d'une couche diélectrique (dite première couche diélectrique), l'interface de collage sera constituée de ladite première couche diélectrique et de la couche de collage (dite seconde couche diélectrique). Lesdites première et seconde couches diélectriques forment ainsi ensemble la couche isolante enterrée du sSOI final.

20 Dans le cas où la couche semi-conductrice monocristalline du substrat donneur n'est pas recouverte d'une couche diélectrique, l'interface de collage sera constituée de ladite couche semi-conductrice monocristalline et de la couche de collage. C'est alors la couche de collage seule qui forme la couche isolante enterrée du sSOI final.

25 De manière avantageuse, la couche de collage comprend un oxyde ou un nitrure d'un matériau semi-conducteur.

Ladite couche de collage est formée par dépôt sur la couche de matériau semi-conducteur contraint du substrat receveur. Toute technique de dépôt approprié pourra être utilisée. On peut ainsi citer de manière non limitative les variantes de dépôts en phase vapeur désignées par leurs acronymes anglais de PE-CVD ou PE-ALD.

30 L'épaisseur de la couche de collage est choisie en fonction de la présence ou non, sur la couche semi-conductrice monocristalline du substrat donneur, d'une première couche diélectrique, de manière à obtenir l'épaisseur souhaitée de la couche isolante enterrée, laquelle est généralement est inférieure ou égale à 50 nm, de préférence inférieure ou égale à 25 nm.

35 De manière avantageuse, ladite épaisseur est également choisie en prenant en considération le budget thermique apporté sur le substrat receveur lors du dépôt de ladite couche, afin de limiter la relaxation de la contrainte de la couche de matériau semi-conducteur contraint causée par ce budget thermique. Ainsi, par exemple, si la couche de

matériau semi-conducteur contraint est une couche de silicium germanium, le germanium est susceptible de diffuser hors de ladite couche sous l'effet d'un budget thermique important, ce qui diminue la contrainte dans ladite couche. Il convient donc de limiter le budget thermique afin d'éviter une diminution importante de la contrainte et ainsi  
5 préserver la contrainte qui sera impartie à la couche semi-conductrice monocristalline du substrat sSOI.

La couche de collage présente typiquement une épaisseur comprise entre 1 et 30 nm.

Selon un autre mode de réalisation, la couche de collage est constituée du même  
10 matériau monocristallin, à l'état relaxé ou partiellement relaxé, que la couche semi-conductrice monocristalline du substrat donneur.

Dans ce cas, la couche semi-conductrice monocristalline est recouverte d'une couche diélectrique qui formera la couche isolante enterrée du substrat sSOI.

La couche de collage est formée par épitaxie, sur la couche de matériau semi-  
15 conducteur contraint, du même matériau semi-conducteur que la couche semi-conductrice monocristalline du substrat donneur.

L'épaisseur de la couche de collage est avantageusement choisie suffisamment fine pour offrir la protection souhaitée entre la couche de SiGe et l'interface de collage, tout en prenant en considération, comme dans le mode de réalisation précédent, le budget  
20 thermique apporté sur le substrat receveur lors du dépôt de ladite couche, afin de limiter la relaxation de la contrainte de la couche de matériau semi-conducteur contraint causée par ce budget thermique. Ladite épaisseur tient également compte de l'enlèvement induit par le traitement de préparation de surface avant collage, qui peut inclure une gravure chimique ou sèche.

A titre d'exemple, l'épaisseur d'une telle couche de collage en silicium est comprise  
25 entre 1 et 20 nm.

Dans les deux modes de réalisation proposés par l'invention, l'interface de collage présente soit un contact entre deux couches diélectriques, soit un contact entre une  
30 couche diélectrique et une couche du même matériau monocristallin, à l'état relaxé ou partiellement relaxé, que la couche semi-conductrice monocristalline du substrat donneur. Ces deux situations correspondent aux configurations de collage procurant une défektivité finale minimale.

Après le collage du substrat donneur sur le substrat receveur, on procède au transfert de la couche semi-conductrice monocristalline sur le substrat receveur.

Selon un mode de réalisation, ledit transfert fait intervenir le procédé Smart Cut <sup>TM</sup>.  
35 De manière connue en elle-même, ce transfert comprend :

- préalablement au collage, l'implantation d'espèces ioniques dans le substrat donneur de sorte à former une zone de fragilisation permettant de délimiter la couche semi-conductrice monocristalline à transférer,

5 - après le collage, le détachement du substrat donneur le long de la zone de fragilisation.

Les conditions de mise en œuvre d'un tel procédé sont connues de l'homme du métier et ne seront donc pas décrites en détail dans le présent texte.

10 Selon un autre mode de réalisation, le transfert fait intervenir un amincissement du substrat donneur par sa face arrière, c'est-à-dire la face opposée à l'interface de collage. De manière bien connue, un tel amincissement peut faire intervenir une ou plusieurs étapes de gravure sèche ou humide et/ou de polissage, notamment mécano-chimique, etc.

L'invention n'est pas limitée en ce qui concerne la technique de transfert employée.

15 Après le transfert proprement dit, la couche semi-conductrice transférée peut subir un traitement de finition permettant l'élimination de défauts résiduels liés au procédé de transfert, le lissage et l'amincissement à l'épaisseur voulue de la couche semi-conductrice monocristalline transférée. Ce type de traitement est connu de l'homme du métier et ne sera donc pas décrit en détail ici. Typiquement, l'épaisseur finale de la couche semi-conductrice monocristalline du substrat sSOI est comprise entre 5 et 50 nm.

20 Enfin, une portion de l'empilement constitué de la couche semi-conductrice transférée, de la couche isolante enterrée (formée, comme exposé plus haut, de la couche de collage et/ou d'une couche diélectrique du substrat donneur), de la couche de matériau semi-conducteur contraint est découpée afin de former le substrat sSOI.

25 Ladite découpe est avantageusement réalisée en gravant des tranchées d'isolation autour de ladite portion. Pour permettre une transmission optimale de la relaxation de la couche de matériau semi-conducteur contraint vers la couche semi-conductrice monocristalline transférée, lesdites tranchées doivent s'étendre dans l'épaisseur du substrat receveur au-delà de ladite couche de matériau semi-conducteur contraint. La technique de fabrication desdites tranchées est bien connue de l'homme du métier et ne  
30 nécessite donc pas d'être décrite en détail dans le présent texte.

35 La structure qui en résulte comprend, de sa base vers sa surface, le substrat support, la couche du matériau semi-conducteur initialement contraint qui est maintenant à l'état relaxé, la couche isolante enterrée et la couche monocristalline semi-conductrice transférée qui est maintenant à l'état contraint. Si la couche de collage est en un matériau diélectrique, elle forme au moins une partie (voire la totalité) de la couche isolante enterrée. Si la couche de collage est en le même matériau, à l'état relaxé ou partiellement relaxé, que la couche semi-conductrice transférée, ladite couche de collage est intercalée

entre la couche du matériau semi-conducteur initialement contraint qui est maintenant à l'état relaxé et la couche isolante enterrée.

Par rapport à un substrat sSOI obtenu par le procédé illustré aux figures 1A à 1F avec les mêmes conditions de nettoyage, de préparation du substrat donneur et de collage, un substrat sSOI obtenu selon le procédé décrit ci-dessus présente, lors d'une inspection visuelle, une défektivité beaucoup plus faible, se traduisant notamment par une réduction notable du nombre de trous correspondant à des zones non transférées de la couche semi-conductrice monocristalline.

Les figures 2A à 2G illustrent de manière schématique des étapes de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon une forme d'exécution de l'invention.

La figure 2A illustre la fourniture du substrat donneur 1 qui, sur cette illustration, est un substrat massif d'un matériau semi-conducteur monocristallin. De manière alternative, ledit substrat pourrait être composite et comprendre, sur l'une de ses faces, une couche semi-conductrice monocristalline.

Par ailleurs, dans le mode de réalisation illustré sur la figure 2A, le substrat donneur 1 est recouvert d'une couche diélectrique 11.

La figure 2B illustre la mise en œuvre d'une implantation d'espèces ioniques dans le substrat donneur 1 de sorte à former une zone de fragilisation 12 délimitant une couche semi-conductrice monocristalline 13 à transférer par le procédé Smart Cut™. Cette étape est optionnelle, le transfert pouvant être réalisé par un autre procédé que le procédé Smart Cut™, par exemple par un amincissement du substrat donneur par sa face arrière.

La figure 2C illustre la fourniture du substrat receveur 2 qui comprend une couche superficielle 20 d'un matériau semi-conducteur contraint sur un substrat support 21.

La figure 2D illustre la formation de la couche de collage 22 qui, dans ce cas, est constituée d'un matériau diélectrique déposé sur la couche 20 de matériau semi-conducteur contraint.

La figure 2E illustre le collage du substrat donneur sur le substrat receveur, les couches diélectriques 11 et 22 formant ensemble la couche isolante enterrée (désignée comme une couche unique 30 sur les figures suivantes) du substrat semi-conducteur contraint sur isolant final. L'interface de collage est désignée par le repère I.

La figure 2F illustre la structure obtenue après le détachement du substrat donneur le long de la zone de fragilisation et, le cas échéant, le traitement de finition de la couche semi-conductrice monocristalline transférée 13. De manière alternative, si le procédé Smart Cut™ n'est pas utilisé, ladite structure peut être obtenue par un amincissement par la face arrière du substrat donneur jusqu'à la couche 13 et un lissage de la surface de ladite couche.

La figure 2G illustre le substrat sSOI obtenu après découpe de tranchées T autour de l'empilement des couches 13, 30, 20, jusque dans l'épaisseur du substrat support 21.

Les figures 3A à 3G illustrent de manière schématique des étapes de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon une autre forme  
5 d'exécution de l'invention.

Les éléments représentés par les mêmes signes de référence que sur les figures 2A à 2G sont de même nature et ne sont donc pas décrits à nouveau.

Les étapes illustrées aux figures 3A à 3C sont similaires à celles des figures 2A à 2C.

10 La figure 3D illustre la formation d'une couche de collage 23 qui, dans ce cas, est constituée du même matériau que celui de la couche 13, à l'état relaxé ou partiellement relaxé, par épitaxie sur la couche 20 de matériau semi-conducteur contraint.

Les étapes illustrées aux figures 3E à 3G sont similaires à celles des figures 2E à 2G, sauf en ce que la couche isolante enterrée du substrat sSOI est constituée de la  
15 seule couche diélectrique 11 du substrat donneur, et que la couche de collage 23 est intercalée entre la couche 20 de matériau semi-conducteur contraint et ladite couche isolante enterrée.

Les figures 4A à 4G illustrent de manière schématique des étapes de fabrication d'un substrat de type semi-conducteur contraint sur isolant selon une autre forme  
20 d'exécution de l'invention.

Les éléments représentés par les mêmes signes de référence que sur les figures 2A-2G ou 3A-3G sont de même nature et ne sont donc pas décrits à nouveau.

Les étapes illustrées aux figures 4A à 4C sont similaires à celles des figures 2A à 2C, sauf en ce que le substrat donneur 1 n'est pas recouvert d'une couche diélectrique.  
25 En d'autres termes, c'est la surface semi-conductrice de la couche 13 à transférer qui se trouve exposée.

La figure 4D illustre la formation d'une couche de collage 22 qui, dans ce cas, est constituée d'un matériau diélectrique déposé sur la couche 20 de matériau semi-conducteur contraint.

30 Les étapes illustrées aux figures 4E à 4G sont similaires à celles des figures 2E à 2G, sauf en ce que la couche isolante enterrée du substrat sSOI est constituée de la seule couche de collage 22.

Enfin, il va de soi que les exemples que l'on vient de donner ne sont que des illustrations particulières en aucun cas limitatives quant aux domaines d'application de  
35 l'invention.

## REFERENCES

US 2014/0225160

## REVENDICATIONS

1. Procédé de fabrication d'un substrat de type semi-conducteur contraint sur isolant, comprenant :

5 (a) la fourniture d'un substrat donneur (1) comprenant une couche semi-conductrice monocristalline (13),

(b) la fourniture d'un substrat receveur (2) comprenant une couche superficielle (20) d'un matériau semi-conducteur monocristallin contraint,

10 (c) le collage du substrat donneur (1) sur le substrat receveur (2), une couche diélectrique (11, 22) étant à l'interface,

(d) le transfert de la couche semi-conductrice monocristalline (13) du substrat donneur (1) sur le substrat receveur (2),

15 (e) la découpe d'une portion d'un empilement formé de la couche semi-conductrice monocristalline transférée (13), de la couche diélectrique (11, 22) et de la couche (20) du matériau semi-conducteur contraint, ladite découpe résultant en la transmission d'au moins une partie de la contrainte du matériau semi-conducteur contraint à la couche semi-conductrice monocristalline transférée,

20 ledit procédé étant caractérisé en ce que l'étape (b) comprend en outre la formation, sur la couche (20) de matériau semi-conducteur contraint du substrat receveur (2), d'une couche de collage (22) diélectrique ou constituée du même matériau monocristallin (23) relaxé ou au moins partiellement relaxé que la couche semi-conductrice monocristalline (13) du substrat donneur (1), et en ce qu'à l'étape (c) ladite couche de collage (22, 23) est à l'interface de collage entre le substrat donneur et le substrat receveur.

25 2. Procédé selon la revendication 1, dans lequel ladite couche de collage (22) est formée par dépôt d'un matériau diélectrique sur la couche (20) de matériau semi-conducteur contraint du substrat receveur.

30 3. Procédé selon la revendication 2, dans lequel le substrat donneur (1) comprend une première couche diélectrique (11) sur la couche semi-conductrice monocristalline, la première couche diélectrique (11) et la couche de collage (22) formant ensemble une couche électriquement isolante enterrée (30) du substrat semi-conducteur contraint sur isolant.

35 4. Procédé selon l'une des revendications 2 ou 3, dans lequel la couche de collage (22) comprend un oxyde ou un nitrure d'un matériau semi-conducteur.

5. Procédé selon l'une des revendications 2 à 4, dans lequel la couche de collage (22) présente une épaisseur comprise entre 1 et 30 nm.

6. Procédé selon la revendication 1, dans lequel la couche de collage (23) est formée par épitaxie, sur la couche (20) de matériau semi-conducteur contraint, du même matériau semi-conducteur que la couche semi-conductrice monocristalline (13) du substrat donneur (1).

7. Procédé selon la revendication 6, dans lequel l'épaisseur de la couche de collage (23) est comprise entre 1 et 20 nm.

8. Procédé selon l'une des revendications 6 ou 7, dans lequel la couche de collage (23) et la couche semi-conductrice monocristalline (13) du substrat donneur sont en silicium.

15

9. Procédé selon l'une des revendications 1 à 8, dans lequel la couche (20) de matériau semi-conducteur contraint est en silicium-germanium.

10. Procédé selon la revendication 9, dans lequel ladite couche de semi-conducteur contraint (20) est formée par épitaxie sur un substrat support (21) de silicium.

11. Procédé selon l'une des revendications 1 à 10, dans lequel, à l'issue de l'étape (d), l'épaisseur de la couche diélectrique (11, 22, 30) comprise entre la couche semi-conductrice monocristalline transférée (13) et la couche (20) du matériau semi-conducteur contraint est inférieure ou égale à 50 nm, de préférence inférieure ou égale à 25 nm.

12. Procédé selon l'une des revendications 1 à 11, dans lequel l'étape (a) comprend une implantation d'espèces ioniques dans le substrat donneur (1) de sorte à former une zone de fragilisation (12) délimitant la couche semi-conductrice monocristalline (13), et l'étape (d) comprend le détachement du substrat donneur (1) le long de ladite zone de fragilisation (12).

13. Procédé selon l'une des revendications 1 à 11, dans lequel l'étape (d) comprend un amincissement du substrat donneur (1) par la face opposée à l'interface (I) de collage jusqu'à la couche semi-conductrice monocristalline transférée (13).

35

14. Procédé selon l'une des revendications 1 à 13, comprenant en outre, avant l'étape (e), une étape d'amincissement et/ou de lissage de la couche semi-conductrice monocristalline transférée (13).
- 5 15. Procédé selon l'une des revendications 1 à 14, dans lequel la découpe de ladite portion de l'empilement est réalisée au moyen de tranchées d'isolation (T) s'étendant dans le substrat receveur (2) au-delà de la couche de matériau semi-conducteur contraint (20).
- 10 16. Substrat de type semi-conducteur contraint sur isolant, comprenant une couche semi-conductrice monocristalline contrainte (13), une couche électriquement isolante (11), et une couche (20) relaxée d'un matériau semi-conducteur différent de celui de la couche semi-conductrice contrainte (13), caractérisé en ce qu'il comprend en outre une couche au moins partiellement relaxée (23) du même matériau que la couche semi-  
15 conductrice contrainte (13) entre la couche électriquement isolante (11) et la couche (20) relaxée du matériau semi-conducteur différent de celui de la couche semi-conductrice contrainte (13).
- 20 17. Substrat selon la revendication 16, dans lequel l'épaisseur de la couche (11) électriquement isolante est inférieure ou égale à 50 nm, de préférence inférieure ou égale à 25 nm, et l'épaisseur de la couche (23) au moins partiellement relaxée du même matériau que la couche semi-conductrice contrainte est comprise entre 1 et 20 nm.

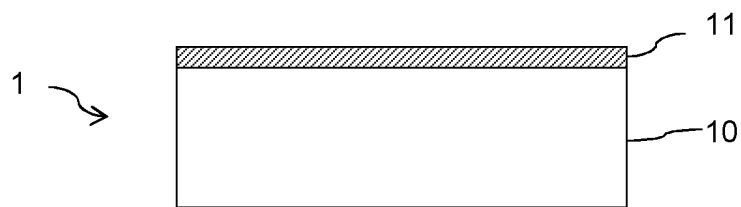


FIGURE 1A

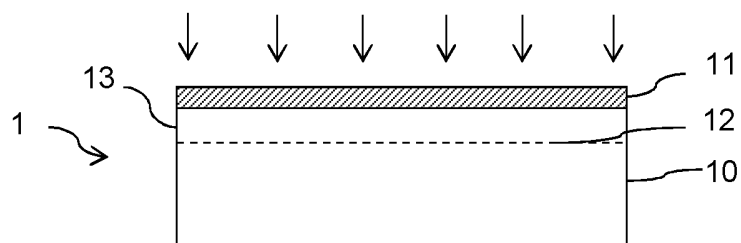


FIGURE 1B

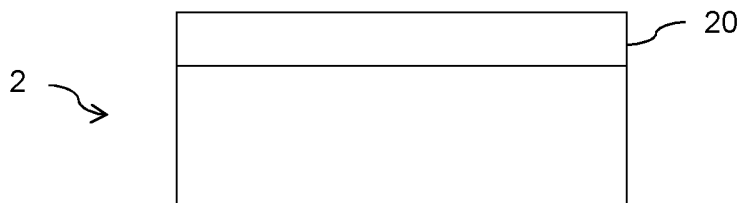
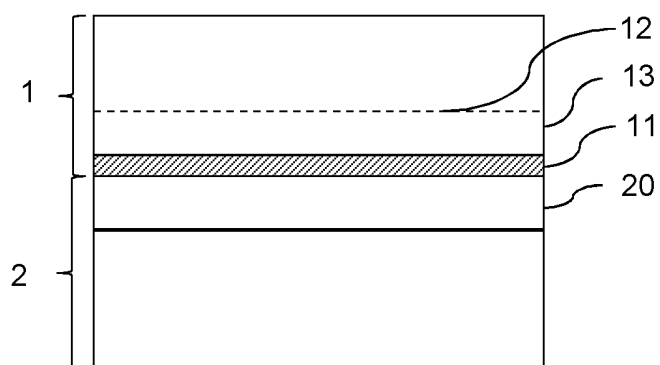
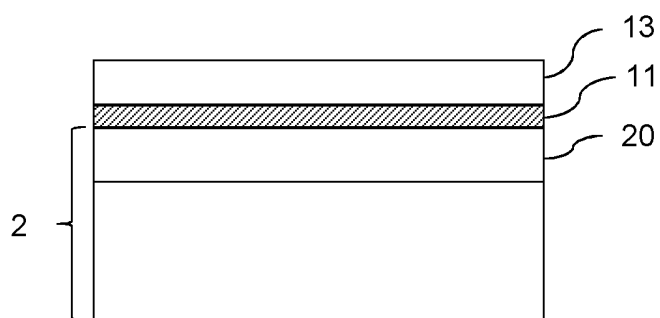
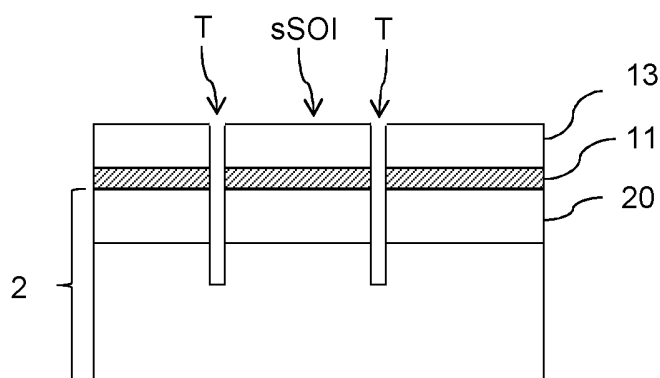


FIGURE 1C

2 / 8

**FIGURE 1D****FIGURE 1E****FIGURE 1F**

3 / 8

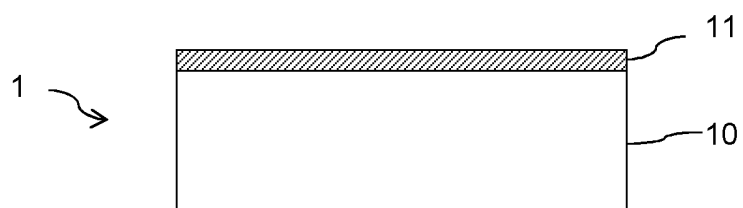


FIGURE 2A

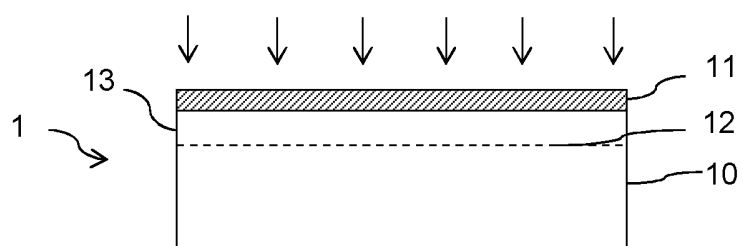


FIGURE 2B

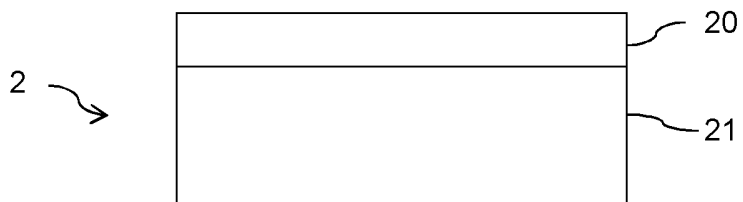


FIGURE 2C

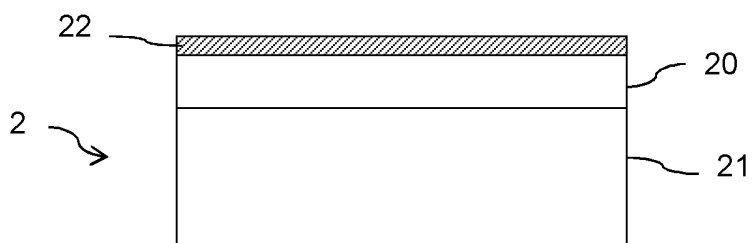
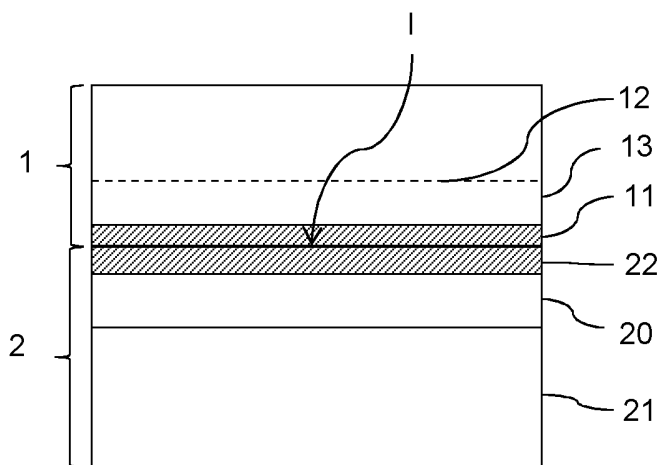
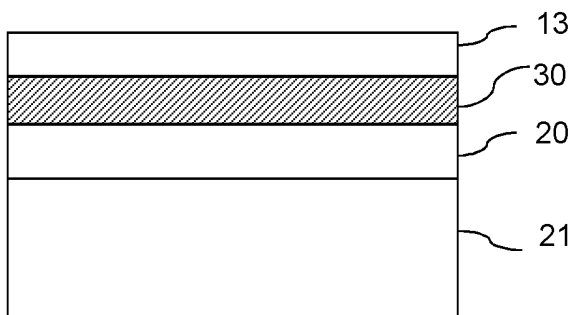


FIGURE 2D

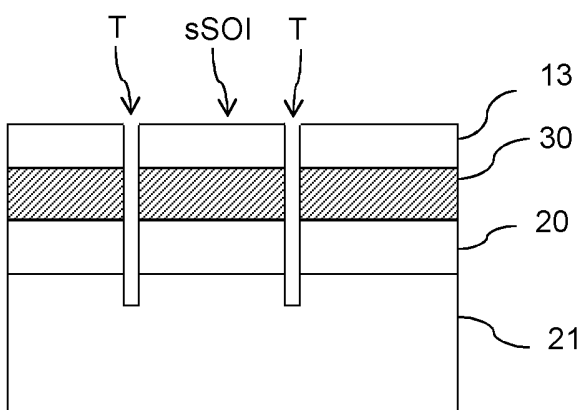
4 / 8



**FIGURE 2E**



**FIGURE 2F**



**FIGURE 2G**

5 / 8

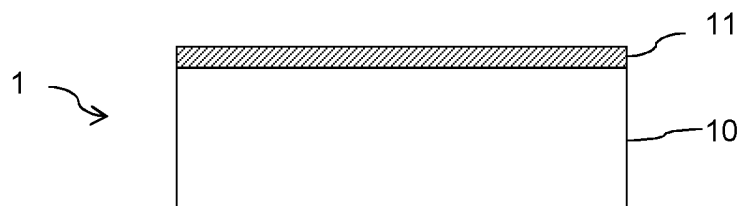


FIGURE 3A

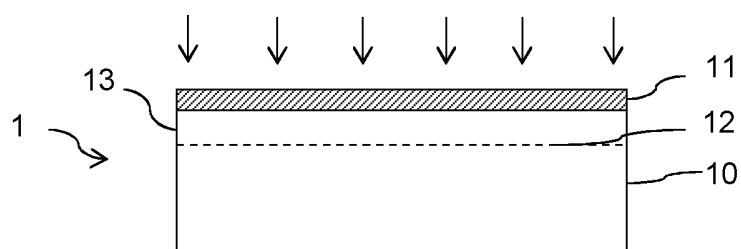


FIGURE 3B

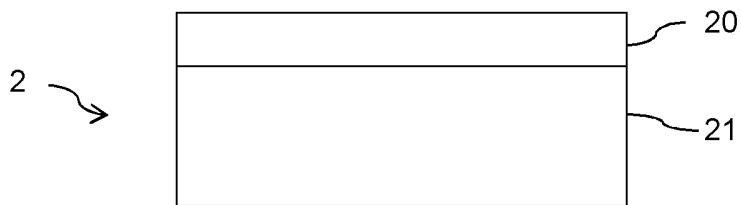


FIGURE 3C

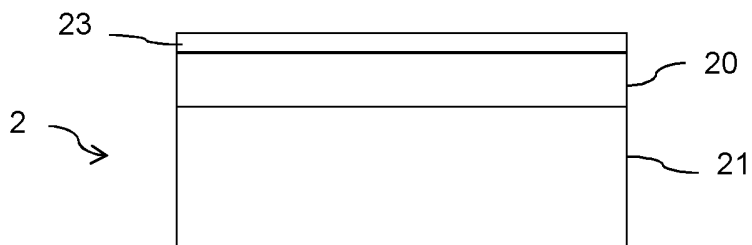
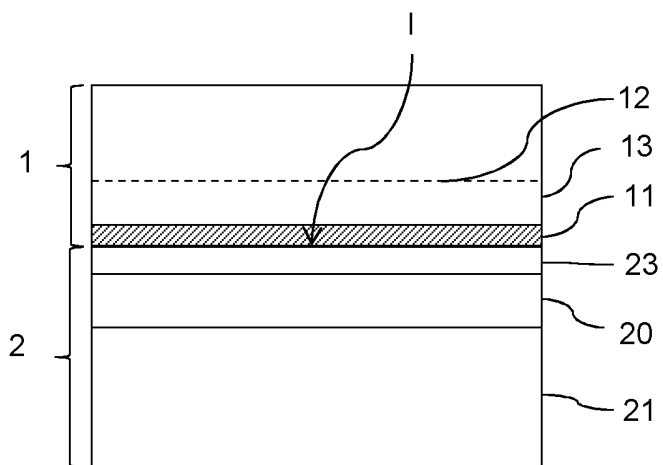
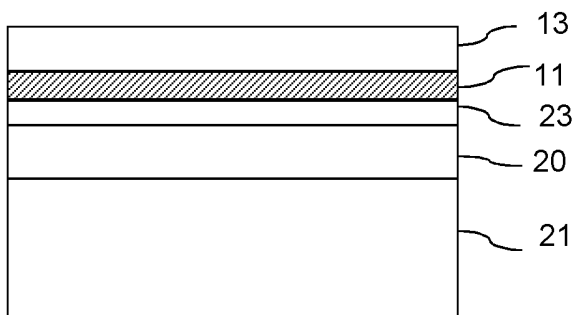


FIGURE 3D

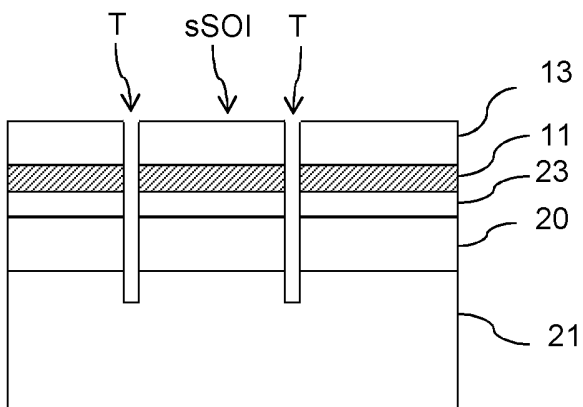
6 / 8



**FIGURE 3E**



**FIGURE 3F**



**FIGURE 3G**

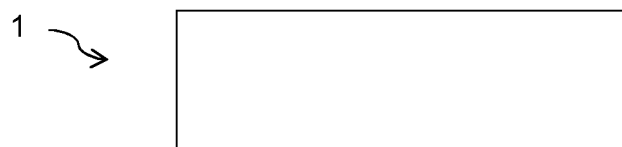


FIGURE 4A

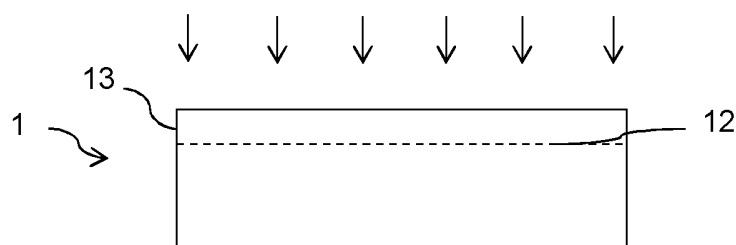


FIGURE 4B

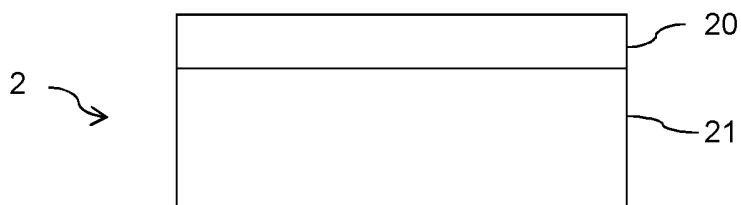


FIGURE 4C

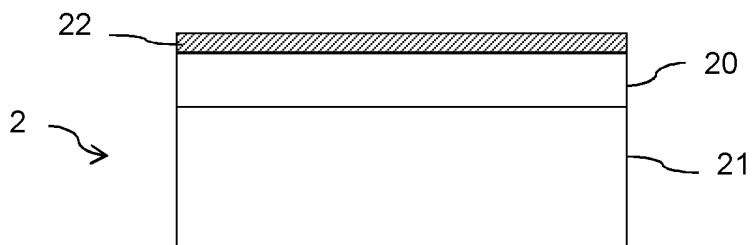
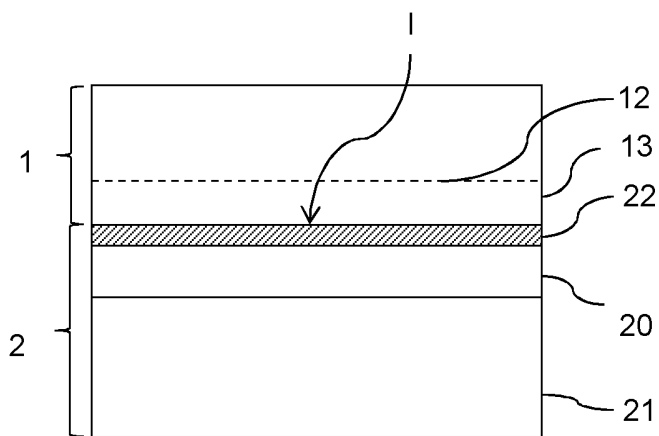
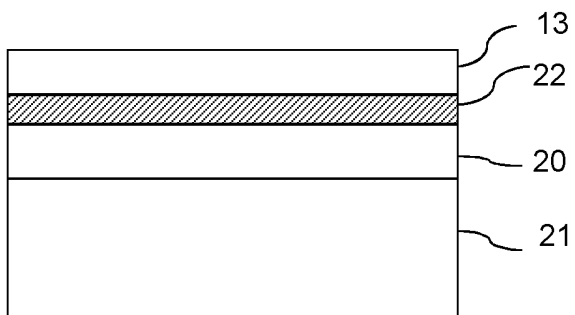


FIGURE 4D

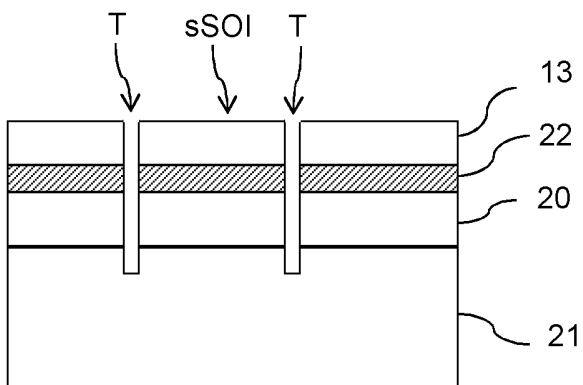
8 / 8



**FIGURE 4E**



**FIGURE 4F**



**FIGURE 4G**


**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

 établi sur la base des dernières revendications  
dépôtées avant le commencement de la recherche

 N° d'enregistrement  
national

 FA 824383  
FR 1654368

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2006/081847 A1 (LE VAILLANT YVES-MATTHIEU [FR]) 20 avril 2006 (2006-04-20) * alinéa [0037]; figure 11 *	16,17	H01L21/20 H01L21/84
A	FR 2 912 550 A1 (SOITEC SILICON ON INSULATOR [FR]) 15 août 2008 (2008-08-15) * page 9, ligne 9 - page 13, ligne 16; figures 1A-1H *	1-15	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
		Date d'achèvement de la recherche	Examineur
		11 janvier 2017	Hedouin, Mathias
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant			

1

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1654368 FA 824383**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 11-01-2017

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006081847 A1	20-04-2006	AT 384336 T	15-02-2008
		CN 1767148 A	03-05-2006
		DE 602004011353 T2	15-05-2008
		EP 1650794 A1	26-04-2006
		JP 5026685 B2	12-09-2012
		JP 2006121055 A	11-05-2006
		KR 20060054079 A	22-05-2006
		SG 122004 A1	26-05-2006
		US 2006081847 A1	20-04-2006
-----			
FR 2912550 A1	15-08-2008	AUCUN	
-----			