

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4525125号  
(P4525125)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int. Cl.		F I		
<b>GO 1 R</b>	<b>31/28</b>	<b>(2006.01)</b>	GO 1 R	31/28 G
<b>HO 1 L</b>	<b>21/822</b>	<b>(2006.01)</b>	HO 1 L	27/04 T
<b>HO 1 L</b>	<b>27/04</b>	<b>(2006.01)</b>	HO 1 L	27/04 U

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2004-87912 (P2004-87912)	(73) 特許権者	000002185
(22) 出願日	平成16年3月24日 (2004.3.24)		ソニー株式会社
(65) 公開番号	特開2005-274342 (P2005-274342A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年10月6日 (2005.10.6)	(74) 代理人	100080160
審査請求日	平成18年7月6日 (2006.7.6)		弁理士 松尾 憲一郎
		(72) 発明者	小野 和之
			福岡県福岡市早良区百道浜2丁目3番2号
			ソニーエルエスアイデザイン株式会社
			九州本社内
		審査官	神谷 健一

最終頁に続く

(54) 【発明の名称】 マルチチップ型半導体装置

(57) 【特許請求の範囲】

【請求項1】

同一基板上に、TAPコントローラとバウンダリスキャンパスを有するJTAG回路をそれぞれ形成した第1及び第2のチップを実装したマルチチップ型半導体装置において、

各前記JTAG回路のTAPコントローラのうちのいずれかを選択して動作させる第1セレクトと、

各前記バウンダリスキャンパスの出力端に接続され、各前記バウンダリスキャンパスの出力端からの出力データのいずれかを出力端子に出力する第2セレクトと、を備え、

前記第2のチップのバウンダリスキャンパスの出力端側に位置し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうちで最も当該バウンダリスキャンパスの入力端側に位置するバウンダリスキャンセルにデータ出力回路を設けると共に、

前記第1のチップのバウンダリスキャンパスの入力端側に位置し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうちで最も当該バウンダリスキャンパスの出力端側に位置し、前記データ出力回路を設けたバウンダリスキャンセルと内部接続したバウンダリスキャンセルにデータ入力回路を設けており、

前記第1及び第2のチップのうち個別テストを行うチップを選択するためのTAPコントローラ選択信号が入力されたとき、前記第1セレクトにより前記選択されたチップのTAPコントローラを動作させ、さらに、前記第2セレクトにより前記選択されたチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力し、

外部入出力ピンの接続状態をテストするためのTAPコントローラ選択信号が入力され

たとき、前記第 1 セレクタにより前記第 2 のチップの T A P コントローラを動作させ、さらに、前記データ出力回路から前記データ入力回路へデータを出力させるように制御して、前記第 1 及び第 2 のチップ間の内部接続部点に設けたバウンダリスキャンセルの一部を省いた一つのバウンダリスキャンパスを形成し、前記第 2 セレクタにより前記第 1 のチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力するマルチチップ型半導体装置。

【請求項 2】

同一基板上に、T A P コントローラとバウンダリスキャンパスを有する J T A G 回路をそれぞれ形成した第 1 及び第 2 のチップを実装したマルチチップ型半導体装置において、

各前記 J T A G 回路の T A P コントローラのうちのいずれかを選択して動作させる第 1 セレクタと、

各前記バウンダリスキャンパスの出力端に接続され、各前記バウンダリスキャンパスの出力端からの出力データのいずれかを出力端子に出力する第 2 セレクタと、を備え、

前記第 1 のチップのバウンダリスキャンパスの一部を構成し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうち、最も前記第 1 のチップのバウンダリスキャンパスの入力端側に位置するバウンダリスキャンセルに第 1 のデータ出力回路を設けると共に最も前記第 1 のチップのバウンダリスキャンパスの出力端側に位置するバウンダリスキャンセルに第 1 のデータ入力回路を設け、

前記第 2 のチップのバウンダリスキャンパスの一部を構成し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうち、最も前記第 2 のチップのバウンダリスキャンパスの出力端側に位置して前記第 1 のデータ出力回路を設けたバウンダリスキャンセルと内部接続した前記バウンダリスキャンセルに第 2 のデータ入力回路を設けると共に、最も前記第 2 のチップのバウンダリスキャンパスの入力端側に位置して前記第 1 のデータ入力回路を設けたバウンダリスキャンセルと内部接続した前記バウンダリスキャンセルに第 2 のデータ出力回路を設け、

前記第 1 及び第 2 のチップのうち個別テストを行うチップを選択するための T A P コントローラ選択信号が入力されたとき、前記第 1 セレクタにより前記選択されたチップの T A P コントローラを動作させ、さらに、前記第 2 セレクタにより前記選択されたチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力し、

外部入出力ピンの接続状態をテストするための T A P コントローラ選択信号が入力されたとき、前記第 1 セレクタにより前記第 1 のチップの T A P コントローラを動作させ、さらに、前記第 1 のチップの第 1 のデータ出力回路から前記第 2 のチップの第 2 のデータ入力回路へデータを出力させるように制御すると共に、前記第 2 のチップの第 2 のデータ出力回路から前記第 1 のチップの第 1 のデータ入力回路へデータを出力させるように制御して、前記第 1 及び第 2 のチップ間の内部接続部点に設けたバウンダリスキャンセルの一部を省いた一つのバウンダリスキャンパスを形成し、前記第 2 セレクタにより前記第 1 のチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力するマルチチップ型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同一基板上に J T A G 回路をそれぞれ形成した複数のチップを実装し、各 J T A G 回路のバウンダリスキャンパスどうしを接続したマルチチップ型半導体装置に関するものである。

【背景技術】

【0002】

従来より、半導体装置は、実装後に半導体装置内部のチップの動作テストや、半導体装置の外部入出力ピンの導通テスト等の良品判定テストが行われていた。

【0003】

この良品判定テストとしては、JTAG ( Joint Test Action Group ) が提供しているパウ

10

20

30

40

50

ンダリスキャンテストが近年広く採用されている。

【 0 0 0 4 】

このバウンダリスキャンテストとは、半導体装置内部にIEEE1149.1規格で定められたテスト用のJTAG回路を設け、このJTAG回路を動作させることにより半導体装置の良品判定を行うテストである。

【 0 0 0 5 】

このJTAG回路を設けた半導体装置は、図4に示すように、半導体装置100と実装基板上のプリント配線とを接続する外部入出力ピン112の他に、テストデータの入力ピンであるTDI (Test Data In) 101とテストデータの出力ピンであるTD0(Test Data Out)102とテスト用クロック信号の入力ピンであるTCK (Test Clock) 103とテストモードを選択する信号の入力ピンであるTMS (Test Mode Select) 104と半導体装置100内部のテストデータをリセットする信号の入力ピンであるTRST (Test Reset) 105とを有していた。

10

【 0 0 0 6 】

そして、半導体装置100の内部のチップ106は、チップ106本来の処理を行うロジック回路107の他に、上記したTDI101、TCK103、TMS104、TRST105から入力される信号に基づいてバウンダリスキャンを実行するTAP (Test Access Port) コントローラ108を有していた。

【 0 0 0 7 】

さらに、チップ106と複数の外部入出力ピン112との接続点には、フリップ・フロップ回路とラッチ回路とマルチプレクサ回路とにより構成したバウンダリスキャンセル(以下、「BSC」という。)109をそれぞれ設けていた。

20

【 0 0 0 8 】

そして、この複数のBSC109どうしを全て直列に接続することによりテストデータの伝搬経路となるバウンダリスキャンパス(以下、「BSP」という。)110を形成しており、このBSP110の始端はTAPコントローラ108を介してTDI101に接続し、BSP110の終端はTD0102に接続していた。

【 0 0 0 9 】

このように構成した半導体装置100の良品判定試験を行う際は、まず、TDI101からTAPコントローラ108にテストデータを入力することにより、BSP110を構成する全てのBSC109にテストデータが入力される。

【 0 0 1 0 】

次に、TMS104から入力されるテストモード選択信号に基づいて所定の処理を施したテスト結果データが各BSC109に一旦保持される。

30

【 0 0 1 1 】

その後、各BSC109に一旦保持されたテスト結果のデータは、TCK103から入力されるテスト用クロック信号に同期して順次後段のBSC109にシフトされていき、BSP110を通過してTD0102から読み出される。

【 0 0 1 2 】

そして、このTD0102から読み出されたテスト結果のデータを半導体装置100の外部に設けたホストコンピュータ(図示略)により解析することによって半導体装置100内部のチップ106の動作テストや、半導体装置100の外部入出力ピン112の導通テスト等の良品判定テストを行っていた。

40

【 0 0 1 3 】

このようにJTAG回路を設けた半導体装置100は、1個のチップ106についてTDI101、TCK103、TMS104、TRST105用の4本の入力ピンと、TD0102用の1本の出力ピンといった合計5本のテスト用ピンを設ける必要があった。

【 0 0 1 4 】

そのため、例えばN個のチップ106を一体にパッケージングしたマルチチップ型半導体装置では、5N本のテスト用ピンを設けなければならず、マルチチップ型半導体装置を小型化することが困難であった。

【 0 0 1 5 】

50

そこで、近年では、マルチチップ型半導体装置にTDI101、TCK103、TMS104、TRST105、TD0102の5本のテスト用ピンを設け、TCK103、TMS104、TRST105に接続した3本の信号線をマルチチップ型半導体装置内部の各チップ106に搭載したTAPコントローラ108に並列に接続するとともに、各チップ106のBSP110どうしを直列に接続することにより、複数のチップ106のBSP110を1本のパスとし、この1本のパスの入力端にTDI101を設け、出力端にTD0102を設けたマルチチップ型半導体装置が考案されている（たとえば、特許文献1参照。）。

【0016】

具体例として、第1のチップ100aと第2のチップ100bとを一体にパッケージングしたマルチチップ型半導体装置111の場合は、図5に示すように、TDI101に接続した信号線を第1のチップ100aに内蔵したTAPコントローラ108を介してこの第1のチップ100aのBSP110aの始端に設けたBSC109に接続し、第1のBSP110の終端に設けたBSC109と第2のチップ100bのBSP110bの始端に設けたBSC109とを接続し、この第2のチップ100bのBSP110bの終端に設けたBSC109とTD0102とを接続していた。

10

【0017】

このように構成することにより、テスト用ピンの本数を増加させることなくJTAG回路を有するマルチチップ型半導体装置111を実現していた。

【0018】

そして、このマルチチップ型半導体装置111の良品判定テストを行う場合は、全ての第1のチップ100a及び第2のチップ100bのBSC109に一旦保持したテスト結果のデータを順次後段のBSC109にシフトさせ、第1のチップ100aのBSP110aと第2のチップ100bのBSP110bとを直列に接続した1本のパスを通してTD0102から一度に読み出すようにしていた。

20

【特許文献1】特開2001-135786号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

ところが、上記従来のマルチチップ型半導体装置111は、全てのチップのBSC109に一旦保持したテスト結果のデータを順次後段のBSC109にシフトさせ、第1のチップ100aのBSP110aと第2のチップ100bのBSP110bとを直列に接続した1本のパスを通してTD0102から一度に読み出すようにしていたため、特定のチップに対して個別に良品判定テストを行いたい場合であっても、常に全てのチップに対して良品判定テストを行わなければならなかったので、良品判定テストに要する時間が長時間化するおそれがあった。

30

【0020】

また、マルチチップ型半導体装置111の外部入出力ピン112の接続状態だけを判定したい場合であっても、常に全てのBSC109に保持したデータを読み出していた。

【0021】

この読み出したテスト結果のデータには、外部入出力ピン112の接続状態とは関係のないチップどうしを内部接続した部分のBSC109に保持したデータまで含まれていたため、テスト結果のデータ数が多くなり良品判定テストに要する時間が長時間化するおそれがあった。

【課題を解決するための手段】

40

【0022】

そこで、請求項1に係る本発明では、同一基板上に、TAPコントローラとバウンダリスキャンバスを有するJTAG回路をそれぞれ形成した第1及び第2のチップを実装したマルチチップ型半導体装置において、各前記JTAG回路のTAPコントローラのうちのいずれかを選択して動作させる第1セレクタと、各前記バウンダリスキャンバスの出力端に接続され、各前記バウンダリスキャンバスの出力端からの出力データのいずれかを出力端子に出力する第2セレクタと、を備え、前記第2のチップのバウンダリスキャンバスの出力端側に位置し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうちで最も当該バウンダリスキャンバスの入力端側に位置するバウンダリスキャンセルにデータ出力回路を設けると共に、前記第1のチップのバウンダリスキャンバスの入力端側に位

50

置し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうちで最も当該バウンダリスキャンパスの出力端側に位置し、前記データ出力回路を設けたバウンダリスキャンセルと内部接続したバウンダリスキャンセルにデータ入力回路を設けており、前記第1及び第2のチップのうち個別テストを行うチップを選択するためのTAPコントローラ選択信号が入力されたとき、前記第1セレクタにより前記選択されたチップのTAPコントローラを動作させ、さらに、前記第2セレクタにより前記選択されたチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力し、外部入出力ピンの接続状態をテストするためのTAPコントローラ選択信号が入力されたとき、前記第1セレクタにより前記第2のチップのTAPコントローラを動作させ、さらに、前記データ出力回路から前記データ入力回路へデータを出力させるように制御して、前記第1及び第2のチップ間の内部接続部点に設けたバウンダリスキャンセルの一部を省いた一つのバウンダリスキャンパスを形成し、前記第2セレクタにより前記第1のチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力するマルチチップ型半導体装置とした。

10

#### 【0023】

また、請求項2に係る本発明では、同一基板上に、TAPコントローラとバウンダリスキャンパスを有するJTAG回路をそれぞれ形成した第1及び第2のチップを実装したマルチチップ型半導体装置において、各前記JTAG回路のTAPコントローラのうちいずれかを選択して動作させる第1セレクタと、各前記バウンダリスキャンパスの出力端に接続され、各前記バウンダリスキャンパスの出力端からの出力データのいずれかを出力端子に出力する第2セレクタと、を備え、前記第1のチップのバウンダリスキャンパスの一部を構成し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうち、最も前記第1のチップのバウンダリスキャンパスの入力端側に位置するバウンダリスキャンセルに第1のデータ出力回路を設けると共に最も前記第1のチップのバウンダリスキャンパスの出力端側に位置するバウンダリスキャンセルに第1のデータ入力回路を設け、前記第2のチップのバウンダリスキャンパスの一部を構成し前記チップどうしを内部接続する複数のバウンダリスキャンセルのうち、最も前記第2のチップのバウンダリスキャンパスの出力端側に位置して前記第1のデータ出力回路を設けたバウンダリスキャンセルと内部接続した前記バウンダリスキャンセルに第2のデータ入力回路を設けると共に、最も前記第2のチップのバウンダリスキャンパスの入力端側に位置して前記第1のデータ入力回路を設けたバウンダリスキャンセルと内部接続した前記バウンダリスキャンセルに第2のデータ出力回路を設け、前記第1及び第2のチップのうち個別テストを行うチップを選択するためのTAPコントローラ選択信号が入力されたとき、前記第1セレクタにより前記選択されたチップのTAPコントローラを動作させ、さらに、前記第2セレクタにより前記選択されたチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力し、外部入出力ピンの接続状態をテストするためのTAPコントローラ選択信号が入力されたとき、前記第1セレクタにより前記第1のチップのTAPコントローラを動作させ、さらに、前記第1のチップの第1のデータ出力回路から前記第2のチップの第2のデータ入力回路へデータを出力させるように制御すると共に、前記第2のチップの第2のデータ出力回路から前記第1のチップの第1のデータ入力回路へデータを出力させるように制御して、前記第1及び第2のチップ間の内部接続部点に設けたバウンダリスキャンセルの一部を省いた一つのバウンダリスキャンパスを形成し、前記第2セレクタにより前記第1のチップのバウンダリスキャンパスの出力端からの出力データを前記出力端子から出力するマルチチップ型半導体装置とした。

20

30

40

#### 【発明の効果】

#### 【0025】

本発明では、以下に記載するような効果を奏する。

#### 【0026】

本発明によれば、セレクタでいずれかのチップに設けたTAPコントローラを選択することによって、マルチチップ型半導体装置に内蔵した複数のチップに対して良品判定テス

50

トをチップ毎に個別に行うことができ、チップ毎の良品判定テストに要する時間を短縮することができる。また、マルチチップ型半導体装置の外部入出力ピンの接続状態だけを判定したい場合に、外部入出力ピンの接続状態のデータだけを読み出して良品判定テストを行うことができるので、良品判定テストに要する時間を短縮することができる。

【発明を実施するための最良の形態】

【0029】

本発明に係るマルチチップ型半導体装置は、同一基板上に、JTAG回路をそれぞれ形成した複数のチップを実装し、各JTAG回路のバウンダリスキャンパスどうしを接続したマルチチップ型半導体装置である。

【0030】

特に、このマルチチップ型半導体装置に実装する複数のチップのうちのいずれか1個のチップに、各JTAG回路のTAPコントローラのうちのいずれかを選択するセレクタを設けるようにしている。

【0031】

そして、このセレクタにより選択したTAPコントローラだけを動作させることによって、各JTAG回路のバウンダリスキャンパスのうち所望のバウンダリスキャンパスだけを用いた良品判定テストを行うことができるようにしている。

【0032】

こうすることによって、このマルチチップ型半導体装置に実装した複数のチップのうち、所望する特定のチップに対して個別に良品判定テストを行うことができる。

【0033】

また、一方のバウンダリスキャンパスの出力端側に位置する途中のバウンダリスキャンセルのうちで、チップどうしを内部接続するバウンダリスキャンセルにデータ出力回路を設けるとともに、このデータ出力回路を設けたバウンダリスキャンセルと内部接続したバウンダリスキャンセルにデータ入力回路を設けるようにしている。

【0034】

そして、このデータ入力回路を設けたバウンダリスキャンセルと、データ出力回路を設けたバウンダリスキャンセルとにマルチチップ型半導体装置の外部から制御信号を入力することによって、データ出力回路を設けたチップのバウンダリスキャンセルからデータ入力回路を設けたチップのバウンダリスキャンセルへデータを強制的に転送させることができるようにしている。

【0035】

また、データ出力回路を設けたバウンダリスキャンセルを、チップどうしを内部接続するバウンダリスキャンセルのうちで最もバウンダリスキャンパスの入力端側に設けるとともに、データ入力回路を設けたバウンダリスキャンセルを、チップどうしを内部接続するバウンダリスキャンセルのうちで最もバウンダリスキャンパスの出力端側に設けることにより、マルチチップ型半導体装置の外部入出力ピンの接続状態だけを判定したい場合に、外部入出力ピンの接続状態のデータだけを読み出して良品判定テストを行うことができるようにしている。

【0036】

このように、所望する良品判定テストに応じて、動作させるTAPコントローラを選択し、さらに、データ出力回路を設けたバウンダリスキャンセルとデータ入力回路を設けたバウンダリスキャンセルとを制御することによって、使用するバウンダリスキャンパスを選択することもでき、また、バウンダリスキャンパスの途中でデータをシフトする経路を変更することができるため、必要最小限のバウンダリスキャンセルのデータを用いて良品判定テストを行うことができ、これにより、良品判定テストに要する時間を短縮することができるようにしている。

【0037】

以下に、本発明に係るマルチチップ型半導体装置について、図面を参照しながら具体的に説明する。

10

20

30

40

50

## 【 0 0 3 8 】

なお、本実施の形態においては、各チップにそれぞれJTAG回路を形成した2個のチップを同一基板上に実装し、各JTAG回路のバウンダリスキャンパスどうしを接続したマルチチップ型半導体装置を例に挙げて説明するが、本発明はこれに限らず、各チップにJTAG回路を形成した複数のチップを同一基板上に設けたマルチチップ型半導体装置に対しても適用することができるものである。

## 【 0 0 3 9 】

マルチチップ型半導体装置1は、図1に示すように、半導体基板2上に第1のチップ3と、第2のチップ4とを実装するとともに、この半導体基板2の端部に、テストデータの入力ピンであるTDI (Test Data In) 5と、テスト用クロック信号の入力ピンであるTCK (Test Clock) 6と、テストモード選択信号の入力ピンであるTMS (Test Mode Select) 7と、テストデータをリセットする信号の入力ピンであるTRST (Test Reset) 8と、後述するTAPコントローラ選択信号の入力ピンであるTSEL (Tap Select) 9と、同じく後述する可変入出力セル17a、17bの動作を制御する入出力変更信号の入力ピンであるDT (Data Transmit) 10と、テスト結果のデータの出力ピンであるTDO (Test Data Out) 11と、このマルチチップ型半導体装置1と実装基板とのプリント配線とを接続する複数の外部入出力ピン29とを設けている。

## 【 0 0 4 0 】

第1のチップ3は、第1のチップ3本来の処理を行う第1のロジック回路12と、第1のJTAG回路13とを有している。

## 【 0 0 4 1 】

また、第2のチップ4は、第2のチップ4本来の処理を行う第2のロジック回路14と、第2のJTAG回路15とを有している。

## 【 0 0 4 2 】

第1のJTAG回路13は、第1のロジック回路12と複数の外部入出力ピン29との接続点、及び第1のロジック回路12と内部接続線16との接続点に設けた複数のテスト用レジスタであるバウンダリスキャンセル(以下、「BSC」という。)17を有しており、この複数のBSC17を全て直列に接続することにより、テストデータの搬送経路である第1のバウンダリスキャンパス(以下、「BSP」という。)18を形成している。

## 【 0 0 4 3 】

また、この第1のJTAG回路13は、複数のBSC17の動作を制御する第1のTAP (Test Access Port) コントローラ19と、第1のTAPコントローラ19と後述する第2のTAPコントローラ23とを選択的に動作させるためのセレクタ20、21とを有している。

## 【 0 0 4 4 】

特に、第1のBSP18を構成し内部接続線16と接続している4個のBSC17のうちで、第1のBSP18の最も出力端側(終端側)に位置するBSC17を可変入出力セル17aとして、他のBSC17と区別している。

## 【 0 0 4 5 】

この可変入出力セル17aは、図2(b)に示すように、2個のマルチプレクサ回路24と1個のフリップ・フロップ回路25と、1個のラッチ回路26とから構成する通常のBSC17に、AND回路27とOR回路28とからなるデータ入力回路を付加したものであり、通常のBSC17において、SHIFTとDT10との論理積をマルチプレクサ回路24に入力するとともに、TRST8とDT10との論理和をラッチ回路26に入力するようにしている。

## 【 0 0 4 6 】

そして、DT10から入力される入出力変更信号に基づいて、第1のBSP18の前段のBSC17から入力されるデータを第1のBSP18の後段のBSC17に出力するシフトモードと、内部接続線16側から入力されるデータを第1のBSP18の後段のBSC17に出力するバイパスモードとを変更

10

20

30

40

50

できるようにしている。

【 0 0 4 7 】

第2のJTAG回路15は、第2のロジック回路14と複数の外部入出力ピン29との接続点、及び第2のロジック回路14と内部接続線16との接続点に設けた複数のテスト用レジスタであるBSC17を有しており、この複数のBSC17を全て直列に接続することにより、テストデータの搬送経路である第2のBSP22を形成している。

【 0 0 4 8 】

また、この第2のJTAG回路15は、複数のBSC17の動作を制御する第2のTAP ( Test Access Port ) コントローラ23を有している。

【 0 0 4 9 】

特に、第2のBSP22を構成し内部接続線16と接続している4個のBSC17のうちで、第2のBSP22の最も入力端側 ( 始端側 ) に位置するBSC17を可変入出力セル17bとし、他のBSC17と区別している。

【 0 0 5 0 】

この可変入出力セル17bは、図2 ( a ) に示すように、2個のマルチプレクサ回路24と1個のフリップ・フロップ回路25と、1個のラッチ回路26とから構成する通常のBSC17に、AND回路27とOR回路28とからなるデータ入力回路を付加したものであり、通常のBSC17において、SHIFTとDT10との論理積をマルチプレクサ回路24に入力するとともに、TRST8とDT10との論理和をラッチ回路26に入力し、さらには、TMS7とDT10との論理和をマルチプレクサ回路24に入力するようにしている。

【 0 0 5 1 】

そして、DT10から入力される入出力変更信号に基づいて、第2のBSP22の前段のBSC17から入力されるデータをBSP22の後段のBSC17へ出力するシフトモードと、第2のBSP22の前段のBSC17から入力されるデータを内部接続線16側へ出力するバイパスモードとを変更できるようにしている。

【 0 0 5 2 】

このように、マルチチップ型半導体装置1では、第1及び第2のBSP18、22の途中の可変入出力セル17a、17bにデータ入出力回路を設けているために、BSP18、22の端部をバイパスして途中の可変入出力セル17a、17b間でデータを転送することができるようにしている。

【 0 0 5 3 】

このように構成したマルチチップ型半導体装置1は、以下のようにして、各チップに対して個別に良品判定テストを行う。

【 0 0 5 4 】

第1のチップ3に対してのみ良品判定テストを行う場合は、まず、TSEL9からセクタ20、21にTAPコントローラ選択信号を入力し、このTAPコントローラ選択信号に基づいてセクタ20が第1のTAPコントローラ19を選択し、セクタ21が第1のBSP18から出力されるテスト結果のデータをTD011から出力するように設定を行う。

【 0 0 5 5 】

さらに、TD10から可変入出力セル17aに入出力変更信号を入力することにより、可変入出力セル17aを第1のBSP18の前段のBSC17から入力されるデータを第1のBSP18の後段のBSC17に出力するシフトモードに設定する。

【 0 0 5 6 】

このように設定を行った状態で、TDI5から第1のTAPコントローラ19にテストデータを入力することにより、第1のBSP18を構成する全てのBSC17及び可変入出力セル17aにテストデータが入力される。

【 0 0 5 7 】

次に、TMS7から入力されるテストモード選択信号に基づいて所定の処理を施されたテスト結果のデータが各BSC17及び可変入出力セル17aに一旦保持される。

【 0 0 5 8 】

その後、各BSC17及び可変入出力セル17aに一旦保持されたテスト結果のデータは、TCK6

10

20

30

40

50

から入力されるテスト用クロック信号に同期して順次後段のBSC17にシフトされていき、第1のBSP18を通過してTD011から読み出される。

【0059】

そして、このTD011から読み出されたテスト結果のデータをマルチチップ型半導体装置1の外部に設けたホストコンピュータ(図示略)により解析することによって、第1のチップ3に対してのみ良品判定テストを行う。

【0060】

一方、第2のチップ4に対してのみ良品判定テストを行う場合は、まず、TSEL9からセクタ20、21にTAPコントローラ選択信号を入力し、このTAPコントローラ選択信号に基づいてセクタ20が第2のTAPコントローラ23を選択し、セクタ21が第2のBSP22から出力されるテスト結果のデータをTD011から出力するように設定を行う。

10

【0061】

さらに、DT10から可変入出力セル17bに入出力変更信号を入力することにより、可変入出力セル17bを第2のBSP22の前段のBSC17から入力されるデータを第2のBSP22の後段のBSC17へ出力するシフトモードに設定する。

【0062】

このように設定を行った状態で、TDI5から第2のTAPコントローラ23にテストデータを入力することにより、第2のBSP22を構成する全てのBSC17及び可変入出力セル17bにテストデータが入力される。

【0063】

20

次に、TMS7から入力されるテストモード選択信号に基づいて所定の処理を施されたテスト結果のデータが各BSC17及び可変入出力セル17bに一旦保持される。

【0064】

その後、各BSC17及び可変入出力セル17bに一旦保持されたテスト結果のデータは、TCK6から入力されるテスト用クロック信号に同期して順次後段のBSC17にシフトされていき、第2のBSP22を通過してTD011から読み出される。

【0065】

そして、このTD011から読み出されたテスト結果データをマルチチップ型半導体装置1の外部に設けたホストコンピュータ(図示略)により解析することによって、第2のチップ4に対してのみ良品判定テストを行う。

30

【0066】

このようにして、マルチチップ型半導体装置1に実装した第1のチップ3と第2のチップ4とに対して個別に良品判定テストを行うことができるため、所望のチップに対してのみ良品判定テストを行いたい場合は、必要最小限のBSC17に保持したデータだけをを用いて良品判定テストを行うことができ、これにより、良品判定テストに要する時間を短縮することができる。

【0067】

次に、マルチチップ型半導体装置1の外部入出力ピン29の接続状態だけを判定する場合は、以下のようにして良品判定テストを行う。

【0068】

40

まず、TSEL9からセクタ20、21にTAPコントローラ選択信号を入力し、このTAPコントローラ選択信号に基づいてセクタ20が第2のTAPコントローラ23を選択し、セクタ21が第1のBSP18から出力されるテスト結果のデータをTD011から出力するように設定を行う。

【0069】

さらに、DT10から可変入出力セル17a、17bに入出力変更信号を入力することにより、可変入出力セル17bを第2のBSP22の前段のBSC17から入力されるデータを内部接続線16側へ出力するバイパスモードに設定するとともに、可変入出力セル17aを内部接続線16側から入力されるデータを第1のBSP18の後段のBSC17に出力するバイパスモードに設定する。

【0070】

このように設定を行うことによって、可変入出力セル17bから可変入出力セル17aへデー

50

タを転送させることができ、その結果、第2のチップ4と外部入出力ピン29との接続点に設けたBSC17と、可変入出力セル17bと、第1のチップ3と外部入出力ピン29との接続点に設けたBSC17と可変入出力セル17aとだけを直列に接続した1本のパスを形成することができる。

【0071】

このように1本のパスを形成した状態で、TDI5から第2のTAPコントローラ23にテストデータを入力することにより、第2のBSP22を構成するBSC17のうち外部入出力ピン29と接続したBSC17と、可変入出力セル17bと、第1のBSP18を構成するBSC17のうち外部入出力ピン29と接続したBSC17と、可変入出力セル17aとだけにテストデータが入力される。

【0072】

次に、TMS7から入力されるテストモード選択信号に基づいて所定の処理が施されたテスト結果のデータが第2のBSP22を構成するBSC17のうち外部入出力ピン29と接続したBSC17と、可変入出力セル17bと、第1のBSP18を構成するBSC17のうち外部入出力ピン29と接続したBSC17と、可変入出力セル17aとに一旦保持される。

【0073】

その後、一旦保持されたテスト結果のデータは、TCK6から入力されるテスト用クロック信号に同期して順次後段のBSC17にシフトされていき、上記した1本のパスを通過してTD011から読み出される。

【0074】

そして、このTD011から読み出されたテスト結果データをマルチチップ型半導体装置1の外部に設けたホストコンピュータ（図示略）により解析することによって、マルチチップ型半導体装置1の外部入出力ピン29の接続状態だけを判定する良品判定テストを行う。

【0075】

このように、第2のチップ4と外部入出力ピン29との接続点に設けたBSC17と、可変入出力セル17bと、第1のチップ3と外部入出力ピン29との接続点に設けたBSC17と可変入出力セル17aとだけを直列に接続した1本のパスを形成することによって、第1のチップ3と第2のチップ4との内部接続部に設けたBSC17を省いたパスを形成できるので、外部入出力ピン29の接続状態のデータだけを読み出して良品判定テストを行うことができ、良品判定テストに要する時間を短縮することができる。

【0076】

次に、図1に示すマルチチップ型半導体装置1とは構造の異なるマルチチップ型半導体装置1aの良品判定テストを行う場合の実施形態について、図3を参照しながら説明する。

【0077】

なお、図3では、図1に示すマルチチップ型半導体装置1と同様の構成要素に関しては、同一の符号を付することにする。

【0078】

マルチチップ型半導体装置1aは、図3に示すように、同一の半導体基板2上に第1のチップ3aと第2のチップ4aとを実装している。

【0079】

この第1のチップ3a及び第2のチップ4aは、図1に示す第1のチップ3及び第2のチップ4とは異なり、その4辺全てに複数のBSC17を有している。

【0080】

そして、この複数のBSC17は、それぞれマルチチップ型半導体装置1aの外部入出力ピン29と、内部接続線16と、第1のチップ3a及び第2のチップ4aとに接続している。

【0081】

また、第1のチップ3a及び第2のチップ4aに設けたBSC17どうしは、図1に示すマルチチップ型半導体装置1と同様に各チップ毎に全て直列に接続しており、第1のBSP18及び第2のBSP22を形成している。

【0082】

特に、この複数のBSC17のうち、第1のBSP18を構成し内部接続線16と接続している4個の

10

20

30

40

50

BSC17のうちで、第1のBSP18の最も出力端側（終端側）に位置するBSC17を可変入出力セル17aとして、他のBSC17と区別している。

【0083】

また、第2のBSP22を構成し内部接続線16と接続している4個のBSC17のうちで、第2のBSP22の最も出力端側（終端側）に位置するBSC17を可変入出力セル30aとして、他のBSC17と区別している。

【0084】

この2つの可変入出力セル17a、30aは、ともに図2（b）に示す可変入出力セル17aと同様の構造をしており、DT10から入力される入出力変更信号に基づいてシフトモードとパイパスモードとを変更できるようにしている。

10

【0085】

さらに、第2のBSP22を構成し内部接続線16と接続している4個のBSC17のうちで、第2のBSP22の最も入力端側（始端側）に位置するBSC17を可変入出力セル17bとし、他のBSC17と区別している。

【0086】

また、第1のBSP18を構成し内部接続線16と接続している4個のBSC17のうちで、第1のBSP18の最も入力端側（始端側）に位置するBSC17を可変入出力セル30bとし、他のBSC17と区別している。

【0087】

この2つの可変入出力セル17b、30bは、ともに図2（a）に示す可変入出力セル17bと同様の構造をしており、DT10から入力される入出力変更信号に基づいてシフトモードとパイパスモードとを変更できるようにしている。

20

【0088】

このマルチチップ型半導体装置1aの外部入出力ピン29の接続状態に関する良否判定テストを行う場合は、以下のようにして行う。

【0089】

まず、TSEL9セレクタ20、21にTAPコントローラ選択信号を入力し、このTAPコントローラ選択信号に基づいてセレクタ20が第1のTAPコントローラ19と第2のTAPコントローラ23との両方を選択し、セレクタ21が第1のBSP18から出力されるテスト結果のデータをTD011から出力するように設定を行う。

30

【0090】

さらに、DT10から可変入出力セル17b、30bに入出力変更信号を入力することにより、可変入出力セル17bを第2のBSP22の前段のBSC17から入力されるデータを内部接続線16側へ出力するパイパスモードに設定するとともに、可変入出力セル30bを第1のBSP18の前段のBSC17から入力されるデータを内部接続線16側へ出力するパイパスモードに設定する。

【0091】

このとき、同時に、DT10から可変入出力セル17a、30aに入出力変更信号を入力することにより、可変入出力セル17aを内部接続線16側から入力されるデータを第1のBSP18の後段のBSC17に出力するパイパスモードに設定するとともに、可変入出力セル30aを内部接続線16側から入力されるデータを第1のBSP18の後段のBSC17に出力するパイパスモードに設定する。

40

【0092】

このように設定を行うことによって、可変入出力セル30bから可変入出力セル30aへデータを転送させることができるとともに、可変入出力セル17bから可変入出力セル17aへデータを転送させることができる。

【0093】

その結果、第1のチップ3aの4辺に設けたBSC17のうち内部接続線16と接続していないBSC17だけを直列に接続した第1のBSP18と、第2のチップ4aの4辺に設けたBSC17のうち内部接続線16と接続していないBSC17だけを直列に接続した第2のBSP22とを接続して1本のパスを形成することができる。

50

## 【 0 0 9 4 】

このように1本のパスを形成した状態で、TDI5から第1のTAPコントローラ19にテストデータを入力することにより、マルチチップモジュール1aの全ての外部入出力ピン29に対応したBSC17と可変入出力セル17a、17b、30a、30bとにテストデータが入力される。

## 【 0 0 9 5 】

このとき、予めTMS7から第1のTAPコントローラ19と第2のTAPコントローラにテストモード選択信号を入力することによって、この1本のパスを構成するBSC17のうち可変入出力セル17a、17b、30a、30b以外の全てのBSC17が前段のBSC17から後段のBSC17にデータをシフトするように設定を行っておく。

## 【 0 0 9 6 】

次に、TMS7から第1のTAPコントローラ19と第2のTAPコントローラ23とに入力されるテストモード選択信号に基づいて所定の処理が施されたテスト結果のデータがマルチチップモジュール1aの全ての外部入出力ピン29に対応したBSC17と可変入出力セル17a、17b、30a、30bとに一旦保持される。

## 【 0 0 9 7 】

その後、全てのBSC17と可変入出力セル17a、17b、30a、30bとに一旦保持されたテスト結果のデータは、TCK6から入力されるテスト用クロック信号に同期して順次後段のBSC17にシフトされていき、上記した1本のパスを通過してTD011から読み出される。

## 【 0 0 9 8 】

そして、このTD011から読み出されたテスト結果データをマルチチップ型半導体装置1の外部に設けたホストコンピュータ（図示略）により解析することによって、マルチチップ型半導体装置1の外部入出力ピン29の接続状態を判定する良品判定テストを行う。

## 【 0 0 9 9 】

マルチチップ型半導体装置1 aの全ての外部入出力ピン29と対応したBSC17と可変入出力セル17a、17b、30a、30bとを全て直列に接続した1本のパスを形成することによって、必要最小限のBSC17に記憶させたデータを用いて、マルチチップ型半導体装置1aの外部入出力端子29の接続状態に関する良品判定テストを行うことができるため、良品判定テストに要する時間を短縮することができる。

## 【 0 1 0 0 】

さらに、DT10から入力する入出力変更信号により可変入出力セル17a、17b、30a、30bのシフトモードとバイパスモードとを選択的に設定することによって、複数個のチップを有するマルチチップ型半導体装置1 aにおいて、各チップに対する個別の良品判定テストと、マルチチップ型半導体装置1a全体の良品判定テストとの両方の良品判定テストを行うことができる。

## 【 図面の簡単な説明 】

## 【 0 1 0 1 】

【 図 1 】 本発明に係るJTAG回路を有するマルチチップ型半導体装置を示す説明図である。

【 図 2 】 可変入出力セルを示す説明図である。

【 図 3 】 本発明に係るJTAG回路を有するマルチチップ型半導体装置を示す説明図である。

【 図 4 】 従来のJTAG回路を有する半導体装置を示す説明図である。

【 図 5 】 従来のJTAG回路を有するマルチチップ型半導体装置を示す説明図である。

## 【 符号の説明 】

## 【 0 1 0 2 】

- 1、 1 a マルチチップ型半導体装置
- 2 半導体基板
- 3 第1のチップ
- 4 第2のチップ
- 5 TDI
- 6 TCK
- 7 TMS

10

20

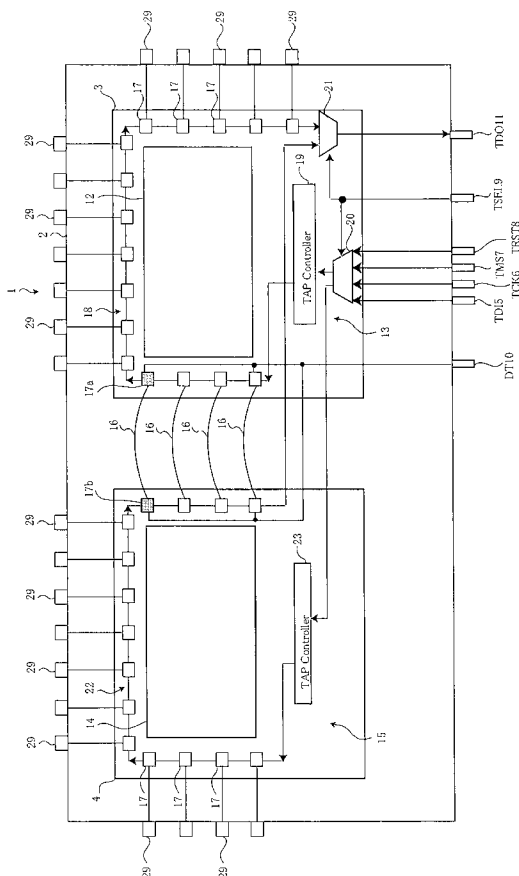
30

40

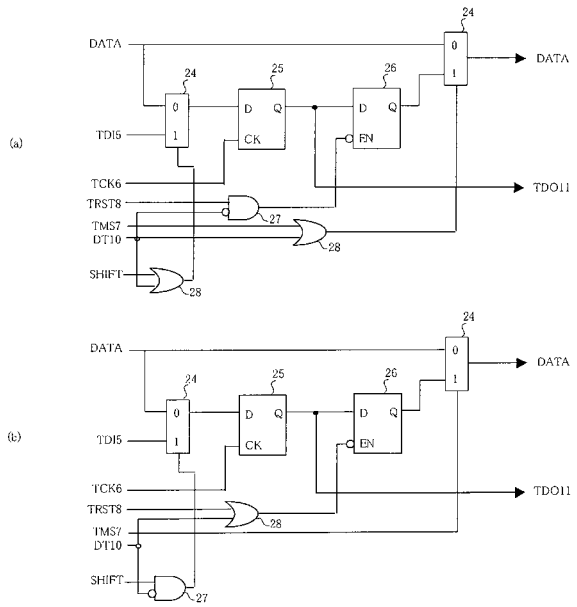
50

- 8 TRST
- 9 TSEL
- 10 DT
- 11 TDO
- 12 第1のロジック回路
- 13 第1のJTAG回路
- 14 第2のロジック回路
- 15 第2のJTAG回路
- 16 内部接続線
- 17 BSC
- 18 第1のBSP
- 19 第1のTAPコントローラ
- 17a、17b、30a、30b 可変入出力セル
- 22 第2のBSP
- 23 第2のTAPコントローラ
- 29 外部入出力ピン

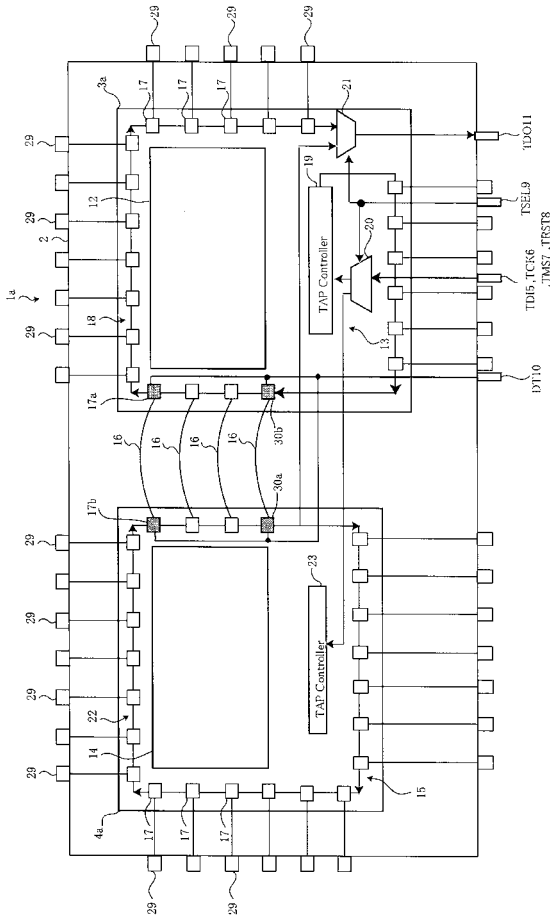
【図1】



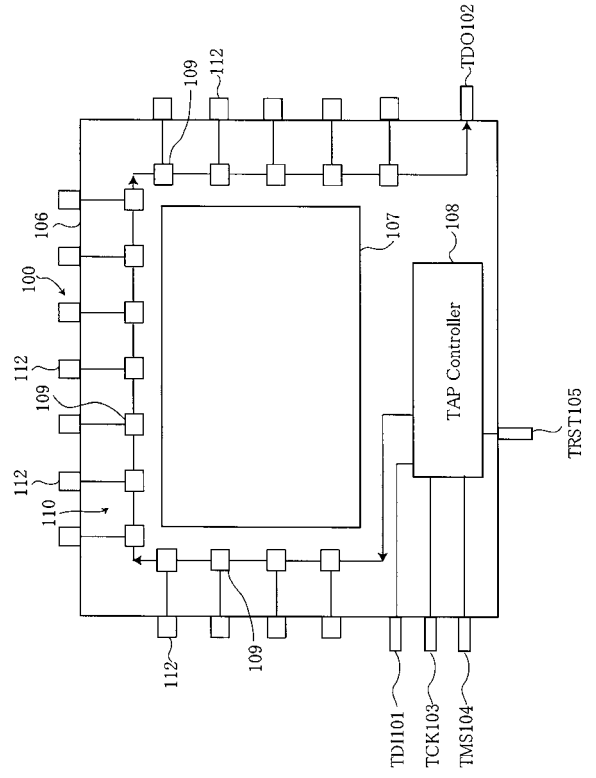
【図2】



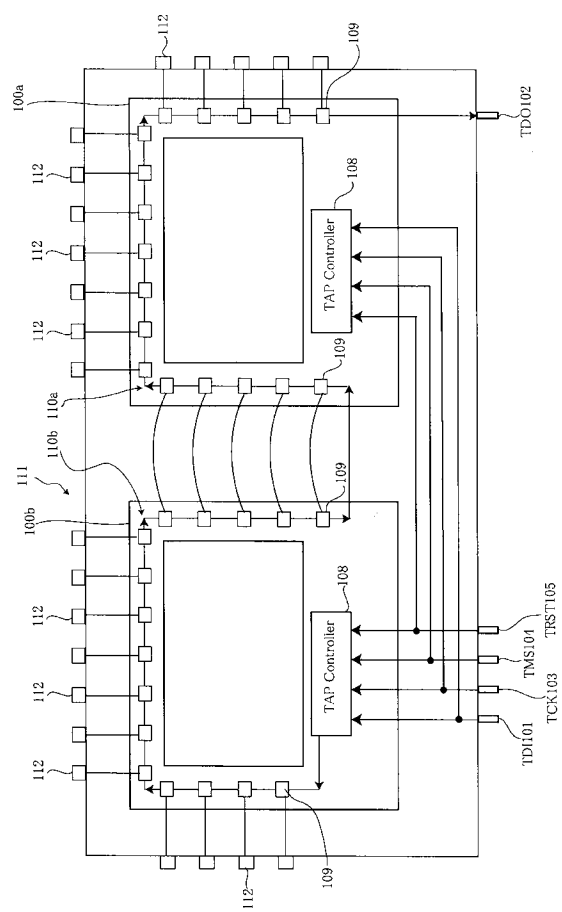
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 特開昭60-154173(JP,A)  
特開平02-156177(JP,A)  
特開平10-019983(JP,A)  
特開2000-275303(JP,A)  
特開2001-135786(JP,A)  
特開2003-346499(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28 - 31/319  
G06F 11/22 - 11/26  
H01L 21/64 - 21/66  
H01L 27/04