

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5180426号  
(P5180426)

(45) 発行日 平成25年4月10日 (2013.4.10)

(24) 登録日 平成25年1月18日 (2013.1.18)

(51) Int. Cl.	F I				
HO 1 L 21/768 (2006.01)	HO 1 L	21/90		J	
HO 1 L 23/522 (2006.01)	HO 1 L	21/90		A	
HO 1 L 21/3205 (2006.01)	HO 1 L	21/88		B	
HO 1 L 23/532 (2006.01)	HO 1 L	21/90		N	

請求項の数 7 (全 25 頁)

(21) 出願番号	特願2005-69874 (P2005-69874)	(73) 特許権者	302062931
(22) 出願日	平成17年3月11日 (2005.3.11)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2006-253504 (P2006-253504A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成18年9月21日 (2006.9.21)	(74) 代理人	100110928
審査請求日	平成20年2月15日 (2008.2.15)		弁理士 速水 進治
前置審査		(74) 代理人	100127236
			弁理士 天城 聡
		(72) 発明者	宇佐美 達矢
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		審査官	小田 浩

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の補強絶縁膜と第1の犠牲層間膜とをこの順に形成する工程と、  
 前記第1の犠牲層間膜から前記第1の補強絶縁膜にわたる第1の溝部を形成し、前記第1の溝部中に、銅含有金属により構成される第1の配線を形成し、前記第1の配線の上部を被覆する第1のキャップメタル膜を形成する工程と、  
 前記第1のキャップメタル膜の上部に、犠牲バリア絶縁膜と第2の犠牲層間膜とをこの順に形成する工程と、  
 前記第2の犠牲層間膜と前記犠牲バリア絶縁膜とを順次選択的に除去して底部に前記第1のキャップメタル膜が露出する孔を形成し、前記孔内に導電膜を形成して前記第1の配線に接続される導電性のビアを形成し、前記ビアの上部に、前記ビアを被覆する第2のキャップメタル膜を形成する工程と、  
 第2のキャップメタル膜を形成する前記工程の後、前記第2の犠牲層間膜と、前記犠牲バリア絶縁膜と、前記第1の犠牲層間膜とを順次除去し、前記第1の配線および前記ビアを露出させる工程と、  
 前記第1の配線の側壁から前記ビアの側壁にわたり、前記第1の配線の側壁と、前記第1の配線の上部と、前記第1の配線に接続される前記ビアの側壁とを覆う絶縁膜を形成する工程と、  
 を含むことを特徴とする半導体装置の製造方法。

【請求項2】

請求項 1 に記載の半導体装置の製造方法において、  
前記絶縁膜が低誘電率材料により構成され、  
絶縁膜を形成する前記工程の後、前記絶縁膜の上部を下部よりも高密度化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、  
絶縁膜の上部を下部よりも高密度化する前記工程が、前記絶縁膜に電子線または紫外線を照射する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 に記載の半導体装置の製造方法において、  
絶縁膜を形成する前記工程が、前記絶縁膜中にエアギャップを設ける工程を含むことを特徴とする半導体装置の製造方法。

10

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置の製造方法において、  
絶縁膜を形成する前記工程の後、前記絶縁膜の上部に、第 2 の補強絶縁膜と第 3 の犠牲層間膜とをこの順に形成する工程と、

前記第 3 の犠牲層間膜から前記第 2 の補強絶縁膜にわたる第 2 の溝部を形成し、前記第 2 の溝部中に、銅含有金属により構成される第 2 の配線を形成し、前記第 2 の配線の上部を被覆する第 3 のキャップメタル膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

20

【請求項 6】

請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法において、  
絶縁膜を形成する前記工程の後、前記絶縁膜の機械的研磨を実施し、前記ビア上の前記第 2 のキャップメタル膜で研磨をとめる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法において、  
絶縁膜を形成する前記工程の後、前記絶縁膜を機械的研磨することにより、前記ビア上の前記絶縁膜と前記第 2 のキャップメタル膜とを除去する工程を含むことを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多層配線構造を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来、半導体素子の微細化が進むにつれ、メタル配線がしめる信号遅延が顕著になり、その改善が望まれている。その対策として、層間絶縁膜に低誘電率膜（Low-k 膜）が用いられている。Low-k 膜を層間絶縁膜に用いた配線およびビアの構造に関して、従来、以下のものがある。

40

【0003】

図 1 4 は、従来の半導体装置の構成を示す断面図である。図 1 4 に示した半導体装置 200 は、以下の手順で製造される。

まず、シリコン基板（不図示）上に、SiO<sub>2</sub>膜 201 およびバリア絶縁膜 203 を形成する。バリア絶縁膜 203 は、たとえば SiC 膜または SiCN 膜である。そして、バリア絶縁膜 203 上に、第 1 Low-k 膜 205 として、ポーラス SiOC 膜を 70 ~ 200 nm 程度の膜厚で形成する。第 1 Low-k 膜 205 の上に、ハードマスク SiO<sub>2</sub> 膜（不図示）を約 50 ~ 150 nm 形成する。その後、フォトリソグラフィ工程により、ハードマスク SiO<sub>2</sub> 膜および第 1 Low-k 膜 205 であるポーラス SiOC 膜のフロロカーボン系のガスを用いたエッチングおよびアッシングを行い、配線溝を形成する。

50

配線溝中に、バリアメタル膜 2 1 1 および銅配線 2 1 3 を形成した後、バリア絶縁膜 2 0 7 として、SiCN または SiC 膜を形成する。さらにその上に、第 2 Low - k 膜 2 0 9 として、ポーラス SiOC 膜を形成し、同様に加工を行い、ビアホール 2 1 5 を形成する。こうして、図 1 4 に示した半導体装置 2 0 0 が得られる。また、その後、ビアホール 2 1 5 中に金属膜を埋設し、ビアプラグ（不図示）を形成する。これを繰り返すことにより、多層配線が形成される。

【 0 0 0 4 】

また、非特許文献 1 および特許文献 1 には、ポーラス Low - k 膜に銅配線を形成し、その上にポーラス Low - k 膜を形成し、そこにビアを形成する構造が記載されている。同文献記載の技術によれば、絶縁膜をポーラス Low - k 膜にすることで低誘電率にすることができるとされている。

10

【非特許文献 1】S.Nitta 他 1 5 名、「Successful Dual Damascene Integration of Extreme Low k Materials(k<2.0) Using a Novel Gap Fill Based Integration Scheme」、IEEEDM2004 Proceedings、米国、IEEE、2004.12

【特許文献 1】米国特許第 6 4 1 3 8 5 2 号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところが、上記文献に記載の技術について本発明者が検討したところ、以下の点で改善の余地があった。

20

【 0 0 0 6 】

まず、図 1 4 を参照して前述した半導体装置 2 0 0 では、フォトリソグラフィ工程により、ハードマスク SiO<sub>2</sub> 膜（不図示）およびポーラス SiOC 膜の除去を行う。具体的には、フロロカーボン系のガスを用いたエッチングおよびアッシングを行う。この加工プロセスにより、第 1 Low - k 膜 2 0 5 および第 2 Low - k 膜 2 0 9 の露出部に劣化層 2 1 7 が形成されてしまう。このため、劣化層 2 1 7 の形成領域では、Low - k 膜中の Si - CH<sub>3</sub> 結合が切断されて、Low - k 膜の誘電率が上昇してしまった。

【 0 0 0 7 】

また、銅配線 2 1 3 の形成層すなわち配線層上に、配線層よりもメタルの面積が少ないビアが形成された層が設けられた積層部分において、剥離が生じる懸念があった。具体的には、第 2 Low - k 膜 2 0 9 であるポーラス SiOC 膜とバリア絶縁膜 2 0 7 膜である SiCN 膜または SiC 膜との密着性が悪かった。このため、多層配線を形成し、組み立て後、T/C（熱サイクル）試験を行ったときに、それぞれの膜の熱膨張係数の違いにより、これらが剥離して、剥離界面 2 1 9 が生じてしまう懸念があった。

30

【 0 0 0 8 】

また、界面における剥離を抑制するためには、第 1 Low - k 膜 2 0 5 と第 2 Low - k 膜 2 0 9 との界面にバリア絶縁膜 2 0 7 膜を設けない構成とすることが考えられる。図 1 5 は、このような半導体装置の構成を示す断面図である。図 1 5 に示した半導体装置 2 1 0 においては、バリア絶縁膜 2 0 7 を有しないため、ビアホールを形成する際のエッチングストップが必要となる。そこで、半導体装置 2 1 0 においては、銅配線 2 1 3 の上部にキャップメタル膜 2 2 1 が設けられている。

40

【 0 0 0 9 】

ところが、配線やビア径が微細になると、ビアの形成時の目合わせでずれが生じたり、大きな直径のウェーハでは、一部の領域で配線とビアとの目合わせずれが発生したりすることがある。図 1 5 の半導体装置 2 1 0 では、配線層をなす第 1 の Low - k 膜 2 0 5 および第 2 の Low - k 膜 2 0 9 としてポーラス SiOC 膜が積層されており、第 2 の Low - k 膜 2 0 9 中にビアホールを形成する際の見合わせずれにより、アンランデッドビア 2 2 6 が形成されている。この構造では、ビアホールがアンランデッドビア 2 2 6 となる目合わせずれが生じると、加工対象である Low - k 膜がポーラスであるため、エッチング速度が速く、いわゆるビアの踏み外しが起こってしまう。具体的には、目合わせずれが

50

生じなければビアホールが銅配線 2 1 3 の上部で止まるところが、目合わせのずれたところでは、第 1 の Low - k 膜 2 0 5 領域まで深さ方向に速やかにエッチングが進行してしまう。これにより、ビアホール中にバリアメタル膜や銅膜を埋設する際に、埋設不良が生じる懸念があった。

【 0 0 1 0 】

また、背景技術の項で前述した特許文献 1 においては、デュアルダマシン法により配線構造を作製しているが、デュアルダマシン法で配線および接続プラグを銅により構成した場合、半導体装置の歩留が悪く、安定的に生産されないという課題があった。また、半導体装置を安定的に長期間利用するためには、なお改善の余地を有しており、半導体装置の素子の信頼性を高めるため、さらなる改良が望まれていた。

10

【 0 0 1 1 】

そこで、特許文献 1 に記載の技術をシングルダマシン工程に適用しようとした場合、以下の構成となると考えられる。図 1 6 ( a ) および図 1 6 ( b ) は、特許文献 1 に記載の技術をシングルダマシン工程に適用しようとした際の半導体装置の製造工程を示す断面図である。

【 0 0 1 2 】

まず、図 1 6 ( a ) に示したように、シリコン基板 ( 不図示 ) の上部に、SiO<sub>2</sub> 膜 2 0 1 およびバリア絶縁膜 2 0 3 を形成する。そして、バリア絶縁膜 2 0 3 上に、第 1 Low - k 膜 2 0 5 およびハードマスク SiO<sub>2</sub> 膜 ( 不図示 ) を形成する。その後、フォトリソグラフィ工程により、ハードマスク SiO<sub>2</sub> 膜および第 1 Low - k 膜 2 0 5 のフロ

20

ロカーボン系のガスを用いたエッチングおよびアッシングを行い、配線溝を形成する。配線溝中に、バリアメタル膜 2 1 1 および銅配線 2 1 3 を形成する。そして、銅配線 2 1 3 の上部に選択的にキャップメタル膜 2 2 1 として Cu シリサイド層を形成する ( 図 1 6 ( a ) )。

【 0 0 1 3 】

つづいて、図 1 6 ( b ) に示したように、第 1 Low - k 膜 2 0 5 およびバリア絶縁膜 2 0 3 をこの順に除去し、銅配線 2 1 3 を露出させる。

【 0 0 1 4 】

ところが、この構成では、銅配線 2 1 3 のストッパーであるバリア絶縁膜 2 0 3 をエッチングで取り去る段階で、エッチング条件の制御が困難で配線がリフトオフしてしまうことがあった。その理由としては、図 1 6 ( b ) に示すように、銅配線 2 1 3 と下層 ( SiO<sub>2</sub> 膜 2 0 1 ) との界面にエッチャントが入り込み、銅配線 2 1 3 が浮き上がってしまうことが挙げられる。

30

【 課題を解決するための手段 】

【 0 0 1 5 】

以上のように、層間絶縁膜に低誘電率膜 ( Low - k 膜 ) の適用が採用されつつあるが、シングルダマシン工程において、層間絶縁膜の Low - k 化をおこなうと、Low - k 膜の加工時の Low - k 膜の劣化が起こり、実質的には誘電率の低下が困難である懸念があった。また、Low - k 膜の採用による層間絶縁膜の機械的強度の低下により、特に、データ率の少ないビア部の層間膜界面による剥がれの発生が顕著になっていた。また、配線構造が微細になることで、配線とビアの間で目合わせずれが起こり、配線と Low - k

40

膜の間に空隙ができてしまう懸念があった。

【 0 0 1 6 】

本発明によれば、銅含有金属により構成される第 1 の配線と、前記第 1 の配線の上部に接して設けられて、前記第 1 の配線の上部を被覆する第 1 のキャップメタル膜と、前記第 1 のキャップメタル膜の上部に設けられ、前記第 1 の配線に接続される導電性のビアと、前記第 1 の配線の側壁から前記ビアの側壁にわたって設けられ、前記第 1 の配線の側壁

50

と、前記第1の配線の上部と、前記ビアの側壁とを覆うように形成された絶縁膜と、  
前記絶縁膜の下層にあって、前記第1の配線の側壁下部に接するとともに、前記絶縁膜よりも膜密度の高い補強絶縁膜と、  
を有する配線構造を備えることを特徴とする半導体装置が提供される。

【0017】

この構成において、下層にある第1の配線の形成層と上層にあるビアの形成層との境界部は、絶縁膜中のデータ率が不連続的に顕著に変化する部分である。このような部分に異種材料からなる膜が設けられていると、膜の界面において剥離が生じる原因となる。これに対し、本発明によれば、第1の配線の上部に第1のキャップメタル膜が設けられているとともに、第1の配線の側壁からビアの側壁にわたって絶縁膜が設けられており、当該絶縁膜が第1の配線の側壁、第1の配線の上部、およびビアの側壁を覆うように形成されている。このため、第1の配線の形成層とビアの形成層との境界部に異種材料からなる膜が設けられていない構成とすることができるので、第1の配線の形成層とビアの形成層との境界部における絶縁膜の剥離を抑制することができる。また、異種材料からなる膜が設けられていないため、絶縁膜の誘電率を効果的に低下させることができる。

10

【0018】

なお、本明細書において、データ率とは、絶縁層において金属膜の占める面積割合をいう。一般に、配線が形成された層はデータ率が高く、ビアが形成された層はデータ率が低く、これらのデータ率は顕著に異なる。

【0019】

また、第1の配線の上部に第1のキャップメタル膜が設けられているため、前述した異種材料からなる膜を有しない構成であっても、ビアを安定的に形成することができる。また、絶縁膜が第1の配線の側壁、第1の配線の上部、およびビアの側壁を覆うように形成されているため、第1のキャップメタル膜上に設けられるビアに目合わせずれが生じた場合にも、ビアの埋設不良やそれに伴う製造歩留まりの低下が抑制されている。

20

【0020】

また、この構成によれば、第1の配線の側壁下部に接して、絶縁膜よりも膜密度の高い補強絶縁膜が設けられているため、第1の絶縁膜の底面を補強して保護するとともに、第1の配線が補強絶縁膜中に支持されて、製造工程中で第1の配線の底面が剥離することを抑制できる。

30

【0021】

よって、本発明の半導体装置によれば、絶縁膜の誘電率を効果的に低下させることが可能な構成であるとともに、製造安定性に優れた構成となっている。

【0022】

本発明において、前記絶縁膜が、前記第1の配線の側壁から前記ビアの側壁にわたって連続一体に形成された構成とすることができる。本明細書において、連続一体とは、連続体として一体に成形されていることをいう。また、単一部材からなり、接合部を有しない構造であることが好ましい。絶縁膜が、複数の膜が積層された構成の場合、膜と膜との界面が存在するため、界面において剥離が生じる懸念があるが、この構成によれば、このような界面が存在しないため、絶縁膜の熱サイクル特性をさらに向上させることができる。また、絶縁膜の誘電率をより一層効果的に低下させることができる。

40

【0023】

また、本発明によれば、

第1の補強絶縁膜と第1の犠牲層間膜とをこの順に形成する工程と、

前記第1の犠牲層間膜から前記第1の補強絶縁膜にわたる第1の溝部を形成し、前記第1の溝部中に、銅含有金属により構成される第1の配線を形成し、前記第1の配線の上部を被覆する第1のキャップメタル膜とを形成する工程と、

前記第1のキャップメタル膜の上部に、犠牲バリア絶縁膜と第2の犠牲層間膜とをこの順に形成する工程と、

前記第2の犠牲層間膜と前記犠牲バリア絶縁膜とを順次選択的に除去して底部に前記キ

50

ャップメタル膜が露出する孔を形成し、前記孔内に導電膜を形成して前記第1の配線に接続される導電性のビアを形成し、前記ビアの上部に、前記ビアを被覆する第2のキャップメタル膜を形成する工程と、

第2のキャップメタル膜を形成する前記工程の後、前記第2の犠牲層間膜と、前記犠牲バリア絶縁膜と、前記第1の犠牲層間膜とを順次除去し、前記第1の配線および前記ビアを露出させる工程と、

前記第1の配線の側壁から前記ビアの側壁にわたり、前記第1の配線の側壁と、前記第1の配線の上部と、前記第1の配線に接続される前記ビアの側壁とを覆う絶縁膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法が提供される。

10

#### 【0024】

本発明によれば、第1の犠牲層間膜、犠牲バリア絶縁膜、および第2の犠牲層間膜を除去して第1の配線とビアとを露出させた後、第1の絶縁膜の側壁からビアの側壁にわたる絶縁膜を形成する。このため、絶縁膜を形成した後、これを選択的に除去して溝部や孔を形成する工程が生じない。このため、絶縁膜の加工処理による劣化を抑制することができる。また、これらの犠牲膜を除去する工程を、第1の配線が第1の補強絶縁膜に支持された状態で行うため、犠牲膜の除去工程における第1の配線の剥離を抑制することができる。

#### 【0025】

また、第1の配線の上部に第1のキャップメタルを形成し、第1のキャップメタルの上部に犠牲バリア絶縁膜を形成する工程を含むため、第1の配線の上部にビアホールを形成する際に、下層にある第1の配線とビアホールとの目合わせずれが生じた場合にも、ビアホールが第1の配線の側方に過度に深く形成されることが抑制される。このため、その後のビアの埋設不良およびそれに伴う歩留まりの低下を抑制することができる。

20

#### 【0026】

このように、本発明によれば、絶縁膜の誘電率が効果的に低下した構成の半導体装置を安定的に製造し、製造歩留まりを向上させることができる。

#### 【発明の効果】

#### 【0027】

以上説明したように本発明によれば、半導体装置の配線構造中の絶縁膜を低誘電率化するとともに、製造安定性を向上させることができる。

30

#### 【発明を実施するための最良の形態】

#### 【0028】

以下、低誘電率膜中に銅含有金属の多層配線構造が設けられた半導体装置をシングルダマシンプロセスにより製造する場合について、本発明の実施形態について図面を参照して説明する。なお、すべての図面において、共通の構成要素には同一の符号を付し、以下の説明において共通する説明を適宜省略する。

#### 【0029】

(第一の実施形態)

図10(a)および図10(b)は、本実施形態の半導体装置の構成を示す断面図である。図10(b)に示した半導体装置110は、図10(a)に示した半導体装置100において、配線とビアとの接続部分に目ずれが生じた場合の構成を示している。

40

#### 【0030】

図10(a)に示した半導体装置100は、シリコン基板上に層間絶縁膜が形成され、層間絶縁膜中に銅配線およびビアからなる多層配線構造が設けられた構造を有する。図示した構造は、こうした多層配線構造の一部を示すものであり、下層配線が導電性のビア(プラグ)を介して、上層配線に接続されたシングルダマシンプロセス構造を有している。

半導体装置100は、銅含有金属により構成される第1の配線(第1配線108)と、第1配線108の上部に接して設けられて、第1配線108の上部を被覆する第1のキャップメタル膜(Cuシリサイド層111)と、Cuシリサイド層111の上部に設けられ

50

、第1配線108に接続される導電性のビア(第1プラグ114)と、第1配線108の側壁から第1プラグ114の側壁にわたって設けられ、第1配線108の側壁と、第1配線108の上部と、第1プラグ114の側壁とを覆うように形成された絶縁膜(第1ポラスMSQ膜105)と、第1ポラスMSQ膜105の下層にあって、第1配線108の側壁下部に接するとともに、第1ポラスMSQ膜105よりも膜密度の高い補強絶縁膜(第1SiCN膜103)と、を有する配線構造を備える。

また、この配線構造は、第1プラグ114の上部に接して設けられて、第1プラグ114の上部を被覆する第2のキャップメタル膜(Cuシリサイド層117)を有する。

第1ポラスMSQ膜105は、第1配線108の側面から第1プラグ114の側面にわたって連続一体に設けられている。第1ポラスMSQ膜105は、第1配線108の配線間および第1プラグ114間に埋設された中実の膜である。

第1ポラスMSQ膜105は、低誘電率材料により構成されるとともに、第1ポラスMSQ膜105の上部が、下部よりも高密度化されている。また、第1ポラスMSQ膜105は、上部の機械的強度が下部より高い膜である。また、第1ポラスMSQ膜105は、構成元素として炭素を含む低誘電率材料により構成され、上部の炭素濃度が下部よりも低い。

第1ポラスMSQ膜105は、電子線照射または紫外線照射されてなる膜である。

低誘電率材料の赤外吸収スペクトルにおいて、 $1150\text{ cm}^{-1}$ 近傍にピークを有する赤外吸収帯のピーク強度 $I_1$ が、第1ポラスMSQ膜105の下部よりも上部において小さい。この吸収帯は、Cage(かご)型Si-O構造を反映する吸収帯である。なお、 $1150\text{ cm}^{-1}$ 近傍とは、たとえば $1100\sim 1200\text{ cm}^{-1}$ である。

前記低誘電率材料の赤外吸収スペクトルにおいて、 $1050\text{ cm}^{-1}$ 近傍にピークを有する赤外吸収帯のピーク強度 $I_2$ が、第1ポラスMSQ膜105の下部よりも上部において大きい。この吸収帯は、Ladder(梯子)型Si-O構造を反映する吸収帯である。なお、 $1050\text{ cm}^{-1}$ 近傍とは、たとえば $1000\sim 1100\text{ cm}^{-1}$ である。

前記低誘電率材料の赤外吸収スペクトルにおいて、 $3000\text{ cm}^{-1}$ 近傍にピークを有する赤外吸収帯のピーク強度 $I_3$ が、第1ポラスMSQ膜105の下部よりも上部において小さい。この吸収帯は、C-H結合を由来の吸収帯であり、 $I_3$ が大きいほど、膜中の炭素濃度が高い。なお、 $3000\text{ cm}^{-1}$ 近傍とは、たとえば $2950\sim 3050\text{ cm}^{-1}$ である。

#### 【0031】

なお、本明細書において、「ピーク強度」とは、赤外吸収スペクトル中の赤外吸収帯、つまり吸収曲線とそのベースラインとで囲まれる領域において、ピーク位置の吸光度から、ピーク位置の波数におけるベースラインの吸光度を差し引いた値である。それぞれの赤外吸収帯のベースラインは、通常、以下の範囲内でひくことができる。

$$I_1: 1000\sim 1100\text{ cm}^{-1}$$

$$I_2: 1100\sim 1200\text{ cm}^{-1}$$

$$I_3: 3050\sim 2800\text{ cm}^{-1}$$

半導体装置100は、このような配線構造が複数積層されており、一の前記配線構造の第1プラグ114が、当該一の配線構造の上部に設けられた他の配線構造の第1の配線(第2配線124)に接続されている。

また、半導体装置100は、第1プラグ114の上部に設けられ、第1プラグ114に接続され、銅含有金属により構成される第2の配線(第2配線124)と、第1ポラスMSQ膜105の上層にあって、第2配線124の側壁下部に接するとともに、第1ポラスMSQ膜105よりも膜密度の高い第2の補強絶縁膜(第2SiCN膜119)と、を有する。第2SiCN膜119の上部には第2ポラスMSQ膜121が設けられ、第2SiCN膜119は第2ポラスMSQ膜121よりも膜密度が高い膜である。

#### 【0032】

以下、半導体装置100の構成をさらに詳細に説明する。

半導体装置100は、シリコン基板(不図示)上に、多層膜101、第1SiCN膜1

10

20

30

40

50

03、第1ポーラスMSQ膜105、第2SiCN膜119および第2ポーラスMSQ膜121がこの順に積層された構成である。多層膜101は、層間絶縁膜と配線層との積層膜である。

【0033】

第1ポーラスMSQ膜105は、第1配線108の底面近傍を除く領域と第1プラグ114とを内包する連続体の膜である。第2ポーラスMSQ膜121は、第2配線124の底面近傍を除く領域と第2プラグ130とを内包する連続体の膜である。

【0034】

第1ポーラスMSQ膜105および第2ポーラスMSQ膜121は、低誘電率材料により構成された層間絶縁膜である。第1ポーラスMSQ膜105および第2ポーラスMSQ膜121は、上面側から紫外線照射または電子線照射されてなる膜である。紫外線の波長は、たとえば100nm以上400nm以下とすることができる。また、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121は、下部すなわちシリコン基板側よりも上部の膜密度が高く、機械的強度が強化された膜である。第1ポーラスMSQ膜105および第2ポーラスMSQ膜121において、たとえば膜の上部の機械的強度が下部の機械的強度の2倍以上である構成とすることができる。こうすれば、データ率の低い第1プラグ114の形成層の上部の強度をさらに確実に高めることができるため、製造安定性をより一層向上させることができる。

【0035】

また、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121は、下部よりも上部において、ポーラスMSQ中のC-H結合の量が減少していてもよいし、ポーラスMSQ中のLadder(梯子)型のSi-O結合量が増加していてもよいし、ポーラスMSQ中のCage(かご)型のSi-O結合量が減少していてもよく、さらに、これらの複数が同時に満たされていてもよい。これらの結合量の変化は、たとえば赤外線吸収測定により検出することができる。

【0036】

また、さらなる機械的強度向上が必要な場合は、後処理条件の制御により、上層の炭素濃度を容易に減少させることができ、結果的に炭素濃度の減少は、SIMS(二次イオン質量分析法)やXPS(X線光電子分光分析法)などの測定により、簡単に観測できる。

【0037】

なお、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121において、膜密度、機械的強度、ポーラスMSQ中のC-H結合量、ポーラスMSQ中のLadder型のSi-O結合量、およびポーラスMSQ中のCage型のSi-O結合の量といった膜の組成および物性は、膜の上部と下部において異なる構成であればよく、たとえば第1SiCN膜103から遠ざかるに従って漸次的に変化している構成とすることができる。

【0038】

また、半導体装置100は、データ率が不連続的に変化する不連続面に、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の組成または物性が不連続的に変化する不連続面が位置しない構成である。特に、データ率の高い領域上にデータ率の低い領域が設けられている際に、データ率の低い領域の底面の位置する水準に、ポーラスMSQ膜の組成または物性の不連続面が存在しない。具体的には、第1配線108と第1プラグ114との境界面と同一水準、および第2配線124と第2プラグ130との境界面と同一水準に、それぞれ、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の組成または物性の不連続面が存在しない。

【0039】

また、少なくとも第1配線108の底面と同一の水準から第1プラグ114の底面と同一の水準までの範囲、および第2配線124の底面と同一の水準から第2プラグ130の底面と同一の水準までの範囲においては、両端を含めて、それぞれ、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の組成または物性の不連続面が存在しない。

【0040】

10

20

30

40

50

なお、第1プラグ114の底面よりも上部であって、第1プラグ114の上面以下の水準の領域、および第2プラグ130の底面よりも上部であって、第2プラグ130の上面以下の水準の領域には、それぞれ、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の組成または物性の不連続面が設けられていてもよい。第1ポーラスMSQ膜105および第2ポーラスMSQ膜121が、膜全体において組成または物性の不連続面を有しない構成とすることがさらに好ましい。こうすれば、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の熱サイクル特性をより一層向上させることができる。

#### 【0041】

第1SiCN膜103および第2SiCN膜119は、それぞれ、第1配線108および第2配線124の側面下部に接し、それぞれ、第1配線108および第2配線124を支持する膜として機能する。また、第2SiCN膜119は、金属膜のデータ率が急激に大きくなる第1プラグ114と第2配線124との境界部において、第2ポーラスMSQ膜121と第1ポーラスMSQ膜105との間に介在して配線構造間を補強する補強膜として機能する。

10

#### 【0042】

第1ポーラスMSQ膜105中には、第1配線108、Cuシリサイド層111、第1プラグ114、およびCuシリサイド層117がこの順に接続された状態で埋設されている。また、第2ポーラスMSQ膜121中には、Cuシリサイド層117に接続された第2配線124、Cuシリサイド層127、第2プラグ130、およびCuシリサイド層133がこの順に接続された状態で埋設されている。第1プラグ114および第2プラグ130は、配線に接続された導電性のビアプラグである。

20

#### 【0043】

第1配線108は、第1ポーラスMSQ膜105から第1SiCN膜103にわたって設けられており、第1Cu配線109と第1Cu配線109の側面および底面を被覆するバリアメタル膜107とから構成され、第1Cu配線109の上面がCuシリサイド層111により被覆されている。第1配線108は、側面下部において、第1SiCN膜103により支持され、多層膜101上に固定されている。

#### 【0044】

Cuシリサイド層111上には、第1配線108に電氣的に接続される第1プラグ114が設けられている。第1プラグ114は、第1Cuビア115と第1Cuビア115の側面および底面を被覆するバリアメタル膜113とから構成され、第1Cuビア115の上面はCuシリサイド層117により被覆されている。

30

#### 【0045】

第2配線124は、第2ポーラスMSQ膜121から第2SiCN膜119にわたって設けられており、第2Cu配線125と第2Cu配線125の側面および底面を被覆するバリアメタル膜123とから構成され、第2Cu配線125の上面がCuシリサイド層127により被覆されている。第2配線124は、側面下部において、第2SiCN膜119により支持されて、第1ポーラスMSQ膜105上に固定されている。

#### 【0046】

Cuシリサイド層127上には、第2配線124に電氣的に接続される第2プラグ130が設けられている。第2プラグ130は、第2Cuビア131と第2Cuビア131の側面および底面を被覆するバリアメタル膜129とから構成され、第2Cuビア131の上面はCuシリサイド層133により被覆されている。

40

#### 【0047】

また、図10(b)に示した半導体装置110の基本構成は図10(a)に示した半導体装置100と同様であるが、第1プラグ114に代わり、バリアメタル膜112と第1Cuビア116とから構成される第1プラグ118が設けられており、第1プラグ118が目ずれ部137を有する点が異なる。また、第2プラグ130に代わり、バリアメタル膜128と第2Cuビア132とから構成される第2プラグ134が設けられており、第

50

2プラグ134が目ずれ部139を有する点が異なる。

【0048】

次に、図10(a)に示した半導体装置100の製造方法を説明する。図1(a)~図9(a)は、半導体装置100の製造工程を示す断面図である。

【0049】

本実施形態の製造方法は、第1の補強絶縁膜(第1SiCN膜103)と第1の犠牲層間膜(第1SiO<sub>2</sub>膜141)とをこの順に形成する工程と、第1SiO<sub>2</sub>膜141から第1SiCN膜103にわたる第1の溝部を形成し、第1の溝部中に、銅含有金属により構成される第1の配線(第1配線108)を形成し、第1配線108の上部を被覆する第1のキャップメタル膜(Cuシリサイド層111)を形成する工程と、Cuシリサイド層111の上部に、犠牲バリア絶縁膜(犠牲SiCN膜143)と第2の犠牲層間膜(第2犠牲SiO<sub>2</sub>膜145)とをこの順に形成する工程と、第2犠牲SiO<sub>2</sub>膜145と犠牲SiCN膜143とを順次選択的に除去して底部にCuシリサイド層111が露出する孔を形成し、孔内に導電膜を形成して第1配線108に接続される導電性のビア(第1プラグ114)と、第1プラグ114の上部に、第1プラグ114を被覆する第2のキャップメタル膜(Cuシリサイド層117)とを形成する工程と、Cuシリサイド層117を形成する工程の後、第2犠牲SiO<sub>2</sub>膜145と、犠牲SiCN膜143と、第1SiO<sub>2</sub>膜141とを順次除去し、第1配線108および第1プラグ114を露出させる工程と、第1配線108の側壁から第1プラグ114の側壁にわたり、第1配線108の側壁と、第1配線108の上部と、第1プラグ114の側壁とを覆う絶縁膜(第1ポーラスMSQ膜105)を形成する工程と、を含む。また、各上記工程を繰り返して、多層配線構造を形成する。

第1ポーラスMSQ膜105は、低誘電率材料により構成され、第1ポーラスMSQ膜105を形成する工程の後、第1ポーラスMSQ膜105の上部を下部よりも高密度化する。第1ポーラスMSQ膜105の上部を下部よりも高密度化する工程は、第1ポーラスMSQ膜105に電子線または紫外線を照射する工程を含む。

第1ポーラスMSQ膜105を形成する工程の後、第1ポーラスMSQ膜105の上部に、第2の補強絶縁膜(第2SiCN膜119)と第3の犠牲層間膜(不図示のSiO<sub>2</sub>膜)とをこの順に形成する工程と、第3犠牲層間膜から第2SiCN膜119にわたる第2の溝部を形成し、第2の溝部中に、銅含有金属により構成される第2の配線(第2配線124)を形成し、第2配線124の上部を被覆する第3のキャップメタル膜(Cuシリサイド層127)を形成する工程と、を含む。

また、本実施形態の製造方法は、第1ポーラスMSQ膜105を形成する工程の後、第1ポーラスMSQ膜105を機械的研磨により平坦化し、第1プラグ114上のCuシリサイド層117で、研磨をとめる工程を含む。

【0050】

以下、半導体装置100の製造方法をさらに詳細に説明する。

まず、図1(a)に示したように、多層膜101上に、第1の補強絶縁膜として、第1SiCN膜103を約20~50nm形成し、次に、第1犠牲層間膜として、70~200nm程度の膜厚の第1SiO<sub>2</sub>膜141を形成する。リソグラフィ技術を用いて、第1SiCN膜103と第1SiO<sub>2</sub>膜141の加工を行い、配線溝を形成する。

【0051】

つづいて、バリアメタル膜107として、Ta系メタル膜を10~30nm程度形成する。そして、スパッタリング法によりCuシード膜(不図示)を50~150nm程度形成する。さらに、めっき技術を用いて、配線溝を埋め込むようにCuめっき膜を200~600nm程度形成し、CMP(Chemical Mechanical Polish)技術を用いて、配線溝中に埋設された第1配線108を形成する。

【0052】

次に、第1Cu配線109の上面のシリサイド化、具体的にはSiH<sub>4</sub>処理を行い、第1Cu配線109の上部に、キャップメタルとして機能するCuシリサイド層111を2

10

20

30

40

50

～15 nm程度選択的に形成する。そして、Cuシリサイド層111の上に、犠牲SiCN膜143を20～50 nm程度形成する。次に、犠牲SiCN膜143の上に、第2犠牲SiO<sub>2</sub>膜145を70～200 nm程度形成する。

【0053】

つづいて、リソグラフィ技術を用いて、第2犠牲SiO<sub>2</sub>膜145および犠牲SiCN膜143を貫通するビアホール147を形成し、第2犠牲SiO<sub>2</sub>膜145の上面全面に、バリアメタル膜113としてTa系メタル膜を10～30 nm程度形成する(図1(a))。その後、Cuシード膜(不図示)をスパッタで50～150 nm程度形成する。さらに、めっき技術を用いて、Cuシード膜を起点としてCuめっき膜を100～300 nm程度成長させて、ビアホール147をCuめっき膜で埋め込む。

10

【0054】

次に、CMP法により、ビアホール147の外部に設けられたCuめっき膜を除去し、第1Cuビア115を得る。これにより、ビアホール147中に埋設された第1プラグ114が形成される。そして、第1Cuビア115上面のシリサイド化、具体的にはSiH<sub>4</sub>処理を行い、第1Cuビア115の上部に、キャップメタルとして機能するCuシリサイド層117を2～15 nm程度選択的に形成する(図2(a))。

【0055】

つづいて、このCuシリサイド層117をエッチングマスクにして、第2犠牲SiO<sub>2</sub>膜145をウェットエッチングにより除去する(図3(a))。エッチング液として、たとえばパファードHF(フッ酸)を用いる。さらに、ドライエッチング法により犠牲SiCN膜143を除去する(図4(a))。つづいて、パファードHFを用い、第1SiO<sub>2</sub>膜141をウェットエッチングにより除去する(図5(a))。これにより、第1プラグ114および第1配線108の側面および上面を露出させる。

20

【0056】

こうして、犠牲膜として設けられた絶縁膜を除去した後、シリコン基板の上面全面を覆い、第1配線108間を埋め込むように、第1ポーラスMSQ膜105を約70～200 nm塗布して焼成し、第1プラグ114および第1配線108に接する絶縁膜とする(図6(a))。その後、第1ポーラスMSQ膜105の上面全面にEB(electron beam)を照射するEB処理を行い、第1ポーラスMSQ膜105を高強度化する(図7(a))。その後、Cuシリサイド層117をCMPマスクにして、第1ポーラスMSQ膜105のCMP処理を行い、第1ポーラスMSQ膜105の表面を平坦化する(図8(a))。

30

【0057】

その後、第2SiCN膜119の形成工程(図9(a))から、以上の手順を繰り返して、犠牲膜中にバリアメタル膜123、第2Cu配線125、Cuシリサイド層127、バリアメタル膜129、第2Cuビア131、およびCuシリサイド層133を形成し、犠牲膜を除去した後、除去した領域に第2ポーラスMSQ膜121を埋めこみ、高強度化する。以上により、シリコン基板(不図示)上に図10(a)に示した多層配線構造が形成されて、半導体装置100が得られる。

【0058】

なお、図10(b)に示した半導体装置110は、図1(b)～図9(b)に示した手順で製造される。図1(b)～図9(b)の各工程は、それぞれ、図1(a)～図9(a)の各工程に対応している。半導体装置110の基本的な製造工程は半導体装置100の場合と同様であるが、図1(b)に示したように、第1Cu配線109の上部にビアホールを形成する際に目ずれが生じることにより、第1Cuビア115にかわり、目ずれ部137を有するビアホール148中に第1Cuビア116が埋設される。また、第2Cu配線125の上部にも、第2Cuビア131にかわり、目ずれ部139を有する第2Cuビア132が形成される。

40

【0059】

次に、本実施形態の効果を説明する。

50

本実施形態においては、第1配線108の側面から第1プラグ114の側面にわたって連続一体の第1ポーラスMSQ膜105が設けられている。そして、第1ポーラスMSQ膜105は、第1配線108および第1プラグ114を形成した後、形成される。第2ポーラスMSQ膜121の層についても同様の構成となっている。そして、配線およびプラグの上部にキャップメタルが設けられている。さらに、第1配線108および第2配線124の側面下部がそれぞれ第1SiCN膜103および第2SiCN膜119によって支持されている。このため、以下の効果が得られる。

【0060】

まず、第1ポーラスMSQ膜105は、第1配線108および第1プラグ114の形成後、埋め込まれた膜である。このため、第1ポーラスMSQ膜105の成膜後の微細化工程が存在せず、第1ポーラスMSQ膜105のエッチングやアッシングがなされない。よって、第1配線108や第1プラグ114との界面近傍における劣化を抑制することができる。したがって、図14を参照して前述した場合のような劣化層の形成が抑制されて、製造安定性を向上させることができる。

【0061】

また、第1配線108の形成後、第1Cu配線109上にCuシリサイド層111が形成されているとともに、後工程で除去される第1SiO<sub>2</sub>膜141と犠牲SiCN膜143が積層された状態でビアホール147が形成される(図1(a)、図1(b))。このため、図1(b)および図10(b)に示したように、ビアホール148の形成時に目ずれが生じた場合にも、ビアホール148のエッチングが目ずれ部137において深さ方向に進行することを抑制できる。よって、第1プラグ114を構成するバリアメタル膜113および第1Cuビア115の埋め込み特性不良を抑制することができる。したがって、図15を参照して前述した構成に対し、目ずれが生じた場合の製造安定性を向上させることができる。また、ビアホール147またはビアホール148の形成時に、エッチングストップ膜として機能する犠牲SiCN膜143と第1SiO<sub>2</sub>膜141とを加工し、第1ポーラスMSQ膜105中のいわゆるunlanded viaの加工工程が存在しないため、目ずれによりunlanded viaが存在する場合にも、第1ポーラスMSQ膜105中に第1プラグ118を安定的に製造可能することができる。

【0062】

また、本実施形態においては、第1配線108および第2配線124の下方部の側壁に、それぞれ、第1SiCN膜103および第2SiCN膜119が形成されており、配線下部を支持するとともに、配線下部の界面を補強して保護している。このため、第1SiO<sub>2</sub>膜141を除去するためのエッチング工程において、配線のリフトオフが生じることを抑制できる。よって、図16(b)を参照して前述した場合に比べて、製造安定性を向上させることができる。また、配線下方部の側壁にSiCN膜が形成されているため、配線が固定され、層間絶縁膜として、比較的低密度で機械的強度の低いポーラスMSQ膜を用いた場合にも、ポーラスMSQ膜の底部側を補強して機械的強度を向上することができる。よって、組み立て工程のボンディングなどの工程が解決できる。

【0063】

また、本実施形態においては、製造工程中で配線層とプラグ層との間に設けられた犠牲SiCN膜143が除去されており、第1ポーラスMSQ膜105が連続一体の膜である。このため、第1配線108の底部が位置する水準から第1プラグ114の底面が位置する水準の範囲に、異種材料からなる膜の積層構造が存在しない。第1配線108上に第1プラグ114が接続された構成においては、第1プラグ114の形成層のデータ率が第1配線108の形成層のデータ率よりも顕著に小さいことから、これらの境界領域において、データ率が不連続的に大きく変化している。従来構成においては、図14を参照して前述したように、データ率が大きく変わる境界領域に、比較密なバリア絶縁膜207と第2Low-k膜209との界面が存在していた。この構成では、データ率の不連続面と膜構造の不連続面が同じ水準にあったため、データ率の低いプラグの形成層の層間絶縁膜すなわち第2Low-k膜209とバリア絶縁膜207との界面で、T/Cサイクルにお

10

20

30

40

50

ける剥離が生じやすかった。

【0064】

これに対し、本実施形態では、第1プラグ114および第2プラグ130の底面が位置する水準に、それぞれ、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121と他の膜との界面が存在しない。また、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121は、膜の法線方向に沿って漸次的に組成または物性が変化した膜であって、組成および物性の不連続面が、それぞれ、第1プラグ114および第2プラグ130の底面が位置する水準に存在しない。このため、積層膜において熱膨張係数の差に起因して生じる剥離が生じず、熱サイクル特性を向上させることができる。また、誘電率の異なる膜の界面が存在しない構成とすることにより、層間絶縁膜を実効的に低誘電率化することができる。

10

【0065】

また、第1配線108の底部が位置する水準から第1プラグ114の底面が位置する水準の範囲に、組成および物性の不連続面が存在しないため、第1ポーラスMSQ膜105における低密度の領域における剥離や劣化をさらに確実に抑制することができる。なお、第1プラグ114の底面が位置する水準よりも上部においては、第1ポーラスMSQ膜105が下部よりも高密度化されているため、組成および物性の不連続面が存在してもよいが、第1ポーラスMSQ膜105の組成および物性が漸次的に変化し、不連続面が存在しない構成とすることが好ましい。こうすることにより、配線構造の製造安定性をさらに向上させることができる。

20

【0066】

また、本実施形態においては、第1ポーラスMSQ膜105の上面近傍、すなわち、第2配線124形成層との界面近傍において、第1ポーラスMSQ膜105が高密度化されて、機械的強度が向上している。そして、第1ポーラスMSQ膜105と第2ポーラスMSQ膜121との間に第2SiCN膜119を設け、第2SiCN膜119を第2配線124の支持膜としても機能させている。

【0067】

このため、半導体基板（不図示）の法線方向において、金属膜のデータ率の大きい領域においては、低密度な第2ポーラスMSQ膜121を設けて比誘電率を十分に低下させて、配線間容量を低下させている。それとともに、第1プラグ114の形成領域との境界面においては、ポーラスMSQ膜の形成領域の面積が急激に減少する領域の強度を十分に確保するために、第2ポーラスMSQ膜121の下層として第2SiCN膜119を設け、第2SiCN膜119により第2ポーラスMSQ膜121を補強している。このため、第2ポーラスMSQ膜121と第1ポーラスMSQ膜105とが連続一体に設けられて、第1プラグ114と第2配線124との界面近傍が一つの膜で覆われた構成に比べて、より一層配線構造の強度を向上させることができる。

30

【0068】

このように、本実施形態では、第1配線108と第1プラグ114との間のエッチングストッパ、および第2配線124と第2プラグ130との間のエッチングストッパを除去し、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121を連続的に形成して低密度化し、低誘電率化を図るとともに、データ率が顕著に増加する第1プラグ114と第2配線124との間を高密度化して、さらに第1SiCN膜103および第2SiCN膜119を設けて第1ポーラスMSQ膜105および第2ポーラスMSQ膜121を補強することにより、低誘電率化と製造安定性とをともに向上させることができる。

40

【0069】

また、本実施形態においては、配線とプラグとをシングルダマシン工程により形成するとともに、配線およびプラグの上部にキャップメタル膜としてシリサイド層を設けているため、背景技術の項で前述した特許文献1および非特許文献1のようなデュアルダマシンプロセスに対し、配線やプラグを構成する銅や銅含有金属のマイグレーションを抑制し、製造安定性および製造歩留まりを向上させることができる。

50

## 【0070】

また、本実施形態においては、第1プラグ114および第2プラグ130の上部にそれぞれメタルキャップとして機能するCuシリサイド層117およびCuシリサイド層133が設けられている。このため、銅配線と、その上部に接続するビアプラグとの界面近傍におけるいわゆるStress Induced Void (SIV)の発生を抑制することができる。このため、コンタクト不良や配線抵抗の増加を抑制し、半導体装置の信頼性を向上させることができる。

## 【0071】

なお、本実施形態においては、低誘電率絶縁膜が第1ポーラスMSQ膜である場合を例に説明したが、本実施形態および以下の実施形態において、絶縁膜が、ポリオルガノシロキサン膜、水素化シロキサン膜、またはこれらの膜がポーラス化された膜であってもよい。これらの膜の製造方法は特に限定されず、たとえばCVD法や塗布法により形成される。

10

## 【0072】

ポリオルガノシロキサンとしては、たとえば、MSQ（メチルシルセスキオキサン）等のメチルポリシロキサン；  
MHSQ（メチル化ヒドロジェンシルセスキオキサン）等の水素化メチルポリシロキサン；  
OSG（Organosilicate Glass）；および  
CDO（Carbon Doped Oxide）が挙げられる。

20

## 【0073】

また、水素化シロキサンとしては、たとえば、HSQ（ヒドロジェンシルセスキオキサン）；および  
梯子型水素化シロキサン等のラダーオキサイドが挙げられる。このうち、梯子型水素化シロキサンとは、梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点から誘電率2.9以下のものが好ましく、また膜密度が低いものが好ましい。たとえば、膜密度が1.50 g/cm<sup>2</sup>以上1.58 g/cm<sup>2</sup>以下、633 nmの屈折率が1.38以上1.40以下であることが好ましい。こうした膜材料の具体例としてラダーオキサイドとよばれるL-Ox<sup>TM</sup>（商標）（以下単にL-Oxと示す。）等を例示することができる。なお、L-Oxをポーラス化した絶縁材料を用いることもできる。

30

## 【0074】

また、低誘電率絶縁膜として、パリレン系樹脂；  
サイトップ（登録商標）等のフッ素系樹脂；  
SiLK（登録商標）等の非フッ素系芳香族含有有機樹脂；  
ポリアリールエーテル（PAE）；および  
ポリフェニレン等の有機樹脂の膜を用いることもできる。

## 【0075】

低誘電率膜の比誘電率は、たとえば3.5以下、好ましくは3以下とすることができる。また、低誘電率膜は、Si、OおよびHを構成元素として含む膜とすることができる。また、低誘電率膜は、Si、C、OおよびHを構成元素として含む膜とすることができる。こうした他の膜を用いた場合においても、以上の実施形態に示した構成を採用することにより、図1(a)および図1(b)に示した半導体装置100および半導体装置110と同様の効果が得られる。

40

## 【0076】

また、本実施形態においては、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121の直下に設けられる補強絶縁膜がSiCN膜である構成を例に説明したが、補強絶縁膜は、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121よりも高密度で、配線層とプラグ層との境界部に設けられた低誘電率層間絶縁膜の表面、具体的には、低誘電率層間絶縁膜の底面近傍の低密度で強度が低い領域を補強することができる膜であればよく、たとえばSiCN膜に代わり、SiC膜またはSiON膜を用いてもよい。

50

## 【 0 0 7 7 】

また、低誘電率膜と補強絶縁膜の組み合わせとしては、絶縁膜が、上述したポリオルガノシロキサン膜、水素化シロキサン膜、またはこれらの膜がポーラス化された膜であって、補強絶縁膜が、SiC膜、SiCN膜またはSiON膜である構成とすることができる。また、ポーラスSiOC膜とSiCとの組み合わせを用いることがさらに好ましい。

## 【 0 0 7 8 】

以下の実施形態においては、第一の実施形態と異なる点を中心に説明する。

## 【 0 0 7 9 】

(第二の実施形態)

第一の実施形態においては、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121が中実である構成を示したが、第1配線108の側壁から第1プラグ114の側壁にわたって設けられ、第1配線108の側壁と、第1配線108の上部と、第1プラグ114の側壁とを覆うように形成された絶縁膜中にエアギャップが設けられている構成とすることもできる。また、第2配線124の側壁から第2プラグ130の側壁にわたって設けられた絶縁膜についても、同様に、エアギャップを有する構成とすることができる。本実施形態では、このような態様について説明する。

10

## 【 0 0 8 0 】

図11(a)および図11(b)は、本実施形態の半導体装置の構成を示す断面図である。図11(b)に示した半導体装置160は、図11(a)に示した半導体装置150において、配線とビアとの接続部分に目ずれが生じた場合の構成を示している。

20

## 【 0 0 8 1 】

図11(a)および図11(b)に示した半導体装置の基本構成としては、それぞれ、図10(a)および図10(b)に示した半導体装置の構成が用いられているが、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121に代えて、それぞれ、第1SiOC膜151および第2SiOC膜153が設けられている点が異なる。第1SiOC膜151および第2SiOC膜153には、それぞれ、エアギャップ155およびエアギャップ157が設けられている。エアギャップ155およびエアギャップ157は、それぞれ、第1配線108間および第2配線124間ならびにこれらの周辺に設けられている。第1SiOC膜151および第2SiOC膜153は、膜中の組成、密度強度の分布を有しない膜とすることができる。

30

## 【 0 0 8 2 】

次に、本実施形態の半導体装置の製造方法を説明する。半導体装置150および半導体装置160の製造工程には、それぞれ、半導体装置100および半導体装置110の製造工程を用いることができる。そして、第1ポーラスMSQ膜105および第2ポーラスMSQ膜121を設ける工程に代えて、それぞれ、第1SiOC膜151および第2SiOC膜153を設ける。第1SiOC膜151および第2SiOC膜153を設ける工程は、それぞれ、エアギャップ155およびエアギャップ157を設ける工程を含む。

## 【 0 0 8 3 】

半導体装置150の製造方法は、具体的には、図1(a)~図5(a)を参照して前述した手順を用いて、多層膜101上に、第1SiCN膜103、第1配線108および第1プラグ114を露出させる。

40

## 【 0 0 8 4 】

そして、第1SiCN膜103上に、低誘電率膜である第1SiOC膜151を成膜し、エアギャップ155が形成されるように第1配線108間を埋め込む。このとき、第1配線108の幅よりも、第1SiCN膜103の上面からCuシリサイド層117の上面までの高さを大きくする。これにより、第1SiOC膜151が埋設される凹部のアスペクト比を大きくすることができるため、エアギャップ155を確実に設けることができる。第1SiOC膜151は、CVD法で成膜し、その成膜条件をたとえば350以上400以下、5 Torr以上8 Torr以下とする。これにより、第1SiOC膜151中にエアギャップ155が形成される。

50

## 【0085】

その後、Cuシリサイド層117をCMPマスクにして、第1SiOC膜151のCMP処理を行い、第1SiOC膜151の表面を平坦化する(図8(a))。その後、第2SiCN膜119の形成工程(図9(a))から、以上の手順を繰り返して、第1SiOC膜151上に第2SiCN膜119、第2配線124および第2プラグ130を露出させる。そして、第2Cu配線125間および第2プラグ130間に第2SiOC膜153を埋め込むとともに第2SiOC膜153中にエアギャップ157を設ける。第2SiOC膜153の形成方法は、第1SiOC膜151の形成方法とすることができる。そして、第2SiOC膜153を平坦化することにより、図11(a)に示した多層配線構造を形成されて、半導体装置150が得られる。

10

## 【0086】

なお、図11(b)に示した半導体装置160は、基本的な製造工程は半導体装置150の場合と同様であるが、図1(b)に示したように、第1Cu配線109の上部にビアホールを形成する際に目ずれが生じることにより、第1Cuビア115にかわり、目ずれ部137を有するビアホール148中に第1Cuビア116が埋設される。また、第2Cu配線125の上部にも、第2Cuビア131にかわり、目ずれ部139を有する第2Cuビア132が形成される。

## 【0087】

次に、本実施形態の効果を説明する。

本実施形態においても、第1配線108の側面から第1プラグ114の側面にわたって連続一体の第1SiOC膜151が設けられている。そして、第1SiOC膜151は、第1配線108および第1プラグ114を形成した後、形成される。第2SiOC膜153の層についても同様の構成となっている。そして、配線およびプラグの上部にキャップメタルが設けられている。さらに、第1配線108および第2配線124の側面下部がそれぞれ第1SiCN膜103および第2SiCN膜119によって支持されている。このため、第一の実施形態と同様の効果が得られる。

20

## 【0088】

また、層間絶縁膜として機能する第1SiOC膜151および第2SiOC膜153が、それぞれ、エアギャップ155およびエアギャップ157を有する構成であるため、第1配線108および第2配線124の配線間容量を好適に低下させることができる。このため、層間絶縁膜の比誘電率の低下の要求は、第一の実施形態の場合よりも低い。よって、これらの膜は第一の実施形態の場合よりもポーラス化の度合いが小さくてよく、密度を増加させることができる。このため、層間絶縁膜の強度を向上させることができる。よって、成膜後の電子線照射または紫外線照射等の高強度化処理が不要であり、製造工程をさらに簡素化することができる。

30

## 【0089】

なお、本実施形態では、エアギャップ155およびエアギャップ157を有する層間絶縁膜が、第1SiOC膜151および第2SiOC膜153である構成を例に説明したが、これらの絶縁膜は、たとえば第一の実施形態において例示した他の材料としてもよい。また、低誘電率膜に代えて、SiO<sub>2</sub>膜を用いることもできる。

40

## 【0090】

また、本実施形態では、層間絶縁膜の比誘電率をたとえば3.5以下、好ましくは3.2以下とすることができる。こうすることにより、第1配線108および第2配線124の配線間容量を好適に低下させることができる。また、層間絶縁膜の比誘電率を、たとえば2.0以上、好ましくは2.5以上とすることができる。こうすることにより、層間絶縁膜の強度をさらに向上させることができる。よって、熱サイクル特性をさらに向上させることができる。

## 【0091】

(第三の実施形態)

以上の実施形態においては、ビアプラグ上にキャップメタル膜として機能するCuシリ

50

サイド層が設けられている構成を例に説明したが、ビアプラグ上にキャップメタルが設けられていない構成を形成することもできる。以下、第一の実施形態の構成の場合を例に説明するが、第二の実施形態に本実施形態の構成を適用することもできる。

【0092】

図12(a)および図12(b)は、本実施形態の半導体装置の構成を示す断面図である。図12(b)に示した半導体装置172は、図12(a)に示した半導体装置170において、配線とビアとの接続部分に目ずれが生じた場合の構成を示している。

【0093】

図12(a)および図12(b)に示した半導体装置の基本構成としては、それぞれ、図10(a)および図10(b)に示した半導体装置の構成が用いられているが、第1プラグ114、第1プラグ118、第2プラグ130および第2プラグ134の上部にCuシリサイド層が設けられていない点が異なる。第1プラグ114および第1プラグ118は第2SiCN膜119に接して設けられ、第1ポーラスMSQ膜105の上部が第2SiCN膜119に被覆されている。

10

【0094】

次に、半導体装置170および半導体装置172の製造方法を説明する。本実施形態の製造方法は、絶縁膜(第1ポーラスMSQ膜105)を形成する工程の後、第1ポーラスMSQ膜105を機械的研磨により平坦化し、ビア(第1プラグ114)上の第1ポーラスMSQ膜105と第2のメタルキャップ膜(Cuシリサイド層117)とを除去する工程を含む。

20

【0095】

さらに具体的には、半導体装置170および半導体装置172の製造工程には、それぞれ、第一の実施形態における半導体装置100および半導体装置110の製造工程を用いることができる。そして、Cuシリサイド層117をCMPマスクにして、第1ポーラスMSQ膜105のCMP処理を行い、第1ポーラスMSQ膜105の表面を平坦化する工程(図8(a))の後、さらにCMP法によりCuシリサイド層117を除去する。また、第2ポーラスMSQ膜121を平坦化した後、さらにCMP法によりCuシリサイド層133を除去する。これらのCuシリサイド層の除去は、たとえば、Cuシリサイド層117をマスクとしてその上部の第1ポーラスMSQ膜105を研磨により除去した後、Cu膜が研磨されずCuシリサイド層が研磨されるものにスラリーを変えて研磨することにより行う。

30

【0096】

なお、図12(b)に示した半導体装置172は、基本的な製造工程は半導体装置170の場合と同様であるが、図1(b)に示したように、第1Cu配線109の上部にビアホールを形成する際に目ずれが生じることにより、第1Cuビア115にかわり、目ずれ部137を有するビアホール148中に第1Cuビア116が埋設される。また、第2Cu配線125の上部にも、第2Cuビア131にかわり、目ずれ部139を有する第2Cuビア132が形成される。

【0097】

本実施形態によれば、第1プラグ114および第2プラグ130上にキャップメタルが設けられていないため、これらのプラグと、その上部に設けられた配線との接続抵抗をより一層効果的に低下させることができる。また、本実施形態では、第1プラグ114および118が設けられた第1ポーラスMSQ膜105の上部が第2SiCN膜119に被覆されているため、層間絶縁膜へのCuの拡散を抑制することができる。

40

【0098】

以上、本発明を実施形態に基づいて説明した。この実施形態はあくまで例示であり、種々の変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0099】

たとえば、以上の実施形態において、絶縁膜の膜密度は半導体装置の断面のTEM(透

50

過型電子顕微鏡) 観察により把握することができる。

【0100】

また、本実施形態においては、配線層上にプラグが設けられた配線構造が2層積層された構成を例に説明したが、配線構造の積層数に特に制限はない。本実施形態の構成を用いれば、3層以上の積層体の場合にも、配線間容量を効果的に低下させるとともに、製造安定性を向上させることができる。

【0101】

また、本実施形態では、キャップメタル膜としてCVD法によりCuシリサイド層を選択成長させる場合を例に説明したが、窒化Cuシリサイド層を選択成長させることもできる。また、キャップメタル膜としては、他に、CoWP膜またはCoWB膜を選択めっき法により形成することもできる。また、CVD法によりW膜を選択成長させることもできる。

10

【実施例】

【0102】

本実施例では、低誘電率層間絶縁材料であるポーラスSiOCについて、成膜後の後処理による膜質変化について検討した。

【0103】

200nm程度の膜厚を有するポーラスSiOC膜を形成し、EB(Electron Beam: 電子線)の照射処理を行ったところ、膜質が向上した。たとえば、EBの条件を0.2mC/cm<sup>2</sup>とし、酸素濃度100ppm以下の雰囲気中、350℃で実施すると、誘電率が2.35で機械的強度(Modulus)が7GPaまでとなり、EB処理を行う前の約2倍に向上できた。

20

【0104】

また、EB処理前後のポーラスSiOC膜の断面をTEM(透過型電子顕微鏡)観察したところ、EBの照射面の側は、反対側の面の側よりも高密度化されている様子が観察された。また、この膜は、EB照射面の裏面から遠ざかるにつれて高密度化されており、密度が不連続的に変化する領域は観察されなかった。

【0105】

このときの膜質をFTIRスペクトル(Fourier Transmittance Infra Red Spectrum)により評価した。図13は、ポーラスSiOC膜のFTIRスペクトルを示す図である。図13より、EB処理前は、Cage(かご)型Si-O構造と想定される約1150cm<sup>-1</sup>(1100~1200cm<sup>-1</sup>)にピークが存在する結合の吸収スペクトル、およびLadder(梯子)型Si-O構造と想定される約1050cm<sup>-1</sup>(1000~1100cm<sup>-1</sup>)にピークが存在する結合の吸収スペクトルとが確認された。これに対し、上述したEB処理を実施した後は、Cage型Si-O構造を反映する1150cm<sup>-1</sup>付近のピーク強度が減少し、Ladder型Si-O構造を反映する約1050cm<sup>-1</sup>付近のピーク強度が増加した。これより、EB処理により、Si-Oの結合状態を変えることができた。

30

【0106】

また、ポーラスSiOC膜の膜厚をさらに厚くして同様の処理を行ったところ、深さ方向に膜の構造の分布が生じ、表面は深いところに比較して、Ladder型Si-O構造リッチとなり、深いところは、浅いところに比較してCage型Si-Oリッチの構造となった。

40

【0107】

また、EB処理により、C-H結合由来の3000cm<sup>-1</sup>付近にピークが存在する結合の吸収帯のピーク強度が減少した。これより、EB照射面の炭素濃度が、反対側の面の炭素濃度よりも低下したと推察される。

【0108】

また、EB時のドーズ量をさらに増加させることにより、機械的強度をさらに向上させることができた。このとき、EB処理後の膜は、処理前の膜に比べてSi-O結合が増加

50

し、かつ、C - H結合がE B照射面で減少する膜になるという特徴が確認された。

【0109】

また、E Bに代えて、UV（紫外線）光を用いたランプを用いても以上と同様の傾向が確認された。

【0110】

また、低誘電率材料として、SiOCに代えて水素化ポリシロキサンを用いた場合においても、同様のE B照射効果が確認できた。

【図面の簡単な説明】

【0111】

【図1】実施形態における半導体装置の製造工程を示す断面図である。

10

【図2】実施形態における半導体装置の製造工程を示す断面図である。

【図3】実施形態における半導体装置の製造工程を示す断面図である。

【図4】実施形態における半導体装置の製造工程を示す断面図である。

【図5】実施形態における半導体装置の製造工程を示す断面図である。

【図6】実施形態における半導体装置の製造工程を示す断面図である。

【図7】実施形態における半導体装置の製造工程を示す断面図である。

【図8】実施形態における半導体装置の製造工程を示す断面図である。

【図9】実施形態における半導体装置の製造工程を示す断面図である。

【図10】実施形態における半導体装置の構成を示す断面図である。

【図11】実施形態における半導体装置の構成を示す断面図である。

20

【図12】実施形態における半導体装置の構成を示す断面図である。

【図13】実施例におけるポーラスSiOC膜のFTIRスペクトルを示す図である。

【図14】従来の半導体装置の製造工程を示す断面図である。

【図15】従来の半導体装置の構成を示す図である。

【図16】半導体装置の製造工程を示す断面図である。

【符号の説明】

【0112】

100 半導体装置

101 多層膜

103 第1SiCN膜

30

105 第1ポーラスMSQ膜

107 バリアメタル膜

108 第1配線

109 第1Cu配線

110 半導体装置

111 Cuシリサイド層

112 バリアメタル膜

113 バリアメタル膜

114 第1プラグ

115 第1Cuビア

40

116 第1Cuビア

117 Cuシリサイド層

118 第1プラグ

119 第2SiCN膜

121 第2ポーラスMSQ膜

123 バリアメタル膜

124 第2配線

125 第2Cu配線

127 Cuシリサイド層

128 バリアメタル膜

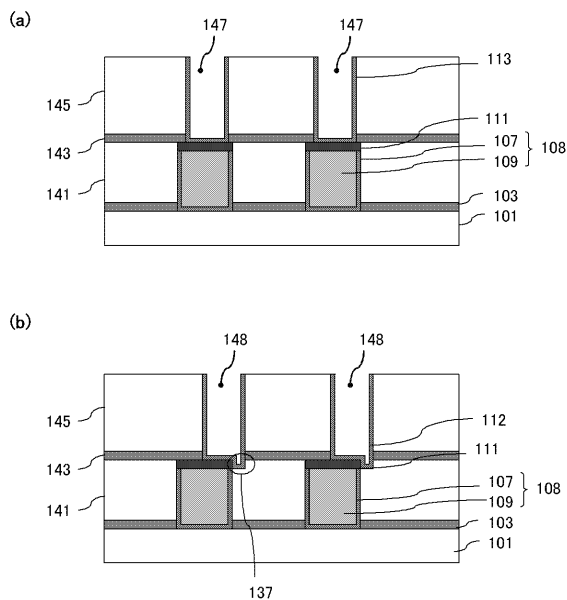
50

- 1 2 9 バリアメタル膜
- 1 3 0 第2プラグ
- 1 3 1 第2Cuビア
- 1 3 2 第2Cuビア
- 1 3 3 Cuシリサイド層
- 1 3 4 第2プラグ
- 1 3 7 目ずれ部
- 1 3 9 目ずれ部
- 1 4 1 第1SiO<sub>2</sub>膜
- 1 4 3 犠牲SiCN膜
- 1 4 5 第2犠牲SiO<sub>2</sub>膜
- 1 4 7 ビアホール
- 1 4 8 ビアホール
- 1 5 0 半導体装置
- 1 5 1 第1SiOC膜
- 1 5 3 第2SiOC膜
- 1 5 5 エアギャップ
- 1 5 7 エアギャップ
- 1 6 0 半導体装置
- 1 7 0 半導体装置
- 1 7 2 半導体装置

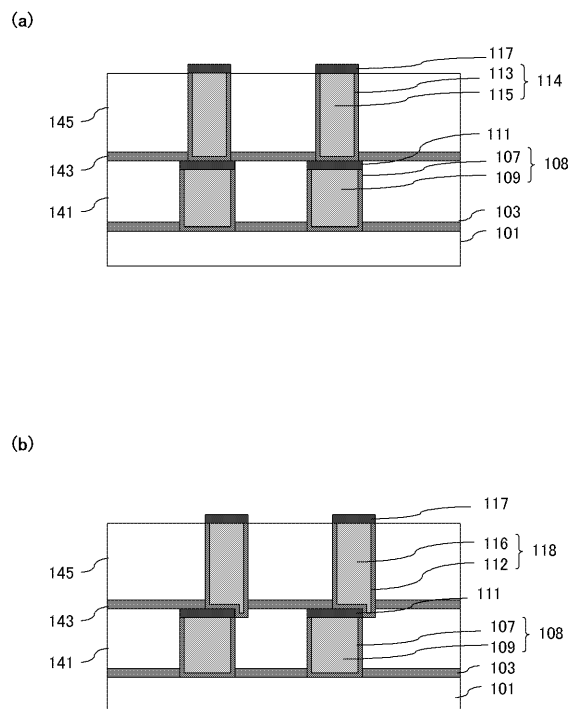
10

20

【図1】

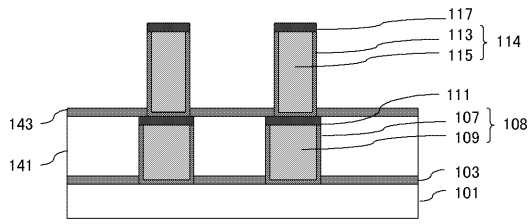


【図2】

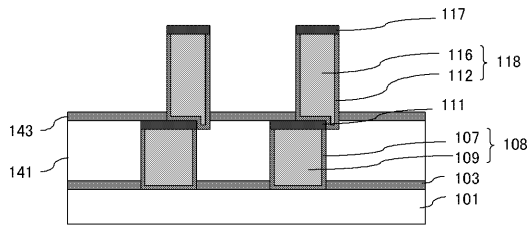


【図3】

(a)

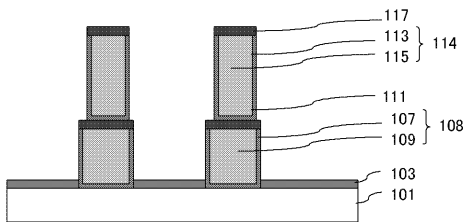


(b)

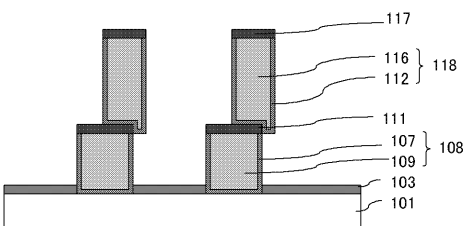


【図5】

(a)

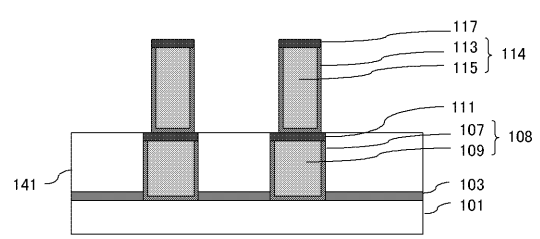


(b)

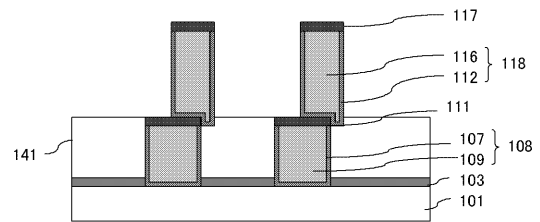


【図4】

(a)

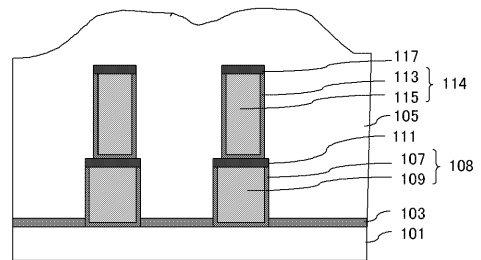


(b)

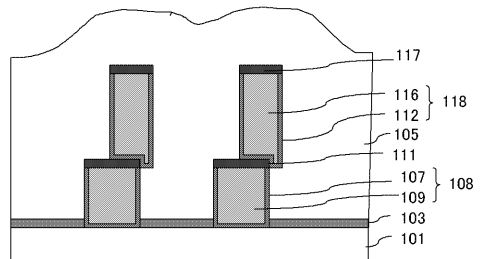


【図6】

(a)

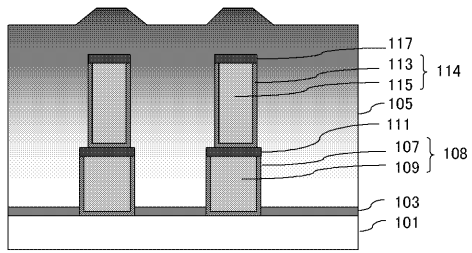


(b)

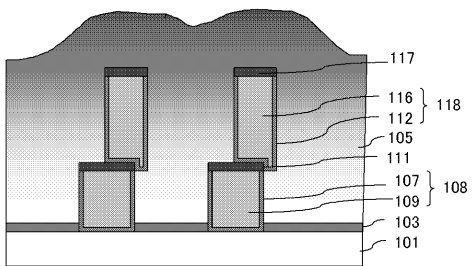


【 図 7 】

(a)

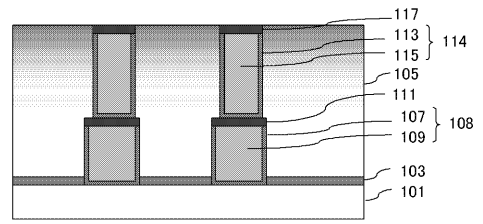


(b)

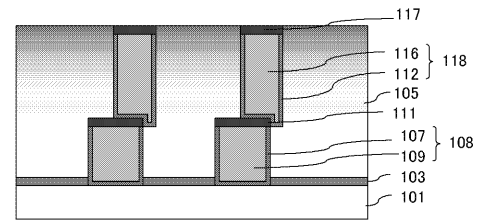


【 図 8 】

(a)

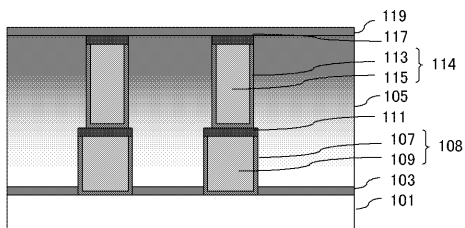


(b)

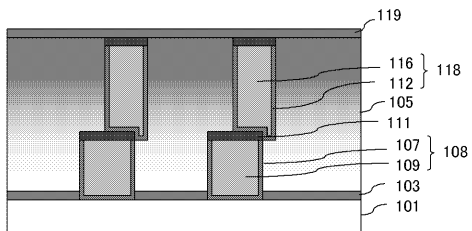


【 図 9 】

(a)

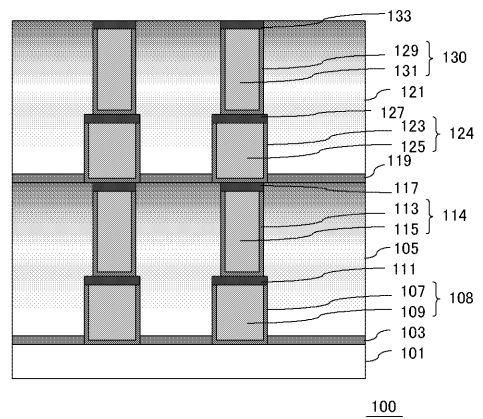


(b)

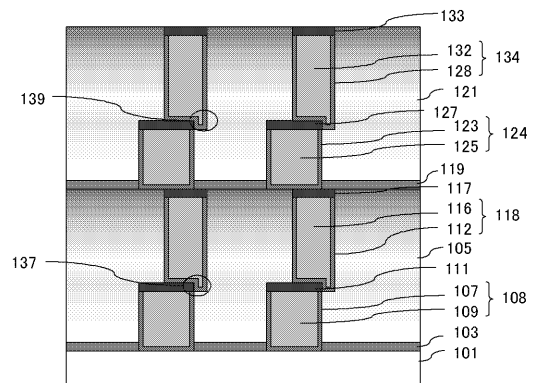


【 図 10 】

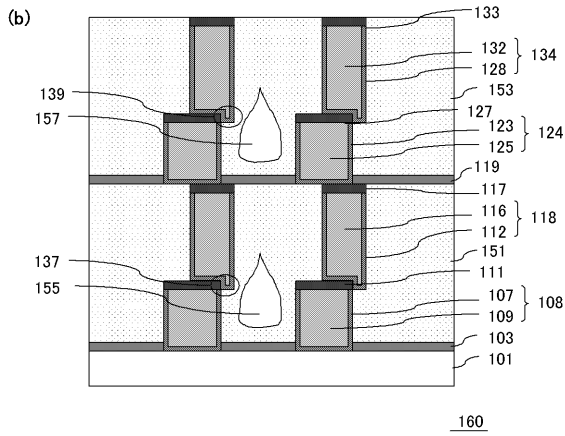
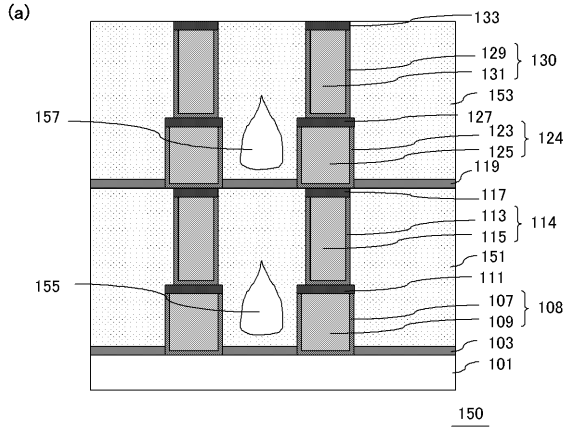
(a)



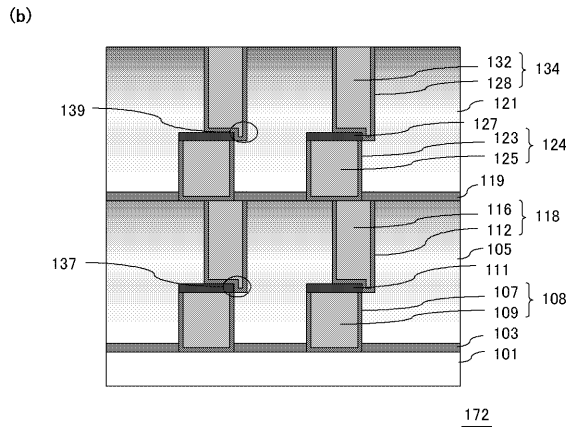
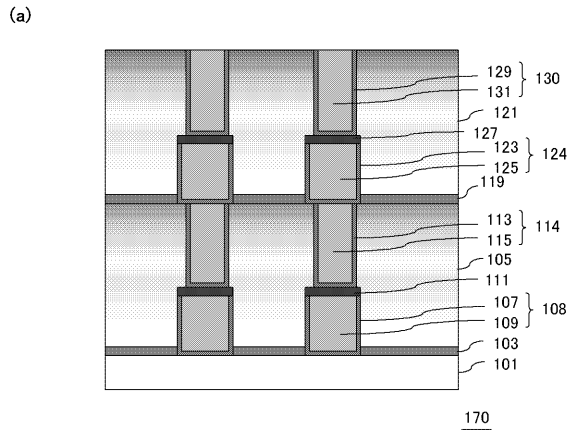
(b)



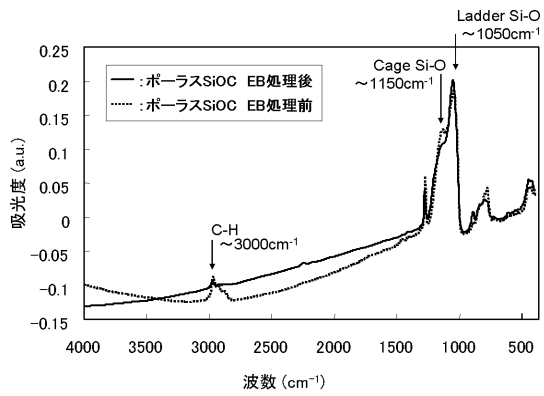
【図 1 1】



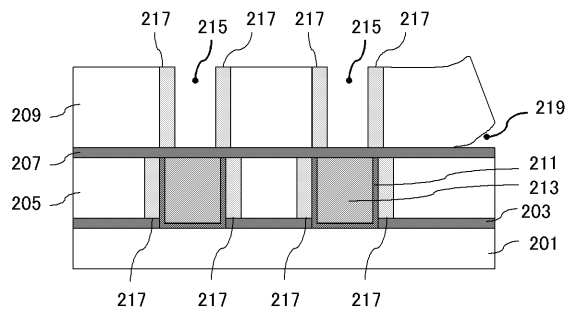
【図 1 2】



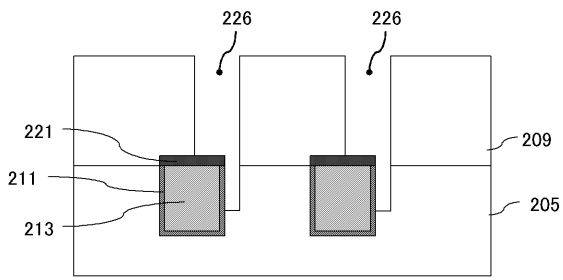
【図 1 3】



【図 1 4】



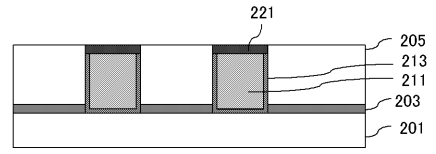
【図 15】



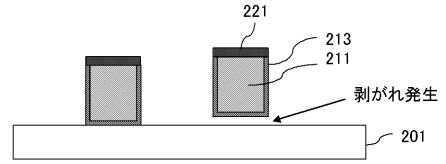
210

【図 16】

(a)



(b)



## フロントページの続き

- (56)参考文献 特開平08-306787(JP,A)  
米国特許出願公開第2004/0164419(US,A1)  
米国特許第05674787(US,A)  
特開2002-158213(JP,A)  
特開2005-159032(JP,A)  
特開2004-356508(JP,A)  
特開平11-126820(JP,A)  
特開2005-019721(JP,A)  
特開2002-299437(JP,A)  
特開2001-274237(JP,A)  
特開2002-158280(JP,A)  
特表2003-518325(JP,A)  
特表2003-521124(JP,A)  
特表2003-506869(JP,A)  
特表2005-519454(JP,A)  
米国特許出願公開第2004/0023552(US,A1)  
米国特許出願公開第2003/0224591(US,A1)  
特開2003-209111(JP,A)  
特開2004-349572(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 21/768  
H01L 21/3205  
H01L 23/522  
H01L 23/532