



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월23일  
(11) 등록번호 10-0824881  
(24) 등록일자 2008년04월17일

(51) Int. Cl.  
H05B 33/22 (2006.01) H05B 33/10 (2006.01)  
(21) 출원번호 10-2006-0111298  
(22) 출원일자 2006년11월10일  
심사청구일자 2006년11월10일  
(56) 선행기술조사문헌  
KR1020050051646 A\*  
(뒷면에 계속)

(73) 특허권자  
삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575  
(72) 발명자  
김중윤  
경기 용인시 기흥구 공세동 428-5  
최병덕  
경기 용인시 기흥구 공세동 428-5  
(74) 대리인  
서경민, 서만규

전체 청구항 수 : 총 27 항

심사관 : 추장희

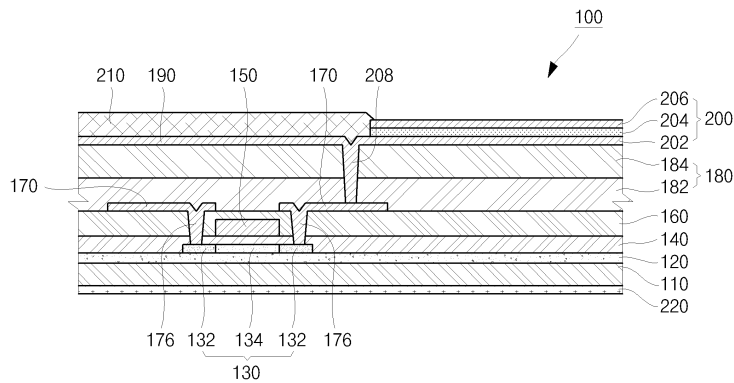
(54) 유기 전계 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 해결하고자 하는 기술적 과제는 얇은 두께로 유기 전계 발광 표시 장치를 제조하고, 제조 공정중 또는 제조 공정후 자외선이 기판을 통하여 유기 전계 발광 소자에 전달되지 않으며, 제조 공정중 기판의 휨 및 손상을 방지하고, 제조 공정 시간을 단축하는데 있다.

이를 위해 본 발명은 기판과, 상기 기판상에 형성된 버퍼층과, 상기 버퍼층상에 형성된 반도체층과, 상기 반도체층상에 형성된 게이트 절연막과, 상기 게이트 절연막상에 형성된 게이트 전극과, 상기 게이트 전극상에 형성된 층간 절연막과, 상기 층간 절연막상에 형성된 소스/드레인 전극과, 상기 소스/드레인 전극상에 형성된 절연막과, 상기 절연막상에 형성된 비투과층과, 상기 절연막상에 형성된 유기 전계 발광 소자로 이루어진 유기 전계 발광 표시 장치를 개시한다.

대표도 - 도2



(56) 선행기술조사문헌

KR1020030009913 A

JP2005340182 A

JP2005222930 A

JP2005222789 A

JP2005085705 A

JP2001053290 A

\*는 심사관에 의하여 인용된 문헌

---

**특허청구의 범위**

**청구항 1**

기관;

상기 기관에 형성된 버퍼층;

상기 버퍼층에 형성된 반도체층;

상기 반도체층에 형성된 게이트 절연막;

상기 게이트 절연막에 형성된 게이트 전극;

상기 게이트 전극에 형성된 층간 절연막;

상기 층간 절연막에 형성된 소스/드레인 전극;

상기 소스/드레인 전극에 형성된 절연막;

상기 절연막에 형성된 비투과층; 및

상기 절연막에 형성된 유기 전계 발광 소자를 포함하고,

상기 비투과층은 상기 유기 전계 발광 소자의 외주연에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서, 상기 비투과층은 상기 유기 전계 발광 소자의 외주연으로서, 상기 반도체층과 대응되는 상기 절연막의 상면에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 4**

제 1 항에 있어서, 상기 비투과층은 상기 유기 전계 발광 소자의 외주연으로서, 상기 반도체층과 대응되지 않는 상기 절연막의 상면에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 5**

제 1 항에 있어서, 상기 비투과층은 상기 유기 전계 발광 소자를 이루는 애노드와 연결된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 6**

제 1 항에 있어서, 상기 비투과층상에는 화소 정의막이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 7**

제 1 항에 있어서, 상기 비투과층은 자외선 차단제인 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 8**

제 1 항에 있어서, 상기 비투과층은 자외선이 투과되지 않는 금속, 투명 자외선 차단제 및 불투명의 자외선 차단제중 선택된 적어도 어느 하나로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 9**

제 1 항에 있어서, 상기 비투과층은 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO) 및 은합금(ATD)중 선택된 적어도 어느 하나로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 10**

제 1 항에 있어서, 상기 비투과층은 500~3000Å의 두께로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 11**

제 1 항에 있어서, 상기 비투과층은 유기 전계 발광 소자를 이루는 애노드와 같은 재질로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 12**

제 1 항에 있어서, 상기 비투과층은 ITO(Indium Tin Oxide)/Ag, ITO/Ag/ITO 및 ITO/Ag/IZO(Indium Zinc Oxide)중 선택된 적어도 어느 하나로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 13**

제 1 항에 있어서, 상기 기관은 0.05~1mm의 두께로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 14**

제 1 항에 있어서, 상기 기관은 글래스, 플라스틱 및 폴리머중 선택된 어느 하나로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 15**

제 1 항에 있어서, 상기 기관의 하면에는 마찰 방지층이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 16**

제 1 항에 있어서, 상기 기관의 하면에는 10~100 $\mu$ m 두께의 마찰 방지층이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 17**

제 1 항에 있어서, 상기 기관의 하면에는 유기 재료 및 무기 재료중 선택된 어느 하나의 마찰 방지층이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 18**

제 1 항에 있어서, 상기 비투과층은 도전성 비아를 통하여 상기 소스/드레인 전극에 전기적으로 연결된 것을 특징으로 하는 유기 전계 발광 표시 장치.

**청구항 19**

기관을 준비하는 단계;

상기 기관을 두장 준비하여 합착하는 단계;

상기 각 기관중 합착면의 반대면에 버퍼층을 형성하는 단계;

상기 버퍼층상에 반도체층을 형성하는 단계;

상기 반도체층상에 절연막을 형성하는 단계;

상기 절연막상에 비투과층을 형성하는 단계;

상기 비투과층상에 유기 전계 발광 소자를 형성하는 단계; 및

상기 합착된 두장의 기관을 각각 분리하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 20**

제 19 항에 있어서, 상기 비투과층 형성 단계는 상기 비투과층을 상기 절연막상의 전체 영역에 형성하여 이루어짐을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 21**

제 19 항에 있어서, 상기 유기 전계 발광 소자 형성 단계는 상기 비투과층의 일부 영역이 애노드가 되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 22**

제 19 항에 있어서, 상기 비투과층 형성 단계는 상기 비투과층이 자외선 차단제로 형성되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 23**

제 19 항에 있어서, 상기 비투과층 형성 단계는 상기 비투과층이 자외선이 투과되지 않는 금속, 투명 자외선 차단제 및 불투명의 자외선 차단제중 선택된 적어도 어느 하나로 형성되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 24**

제 19 항에 있어서, 상기 비투과층 형성 단계는 상기 비투과층이 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO) 및 은합금(ATD)중 선택된 적어도 어느 하나로 형성되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 25**

제 19 항에 있어서, 상기 비투과층 형성 단계는 상기 비투과층이 ITO(Indium Tin Oxide)/Ag, ITO/Ag/ITO 및 ITO/Ag/IZO(Indium Zinc Oxide)중 선택된 적어도 어느 하나로 형성되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 26**

제 19 항에 있어서, 상기 기관 준비 단계는 0.05~1mm 두께의 기관을 준비하여 이루어짐을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 27**

제 19 항에 있어서, 상기 기관 합착 단계는 기관과 기관 사이에 마찰 방지층을 형성하여 이루어짐을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**청구항 28**

제 27 항에 있어서, 상기 기관 분리 단계후에는 마찰 방지층을 제거하는 단계가 더 포함된 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<17> 본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 상세히는 얇은 두께로 유기 전계 발광 표시 장치를 제조하고, 제조 공정중 또는 제조 공정후 자외선이 기관을 통하여 유기 전계 발광 소자에 전달되지 않으며, 제조 공정중 기관의 휨 및 손상을 방지하고, 제조 공정 시간을 단축할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.

- <18> 일반적으로 유기 전계 발광 표시 장치는 형광성 또는 인광성 유기 화합물에 전류를 흘려줌으로써, 전자와 정공이 결합하여 자발광하는 표시 장치이다. 또한, 이러한 유기 전계 발광 표시 장치는 예를 들면  $n \times m$ 개의 유기 전계 발광 소자들을 전압 구동 또는 전류 기입하여 영상을 표시할 수 있도록 되어 있다.
- <19> 또한, 이러한 유기 전계 발광 소자는 도 1에 도시된 바와 같이 애노드(ITO), 유기 박막 및 캐소드 전극(metal)의 구조를 기본 구조로 한다. 상기 유기 박막은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층에는 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)이 형성되고, 상기 정공 수송층에는 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL)이 더 형성될 수 있다.
- <20> 이러한 유기 전계 발광 표시 장치는 광시야각, 초고속 응답, 자체 발광 등의 장점 때문에 소형에서 대형에 이르기까지의 어떠한 동영상 표시 장치로서도 손색이 없으며, 소비 전력이 작고, 백라이트(back light)가 필요없어 경량 및 박형으로 제작할 수 있다. 또한 저온에서 제조가 가능하며, 제조 공정이 단순하여 저가격화가 가능하다. 더욱이, 최근 유기 박막 재료 기술 및 공정 기술이 급속도로 성장하여 기존의 평판 표시 장치를 대체할 기술로 여겨지고 있다.
- <21> 그런데, 최근의 휴대폰, PDA(Personal Digital Assistant), 노트북, 컴퓨터 모니터 및 텔레비전 등과 같은 전자 제품의 슬림(slim)화 추세에 따라, 상기 유기 전계 발광 표시 장치도 점차 대략 1mm 이하의 두께로 제조할 것을 요구하고 있다. 그러나, 현재의 유기 전계 발광 표시 장치는 봉지 기술을 대체할 만한 보호막 기술이 충분히 개발되지 못한 상황이어서, 두께를 1mm 이하로 제조하기 어렵다.
- <22> 이에 따라, 두께 1mm 이하의 유기 전계 발광 표시 장치를 제조하기 위해, 일본 공개 특허 제2005-340182호, 일본 공개 특허 제2005-222930호 및 일본 공개 특허 제2005-222789호에 의하면, 두장의 글래스 기판에 각각 소자층(반도체층 및 유기 전계 발광 소자 등)을 형성하고, 상기 각 소자층이 마주 보도록 글래스 기판을 합착하며, 이후 소자층이 없는 글래스 기판의 표면을 식각이나 연마 공정에 의해 제거함으로써, 슬림 유기 전계 발광 표시 장치를 제조하는 방법이 알려져 있다.
- <23> 그러나, 이러한 방법은 각각의 글래스 기판에 반도체층이나 유기 전계 발광 소자를 각각 형성한 후, 이를 합착하여 식각 또는 연마함으로써 제조 공정 시간이 매우 길어지는 문제가 있다. 더욱이, 이러한 종래의 방법은 어느 정도 완성된 글래스 기판을 합착함으로써, 합착 공정중 글래스 기판, 반도체층 및 유기 전계 발광 소자가 손상되거나 파손되는 경우가 많아 생산 수율이 낮고 따라서 제조 비용도 고가로 되는 문제가 있다.
- <24> 물론, 글래스 기판의 두께를 미리 1mm 이하로 제조한 후 그것의 표면에 소자층을 형성하는 방법도 고려해 볼 수 있으나, 이 경우 상기 글래스 기판의 두께가 매우 얇아서 제조 공정중 상기 글래스 기판이 휘어지거나, 제조 장치에 기계적으로 접촉하여 파손되는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- <25> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 박형의 유기 전계 발광 표시 장치 및 그 제조 방법을 제공하는데 있다.
- <26> 본 발명의 다른 목적은 제조 공정중 또는 제조 공정후 자외선이 기판을 통하여 유기 전계 발광 소자에 입사되지 않도록 한 유기 전계 발광 표시 장치 및 그 제조 방법을 제공하는데 있다.
- <27> 본 발명의 또다른 목적은 제조 공정중 기판의 휨 현상 및 파손 현상을 방지하는데 있다.
- <28> 본 발명의 또다른 목적은 유기 전계 발광 표시 장치의 제조 공정 시간을 단축함으로써 생산성을 높이고 또한 원가를 절감하는데 있다.

**발명의 구성 및 작용**

- <29> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치는 기판과, 상기 기판상에 형성된 버퍼층과, 상기 버퍼층상에 형성된 반도체층과, 상기 반도체층상에 형성된 게이트 절연막과, 상기 게이트 절연막상에 형성된 게이트 전극과, 상기 게이트 전극상에 형성된 층간 절연막과, 상기 층간 절연막상에 형성된 소스/드레인 전극과, 상기 소스/드레인 전극상에 형성된 절연막과, 상기 절연막상에 형성된 비투과층과, 상기 절연막상

에 형성된 유기 전계 발광 소자를 포함할 수 있다.

- <30> 상기 비투과층은 상기 유기 전계 발광 소자의 외주연에 형성될 수 있다.
- <31> 상기 비투과층은 상기 유기 전계 발광 소자의 외주연으로서, 상기 반도체층과 대응되는 상기 절연막의 상면에 형성될 수 있다.
- <32> 상기 비투과층은 상기 유기 전계 발광 소자의 외주연으로서, 상기 반도체층과 대응되지 않는 상기 절연막의 상면에 형성될 수 있다.
- <33> 상기 비투과층은 상기 유기 전계 발광 소자를 이루는 애노드와 연결될 수 있다.
- <34> 상기 비투과층상에는 화소 정의막이 형성될 수 있다.
- <35> 상기 비투과층은 자외선 차단제일 수 있다.
- <36> 상기 비투과층은 자외선이 투과되지 않는 금속, 투명 자외선 차단제 및 불투명의 자외선 차단제중 선택된 적어도 어느 하나일 수 있다.
- <37> 상기 비투과층은 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO) 및 은합금(ATD)중 선택된 적어도 어느 하나일 수 있다.
- <38> 상기 비투과층은 500~3000Å의 두께로 형성될 수 있다.
- <39> 상기 비투과층은 유기 전계 발광 소자를 이루는 애노드와 같은 재질로 형성될 수 있다.
- <40> 상기 비투과층은 ITO(Indium Tin Oxide)/Ag, ITO/Ag/ITO 및 ITO/Ag/IZO(Indium Zinc Oxide)중 선택된 적어도 어느 하나로 형성될 수 있다.
- <41> 상기 기판은 0.05~1mm의 두께로 형성될 수 있다.
- <42> 상기 기판은 글래스, 플라스틱 및 폴리머중 선택된 어느 하나로 형성될 수 있다.
- <43> 상기 기판의 하면에는 마찰 방지층이 더 형성될 수 있다.
- <44> 상기 기판의 하면에는 10~100 $\mu$ m 두께의 마찰 방지층이 더 형성될 수 있다.
- <45> 상기 기판의 하면에는 유기 재료 및 무기 재료중 선택된 어느 하나의 마찰 방지층이 더 형성될 수 있다.
- <46> 상기 비투과층은 도전성 비아를 통하여 상기 소스/드레인 전극에 전기적으로 연결될 수 있다.
- <47> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법은 기판을 준비하는 단계와, 상기 기판을 두장 준비하여 합착하는 단계와, 상기 각 기판중 합착면의 반대면에 버퍼층을 형성하는 단계와, 상기 버퍼층상에 반도체층을 형성하는 단계와, 상기 반도체층상에 절연막을 형성하는 단계와, 상기 절연막상에 비투과층을 형성하는 단계와, 상기 비투과층상에 유기 전계 발광 소자를 형성하는 단계와, 상기 합착된 두장의 기판을 각각 분리하는 단계를 포함할 수 있다.
- <48> 상기 비투과층 형성 단계는 상기 비투과층을 상기 절연막상의 전체 영역에 형성하여 이루어질 수 있다.
- <49> 상기 유기 전계 발광 소자 형성 단계는 상기 비투과층의 일부 영역이 애노드가 되도록 할 수 있다.
- <50> 상기 비투과층 형성 단계는 상기 비투과층이 자외선 차단제로 형성되도록 할 수 있다.
- <51> 상기 비투과층 형성 단계는 상기 비투과층이 자외선이 투과되지 않는 금속, 투명 자외선 차단제 및 불투명의 자외선 차단제중 선택된 적어도 어느 하나로 형성되도록 할 수 있다.
- <52> 상기 비투과층 형성 단계는 상기 비투과층이 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO) 및 은합금(ATD)중 선택된 적어도 어느 하나로 형성되도록 할 수 있다.
- <53> 상기 비투과층 형성 단계는 상기 비투과층이 ITO(Indium Tin Oxide)/Ag/ ITO/Ag/ITO 및 ITO/Ag/IZO(Indium Zinc Oxide)중 선택된 적어도 어느 하나로 형성되도록 할 수 있다.
- <54> 상기 기판 준비 단계는 0.05~1mm 두께의 기판을 준비하여 이루어질 수 있다.
- <55> 상기 기판 합착 단계는 기판과 기판 사이에 마찰 방지층을 형성하여 이루어질 수 있다.

- <56> 상기 기관 분리 단계후에는 마찰 방지층을 제거하는 단계가 더 포함될 수 있다.
- <57> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치는 0.05~1mm의 두께를 갖는 기관을 포함함으로써, 최근의 슬림화 추세에 있는 휴대폰, PDA, 노트북, 컴퓨터 모니터 및 텔레비전 등과 같은 각종 디스플레이용 전자 제품에 쉽게 적용할 수 있게 된다.
- <58> 또한, 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치는 유기 전계 발광 소자의 하부에 비투과층을 형성함으로써, 제품의 사용중 자외선이 기관을 통하여 유기 전계 발광 소자에 영향을 미치지 않도록 한다.
- <59> 상기와 같이 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법은 0.05~1mm의 두께를 갖는 기관을 두장 합착하여 반도체 공정 및 유기 박막 공정(물론, 각 공정에는 세정, 식각, 노광, 현상 및 열처리 등이 포함됨)을 동시에 수행함으로써, 전체 공정 시간을 대략 50% 정도 단축시킬 수 있게 된다.
- <60> 또한, 상기와 같이 하여 본 발명에 의한 제조 방법은 유기 전계 발광 소자의 하부에 미리 비투과층을 형성함으로써, 노광 공정중 자외선이 반대편의 다른 기관에 잘 전달되지 않도록 한다.
- <61> 또한, 상기와 같이 하여 본 발명에 의한 제조 방법은 합착되는 기관 사이에 소정 두께의 마찰 방지층을 형성하여 강성을 보강함으로써, 제조 공정중 기관이 휘어지거나 파손되지 않게 한다.
- <62> 또한, 상기와 같이 하여 본 발명에 의한 제조 방법은 합착되는 기관 사이에 마찰 방지층을 형성함으로써, 두장의 기관 합착시에도 기관끼리의 접촉을 방지하여 기관 손상을 방지할 수 있게 된다.
- <63> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <64> 도 2를 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 단면도가 도시되어 있다.
- <65> 도 2에 도시된 바와 같이 본 발명에 따른 유기 전계 발광 표시 장치(100)는 기관(110)과, 상기 기관(110)상에 형성된 버퍼층(120)과, 상기 버퍼층(120)상에 형성된 반도체층(130)과, 상기 반도체층(130)상에 형성된 게이트 절연막(140)과, 상기 게이트 절연막(140)상에 형성된 게이트 전극(150)과, 상기 게이트 전극(150) 상에 형성된 층간 절연막(160)과, 상기 층간 절연막(160)상에 형성된 소스/드레인 전극(170)과, 상기 소스/드레인 전극(170)상에 형성된 절연막(180)과, 상기 절연막(180)상에 형성된 비투과층(190)과, 상기 비투과층(190)상에 형성된 유기 전계 발광 소자(200)와, 상기 유기 전계 발광 소자(200)의 외주연인 비투과층(190)상에 형성된 화소 정의막(210)과, 상기 기관(110)의 하면에 형성된 마찰 방지층(220)을 포함할 수 있다.
- <66> 상기 기관(110)은 상면과 하면이 대략 평평하며, 상면과 하면 사이의 두께는 대략 0.05~1mm 정도로 형성될 수 있다. 상기 기관(110)의 두께가 대략 0.05mm 이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 또한, 상기 기관(110)의 두께가 대략 1mm 이상인 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란하다. 또한, 상기 기관(110)은 통상의 글래스, 플라스틱, 폴리머 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다.
- <67> 상기 버퍼층(120)은 상기 기관(110)의 상면에 형성될 수 있다. 이러한 버퍼층(120)은 하기할 반도체층(130)이나 유기 전계 발광 소자(200)쪽으로 습기(H<sub>2</sub>O), 수소(H<sub>2</sub>) 또는 산소(O<sub>2</sub>) 등이 상기 기관(110)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 상기 버퍼층(120)은 반도체 공정중 쉽게 형성할 수 있는 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>), 무기막 및 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 물론, 이러한 버퍼층(120)은 필요에 따라 생략될 수도 있다.
- <68> 상기 반도체층(130)은 상기 버퍼층(120)의 상면에 형성될 수 있다. 이러한 반도체층(130)은 상호 대향되는 양측에 형성된 소스/드레인 영역(132)과, 상기 소스/드레인 영역(132) 사이에 형성된 채널 영역(134)으로 이루어질 수 있다. 일례로 상기 반도체층(130)은 박막 트랜지스터일 수 있다. 이러한 박막 트랜지스터는 아모퍼스 실리콘(amorphous Si) 박막 트랜지스터, 폴리 실리콘(poly Si) 박막 트랜지스터, 유기 박막 트랜지스터, 마이크로 실리콘(micro Si, 아모퍼스 실리콘과 폴리 실리콘 사이의 그레인 사이즈를 갖는 실리콘) 박막 트랜지스터 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나 본 발명에서 상기 박막 트랜지스터의 종류를 한정하는 것은 아니다. 또한, 상기 박막 트랜지스터가 폴리 실리콘 박막 트랜지스터일 경우, 상기 폴리 실리콘 박막 트랜지스터는 저온에서 레이저를 이용하여 결정화는 방법, 금속을 이용하여 결정화하는 방법, 높은 압력을 이용하여 결정화하는 방법 및 그 등가 방법중 선택된 어느 하나의 방법일 수 있으나, 본 발명에서 상기 폴리 실리콘의 결

정화 방법을 한정하는 것은 아니다. 상기 레이저를 이용하여 결정화하는 방법은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), TDX(Thin Beam Direction Crystallization) 등의 방식 가능하나 이러한 방법으로 본 발명을 한정하는 것은 아니다. 또한, 금속을 이용하여 결정화하는 방법은 SPC(Solid Phases Crystallization), MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization), SGS(Super Grained Silicon) 등이 가능하나 이러한 방식으로 본 발명을 한정하는 것은 아니다. 물론, 상기 박막 트랜지스터는 PMOS, NMOS 및 그 등가 형태중 선택된 적어도 어느 하나일 수 있으나, 본 발명에서 상기 박막 트랜지스터의 도전 형태를 한정하는 것도 아니다.

<69> 상기 게이트 절연막(140)은 상기 반도체층(130)의 상면에 형성될 수 있다. 물론, 이러한 게이트 절연막(140)은 상기 반도체층(130)의 외주연인 버퍼층(120) 위에도 형성될 수 있다. 또한, 상기 게이트 절연막(140)은 반도체 공정중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.

<70> 상기 게이트 전극(150)은 상기 게이트 절연막(140)의 상면에 형성될 수 있다. 좀더 구체적으로, 상기 게이트 전극(150)은 상기 반도체층(130)중 채널 영역(134)과 대응되는 게이트 절연막(140) 위에 형성될 수 있다. 주지된 바와 같이 이러한 게이트 전극(150)은 상기 게이트 절연막(140) 하부의 채널 영역(134)에 전계를 인가함으로써, 상기 채널 영역(134)에 정공 또는 전자의 채널이 형성되도록 한다. 또한, 상기 게이트 전극(150)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 폴리 실리콘 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.

<71> 상기 층간 절연막(160)은 상기 게이트 전극(150) 및 게이트 절연막(140)의 상면에 형성될 수 있다. 상기 층간 절연막(160)은 실리콘 산화막, 실리콘 질화막, 폴리머, 플라스틱, 유리 또는 그 등가물중 선택된 어느 하나로 형성될 수 있으나 여기서 상기 층간 절연막(160)의 재질을 한정하는 것은 아니다.

<72> 상기 소스/드레인 전극(170)은 상기 층간 절연막(160)의 상면에 형성될 수 있다. 물론, 상기 소스/드레인 전극(170)과 반도체층(130) 사이에는 층간 절연막(160)을 관통하는 도전성 콘택(176)(electrically conductive contact)이 형성될 수 있다. 즉, 상기 도전성 콘택(176)에 의해 상기 반도체층(130)중 소스/드레인 영역(132)과 소스/드레인 전극(170)이 상호 전기적으로 연결된다. 또한, 상기 소스/드레인 전극(170)은 상기 게이트 전극(150)과 같은 금속 재질로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다. 한편, 상기와 같은 반도체층(130)(즉, 박막 트랜지스터)은 통상 동일 평면 구조(coplanar structure)로 정의될 수 있다. 그러나, 본 발명에 개시된 반도체층(130)은 동일 평면 구조로만 한정되는 것은 아니고, 지금까지 알려진 모든 박막 트랜지스터의 구조 예를 들면, 반전 동일 평면 구조(inverted coplanar structure), 지그재그형 구조(staggered structure), 반전 지그재그형 구조(inverted staggered structure) 및 그 등가 구조중 선택된 적어도 어느 하나가 가능하며, 본 발명에서 상기 반도체층(130)의 구조를 한정하는 것은 아니다.

<73> 상기 절연막(180)은 상기 소스/드레인 전극(170) 및 층간 절연막(160)의 상면에 형성될 수 있다. 이러한 절연막(180)은 다시 보호막(182)과, 상기 보호막(182)의 상면에 형성된 평탄화막(184)을 포함하여 이루어질 수 있다. 상기 보호막(182)은 상기 소스/드레인 전극(170) 및 층간 절연막(160)을 덮으며, 상기 소스/드레인 전극(170) 등을 보호하는 역할을 한다. 이러한 보호막(182)은 통상의 무기막 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 본 발명에서 상기 보호막(182)의 재질을 한정하는 것은 아니다. 더불어, 상기 평탄화막(184)은 상기 보호막(182)을 덮는다. 이러한 평탄화막(184)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴(Acrylic) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.

<74> 상기 비투과층(190)은 상기 절연막(180)의 상면 전체에 형성될 수 있다. 즉, 상기 비투과층(190)은 상기 반도체층(130)과 대응되는 상부 영역이나 상기 반도체층(130)과 대응되지 않는 상부 영역에 모두 형성될 수 있다. 또한, 상기 비투과층(190)은 상기 절연막(180)을 관통하는 도전성 비아(208)에 의해 상기 소스/드레인 전극(170)에 전기적으로 연결될 수 있다. 이와 같이 비투과층(190)이 상기 소스/드레인 전극(170)과 전기적으로 연결되는 이유에 대해서는 아래에서 설명하기로 한다.

<75> 상기 비투과층(190)은 두장의 기관(110)을 함착하여 유기 전계 발광 소자(200) 등을 형성하는 제조 공정중 노광을 위한 자외선이 반대측의 다른 기관쪽으로 투과되지 않도록 하는 역할을 한다. 물론, 상기 비투과층(190)은 기관(110)이 날개로 분리된 후 외부의 자외선이 유기 전계 발광 소자(200)쪽으로 투과하지 못하도록 하는 역할도 한다.

- <76> 이러한 비투과층(190)은 자외선 차단제 및 그 등가물중 선택된 어느 하나로 형성될 수 있다. 더불어, 상기 비투과층(190)은 자외선이 투과되지 않는 금속, 투명 자외선 차단제, 불투명의 자외선 차단제 및 그 등가물중 선택된 어느 하나로 형성될 수도 있다. 더욱이, 상기 비투과층(190)이 금속일 경우 이는 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO), 은합금(ATD) 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나 여기서 그 재질을 한정하는 것은 아니다.
- <77> 또한, 상기 비투과층(190)은 500~3000Å의 두께로 형성될 수 있다. 상기 비투과층(190)의 두께가 500Å 이하일 경우에는 자외선 차단율이 낮아 제조 공정중이나 공정후에 상기 반도체층(130)이나 유기 전계 발광 소자(200)에 영향을 줄 수 있고, 또한 상기 비투과층(190)의 두께가 3000Å 이상일 경우에는 충분한 자외선 차단 효율에도 불구하고 두께가 과도하게 두꺼워질 수 있다.
- <78> 상기 유기 전계 발광 소자(200)는 상기 비투과층(190)의 상면중 일정 영역에만 형성될 수 있다. 이러한 유기 전계 발광 소자(200)는 다시 애노드(202), 상기 애노드(202)의 상면에 형성된 유기 전계 발광 박막(204) 및 상기 유기 전계 발광 박막(204)의 상면에 형성된 캐소드(206)를 포함할 수 있다. 상기 애노드(202)는 ITO(Indium Tin Oxide), ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO(Indium Zinc Oxide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 상기 애노드(202)의 재질을 한정하는 것은 아니다. 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막(204)에 대한 정공 주입 장벽이 작은 투명 도전막이고, 상기 Ag는 전면 발광 방식에서 특히 유기 전계 발광 박막(204)으로부터의 빛을 상면으로 반사시키는 막이다. 한편, 상기 유기 전계 발광 박막(204)은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층에는 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)이 형성되고, 상기 정공 수송층에는 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL)이 더 형성될 수 있다. 더불어, 상기 캐소드(206)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나일 수 있으나 본 발명에서 상기 캐소드(206)의 재질을 한정하는 것은 아니다. 다만, 본 발명에서 전면 발광식을 택할 경우 상기 Al은 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커지는 단점이 있다. 상기 MgAg 합금은 상기 Al에 비해 전자 주입 장벽이 작고, 상기 MgCa 합금은 상기 MgAg 합금에 비해 전자 주입 장벽이 더 낮다. 따라서, 전면 발광식일 경우는 상기 Al 대신 MgAg 합금 및 MgCa 합금을 캐소드(206)로 사용함이 좋다. 그러나, 이러한 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다.
- <79> 여기서, 상기 유기 전계 발광 소자(200)의 한 구성 요소인 애노드(202)와 비투과층(190)은 실질적으로 동일한 재질일 수 있다. 다른 말로, 절연막(180)의 상면 전체에 비투과층(190)을 형성하고, 상기 비투과층(190)중 상기 유기 전계 발광 소자(200)가 형성되는 영역을 별도의 애노드(202)로 정의한 것이다. 따라서, 상기 비투과층(190)은 애노드(202)와 마찬가지로 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO(Indium Zinc Oxide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있다. 더불어, 상술한 바와 같이 비투과층(190)은 소스/드레인 전극(170)과 도전성 비아(208)에 의해 상호 전기적으로 연결될 수 있다고 하였는데, 그 이유는 상기 비투과층(190)의 일부 영역이 유기 전계 발광 소자(200)의 애노드(202)로 사용될 수 있기 때문이다.
- <80> 한편, 여기서 본 발명은 기관(110)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(110)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(110)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.
- <81> 상기 화소 정의막(210)은 상기 유기 전계 발광 소자(200)의 외주연으로서 상기 비투과층(190)의 상면에 형성될 수 있다. 이러한 화소 정의막(210)은 적색 유기 전계 발광 소자, 녹색 유기 전계 발광 소자, 청색 유기 전계 발광 소자 사이의 경계를 명확히 해주워 화소 사이의 발광 경계 영역이 명확해지도록 한다. 또한, 이러한 화소 정의막(210)은 폴리이미드(polyimide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 상기 화소 정의막(210)의 재질을 한정하는 것은 아니다.
- <82> 한편, 본 발명에 따른 유기 전계 발광 표시 장치(100)는 상기 기관(110)의 하면에 마찰 방지층(220)이 더 형성될 수 있다. 이러한 마찰 방지층(220)은 두장의 기관(110)을 합착하여 반도체층(130) 및 유기 전계 발광 소자(200) 등을 형성하는 공정중 양기관(110)이 서로 접촉되지 않도록 하는 역할을 한다. 더불어, 이러한 마찰 방지층(220)은 두장의 기관(110)이 합착된 상태에서, 전체적인 두께가 두꺼워지도록 함으로써 소정 강성을 확보하여 기관의 이송 공정 등에서 휘어짐 현상이나 파손 현상이 방지되도록 한다. 이러한 마찰 방지층(220)은 유기 재료, 무기 재료 및 그 등가물중 선택된 어느 하나를 이용하여 형성할 수 있으나 여기서 그 재질을 한정하는 것

은 아니다. 또한, 상기 마찰 방지층(220)은 10~100 $\mu$ m의 두께로 형성함이 바람직하다. 상기 마찰 방지층(220)의 두께가 10 $\mu$ m 이하일 경우에는 제조 공정중 기관과 기관끼리 접촉할 수 있고, 상기 마찰 방지층(220)의 두께가 100 $\mu$ m 이상일 경우에는 기관(110)의 전체 두께가 과도하게 두꺼워질 수 있다.

- <83> 도 3을 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법이 순서도로서 도시되어 있다.
- <84> 도시된 바와 같이 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법은 기관 준비 단계(S1)와, 기관 합착 단계(S2)와, 버퍼층 형성 단계(S3)와, 반도체층 형성 단계(S4)와, 절연막 형성 단계(S5)와, 비투과층 형성 단계(S6)와, 유기 전계 발광 소자 형성 단계(S7)와, 기관 분리 단계(S8)와, 마찰 방지층 제거 단계(S9)를 포함할 수 있다.
- <85> 도 4a 내지 도 4k를 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법이 단면도로서 도시되어 있다. 상기 도 3 및 도 4a 내지 도 4k를 참조하여, 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법을 순차적으로 설명한다.
- <86> 먼저 도 4a에 도시된 바와 같이 상기 기관 준비 단계(S1)에서는, 상면과 하면이 대략 평평하고 일정한 두께를 갖는 기관(110)을 제공한다.
- <87> 상기 기관(110)은 통상의 글래스, 플라스틱, 폴리머 및 그 등가물중 선택된 어느 하나로 준비할 수 있으나, 본 발명에서 상기 기관(110)의 재질이나 종류를 한정하는 것은 아니다. 또한, 상기 기관(110)은 두께가 대략 0.05~1mm 정도인 것을 준비함이 좋다. 상기 기관(110)의 두께가 대략 0.05mm 이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 취급이 어려우며 또한 외력에 파손되기 쉬운 단점이 있다. 또한, 상기 기관(110)의 두께가 대략 1mm 이상인 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란한 단점이 있다.
- <88> 도 4b에 도시된 바와 같이 상기 기관 합착 단계(S2)에서는, 상기와 같은 기관(110)을 두장 준비하여 상호 합착한다.
- <89> 이때, 상기 기관(110)과 기관(110)의 직접적인 마찰을 피하고 또한 제조 공정중 일정한 강성을 유지할 수 있도록, 상기 기관(110)과 기관(110) 사이에는 마찰 방지층(220)을 더 개재할 수 있다. 이러한 마찰 방지층(220)은 통상의 유기 재료, 무기 재료 또는 그 등가물중 선택된 적어도 어느 하나를 증착하거나 코팅하여 형성할 수 있으나, 본 발명에서 상기 마찰 방지층(220)의 재질 및 형성 방법을 한정하는 것은 아니다. 물론, 이러한 마찰 방지층(220)은 유기 전계 발광 표시 장치의 완성후 제거하게 된다면, 쉽게 제거할 수 있는 재질로 형성함이 좋다. 이러한 재질로 예를 들면 유기 물질인 포토 레지스트(photo resist)가 가능하나 여기서 그 재질을 한정하는 것은 아니다. 더불어, 상기 기관(110)의 가장자리 또는 전체 영역에는 제조 공정중 두장의 기관(110)이 서로 분리되지 않도록 합착제(도면에 도시되지 않음)를 더 개재할 수도 있다. 이러한 합착제는 통상의 에폭시 접착제, 자외선 경화 접착제 및 그 등가물중 선택된 적어도 어느 하나를 이용할 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 또한, 상기 마찰 방지층(220)은 각 기관(110)에 미리 형성한 후, 이를 상호 합착할 수도 있지만, 두장의 기관(110)을 합착제를 개재하여 합착한 후 상기 양기관(110) 사이에 형성된 틈으로 액체 성분의 마찰 방지층(220)을 주입하여 형성할 수도 있다. 즉, 상기 두장의 기관(110) 사이에 액체 성분의 마찰 방지층(220)을 주입하면, 모세관 현상에 의해 용이하게 주입되기 때문이다. 물론, 이러한 액체 성분의 마찰 방지층(220)의 형성 후에는 소정 온도로 기관(110)을 열처리함으로써, 상기 마찰 방지층(220)이 경화되도록 함이 좋다.
- <90> 도 4c에 도시된 바와 같이 상기 버퍼층 형성 단계(S3)에서는, 마찰 방지층(220)이 형성된 면의 반대면인 각 기관(110)의 표면에 일정 두께의 버퍼층(120)을 형성한다. 이러한 버퍼층(120)은 실리콘 산화막, 실리콘 질화막, 무기막 및 그 등가물중 선택된 적어도 어느 하나를 이용하여 형성한다. 상기 버퍼층(120)은 수분, 수소 또는 산소 등이 상기 기관(110)을 통하여 반도체층(130) 또는 유기 전계 발광 소자(190)에 전달되지 않도록 하는 역할을 한다. 물론, 이러한 버퍼층(120)은 그 표면에 반도체층(130) 등이 잘 형성되도록 도와주는 역할도 한다.
- <91> 더불어, 이러한 버퍼층(120)은 어느 일측의 기관에 먼저 형성하고, 이어서 다른 기관에 순차적으로 형성하거나, 또는 양측의 기관에 동시 형성할 수 있다.
- <92> 도 4d에 도시된 바와 같이 상기 반도체층 형성 단계(S4)에서는, 상기 버퍼층(120)의 표면에 반도체층(130)을 형성하고, 이어서 그 표면에 게이트 절연막(140)을 형성한다.
- <93> 상기 반도체층(130)은 상호 대향되는 양측에 소스/드레인 영역(132)을 형성하고, 상기 소스/드레인 영역(132) 사이에는 채널 영역(134)을 형성하여 이루어질 수 있다. 일례로 상기 반도체층(130)은 박막 트랜지스터일 수 있

다. 이러한 박막 트랜지스터는 아모퍼스 실리콘(amorphous Si) 박막 트랜지스터, 폴리 실리콘(poly Si) 박막 트랜지스터, 유기 박막 트랜지스터, 마이크로 실리콘(micro Si) 박막 트랜지스터 또는 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으나 본 발명에서 상기 박막 트랜지스터의 종류를 한정하는 것은 아니다.

<94> 또한, 상기 박막 트랜지스터가 폴리 실리콘 박막 트랜지스터일 경우, 아모퍼스 실리콘을 상기 버퍼층(120) 위에 형성한 후, 저온에서 레이저를 이용하여 결정화는 방법, 금속을 이용하여 결정화하는 방법, 높은 압력을 이용하여 결정화하는 방법 및 그 등가 방법중 선택된 적어도 어느 하나의 방법으로 결정화할 수 있다. 그러나, 본 발명에서 상기 폴리 실리콘의 결정화 방법을 한정하는 것은 아니다.

<95> 물론, 상기 아모퍼스 실리콘은 예를 들어 PECVD, LPCVD, 스퍼터링 및 그 등가 방식중 선택된 적어도 어느 하나의 방법으로 형성할 수 있으며, 여기서 상기 아모퍼스 실리콘의 형성 방법을 한정하는 것은 아니다. 더불어, 이러한 아모퍼스 실리콘의 결정화 이후에는 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 개수의 반도체층(130)을 형성한다.

<96> 한편, 상기 레이저를 이용하여 아모퍼스 실리콘을 폴리 실리콘으로 결정화하는 방법으로 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), TDX(Thin Beam Direction Crystallization)등의 방식 가능하나 이러한 방법으로 본 발명을 한정하는 것도 아니다. 또한, 금속을 이용하여 결정화하는 방법으로서 SPC(Solid Phases Crystallization), MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization), SGS(Super Grained Silicon) 등이 가능하나 이러한 방식으로 본 발명을 한정하는 것은 아니다.

<97> 또한, 상기 박막 트랜지스터는 PMOS, NMOS 및 그 등가 형태중 선택된 적어도 어느 하나일 수 있으나, 본 발명에서 상기 박막 트랜지스터의 도전 형태를 한정하는 것도 아니다.

<98> 상기 반도체층(130)의 표면에는 예를 들면, PECVD, LPCVD, 스퍼터링 및 그 등가 방법중 선택된 어느 하나의 방법으로 일정 두께의 게이트 절연막(140)을 형성한다. 물론, 이러한 게이트 절연막(140)은 상기 반도체층(130)의 외주연인 버퍼층(120) 위에도 형성할 수 있다. 또한, 상기 게이트 절연막(140)은 반도체 공정중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.

<99> 도 4e에 도시된 바와 같이, 상기 게이트 절연막(140)의 상면에는 예를 들면 PECVD, LPCVD, 스퍼터링 및 그 등가 방법중 선택된 어느 하나의 방법으로 게이트 전극(150)을 형성할 수 있다. 물론, 상기와 같은 증착 공정 이후에는 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 개수의 게이트 전극(150)을 형성한다. 즉, 상기 게이트 전극(150)은 상기 반도체층(130)중 채널 영역(134)과 대응되는 게이트 절연막(140) 위에 형성할 수 있다. 이러한 게이트 전극(150)은 상기 게이트 절연막(140) 하부의 채널 영역(134)에 전계를 인가함으로써, 상기 채널 영역(134)에 정공 또는 전자의 채널이 형성되도록 한다. 또한, 상기 게이트 전극(150)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 폴리 실리콘 및 그 등가물중 선택된 적어도 어느 하나를 이용하여 형성할 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.

<100> 또한, 상기 게이트 전극(150) 및 게이트 절연막(140)의 상면에는 층간 절연막(160)을 형성한다. 상기 층간 절연막(160)은 실리콘 산화막, 실리콘 질화막, 폴리머, 플라스틱, 유리 또는 그 등가물 중 선택된 어느 하나로 형성할 수 있으나 여기서 상기 층간 절연막(160)의 재질을 한정하는 것은 아니다. 물론, 상기 층간 절연막(160)중 소스/드레인 영역(132)과 대응되는 영역은 식각 공정을 통하여 상기 소스/드레인 영역(132)이 외부로 노출되도록 한다. 이러한 노출된 영역을 통상 컨택홀이라 하며, 이러한 컨택홀에는 차후 도전성 컨택이 형성된다.

<101> 또한, 도 4f에 도시된 바와 같이 상기 층간 절연막(160)의 상면에는 예를 들면 PECVD, LPCVD, 스퍼터링 및 그 등가 방법중 선택된 어느 하나의 방법으로 소스/드레인 전극(170)을 형성한다. 물론, 상기와 같은 증착 공정 이후에는 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 개수의 소스/드레인 전극(170)을 형성한다. 상기 소스/드레인 전극(170)과 반도체층(130)의 소스/드레인 영역(132) 사이에는 상기 층간 절연막(160)을 관통하는 도전성 컨택(176)(electrically conductive contact)을 형성한다. 물론, 상기 도전성 컨택(176)은 상술한 바와 같이 미리 형성된 컨택홀을 충전하며 형성된다.

<102> 상기 도전성 컨택(176)에 의해 상기 반도체층(130)과 소스/드레인 전극(170)이 전기적으로 상호 연결된다. 이러한 도전성 컨택(176) 역시 상기 게이트 전극(150) 및 소스/드레인 전극(170)과 같은 재질의 재료를 이용하여 형성할 수 있으며, 여기서 상기 도전성 컨택(176)의 재질을 한정하는 것은 아니다.

- <103> 또한, 상기 소스/드레인 전극(170)은 상기 게이트 전극(150)과 같은 금속 재질로 형성할 수 있으며, 여기서 그 재질을 한정하는 것은 아니다. 한편, 상기와 같은 반도체층(130)(즉, 박막 트랜지스터)은 통상 동일 평면 구조(coplanar structure)로 정의된다. 그러나, 본 발명에 개시된 반도체층(130)은 동일 평면 구조로만 한정되는 것은 아니고, 지금까지 알려진 모든 박막 트랜지스터의 구조 예를 들면, 반전 동일 평면 구조(inverted coplanar structure), 지그재그형 구조(staggered structure), 반전 지그재그형 구조(inverted staggered structure) 및 그 등가 구조중 선택된 적어도 어느 하나가 가능하며, 본 발명에서 상기 반도체층(130)의 구조를 한정하는 것은 아니다.
- <104> 상기 반도체층(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스/드레인 전극(170)은 일측의 기판(110)에 먼저 형성한 후, 타측의 기판(110)에 형성할 수 있다. 즉, 일측의 기판상에서 반도체층(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스/드레인 전극(170)을 완성하고, 타측의 기판에서 다시 반도체층(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스/드레인 전극(170)을 완성할 수 있다. 더불어, 이러한 구성 요소(130, 140, 150, 160, 170)들은 공정별로 일측과 타측의 기판을 뒤집어가면서 순차적으로 형성할 수도 있다. 더욱이, 상기 구성 요소(130, 140, 150, 160, 170)들은 공정 장비가 허락한다면 양측의 기판에서 동시에 형성하여 완성할 수도 있다.
- <105> 도 4g에 도시된 바와 같이, 상기 절연막 형성 단계(S5)에서는, 상기 반도체층(130)(즉, 소스/드레인 전극(170) 및 층간 절연막(160)의 상면) 위에 일정 두께의 절연막(180)을 형성한다.
- <106> 상기 절연막(180)은 보호막(182)과 평탄화막(184)으로 이루어질 수 있다. 물론, 보호막(182)을 먼저 형성하고, 이어서 상기 보호막(182)의 위에 평탄화막(184)을 형성한다. 상기 보호막(182)은 상기 소스/드레인 전극(170) 및 층간 절연막(160)을 덮으며, 상기 소스/드레인 전극(170) 및 게이트 전극(150) 등을 보호하는 역할을 한다. 물론, 상기 보호막(182) 및 평탄화막(184)에는 상기 소스/드레인 전극(170)과 대응되는 영역을 식각하여 비아홀(208a)을 미리 형성해 둔다. 이러한 비아홀(208a)에는 차후 도전성 비아를 형성한다. 상기 보호막(182)은 통상의 실리콘 산화막, 실리콘 질화막, 무기막 및 그 등가물중 선택된 적어도 어느 하나를 증착 또는 코팅하여 형성할 수 있으나, 본 발명에서 상기 보호막(182)의 재질이나 형성 방법을 한정하는 것은 아니다. 더불어, 보호막(182) 위에는 평탄화막(184)을 형성한다. 이러한 평탄화막(184)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물중 선택된 적어도 어느 하나를 코팅 또는 증착하여 형성할 수 있으나, 본 발명에서 상기 평탄화막(184)의 재질이나 형성 방법을 한정하는 것은 아니다.
- <107> 상기 절연막(180)은 일측의 기판(110)에 형성한 후, 타측의 기판(110)에 형성할 수 있다. 즉, 일측의 기판상에서 절연막(180)을 먼저 완성하고, 타측의 기판에서 다시 절연막(180)을 완성할 수 있다. 더불어, 이러한 절연막(180)은 공정별로 일측과 타측의 기판을 뒤집어가면서 순차적으로 형성할 수도 있다. 더욱이, 상기 절연막(180)은 공정 장비가 허락한다면 양측의 기판에서 동시에 형성하여 완성할 수도 있다.
- <108> 도 4h에 도시된 바와 같이 상기 비투과층 형성 단계(S6)에서는, 실질적으로 상기 절연막(180)의 상면 전체에 일정 두께의 비투과층(190)을 형성한다. 즉, 상기 비투과층(190)은 상기 반도체층(130)과 대응되는 상부 영역 및 상기 반도체층(130)과 대응되지 않는 상부 영역에 모두 형성한다. 이때, 상기 절연막(180)에 미리 형성된 비아홀(208a)에는 도전성 비아(208)를 형성함으로써, 상기 비투과층(190)이 상기 도전성 비아(208)에 의해 상기 소스/드레인 전극(170)에 전기적으로 연결되도록 한다.
- <109> 상기와 같은 비투과층(190)은 두장의 기판(110)을 합착하여 유기 전계 발광 소자(200) 등을 형성하는 제조 공정 중 노광을 위한 자외선이 반대측의 다른 기판쪽으로 투과되지 않도록 하는 역할을 한다. 물론, 상기 비투과층(190)은 기판(110)이 날개로 분리된 후 외부의 자외선이 유기 전계 발광 소자(200)쪽으로 투과하지 못하도록 하는 역할도 한다.
- <110> 이러한 비투과층(190)은 자외선 차단제 및 그 등가물중 선택된 어느 하나로 형성할 수 있다. 더불어, 상기 비투과층(190)은 자외선이 투과되지 않는 금속, 투명 자외선 차단제, 불투명의 자외선 차단제 및 그 등가물중 선택된 어느 하나로 형성할 수도 있다. 더욱이, 상기 비투과층(190)이 금속일 경우 이는 크롬(Cr), 산화크롬(Cr<sub>2</sub>O<sub>3</sub>), 알루미늄(Al), 금(Au), 은(Ag), 산화마그네슘(MgO), 은합금(ATD) 및 그 등가물중 선택된 어느 하나로 형성할 수 있으나 여기서 그 재질을 한정하는 것은 아니다.
- <111> 또한, 상기 비투과층(190)은 500~3000Å의 두께로 형성할 수 있다. 상기 비투과층(190)의 두께가 500Å 이하일 경우에는 자외선 차단율이 낮아 제조 공정중이나 공정후에 상기 반도체층(130)이나 유기 전계 발광 소자(200)에 영향을 줄 수 있고, 또한 상기 비투과층(190)의 두께가 3000Å 이상일 경우에는 충분한 자외선 차단 효율에도

불구하고 두께가 과도하게 두꺼워질 수 있다.

- <112> 더불어, 이러한 비투과층(190)은 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition), 스퍼터링(sputtering), 코팅 및 그 등과 방식중 선택된 어느 하나의 방법으로 형성할 수 있으나, 여기서 그 형성 방법을 한정하는 것은 아니다.
- <113> 물론, 이러한 비투과층(190) 역시 어느 일측의 기판에 먼저 형성하고, 이어서 다른 기판에 순차적으로 형성하거나, 또는 양측의 기판에 동시 형성할 수 있다.
- <114> 도 4i에 도시된 바와 같이 유기 전계 발광 소자 형성 단계(S7)에서는, 상기 비투과층(190)중 일부 영역 위에 박막 형태로 유기 전계 발광 소자(200)를 형성한다.
- <115> 좀더 구체적으로, 상기 비투과층(190)의 일부 영역을 애노드(202)로 이용하고, 그 위에 유기 전계 발광 박막(204) 및 캐소드(206)를 순차적으로 형성한다.
- <116> 상기 애노드(202)는 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO 및 그 등가물중 선택된 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 애노드(202)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 애노드(202)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성할 수 있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 애노드(202)를 형성한다. 물론, 이때 상기 애노드(202)는 상기 절연막(180)을 관통하는 도전성 비아(208)를 통하여 상기 소스/드레인 전극(170)에 전기적으로 연결된다.
- <117> 한편, 상술한 바와 같이 비투과층(190)의 일부 영역이 유기 전계 발광 소자(200)의 애노드(202)로 이용된다고 했다. 따라서, 본 발명은 실질적으로 상기 비투과층(190)의 재질이 상기 애노드(202)와 같을 수 있다. 즉, 본 발명에서 상기 비투과층(190)은 ITO, ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO 또는 그 등가물중 선택된 어느 하나로 형성될 수 있다. 더불어, 상술한 바와 같이 비투과층(190)과 소스/드레인 전극(170)은 도전성 비아(208)에 의해 전기적으로 연결되도록 형성되는데, 이와 같은 이유는 결국 상기 비투과층(190)의 일부 영역이 유기 전계 발광 소자(200)의 애노드(202)로 이용되기 때문이다.
- <118> 더불어, 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막(204)에 대한 정공 주입 장벽이 작은 투명 도전막 역할을 하고, 상기 Ag는 전면 발광 방식에서 특히 유기 전계 발광 박막(204)으로부터의 빛을 상면으로 반사시키는 역할을 한다.
- <119> 상기 유기 전계 발광 박막(204)은 주어진 바와 같이 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL), 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)을 순차적으로 형성하여 이루어질 수 있으나, 이러한 층 종류로 본 발명을 한정하는 것은 아니다. 일례로, 이러한 유기 전계 발광 박막(204)은 용액 상태로 도포하는 스핀 코팅, 딥 코팅, 스프레이법, 스크린 인쇄법, 잉크젯 프린팅법 등의 습식 코팅 방법으로 형성하거나, 또는 스퍼터링, 진공 증착 등의 건식 코팅 방법으로 형성할 수 있다.
- <120> 상기 유기 전계 발광 박막(204)중 전자 주입층 표면에는 상기 캐소드(206)를 형성한다. 이러한 캐소드(206)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 캐소드(206)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 캐소드(206)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성될 수 있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 캐소드(206)를 형성한다.
- <121> 더불어, 본 발명에서 전면 발광식을 택할 경우 캐소드(206)로서 상기 Al을 사용하게 되면 빛 방출율을 크게 하기 위해 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커질 수 있다. 따라서, 이때에는 캐소드(206)로서 Al보다 전자 주입 장벽이 낮은 MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 이용할 수 있다. 물론, 이밖에도 상기 캐소드(206)는 상기 ITO 및 IZO중 선택된 어느 하나로 형성할 수도 있다.
- <122> 여기서, 상기 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다.

- <123> 더불어, 이러한 캐소드(206)의 형성 후에는 각 유기 전계 발광 소자(200)간의 경계가 명확해지도록 비투과층(190) 위에 화소 정의막(210)을 형성한다. 이러한 화소 정의막(210)은 통상의 폴리이미드 및 그 등가물중 선택된 적어도 어느 하나를 코팅하거나 증착하여 형성한다. 물론, 이러한 코팅이나 증착후에는 통상의 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 상술한 유기 전계 발광 소자(200)가 외부로 노출되도록 한다.
- <124> 더욱이, 여기에서 본 발명은 기관(110)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(110)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(110)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.
- <125> 상기 유기 전계 발광 소자(200)는 일측의 기관(110)에 형성한 후, 타측의 기관(110)에 형성할 수 있다. 즉, 일측의 기관상에서 유기 전계 발광 소자(200)를 완성하고, 타측의 기관에서 다시 유기 전계 발광 소자(200)를 완성할 수 있다. 더불어, 이러한 유기 전계 발광 소자(200)는 공정별로 일측과 타측의 기관을 뒤집어가면서 순차적으로 형성할 수도 있다. 더욱이, 상기 유기 전계 발광 소자(200)는 공정 장비가 허락한다면 양측의 기관에서 동시에 형성하여 완성할 수도 있다.
- <126> 도 4j에 도시된 바와 같이 기관 분리 단계(S8)에서는, 지금까지 합착되어 공정이 진행된 각각의 기관(110)을 각각 분리한다. 즉, 두장의 기관(110)을 각각 접착하고 있는 합착제를 소잉 툴(sawing tool) 등을 이용하여 제거함으로써, 각각의 기관(110)을 분리한다. 이때, 각 기관(110)에 마찰 방지층(220)이 별도로 형성된 경우에는 상기 각 기관(110)이 서로 쉽게 분리된다. 그러나, 각 기관(110)에 합착제를 접착하고, 기관(110) 사이에 역상의 마찰 방지층(220)을 주입한 경우에는 각 기관(110)이 서로 잘 분리되지 않을 수 있다. 이때에는 상기 마찰 방지층(220)을 용해하는 화학 용액을 이용하여 상기 각 기관(110)이 서로 분리되도록 한다.
- <127> 물론, 이러한 기관(110)의 분리후에도 상기 기관(110)의 일측에는 아직 마찰 방지층(220)이 잔존하는 상태일 수 있다. 더불어, 도면에 도시되어 있지는 않지만 상기 소잉 전 또는 소잉 후에는 봉지재를 이용하여 봉지 기관을 접착하는 공정이 당연히 포함될 수 있다. 물론, 상기 봉지 기관에는 수분 등을 흡수하기 위해 투명 흡습제가 형성될 수 있다.
- <128> 본 발명은 상기와 같은 기관(110)의 분리 단계를 마지막으로 종료할 수 있다. 즉, 이러한 기관(110)의 분리 단계후 셀 테스트, FPC(Flexible Printed Circuit) 본딩, 모듈 테스트, 신뢰성 테스트를 거쳐 제품으로서 출하될 수도 있다. 물론, 상기 셀 테스트는 소잉 단계전에 기관(110)에 셀 테스트를 위한 영역을 별도로 만들어 수행할 수도 있다.
- <129> 한편, 상기와 같이 기관(110)의 분리 단계(S8)를 마지막 공정으로 채택하게 되면, 당연히 완성된 유기 전계 발광 표시 장치(100)중 기관(110)의 일측 표면에는 마찰 방지층(230)이 그대로 잔존해 있을 수 있다. 이러한 마찰 방지층(230)은 자외선의 투과를 방지하는 동시에, 기관(110)의 표면을 외부 환경으로부터 보호하는 역할을 할 수도 있다.
- <130> 상기와 같이 하여 본 발명은 예를 들어 기관(110)의 두께가 0.5mm일 경우 이러한 기관(110)을 두장 합착하여 제조 공정을 수행함으로써, 제조 공정중에는 1mm 이상의 합착 기관(110)으로 취급하게 된다. 따라서, 제조 공정중 합착 기관(110)의 강성이 높아져 휨 현상이나 파손 현상을 방지할 수 있고, 또한 반도체층 형성 공정, 유기 전계 발광 소자 형성 공정 등을 용이하게 수행할 수 있다. 물론, 제품의 완성후에는 날개의 기관(110)으로 다시 분리됨으로써, 대략 0.5mm 정도의 슬림 기관을 얻을 수 있다.
- <131> 도 4k에 도시된 바와 같이 마찰 방지층 제거 단계(S9)에서는, 상기 기관(110)에 형성된 마찰 방지층(220)을 제거한다. 즉, 이러한 마찰 방지층(220)은 소정 화학 용액을 이용하여 기관(110)으로부터 제거하거나, 또는 연마기 등을 이용하는 기관(110)으로부터 제거한다. 따라서, 이러한 마찰 방지층(220)을 제거하게 되면, 완성된 유기 전계 발광 표시 장치중 기관(110)의 표면에는 어떠한 마찰 방지층(220)도 잔존하지 않게 되고, 또한 두께는 더욱 얇아진다. 물론, 본 발명은 이러한 마찰 방지층(220)이 잔존하도록 하여 자외선을 차단하거나 외부 충격 보호용으로 사용할 수 있으나, 이미 기관(110) 내부에 비투과층(190)이 형성되어 있음으로써, 상기 마찰 방지층(220)을 잔존시키지 않아도 된다.

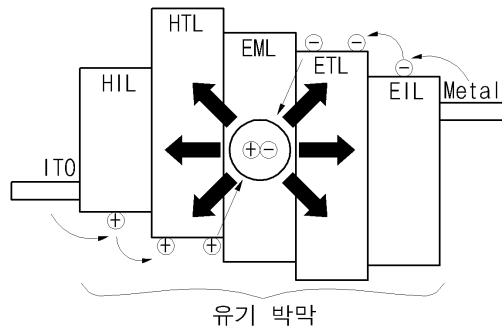
**발명의 효과**

- <132> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치는 0.05~1mm의 두께를 갖는 기관을 포함함으로써, 최근의 슬림화 추세에 있는 휴대폰, PDA, 노트북, 컴퓨터 모니터 및 텔레비전 등과 같은 각종 디스플레이용 전

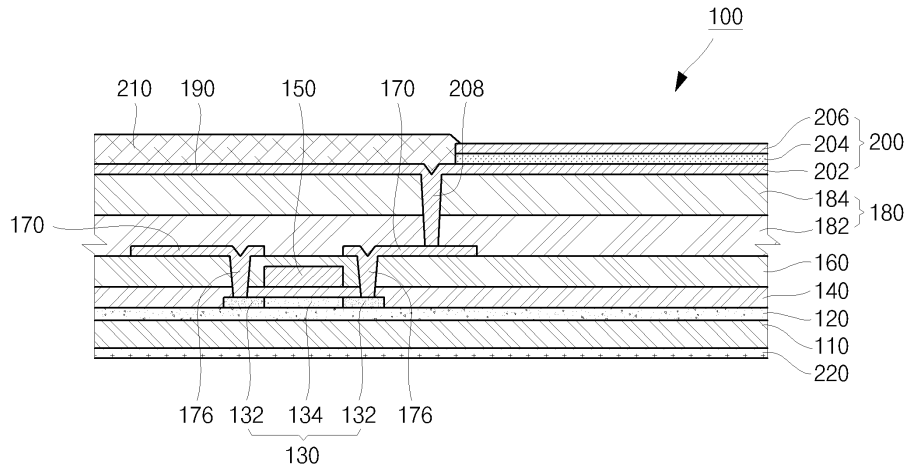


도면

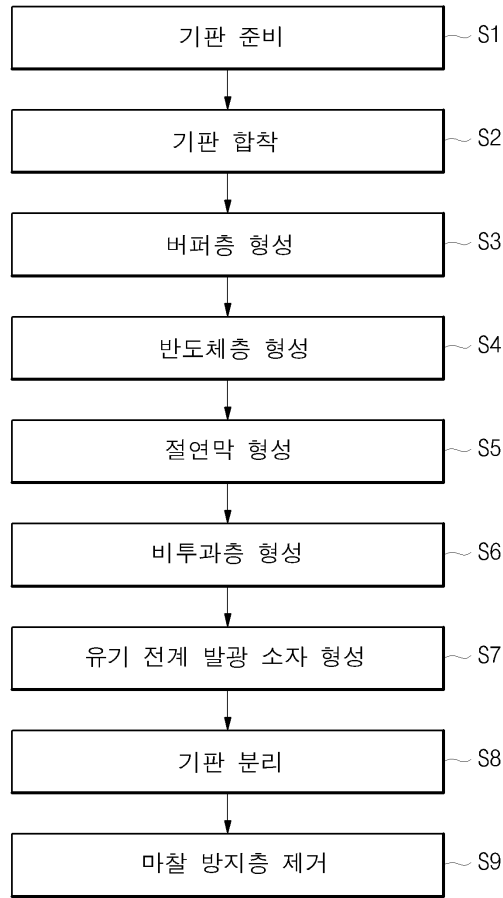
도면1



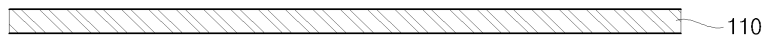
도면2



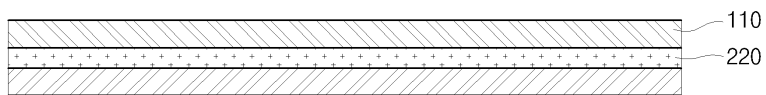
도면3



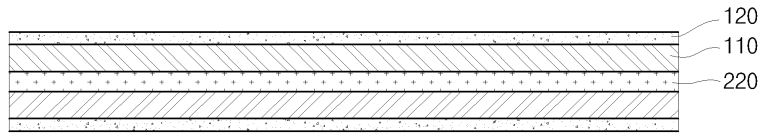
도면4a



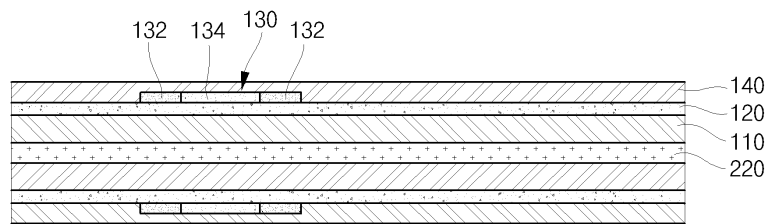
도면4b



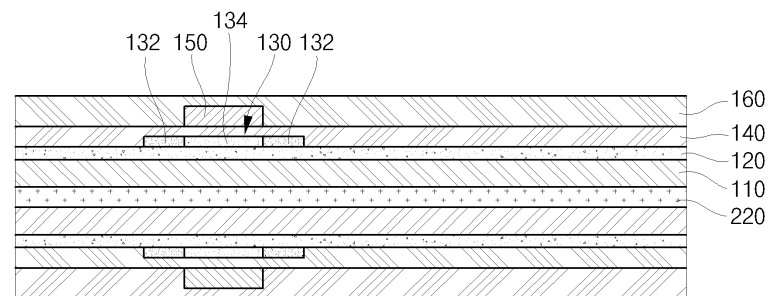
도면4c



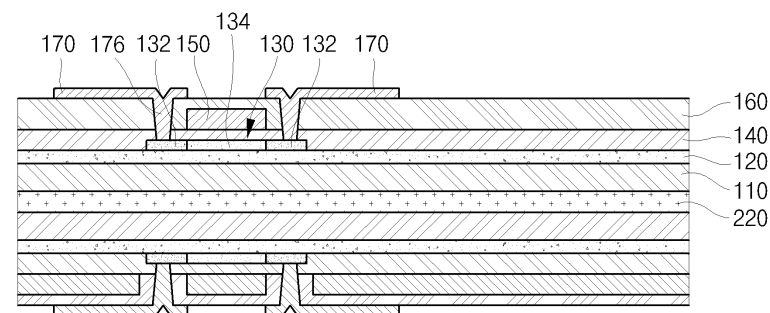
도면4d



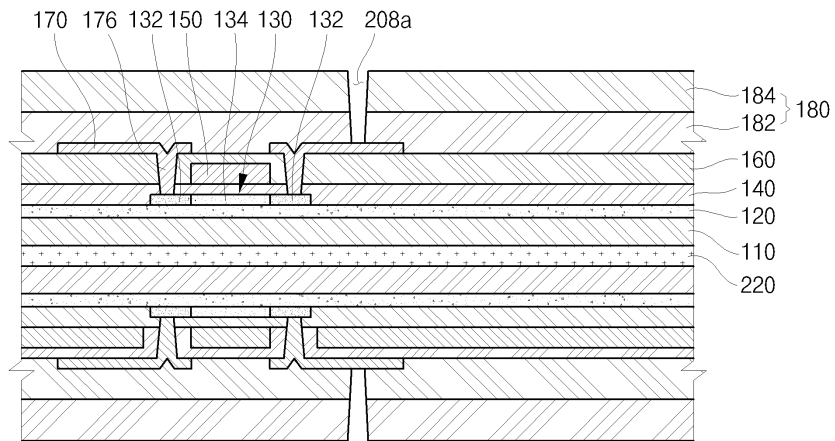
도면4e



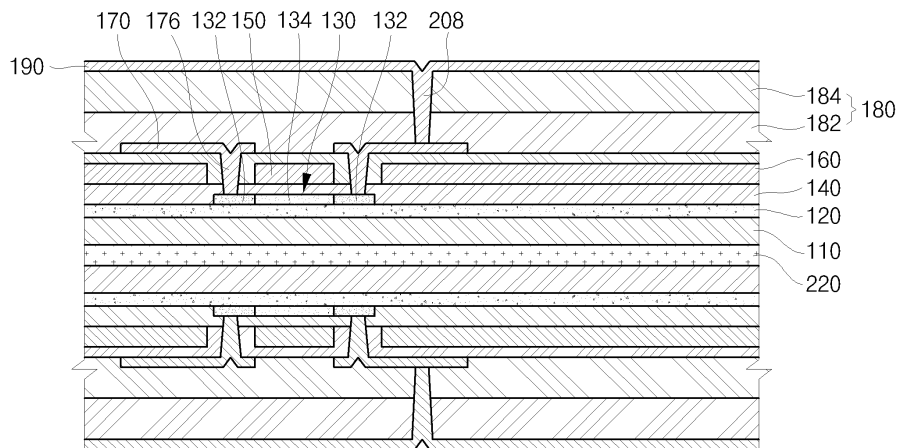
도면4f



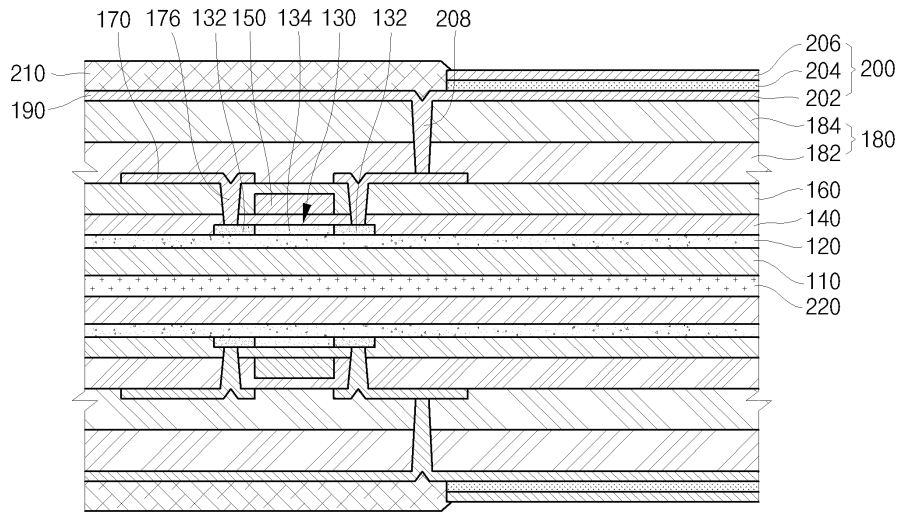
도면4g



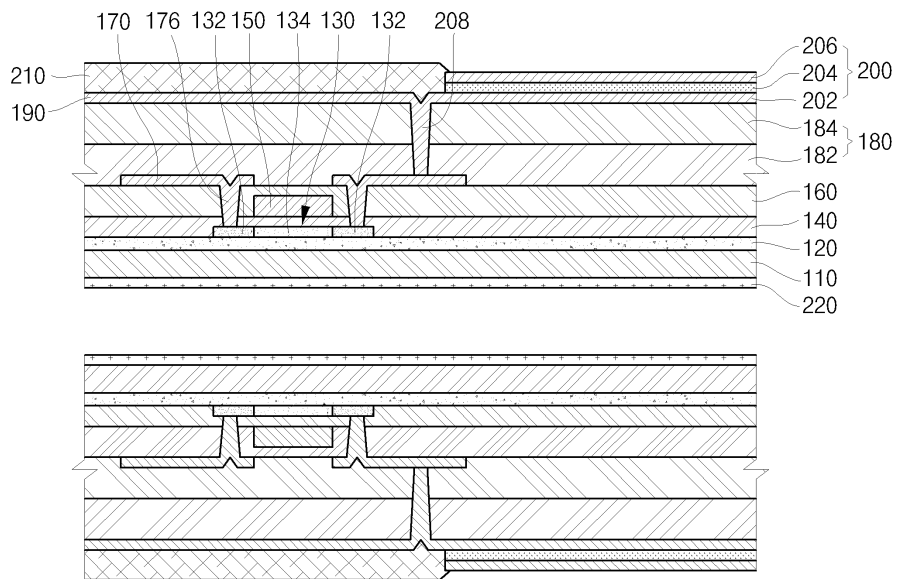
도면4h



도면4i



도면4j



도면4k

