

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5528475号
(P5528475)

(45) 発行日 平成26年6月25日(2014.6.25)

(24) 登録日 平成26年4月25日(2014.4.25)

(51) Int. Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 9 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 2 C
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78	6 2 7 C
GO 9 F 9/30 (2006.01)	HO 1 L 29/78	6 1 8 B
	GO 2 F 1/1368	

請求項の数 4 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2011-547270 (P2011-547270)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年12月7日(2010.12.7)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/007102		大阪府大阪市阿倍野区長池町2番2号
(87) 国際公開番号	W02011/080879	(74) 代理人	110001427
(87) 国際公開日	平成23年7月7日(2011.7.7)		特許業務法人前田特許事務所
審査請求日	平成24年6月12日(2012.6.12)	(72) 発明者	勝井 宏充
(31) 優先権主張番号	特願2009-299032 (P2009-299032)		大阪府大阪市阿倍野区長池町2番2号
(32) 優先日	平成21年12月29日(2009.12.29)		シャープ株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	中村 渉
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

互いに平行に延びるように設けられた複数の走査配線と、
 上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、
 上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層、並びに該半導体層上に上記各信号配線と同一層に形成されたソース電極及びドレイン電極を有する複数の薄膜トランジスタと、
 上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板であって、
 上記絶縁層には、上記各半導体層が露出するように複数の開口部が形成され、
 上記絶縁層の各開口部の周端の少なくとも一部は、上記各半導体層の周端よりも内側に配置され、
 上記各薄膜トランジスタは、上記各走査配線と同一層に形成されたゲート電極を有し、
 上記各半導体層及び各ゲート電極は、ゲート絶縁膜を介して電氣的に絶縁され、
 上記ゲート絶縁膜は、上記各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられ、
 上記各ゲート絶縁膜の少なくとも一方の側端部は、上記各走査配線から突出しており、
 上記絶縁層は、上記各ゲート絶縁膜の突出している部分を覆うように設けられていることを特徴とするアクティブマトリクス基板。

【請求項 2】

請求項 1 に記載されたアクティブマトリクス基板において、

上記各走査配線の間には、該各走査配線に沿って延びるように補助容量配線が設けられ

、
上記絶縁層には、上記各補助容量配線と重なるように複数の開口部が形成され、

上記各補助容量配線及び各ドレイン電極は、ゲート絶縁膜を介して電氣的に絶縁されていることを特徴とするアクティブマトリクス基板。

【請求項 3】

請求項 1 又は 2 に記載されたアクティブマトリクス基板において、

上記絶縁層は、有機スピンオンガラス材料により構成されていることを特徴とするアクティブマトリクス基板。

【請求項 4】

互いに平行に延びるように設けられた複数の走査配線と、

上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、

上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、

上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、

絶縁基板上に、金属膜、無機絶縁膜、半導体膜及び感光性樹脂膜を順に積層し、該感光性樹脂膜をハーフトーンで露光することにより、上記半導体膜上に上記各走査配線となる部分に重なりと共に上記各半導体層となる部分が相対的に厚くなるようにレジストパターンを形成した後に、該レジストパターンから露出する上記半導体膜及び該半導体膜の下層の無機絶縁膜をエッチングして、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

上記レジストパターンを薄肉化することにより該レジストパターンから露出させた上記半導体膜をエッチングして、上記各半導体層を形成する半導体層形成工程と、

上記ゲート絶縁膜から露出する上記金属膜をエッチングして、上記各走査配線を形成する走査配線形成工程と、

上記各走査配線が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上記各半導体層が露出するようにパターンニングして、絶縁層を形成する絶縁層形成工程と、

上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板及びその製造方法に関し、特に、塗布型の絶縁膜を用いたアクティブマトリクス基板及びその製造方法に関するものである。

【背景技術】

【0002】

液晶表示装置を構成するアクティブマトリクス基板は、例えば、互いに平行に延びるように設けられた複数の走査配線と、各走査配線と直交する方向に互いに平行に延びるように設けられた複数の信号配線と、各走査配線及び各信号配線の交差部分毎にそれぞれ設けられた複数の薄膜トランジスタ（以下、「TFT」とも称する）とを備えている。このアクティブマトリクス基板では、各走査配線と各信号配線との交差部分に形成される容量を低減するために、各走査配線と各信号配線とを SOG (Spin on Glass) 膜と呼ばれる塗布型の絶縁膜で電氣的に絶縁する構成が、近年、提案されている。

【0003】

例えば、特許文献 1 には、各走査配線を覆う多層絶縁膜が、有機 SOG 材料を塗布して

10

20

30

40

50

形成されたSOG膜をパターニングした下層の第1の絶縁層と、窒化シリコン膜などの無機絶縁膜からなる上層の第2の絶縁層とにより構成されたアクティブマトリクス基板が開示されている。

【0004】

また、特許文献2には、各TFTを覆うSOG膜を用いた絶縁膜を有し、各信号配線が、各TFTのソース電極及びドレイン電極と異なる導電層により形成され、且つ絶縁膜に形成されたコンタクトホールを介して各TFTのソース電極に接続されたアクティブマトリクス基板が開示されている。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】国際公開第2006/022259号パンフレット

【特許文献2】特開2006-215086号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図14及び図15は、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板120の製造工程を断面で示す説明図である。なお、図14及び図15では、領域AにおいてTFT部の断面を示し、領域Bにおいて画素電極のコンタクト部の断面を示し、領域Cにおいて配線切り替え部の断面を示している。

20

【0007】

以下に、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板120の製造工程を説明する。

【0008】

まず、図14(a)に示すように、スパッタリング法を用いて3層の金属膜を積層した後に、その金属積層膜をフォトリソグラフィを用いてパターニングすることにより、走査配線111a、補助容量配線111b及び信号線引出配線111cを形成する。

【0009】

続いて、図14(b)に示すように、走査配線111a、補助容量配線111b及び信号線引出配線111cが形成された基板全体に、有機SOG膜を塗布及びベーキングした後に、その有機SOG膜をフォトリソグラフィを用いてパターニングすることにより、第1絶縁層112を形成する。

30

【0010】

そして、図14(c)に示すように、第1絶縁層112が形成された基板全体に、CVD (Chemical Vapor Deposition) 法を用いて、第2絶縁層113、真性アモルファスシリコン膜及び n^+ アモルファスシリコン膜を順に積層した後に、真性アモルファスシリコン膜及び n^+ アモルファスシリコン膜の半導体積層膜をフォトリソグラフィを用いてパターニングすることにより、真性アモルファスシリコン層114a及び114b、並びに n^+ アモルファスシリコン層115a及び115bを形成する。

【0011】

40

さらに、図14(d)に示すように、真性アモルファスシリコン層114a及び114b、並びに n^+ アモルファスシリコン層115a及び115bが形成された基板全体に、スパッタリング法を用いて2層の金属膜を積層した後に、その金属積層膜をフォトリソグラフィを用いてパターニングすることにより、ソース電極116a(信号配線)及びドレイン電極116b(補助容量電極)を形成する。

【0012】

その後、図14(e)に示すように、ソース電極116a及びドレイン電極116bから露出する n^+ アモルファスシリコン層115a及び115b、並びにその下層の真性アモルファスシリコン層114a及び114bの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層114a及び n^+ アモルファスシリコン層

50

115aaを有する半導体層104a、並びに真性アモルファスシリコン層114ba及びn⁺アモルファスシリコン層115baを有する半導体層104bを形成して、TFT5を形成する。

【0013】

引き続き、図15(a)に示すように、TFT5が形成された基板全体に、CVD法を用いて、無機絶縁膜117を形成した後に、図15(b)に示すように、感光性樹脂膜を塗布して、その感光性樹脂膜をパターニングすることにより、第4絶縁層118を形成する。

【0014】

さらに、図15(c)に示すように、第4絶縁層118から露出する無機絶縁膜117をドライエッチングを用いて除去することにより、第3絶縁層117aを形成する。

【0015】

最後に、図15(d)に示すように、第3絶縁層117aが形成された基板全体に、スパッタリング法を用いて透明導電膜を形成した後に、その透明導電膜をフォトリソグラフィを用いてパターニングすることにより、画素電極119a及び透明導電層119bを形成して、アクティブマトリクス基板120を製造することができる。

【0016】

以上説明したように、従来のアクティブマトリクス基板120では、各走査配線111aと各信号配線(116a)との間に、比較的厚い有機SOG膜をパターニングして形成された第1絶縁層112が配置されているので、各走査配線111aと各信号配線116aとの交差部分に形成される容量を低減することができるものの、第1絶縁層112を形成した後に、真性アモルファスシリコン膜及びn⁺アモルファスシリコン膜の半導体膜をCVD法により形成するので、第1絶縁層112を構成するSOG膜に、例えば、300

以上の高い耐熱性が求められる。そうすると、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いるSOG膜の材料選択の自由度が低下してしまう。

【0017】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることにある。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明は、半導体層を形成した後に、塗布型の絶縁層を形成するようにしたものである。

【0019】

具体的に本発明に係るアクティブマトリクス基板は、互いに平行に延びるように設けられた複数の走査配線と、上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層、並びに該半導体層上に上記各信号配線と同一層に形成されたソース電極及びドレイン電極を有する複数の薄膜トランジスタと、上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板であって、上記絶縁層には、上記各半導体層が露出するように複数の開口部が形成され、上記絶縁層の各開口部の周端の少なくとも一部は、上記各半導体層の周端よりも内側に配置され、上記各薄膜トランジスタは、上記各走査配線と同一層に形成されたゲート電極を有し、上記各半導体層及び各ゲート電極は、ゲート絶縁膜を介して電氣的に絶縁され、上記ゲート絶縁膜は、上記各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられ、上記各ゲート絶縁膜の少なくとも一方の側端部は、上記各走査配線から突出しており、上記絶縁層は、上記各ゲート絶縁膜の突出している部分を覆うように設けられていることを特徴とする。

【0020】

上記の構成によれば、各走査配線と各信号配線との間に設けられた塗布型の絶縁層に形成された各開口部の周端の少なくとも一部が各半導体層の周端よりも内側に配置されているので、例えば、CVD法を用いて半導体層を形成した後に、塗布型の絶縁層を形成するように構成されている。これにより、塗布型の絶縁層を形成するための塗布型の絶縁膜において、例えば、CVD工程に耐え得る300以上の耐熱性を有する必要がなくなり、耐熱性の低いスピノンガラス材料を塗布型の絶縁膜として用いることが可能になるので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度が向上する。

【0021】

また、各薄膜トランジスタにおいて、半導体層及びゲート電極の間には、比較的厚い塗布型の絶縁層が配置せずに、半導体層及びゲート電極が比較的薄いゲート絶縁膜を介して電氣的に絶縁されているので、低消費電力の薄膜トランジスタが具体的に構成される。

10

【0022】

また、ゲート絶縁膜が各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられているので、走査配線の形成する際のパターンングと半導体層の形成する際のパターンングとを1回のフォトリソグラフィで行うことが可能になり、製造に必要なフォトマスクの枚数が削減される。

【0023】

また、各ゲート絶縁膜の少なくとも一方の側端部が各走査配線から突出してオーバーハング状態に形成され、且つゲート絶縁膜の突出している部分を覆うように塗布型の絶縁層が設けられているので、ゲート絶縁膜のオーバーハングに起因する信号配線の断線や走査配線と信号配線との短絡などの発生が抑制される。

20

【0024】

上記各走査配線の間には、該各走査配線に沿って延びるように補助容量配線が設けられ、上記絶縁層には、上記各補助容量配線と重なるように複数の開口部が形成され、上記各補助容量配線及び各ドレイン電極は、ゲート絶縁膜を介して電氣的に絶縁されていてもよい。

【0025】

上記の構成によれば、補助容量を構成する補助容量配線及びドレイン電極の間には、比較的厚い塗布型の絶縁層が配置せずに、補助容量配線及びドレイン電極が比較的薄いゲート絶縁膜を介して電氣的に絶縁されているので、大容量の補助容量が具体的に構成される。

30

【0026】

上記絶縁層は、有機スピノンガラス材料により構成されていてもよい。

【0027】

上記の構成によれば、絶縁層が有機スピノンガラス材料により構成されているので、例えば、感光性を有する有機スピノンガラス材料に対して、露光及び現像を行うことにより、絶縁層が形成される。

【0028】

また、本発明に係るアクティブマトリクス基板の製造方法は、互いに平行に延びるように設けられた複数の走査配線と、上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、絶縁基板上に、金属膜、無機絶縁膜、半導体膜及び感光性樹脂膜を順に積層し、該感光性樹脂膜をハーフトーンで露光することにより、上記半導体膜上に上記各走査配線となる部分に重なりと共に上記各半導体膜となる部分が相対的に厚くなるようにレジストパターンを形成した後に、該レジストパターンから露出する上記半導体膜及び該半導体膜の下層の無機絶縁膜をエッチングして、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記レジストパターンを薄肉化することにより該レジストパターンが

40

50

ら露出させた上記半導体膜をエッチングして、上記各半導体層を形成する半導体層形成工程と、上記ゲート絶縁膜から露出する上記金属膜をエッチングして、上記各走査配線を形成する走査配線形成工程と、上記各走査配線が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上記各半導体層が露出するようにパターンニングして、絶縁層を形成する絶縁層形成工程と、上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とする。

【0029】

上記の方法によれば、半導体層形成工程において、ゲート絶縁膜形成工程で形成されたゲート絶縁膜上に、例えば、CVD法を用いて、半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線と後の信号配線形成工程で形成される各信号配線との間に配置する塗布型の絶縁層を形成するので、塗布型の絶縁層を形成するための塗布型の絶縁膜において、例えば、CVD工程に耐え得る300以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低いスピンオンガラス材料を塗布型の絶縁膜として用いることが可能になるので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度が向上する。なお、上記の方法によれば、ゲート絶縁膜形成工程でハーフトーンの露光が可能な1枚目のフォトマスクを用い、絶縁層形成工程で2枚目のフォトマスクを用い、信号配線形成工程で3枚目のフォトマスクを用い、その後の工程を省略しているものの、後述する実施形態に記載するように、層間絶縁膜を形成する工程で4枚目のフォトマスクを用い、画素電極を形成する工程で5枚目のフォトマスクを用いるので、合計5枚のフォトマスクを用いてアクティブマトリクス基板を製造することになり、製造コストが低減される。

【発明の効果】

【0030】

本発明によれば、半導体層を形成した後に、塗布型の絶縁層を形成するように構成されているので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

【図面の簡単な説明】

【0031】

【図1】図1は、実施形態1に係るアクティブマトリクス基板を備えた液晶表示装置を示す斜視図である。

【図2】図2は、実施形態1に係るアクティブマトリクス基板の表示部を示す平面図である。

【図3】図3は、実施形態1に係るアクティブマトリクス基板の配線切り替え部を示す平面図である。

【図4】図4は、実施形態1に係るアクティブマトリクス基板の製造工程を断面で示す第1の説明図である。

【図5】図5は、図4に続くアクティブマトリクス基板の製造工程を断面で示す第2の説明図である。

【図6】図6は、実施形態1に係るアクティブマトリクス基板に対向して配置される対向基板30の製造工程を断面で示す説明図である。

【図7】図7は、実施形態2に係るアクティブマトリクス基板の製造工程を断面で示す第1の説明図である。

【図8】図8は、図7に続くアクティブマトリクス基板の製造工程を断面で示す第2の説明図である。

【図9】図9は、図8に続くアクティブマトリクス基板の製造工程を断面で示す第3の説明図である。

【図10】図10は、実施形態3に係るアクティブマトリクス基板の製造工程を断面で示

す説明図である。

【図 1 1】図 1 1 は、実施形態 4 に係るアクティブマトリクス基板の表示部を示す平面図である。

【図 1 2】図 1 2 は、実施形態 4 に係るアクティブマトリクス基板の配線切り替え部を示す平面図である。

【図 1 3】図 1 3 は、実施形態 4 に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

【図 1 4】図 1 4 は、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板の製造工程を断面で示す第 1 の説明図である。

【図 1 5】図 1 5 は、図 1 4 に続くアクティブマトリクス基板の製造工程を断面で示す第 2 の説明図である。

【発明を実施するための形態】

【0032】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

【0033】

《発明の実施形態 1》

図 1 ~ 図 6 は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態 1 を示している。具体的に、図 1 は、本実施形態のアクティブマトリクス基板 20 a を備えた液晶表示装置 50 を示す斜視図である。また、図 2 は、アクティブマトリクス基板 20 a の表示部、すなわち、画像の最小単位である各画素を示す平面図であり、図 3 は、アクティブマトリクス基板 20 a の配線切り替え部を示す平面図である。さらに、図 4 及び図 5 は、アクティブマトリクス基板 20 a の製造工程を断面で示す説明図であり、図 6 は、アクティブマトリクス基板 20 a に対向して配置される対向基板 30 の製造工程を断面で示す説明図である。なお、図 5 (d) は、アクティブマトリクス基板 20 a の断面図に相当し、領域 A が図 2 中の A - A 線に沿った断面を示し、領域 B が図 2 中の B - B 線に沿った断面を示し、領域 C が図 3 中の C - C 線に沿った断面を示している。

【0034】

液晶表示装置 50 は、図 1 に示すように、互いに対向するように設けられたアクティブマトリクス基板 20 a 及び対向基板 30 と、アクティブマトリクス基板 20 a 及び対向基板 30 の間にシール材（不図示）を介して封入された液晶層（不図示）とを備えている。そして、液晶表示装置 50 では、図 1 に示すように、対向基板 30 から露出するアクティブマトリクス基板 20 a の端子領域 T に、各々、ゲートドライバ IC (Integrated Circuit) が実装された複数のゲート側 T C P (Tape Carrier Package) 41、及び各々、ソースドライバ IC が実装された複数のソース側 T C P 42 が A C F (Anisotropic Conductive Film) を介して貼り付けられている。

【0035】

アクティブマトリクス基板 20 a は、図 2 及び図 5 (d) に示すように、絶縁基板 10 a 上に互いに平行に延びるように設けられた複数の走査配線 11 a と、各走査配線 11 a の間にそれぞれ設けられ、互いに平行に延びる複数の補助容量配線 11 b と、各走査配線 11 a と直交する方向に互いに平行に延びるように設けられた複数の信号配線 16 a と、各走査配線 11 a 及び各信号配線 16 a の交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数の T F T 5 と、各 T F T 5 を覆うように設けられた無機絶縁層 17 a 及び有機絶縁層 18 からなる層間絶縁膜と、その層間絶縁膜上にマトリクス状に設けられた複数の画素電極 19 a と、各画素電極 19 a を覆うように設けられた配向膜（不図示）とを備えている。

【0036】

走査配線 11 a は、端子領域 T に引き出され、図 1 に示すように、ゲート側 T C P 41 に接続されている。

【0037】

10

20

30

40

50

信号配線 16 a は、端子領域 T に引き出され、その端子領域 T において、図 1、図 3 及び図 5 (d) に示すように、透明導電層 19 b を介して信号線引出配線 11 c に接続され、その信号線引出配線 11 c がソース側 T C P 4 2 に接続されている。なお、本実施形態では、信号配線 16 a が信号線引出配線 11 c を介してソース側 T C P 4 2 に接続された構成を例示したが、必要に応じて、信号配線をそのまま引き出して、ソース側 T C P に直接接続してもよい。

【0038】

T F T 5 は、図 2 及び図 5 (d) に示すように、絶縁基板 10 a 上に設けられたゲート電極 (11 a) と、ゲート電極 (11 a) を覆うように設けられたゲート絶縁膜 12 と、ゲート絶縁膜 12 上でゲート電極 (11 a) に対応する位置に島状に設けられた半導体層 4 a と、半導体層 4 a 上に互いに対峙するように設けられたソース電極 16 a a 及びドレイン電極 16 b とを備えている。ここで、図 2 に示すように、ゲート電極 (11 a) は、走査配線 11 a の一部であり、ソース電極 16 a a は、信号配線 16 a の側方への突出した部分である。また、ドレイン電極 16 b は、図 2 及び図 5 (d) に示すように、無機絶縁層 17 a 及び有機絶縁層 18 からなる層間絶縁膜に形成されたコンタクトホール 18 a を介して画素電極 19 a に接続されていると共に、ゲート絶縁膜 12 を介して補助容量配線 11 b と重なることにより補助容量 6 を構成している。さらに、半導体層 4 a は、図 5 (d) に示すように、チャンネル領域を有する真性アモルファスシリコン層 13 a a と、真性アモルファスシリコン層 13 a a 上にそのチャンネル領域が露出するように設けられ、ソース電極 16 a a 及びドレイン電極 16 b に接続された n⁺アモルファスシリコン層 14 a a とを備えている。

【0039】

アクティブマトリクス基板 20 a では、図 5 (d) に示すように、各走査配線 11 a と各信号配線 16 a との交差部分の容量を低減するために、走査配線 11 a 及び信号配線 16 a の間に塗布型の絶縁層 15 が設けられている。そして、絶縁層 15 には、図 2 及び図 5 (d) に示すように、各半導体層 4 a が露出するように複数の開口部 15 a が形成され、各補助容量配線 11 b に重なるように複数の開口部 15 b が形成され、各信号線引出配線 11 c に重なるように複数の開口部 15 c が形成されている。ここで、絶縁層 15 の各開口部 15 a の周端は、図 2 及び図 5 (d) に示すように、各半導体層 4 a の周端よりも内側に配置されている。

【0040】

対向基板 30 は、図 6 (c) に示すように、絶縁基板 10 b 上に格子状に設けられたブラックマトリクス 21 と、ブラックマトリクス 21 の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層 22 と、ブラックマトリクス 21 及び各着色層 22 を覆うように設けられた共通電極 23 と、共通電極 23 上に柱状に設けられたフォトスペーサ 24 と、共通電極 23 を覆うように設けられた配向膜 (不図示) とを備えている。

【0041】

上記液晶層は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

【0042】

上記構成の液晶表示装置 50 では、各画素において、ゲートドライバ (ゲート側 T C P 4 1) から走査信号が走査配線 11 a を介して T F T 5 のゲート電極 (11 a) に送られて、T F T 5 がオン状態になったときに、ソースドライバ (ソース側 T C P 4 2) から表示信号が信号配線 16 a を介してソース電極 16 a a に送られて、半導体層 4 a 及びドレイン電極 16 b を介して、画素電極 19 a に所定の電荷が書き込まれる。このとき、液晶表示装置 50 では、アクティブマトリクス基板 20 a の各画素電極 19 a と対向基板 30 の共通電極 23 との間において電位差が生じ、液晶層、すなわち、各画素の液晶容量、及びその液晶容量に並列に接続された補助容量 6 に所定の電圧が印加される。そして、液晶表示装置 50 では、各画素において、液晶層に印加する電圧の大きさによって液晶層の配

向状態を変えることにより、液晶層の光透過率を調整して画像が表示される。

【0043】

次に、本実施形態の液晶表示装置50の製造方法について、図4～図6を用いて一例を挙げて説明する。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

【0044】

<アクティブマトリクス基板作製工程>

まず、ガラス基板などの絶縁基板10aの基板全体に、スパッタリング法により、例えば、チタン膜(厚さ50nm程度)、アルミニウム膜(厚さ200nm程度)及びチタン膜(厚さ150nm程度)などを順に積層した後に、その金属積層膜をフォトリソグラフィを用いてパターニングすることにより、図4(a)に示すように、それぞれ、チタン層Ga、アルミニウム層Gb及びチタン層Gcの3層からなる走査配線11a、補助容量配線11b及び信号線引出配線11cを形成する(走査配線形成工程)。

10

【0045】

続いて、走査配線11a、補助容量配線11b及び信号線引出配線11cが形成された基板全体に、CVD法により、例えば、窒化シリコン膜(厚さ400nm程度、比誘電率7.0程度)からなるゲート絶縁膜12、真性アモルファスシリコン膜(厚さ50nm～200nm程度)、 n^+ アモルファスシリコン膜(厚さ40nm程度)などを順に積層した後に、真性アモルファスシリコン膜及び n^+ アモルファスシリコン膜の半導体積層膜をフォトリソグラフィを用いてパターニングすることにより、図4(b)に示すように、真性アモルファスシリコン層13a及び13b、並びに n^+ アモルファスシリコン層14a及び14bを形成する(半導体層形成工程)。

20

【0046】

さらに、真性アモルファスシリコン層13a及び13b、並びに n^+ アモルファスシリコン層14a及び14bが形成された基板全体に、スピンコート法により、例えば、主成分がポリシロキサン又はシリコーン樹脂からなる有機スピノングラス(SOG)材料(15s)を厚さ1.5 μ m程度に塗布した後に、150 $^{\circ}$ Cで5分間程度のプリベーク、及び350 $^{\circ}$ Cで1時間程度のポストベークを行うことにより、有機SOG膜15sを形成する。その後、有機SOG膜15sをフォトリソグラフィを用いてパターニングすることにより、図4(c)に示すように、開口部15a、15b及び15cを有し、比誘電率が2.5程度の絶縁層15を形成する(絶縁層形成工程)。ここで、有機SOG膜15sのパターニングには、4フッ化炭素及び酸素の混合ガスを用い、ガスの混合比率や高周波パワーを調整して、真性アモルファスシリコン層及び n^+ アモルファスシリコン層と有機SOG膜との間に高い選択比が得られる条件でドライエッチングを行う。また、有機SOG膜15sのパターニングには、真性アモルファスシリコン層及び n^+ アモルファスシリコン層がダメージを受けないように、 n^+ アモルファスシリコン層上にバリアメタル層を予め形成してもよい。なお、有機SOG材料として、耐熱性の低い感光性を有する有機SOG材料を用いてもよい。この場合には、本発明における塗布型の絶縁膜の材料選択の自由度を向上させる、という作用効果が有効に奏されると共に、フォトリソグラフィ及びドライエッチングの工程を省略することができる。

30

40

【0047】

そして、絶縁層15が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜(厚さ200nm程度)及びチタン膜(厚さ100nm程度)などを順に積層した後に、その金属積層膜をフォトリソグラフィを用いてパターニングすることにより、図4(d)に示すように、それぞれ、アルミニウム層Sa及びチタン層Sbの2層からなる信号配線16a、ソース電極16aa及びドレイン電極16bを形成して、補助容量6を形成する(信号配線形成工程)。さらに、図4(e)に示すように、ソース電極16aa及びドレイン電極16bから露出する n^+ アモルファスシリコン層14a及び14b、並びにその下層の真性アモルファスシリコン層13a及び13bの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層13aa及び n^+ アモ

50

ルファスシリコン層 14 a a からなる半導体層 4 a、並びに真性アモルファスシリコン層 13 b a 及び n⁺アモルファスシリコン層 14 b a からなる半導体層 4 b を形成して、TFT 5 を形成する。

【0048】

引き続き、TFT 5 及び補助容量 6 が形成された基板全体に、CVD 法により、例えば、窒化シリコン膜（厚さ 150 nm ~ 700 nm 程度）を堆積して、図 5 (a) に示すように、無機絶縁膜 17 を形成する。

【0049】

さらに、無機絶縁膜 17 が形成された基板全体に、スピコート法により、例えば、感光性の有機絶縁膜を厚さ 1.0 μm ~ 3.0 μm 程度に塗布した後に、その塗布膜を露光及び現像することにより、図 5 (b) に示すように、コンタクトホール 18 a 及び 18 b を有する有機絶縁層 18 を形成する。

10

【0050】

その後、有機絶縁層 18 から露出する無機絶縁膜 17 をドライエッチングを用いて除去することにより、図 5 (c) に示すように、無機絶縁層 17 a を形成する。なお、本実施形態では、TFT 5 及び画素電極 19 a を電氣的に絶縁する層間絶縁膜として、無機絶縁層 17 a 及び有機絶縁層 18 の 2 層の積層膜を例示したが、無機絶縁層 17 a 又は有機絶縁層 18 の単層膜であってもよい。

【0051】

最後に、無機絶縁層 17 a が形成された基板全体に、スパッタリング法により、例えば、ITO (Indium Tin Oxide) 膜（厚さ 100 nm 程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィを用いてパターニングすることにより、図 5 (d) に示すように、画素電極 19 a 及び透明導電層 19 b を形成する。

20

【0052】

以上のようにして、アクティブマトリクス基板 20 a を作製することができる。

【0053】

< 対向基板作製工程 >

まず、ガラス基板などの絶縁基板 10 b の基板全体に、スピコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6 (a) に示すように、ブラックマトリクス 21 を厚さ 1.0 μm 程度に形成する。

30

【0054】

続いて、ブラックマトリクス 21 が形成された基板全体に、スピコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6 (a) に示すように、選択した色の着色層 22 (例えば、赤色層) を厚さ 2.0 μm 程度に形成する。そして、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層 22 (例えば、緑色層及び青色層) を厚さ 2.0 μm 程度に形成する。

【0055】

さらに、各色の着色層 22 が形成された基板上に、スパッタリング法により、例えば、ITO 膜などの透明導電膜を堆積することにより、図 6 (b) に示すように、共通電極 23 を厚さ 50 nm ~ 200 nm 程度に形成する。

40

【0056】

最後に、共通電極 23 が形成された基板全体に、スピコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6 (c) に示すように、フォトスペーサ 24 を厚さ 4 μm 程度に形成する。

【0057】

以上のようにして、対向基板 30 を作製することができる。

【0058】

< 液晶注入工程 >

50

まず、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板 20a、及び上記対向基板作製工程で作製された対向基板 30 の各表面に、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜を形成する。

【0059】

続いて、例えば、上記配向膜が形成された対向基板 30 の表面に、UV (ultraviolet) 硬化及び熱硬化併用型樹脂などからなるシール材を枠状に印刷した後に、シール材の内側に液晶材料を滴下する。

【0060】

さらに、上記液晶材料が滴下された対向基板 30 と、上記配向膜が形成されたアクティブマトリクス基板 20a とを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

【0061】

そして、上記貼合体に挟持されたシール材にUV光を照射した後に、その貼合体を加熱することによりシールを硬化させる。

【0062】

最後に、上記シール材を硬化させた貼合体を、例えば、ダイシングにより分断して、その不要な部分を除去した後に、アクティブマトリクス基板 20a の端子領域 T に、ゲート側 T C P 4 1 及びソース側 T C P 4 2 などを実装する。

【0063】

以上のようにして、本実施形態の液晶表示装置 50 を製造することができる。

【0064】

以上説明したように、本実施形態のアクティブマトリクス基板 20a 及びその製造方法によれば、半導体層形成工程において、CVD法を用いて、ゲート絶縁膜 12 上に真性アモルファスシリコン層 13a 及び n^+ アモルファスシリコン層 14a の半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線 11a と後に信号配線形成工程で形成される各信号配線 16a との間に配置する塗布型の絶縁層 15 を形成するので、塗布型の絶縁層 15 を形成するための塗布型の有機 SOG 膜 15s において、例えば、CVD工程に耐え得る 300 以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低い有機 SOG 材料を塗布型の絶縁膜として用いることができるので、アクティブマトリクス基板 20a において、各走査配線 11a と各信号配線 16a との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

【0065】

また、本実施形態のアクティブマトリクス基板 20a によれば、各 TFT 5 において、半導体層 4a 及びゲート電極 (11a) の間には、開口部 15a により、比較的厚い塗布型の絶縁層 15 が配置せずに、半導体層 4a 及びゲート電極 (11a) が比較的薄いゲート絶縁膜 12 を介して電氣的に絶縁されているので、低消費電力の TFT 5 を構成することができる。

【0066】

また、本実施形態のアクティブマトリクス基板 20a によれば、補助容量 6 を構成する補助容量配線 11b 及びドレイン電極 16b の間には、開口部 15b により、比較的厚い塗布型の絶縁層 15 が配置せずに、補助容量配線 11b 及びドレイン電極 16b が比較的薄いゲート絶縁膜 12 を介して電氣的に絶縁されているので、大容量の補助容量 6 を構成することができる。

【0067】

また、本実施形態のアクティブマトリクス基板 20a の製造方法によれば、塗布型の有機 SOG 膜 15s を焼成する際に、ゲート電極 (11a) の表面がゲート絶縁膜 12 で覆われているので、焼成雰囲気中の熱や腐食性ガス (例えば、酸素) などからゲート電極 (11a) が保護され、ゲート電極 (11a) に酸化し易い材料 (例えば、アルミニウム、

10

20

30

40

50

銅又はその合金)を用いることができる。

【0068】

《発明の実施形態2》

図7～図9は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態2を示している。具体的に、図7～図9は、本実施形態のアクティブマトリクス基板20bの製造工程を断面で示す説明図である。なお、以下の各実施形態において、図1～図6と同じ部分については同じ符号を付して、その詳細な説明を省略する。

【0069】

上記実施形態1では、合計6枚のフォトリソマスクを用いてアクティブマトリクス基板を製造する方法を例示したが、本実施形態では、合計5枚のフォトリソマスクを用いてアクティブマトリクス基板を製造する方法を例示する。

10

【0070】

アクティブマトリクス基板20bでは、図9(d)に示すように、上記実施形態1のゲート絶縁膜12がパターニングされて、ゲート絶縁膜12a、12b及び12cとなっている点以外、上記実施形態1のアクティブマトリクス基板20aと実質的に同じになっている。

【0071】

ゲート絶縁膜12a、12b及び12cは、それぞれ、図9(d)に示すように、走査配線11a、補助容量配線11b及び信号線引出配線11cの各上面を覆うように設けられ、場合によれば、走査配線11a、補助容量配線11b及び信号線引出配線11cから側方に庇状に突出するように、走査配線11a、補助容量配線11b及び信号線引出配線11c上に積層されている。

20

【0072】

次に、本実施形態のアクティブマトリクス基板20bの製造方法について、図7～図9を用いて一例を挙げて説明する。

【0073】

まず、ガラス基板などの絶縁基板10aの基板全体に、図7(a)に示すように、スパッタリング法により、例えば、チタン膜Ga(厚さ50nm程度)、アルミニウム膜Gb(厚さ200nm程度)及びチタン膜Gc(厚さ150nm程度)などを順に積層して金属積層膜11を形成した後に、CVD法により、例えば、窒化シリコン膜(厚さ400nm程度、比誘電率7.0程度)などの無機絶縁膜12、並びに半導体膜として、真性アモルファスシリコン膜13(厚さ50nm～200nm程度)及びn⁺アモルファスシリコン膜14(厚さ40nm程度)などを順に積層する。

30

【0074】

続いて、n⁺アモルファスシリコン膜14が形成された基板全体に、スピンコート法により、例えば、レジスト材料を2μm程度に塗布して感光性樹脂膜Rを形成した後に、その感光性樹脂膜Rをハーフトーンの露光が可能なフォトリソマスクを用いる露光及び現像することにより、図7(b)に示すように、走査配線11a、補助容量配線11b及び信号線引出配線11cとなる部分に重なると共に半導体層4aとなる部分が相対的に厚く(例えば、2μm程度、相対的に薄い部分は1μm程度)なるように、レジストパターンRaを形成する。なお、上記ハーフトーンの(露光が可能な)フォトリソマスクは、透過部、遮光部、及び中間露光が可能な半透過の膜による半透過部を有し、それらの透過部、遮光部及び半透過部により、感光性樹脂を完全露光部分、未露光部分及び中間露光部分の3つの露光レベルでそれぞれ露光するように構成されている。また、上記ハーフトーンのフォトリソマスクの代わりに、上記半透過部が、複数のスリットにより構成されたグレイトーンのフォトリソマスクを用いてもよい。

40

【0075】

さらに、レジストパターンRaから露出するn⁺アモルファスシリコン膜14、その下層の真性アモルファスシリコン膜13及び無機絶縁膜12を、例えば、ドライエッチングを用いて除去することにより、図7(c)に示すように、ゲート絶縁膜12a、12b及

50

び12c、真性アモルファスシリコン層13a及び13b、並びに n^+ アモルファスシリコン膜14a及び14bを形成する(ゲート絶縁膜形成工程)。

【0076】

そして、ドライエッチング装置のチャンバ内において、レジストパターンRaを酸素ガスプラズマでアッシングにより薄肉化することにより、レジストパターンRaをレジストパターンRbに変成した後に、レジストパターンRbから露出する n^+ アモルファスシリコン膜14a及び14b、並びにその下層の真性アモルファスシリコン層13a及び13bをエッチングすることにより、図7(d)に示すように、真性アモルファスシリコン層13ab及び13bb、並びに n^+ アモルファスシリコン膜14ab及び14bbを形成する(半導体層形成工程)。

10

【0077】

引き続き、ゲート絶縁膜12a、12b及び12cから露出する金属積層膜11をウエットエッチングを用いて除去することにより、図8(a)に示すように、走査配線11a、補助容量配線11b及び信号線引出配線11cを形成する(走査配線形成工程)。

【0078】

さらに、走査配線11a、補助容量配線11b及び信号線引出配線11cが形成された基板全体に、スピコート法により、例えば、主成分がポリシロキサン及びシリコーン樹脂からなる有機スピオンガラス(SOG)材料(15s)を厚さ1.5 μm 程度に塗布した後に、150で5分間程度のプリベーク、及び350で1時間程度のポストベークを行って、有機SOG膜15sを形成する。その後、有機SOG膜15sをフォトリソグラフィを用いてパターンニングすることにより、図8(b)に示すように、開口部15a、15b及び15cを有し、比誘電率が2.5程度の絶縁層15を形成する(絶縁層形成工程)。

20

【0079】

そして、絶縁層15が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜(厚さ200nm程度)及びチタン膜(厚さ100nm程度)などを順に積層した後に、その金属積層膜をフォトリソグラフィを用いてパターンニングすることにより、図8(c)に示すように、それぞれ、アルミニウム層Sa及びチタン層Sbの2層からなる信号配線16a、ソース電極16aa及びドレイン電極16bを形成して、補助容量6を形成する(信号配線形成工程)。さらに、図8(d)に示すように、ソース電極16aa及びドレイン電極16bから露出する n^+ アモルファスシリコン層14ab及び14bb、並びにその下層の真性アモルファスシリコン層13ab及び13bbの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層13aa及び n^+ アモルファスシリコン層14aaからなる半導体層4a、並びに真性アモルファスシリコン層13ba及び n^+ アモルファスシリコン層14baからなる半導体層4bを形成して、TF T5を形成する。

30

【0080】

引き続き、TF T5及び補助容量6が形成された基板全体に、CVD法により、例えば、窒化シリコン膜(厚さ150nm~700nm程度)を堆積して、図9(a)に示すように、無機絶縁膜17を形成する。

40

【0081】

さらに、無機絶縁膜17が形成された基板全体に、スピコート法により、例えば、感光性の有機絶縁膜を厚さ1.0 μm ~3.0 μm 程度に塗布した後に、その塗布膜を露光及び現像することにより、図9(b)に示すように、コンタクトホール18a及び18bを有する有機絶縁層18を形成する。

【0082】

その後、有機絶縁層18から露出する無機絶縁膜17をドライエッチングを用いて除去することにより、図9(c)に示すように、無機絶縁層17aを形成する。

【0083】

最後に、無機絶縁層17aが形成された基板全体に、スパッタリング法により、例えば

50

、ITO膜（厚さ100nm程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィを用いてパターンングすることにより、図9（d）に示すように、画素電極19a及び透明導電層19bを形成する。

【0084】

以上のようにして、アクティブマトリクス基板20bを作製することができる。

【0085】

以上説明したように、本実施形態のアクティブマトリクス基板20b及びその製造方法によれば、半導体層形成工程において、ゲート絶縁膜形成工程で形成されたゲート絶縁膜12a上に、CVD法を用いて、真性アモルファスシリコン層13a及びn⁺アモルファスシリコン層14aの半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線11aと後の信号配線形成工程で形成される各信号配線16aとの間に配置する塗布型の絶縁層15を形成するので、塗布型の絶縁層15を形成するための塗布型の有機SOG膜15sにおいて、例えば、CVD工程に耐え得る300以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低い有機SOG材料を塗布型の絶縁膜として用いることができるので、アクティブマトリクス基板20bにおいて、各走査配線11aと各信号配線16aとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。なお、本実施形態のアクティブマトリクス基板20bの製造方法によれば、ゲート絶縁膜形成工程でハーフトーンの露光が可能な1枚目のフォトマスクを用い、絶縁層形成工程で2枚目のフォトマスクを用い、信号配線形成工程で3枚目のフォトマスクを用い、層間絶縁膜を形成する工程で4枚目のフォトマスクを用い、画素電極を形成する工程で5枚目のフォトマスクを用いるので、合計5枚のフォトマスクを用いてアクティブマトリクス基板を製造することができ、上記実施形態1のアクティブマトリクス基板の製造方法よりも製造コストを低減することができる。

【0086】

また、本実施形態のアクティブマトリクス基板20bによれば、ゲート絶縁膜12aが走査配線11aから突出してオーバーハング状態に形成され、且つゲート絶縁膜12aの突出した部分を覆うように塗布型の絶縁層15が設けられているので、ゲート絶縁膜12aのオーバーハングに起因する信号配線16aの断線や走査配線11aと信号配線16aとの短絡などの発生を抑制することができる。

【0087】

《発明の実施形態3》

図10は、本実施形態のアクティブマトリクス基板20cの製造工程を断面で示す説明図である。

【0088】

上記各実施形態では、カラーフィルターが対向基板上に設けられたアクティブマトリクス基板を例示したが、本実施形態では、カラーフィルターがアクティブマトリクス基板上に設けられた、いわゆる、カラーフィルターオンアレイ構造のアクティブマトリクス基板を例示する。

【0089】

アクティブマトリクス基板20cでは、図10（c）に示すように、上記実施形態1のアクティブマトリクス基板20aの有機絶縁層18（図5（d）参照）の代わりに、ブラックマトリクス7a及び着色層7b、それらを覆う無機絶縁層8、並びにフォトスペーサ9が設けられ、それ以外の構成がアクティブマトリクス基板20aと実質的に同じになっている。

【0090】

次に、本実施形態のアクティブマトリクス基板20cの製造方法について、図10を用いて一例を挙げて説明する。

【0091】

まず、上記実施形態1のアクティブマトリクス基板作製工程における信号配線形成工程

を行って、TFT5、補助容量6及び無機絶縁膜17が形成された基板全体に、スピコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図10(a)に示すように、ブラックマトリクス7aを厚さ1.0 μ m程度に形成する。

【0092】

続いて、ブラックマトリクス7aが形成された基板全体に、スピコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図10(a)に示すように、選択した色の着色層7b(例えば、赤色層)を厚さ2.0 μ m程度に形成する。そして、他の2色についても同様な工程を繰り返して、他の2色の着色層7b(例えば、緑色層及び青色層)を厚さ2.0 μ m程度に形成する。

10

【0093】

さらに、各色の着色層7bが形成された基板上に、CVD法又はスパッタリング法などにより、例えば、窒化シリコン膜(厚さ150nm~700nm程度)などの無機絶縁膜を堆積した後に、図10(b)に示すように、その無機絶縁膜に対して、フォトリソグラフィ及びドライエッチングを用いてパターンングすることにより、着色層の保護層として、コンタクトホールを有する無機絶縁層8を形成する。

【0094】

そして、無機絶縁層8が形成された基板全体に、スパッタリング法により、例えば、ITO膜(厚さ100nm程度)などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィを用いてパターンングすることにより、図10(c)に示すように、画素電極19a及び透明導電層19bを形成する。

20

【0095】

最後に、画素電極19a及び透明導電層19bが形成された基板全体に、スピコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図10(c)に示すように、フォトスペーサ9を厚さ4 μ m程度に形成する。

【0096】

以上のようにして、アクティブマトリクス基板20cを製造することができる。

【0097】

なお、アクティブマトリクス基板20cに対向して配置される対向基板については、ガラス基板などの絶縁基板の基板全体に、スパッタリング法により、例えば、ITO膜などの透明導電膜を厚さ50nm~200nm程度に堆積することにより、製造することができる。

30

【0098】

以上説明したように、本実施形態のアクティブマトリクス基板20c及びその製造方法によれば、上記各実施形態と同様に、真性アモルファスシリコン層13a及びn⁺アモルファスシリコン層14aの半導体層を形成した後に、塗布型の絶縁層15を形成するので、アクティブマトリクス基板20cにおいて、各走査配線11aと各信号配線16aとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

40

【0099】

なお、本実施形態では、上記実施形態1のアクティブマトリクス基板20aに対してカラーフィルターオンアレイ構造を適用したが、上記実施形態2のアクティブマトリクス基板20bに対してカラーフィルターオンアレイ構造を適用してもよい。

【0100】

《発明の実施形態4》

図11~図13は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態4を示している。具体的に、図11は、本実施形態のアクティブマトリクス基板20dの表示部を示す平面図であり、図12は、アクティブマトリクス基板20dの配線切り替え部を示す平面図である。また、図13は、アクティブマトリクス基板20dの製造工程

50

を断面で示す説明図である。

【0101】

上記各実施形態では、画素電極の下層として有機絶縁層18や着色層7などの有機材料層が設けられたアクティブマトリクス基板を例示したが、本実施形態では、画素電極の下層として有機材料層が配置しないアクティブマトリクス基板を例示する。

【0102】

アクティブマトリクス基板20dでは、図11及び図13(d)に示すように、ドレイン電極16cが無機絶縁層17bに形成されたコンタクトホール17caを介して画素電極19cに接続されているものの、補助容量配線11bに重なっていないので、補助容量6が補助容量配線11b及び画素電極19cと、それらの上に配置されたゲート絶縁膜12及び無機絶縁層17bとにより構成されている点以外、上記実施形態1のアクティブマトリクス基板20aと実質的に同じになっている。なお、透明導電層19bは、図12及び図13(d)に示すように、無機絶縁層17bに形成されたコンタクトホール17cbを介して、信号配線16a及び信号線引出配線11cに接続されている。

10

【0103】

次に、本実施形態のアクティブマトリクス基板20dの製造方法について、図13を用いて一例を挙げて説明する。

【0104】

まず、上記実施形態1のアクティブマトリクス基板作製工程における絶縁層形成工程を行って、絶縁層15が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜(厚さ200nm程度)及びチタン膜(厚さ100nm程度)などを順に積層した後、その金属積層膜をフォトリソグラフィを用いてパターニングすることにより、図13(a)に示すように、それぞれ、アルミニウム層Sa及びチタン層Sbの2層からなる信号配線16a、ソース電極16aa及びドレイン電極16cを形成する(信号配線形成工程)。さらに、図13(b)に示すように、ソース電極16aa及びドレイン電極16cから露出するn⁺アモルファスシリコン層14a及び14b、並びにその下層の真性アモルファスシリコン層13a及び13bの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層13aa及びn⁺アモルファスシリコン層14aaからなる半導体層4a、並びに真性アモルファスシリコン層13ba及びn⁺アモルファスシリコン層14baからなる半導体層4bを形成して、TFT5を形成する。

20

30

【0105】

続いて、TFT5が形成された基板全体に、CVD法により、例えば、窒化シリコン膜(厚さ150nm~700nm程度)を堆積して、図13(c)に示すように、無機絶縁膜17を形成する。

【0106】

さらに、無機絶縁膜17をフォトリソグラフィ及びドライエッチングを用いてパターニングすることにより、無機絶縁層17bを形成する。

【0107】

最後に、無機絶縁層17bが形成された基板全体に、スパッタリング法により、例えば、ITO膜(厚さ100nm程度)などの透明導電膜を堆積した後、その透明導電膜をフォトリソグラフィを用いてパターニングすることにより、図13(d)に示すように、画素電極19c及び透明導電層19bを形成するとともに、補助容量6を形成する。

40

【0108】

以上のようにして、アクティブマトリクス基板20dを製造することができる。

【0109】

以上説明したように、本実施形態のアクティブマトリクス基板20d及びその製造方法によれば、上記各実施形態と同様に、真性アモルファスシリコン層13a及びn⁺アモルファスシリコン層14aの半導体層を形成した後に、塗布型の絶縁層15を形成するので、アクティブマトリクス基板20dにおいて、各走査配線11aと各信号配線16aとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させる

50

ことができる。

【0110】

なお、本実施形態では、上記実施形態1のアクティブマトリクス基板20aに対して画素電極の下層が無機絶縁層である構造を適用する変形例を例示したが、上記実施形態2のアクティブマトリクス基板20bに対して画素電極の下層が無機絶縁層である構造を適用してもよい。

【0111】

また、上記各実施形態では、各画素において、絶縁層15の開口部15aの周端の少なくとも一部が半導体層4aの周端よりも内側に配置されたパターンエッジの構造を観察することにより、半導体層を形成した後に、塗布型の絶縁層を形成する製造方法を確認することができる構成を例示したが、本発明は、絶縁層の開口部の周端が半導体層の周端よりも外側に配置されたパターンエッジの構造であっても、例えば、表示領域の外部にダミーで設けられた半導体層及び絶縁層の積層構造を観察することにより、本発明の半導体層を形成した後に、塗布型の絶縁層を形成する製造方法を確認することもできる。

10

【0112】

また、上記各実施形態では、走査配線11aとして、チタン層/アルミニウム層/チタン層の積層構造のものを例示したが、中層の金属層は、銅層やアルミニウム合金層などであってもよく、上層及び下層の金属層は、モリブデン層やモリブデン・チタン合金層などであってもよい。

【0113】

また、上記各実施形態では、信号配線16aとして、アルミニウム層/チタン層の積層構造のものを例示したが、上層の金属層は、銅層やアルミニウム合金層などであってもよく、下層の金属層は、モリブデン層やモリブデン・チタン合金層などであってもよい。

20

【0114】

また、上記各実施形態では、アモルファスシリコンの半導体層を用いたアクティブマトリクス基板を例示したが、本発明はZnOやIGZO(In-Ga-Zn-O)などの酸化物系の半導体層を用いたアクティブマトリクス基板にも適用することができる。

【0115】

また、上記各実施形態では、表示装置として、アクティブマトリクス基板を備えた液晶表示装置を例示したが、本発明は、有機EL(Electro Luminescence)表示装置、無機EL表示装置、電気泳動表示装置などの他の表示装置にも適用することができる。

30

【0116】

また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたアクティブマトリクス基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶアクティブマトリクス基板にも適用することができる。

【産業上の利用可能性】

【0117】

以上説明したように、本発明は、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができるので、高フレームレートで高精細な画像表示が可能な大型の液晶テレビなどに用いるアクティブマトリクス基板について有用である。

40

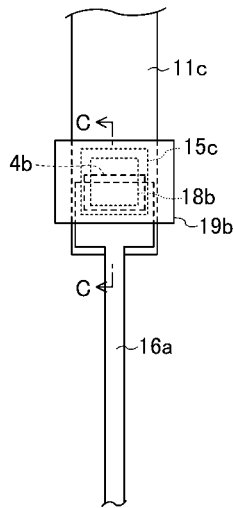
【符号の説明】

【0118】

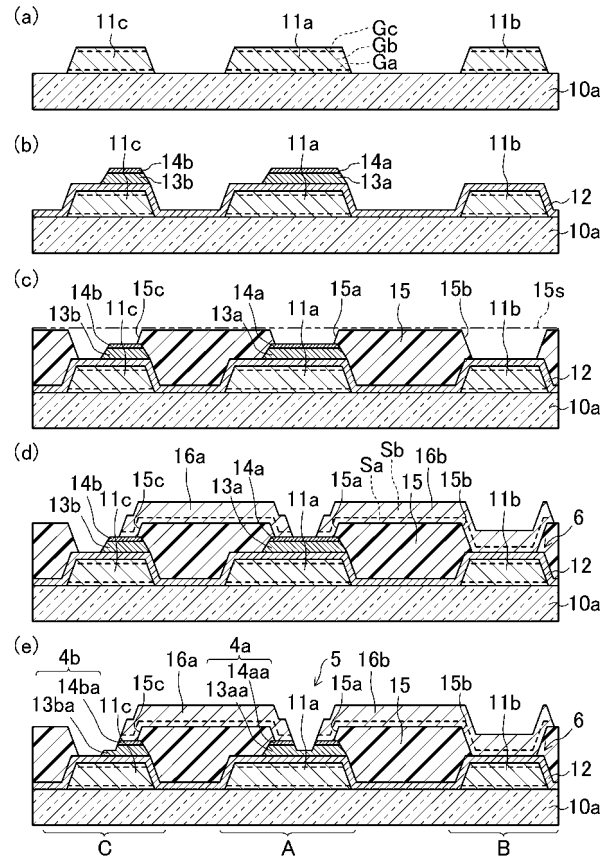
R	感光性樹脂膜
R a	第1レジストパターン
R b	第2レジストパターン
4 a	半導体層
5	TFT
10 a	絶縁基板
11	金属積層膜(金属膜)

50

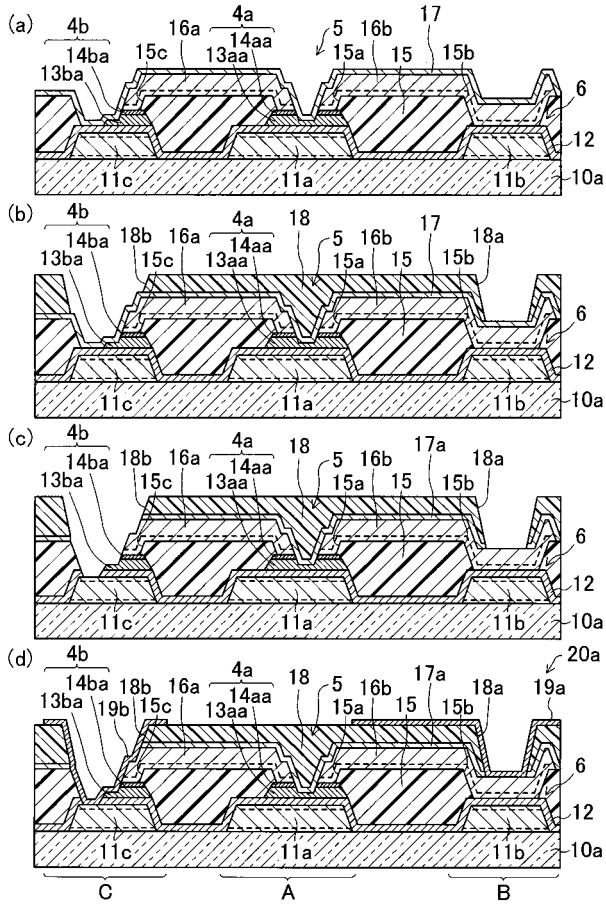
【図3】



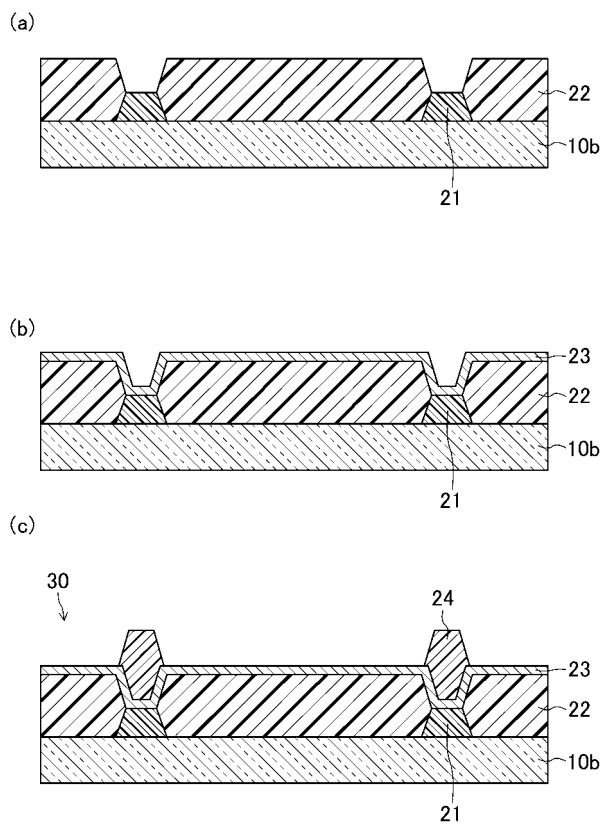
【図4】



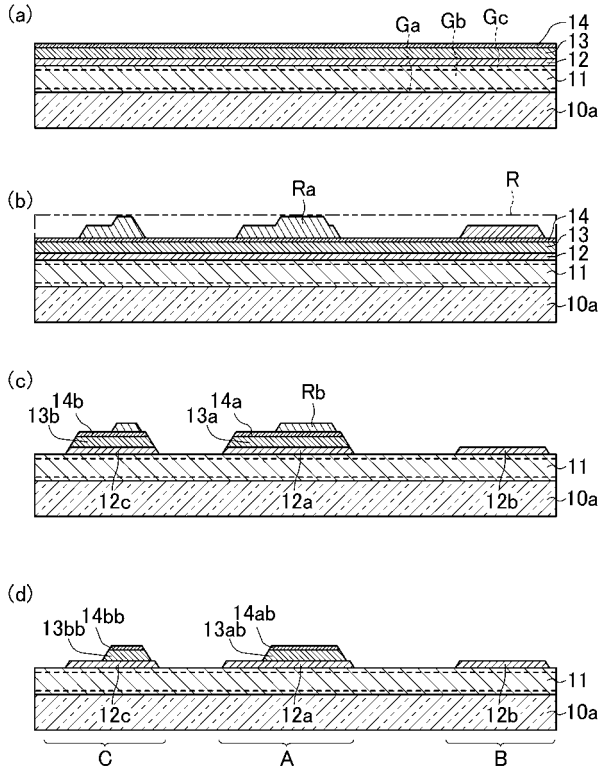
【図5】



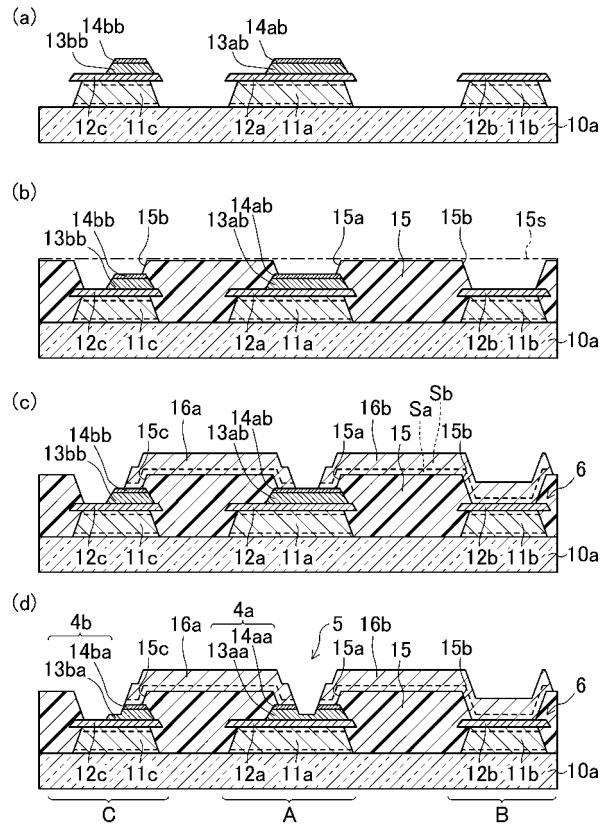
【図6】



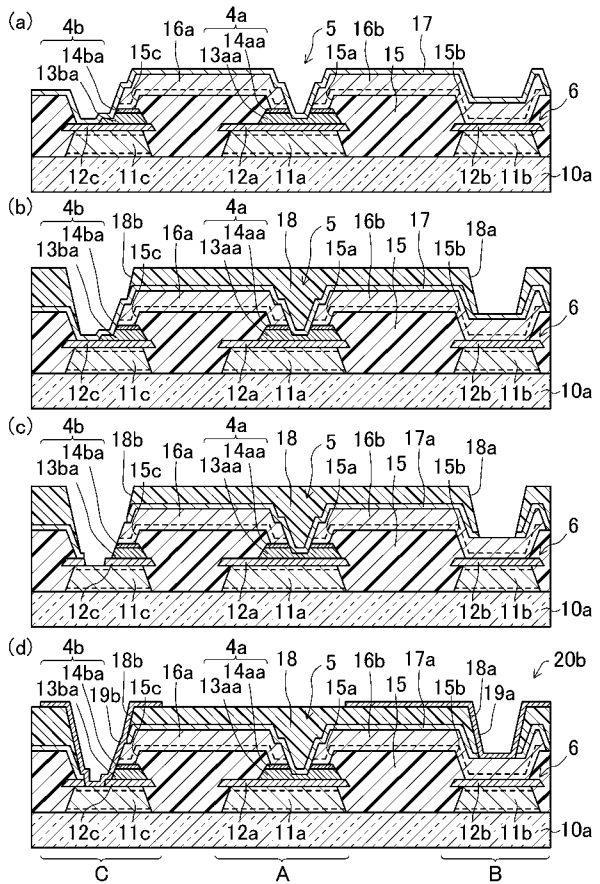
【 図 7 】



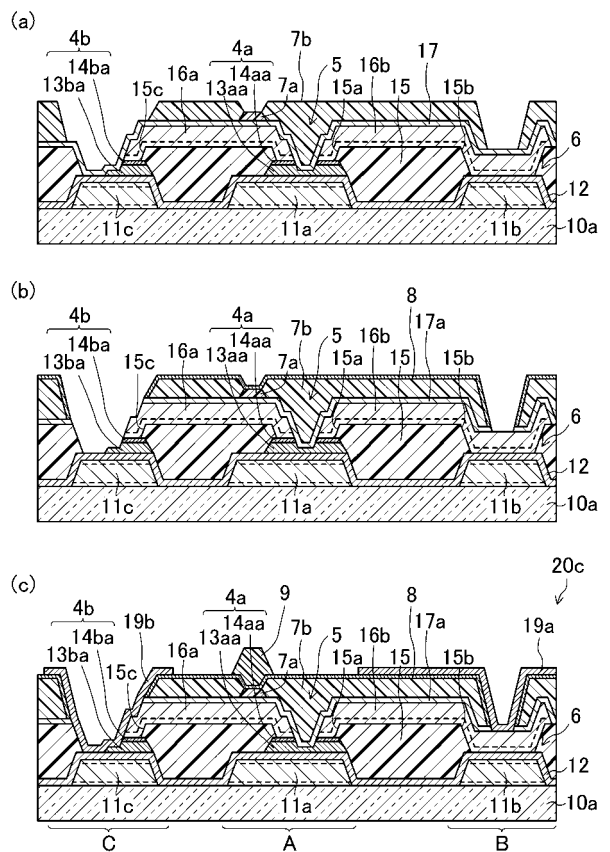
【 図 8 】



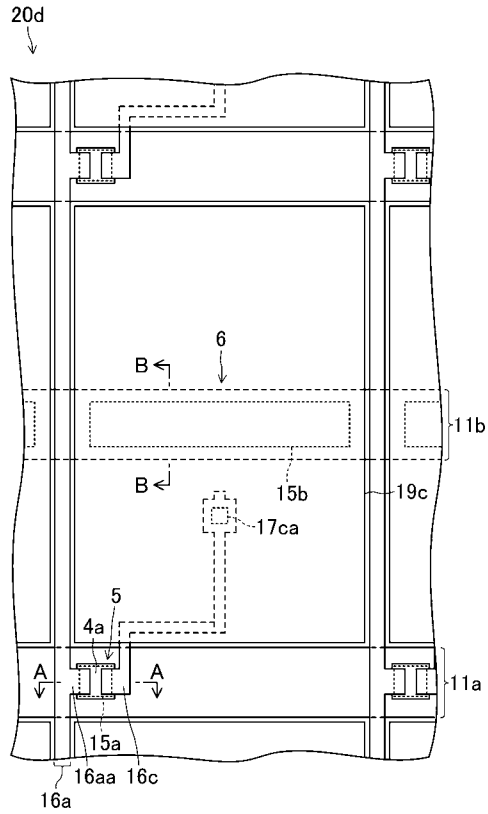
【 図 9 】



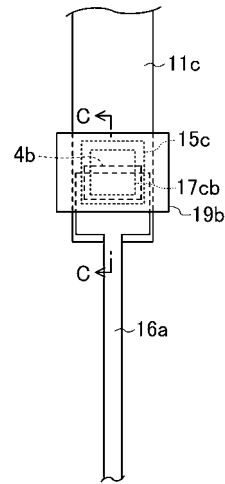
【 図 10 】



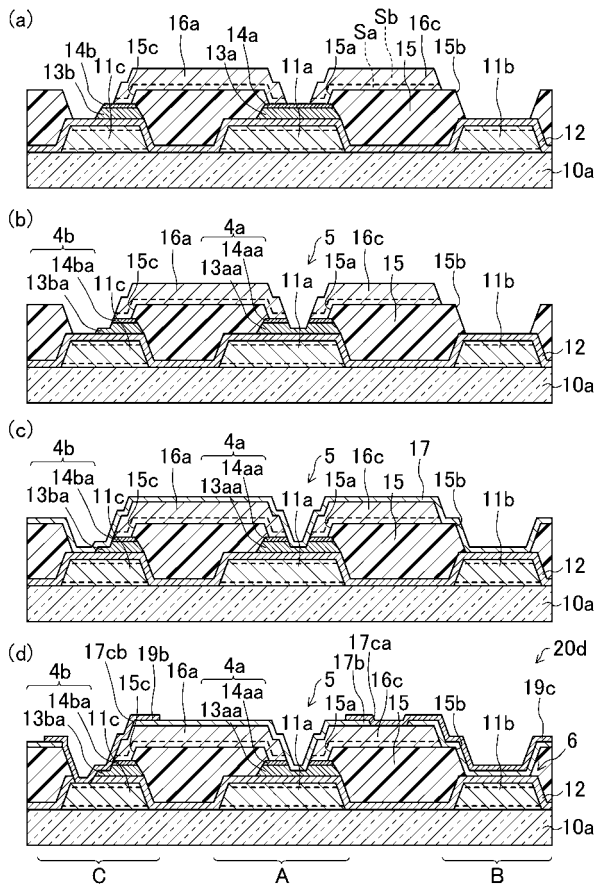
【図 1 1】



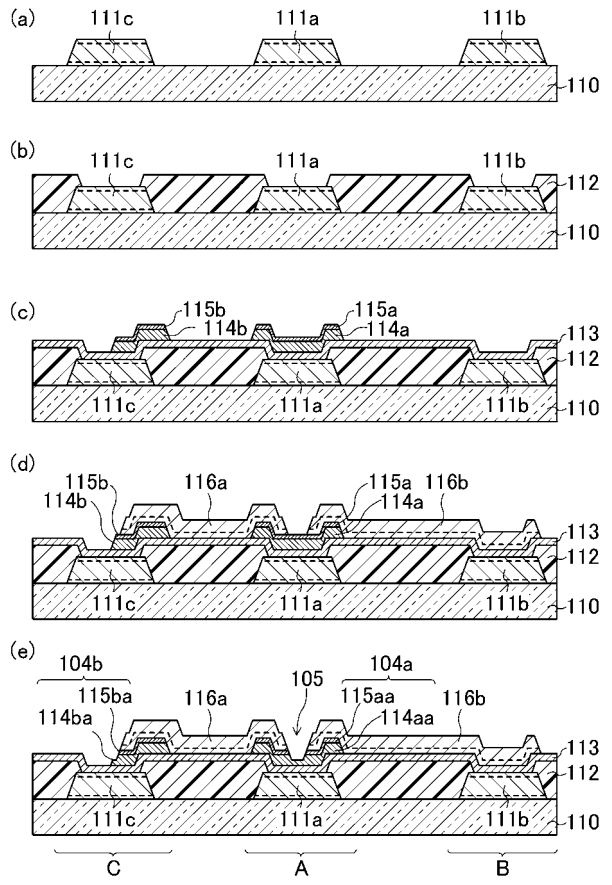
【図 1 2】



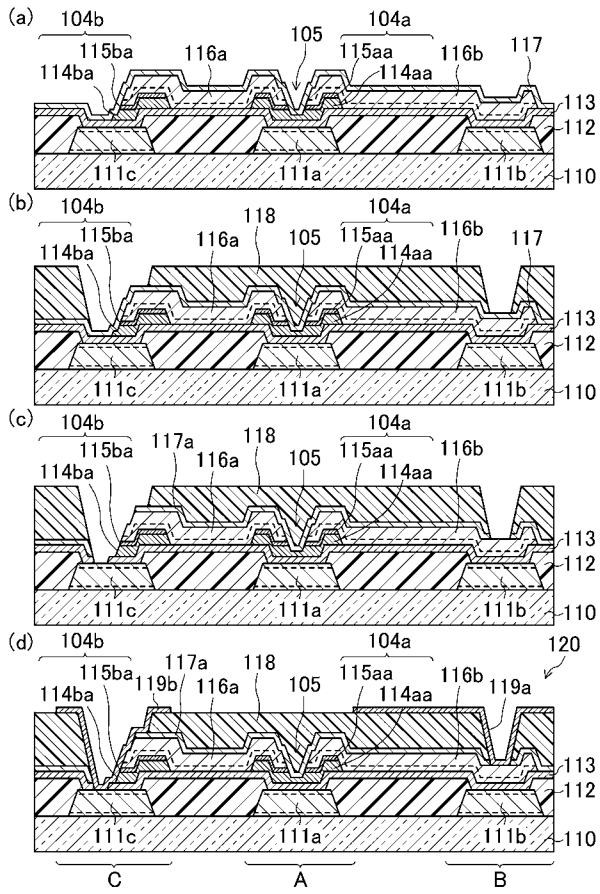
【図 1 3】



【図 1 4】



【 図 15 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 3 8

(56)参考文献 特開2004-165221(JP,A)
特開2008-070876(JP,A)
特開2009-231828(JP,A)
特開2003-179069(JP,A)
特開2007-258675(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 9 F 9 / 3 0
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6