

(12) 发明专利

(10) 授权公告号 CN 102176444 B

(45) 授权公告日 2013. 07. 03

(21) 申请号 201110069666. 9

US 2009230531 A1, 2009. 09. 17,

(22) 申请日 2011. 03. 22

CN 101789420 A, 2010. 07. 28,

CN 100514633 C, 2009. 07. 15,

(73) 专利权人 南通富士通微电子股份有限公司  
地址 226006 江苏省南通市崇川区崇川路  
288 号

审查员 黄金卫

(72) 发明人 陶玉娟 石磊

(74) 专利代理机构 北京市惠诚律师事务所  
11353

代理人 雷志刚 潘士霖

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 23/31 (2006. 01)

H01L 23/52 (2006. 01)

(56) 对比文件

CN 202025746 U, 2011. 11. 02,

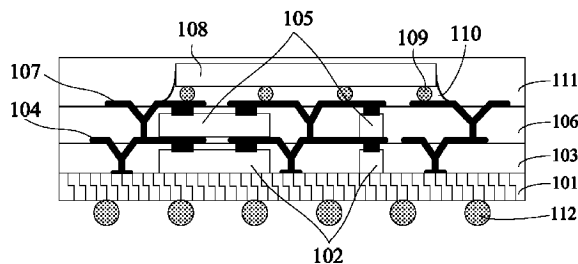
权利要求书1页 说明书5页 附图1页

(54) 发明名称

高集成度系统级封装结构

(57) 摘要

本发明涉及高集成度系统级封装结构,包括基板;位于基板上的至少一组布线封装层,所述布线封装层包括依次位于基板上的正贴装层、封料层、布线层;位于布线封装层上的顶部倒装封装层,所述顶部倒装封装层包括依次位于布线封装层上的倒贴装层、底部填充料、封料层;设置于基板下方的连接球;其中,封装层之间透过布线层实现相邻封装层或间隔封装层间的电互联。与现有技术相比,本发明请求保护的高集成度系统级封装结构,可以形成包含整体系统功能而非单一的芯片功能的最终封装产品,降低了系统内电阻、电感以及芯片间的干扰因素。此外,可以形成更为复杂的多层互联结构,实现集成度更高的圆片系统级封装。



1. 高集成度系统级封装结构,其特征在于,包括:

基板;位于基板上的至少一组布线封装层,所述布线封装层包括依次位于基板上的正贴装层、封料层、布线层;位于布线封装层上的顶部倒装封装层,所述顶部倒装封装层包括依次位于布线封装层上的倒贴装层、底部填充料、封料层;设置于基板下方的连接球;其中,封装层之间透过布线层实现相邻封装层或间隔封装层间的电互联。

2. 如权利要求1所述的高集成度系统级封装结构,其特征在于,所述高集成度系统级封装结构包括第一布线封装层,所述第一布线封装层包括依次位于基板上的第一正贴装层、第一封料层、第一布线层。

3. 如权利要求2所述的高集成度系统级封装结构,其特征在于,所述第一正贴装层中各个器件的功能面朝上。

4. 如权利要求2所述的高集成度系统级封装结构,其特征在于,所述第一封料层填充于第一正贴装层各个器件之间,并裸露出所述第一正贴装层各个器件的连接件。

5. 如权利要求1所述的高集成度系统级封装结构,其特征在于,所述布线层包括贯穿所在封料层的纵向布线、覆盖于所在封料层上且连接于所述纵向布线的横向布线。

6. 如权利要求1所述的高集成度系统级封装结构,其特征在于,所述倒贴装层中各个器件的功能面朝下。

7. 如权利要求1所述的高集成度系统级封装结构,其特征在于,所述顶部倒装封装层的封料层填充于倒贴装层各个器件之间并将倒贴装层包覆密封。

8. 如权利要求1所述的高集成度系统级封装结构,其特征在于:所述基板为BT基板或PCB基板。

9. 如权利要求1~7任意一权利要求所述的高集成度系统级封装结构,其特征在于:所述正贴装层中包括单颗或多颗芯片,所述倒贴装层中包括单颗或多颗芯片。

10. 如权利要求9所述的高集成度系统级封装结构,其特征在于:所述正贴装层还包括无源器件,所述正贴装层的无源器件为电容、电阻或电感中的一种或多种。

## 高集成度系统级封装结构

### 技术领域

[0001] 本发明涉及半导体技术,尤其涉及一种高集成度系统级封装结构。

### 背景技术

[0002] 随着集成电路技术的不断发展,电子产品越来越向小型化、智能化、高性能以及高可靠性方向发展。而集成电路封装不仅直接影响着集成电路、电子模块乃至整机的性能,而且还制约着整个电子系统的小型化、低成本和可靠性。在集成电路晶片尺寸逐步缩小,集成度不断提高的情况下,电子工业对集成电路封装技术提出了越来越高的要求。

[0003] 在公告号为 CN1747156C 的中国专利中就公开了一种封装基板。所述封装基板包括:基板,所述基板包括一表面;位于所述基板表面上的接球垫;形成于所述基板表面上的防焊层,所述防焊层包括至少一开口,所述开口露出所述接球垫;所述封装基板还包括一图案化金属补强层,所述图案化金属补强层沿着所述防焊层开口的侧壁形成于所述接球垫上。

[0004] 按照上述方法所封装制造的最终产品仅具有单一的芯片功能,然而,随着半导体产品轻薄短小的趋势以及产品系统功能需求的不断提高,如何进一步提高系统级封装的集成性成为本领域技术人员亟待解决的问题。

### 发明内容

[0005] 本发明解决的技术问题是:如何实现具有多层结构的高密度系统级封装。

[0006] 为解决上述技术问题,本发明提供高集成度系统级封装结构,包括:基板;位于基板上的至少一组布线封装层,所述布线封装层包括依次位于基板上的正贴装层、封料层、布线层;位于布线封装层上的顶部倒装封装层,所述顶部倒装封装层包括依次位于布线封装层上的倒贴装层、底部填充料、封料层;设置于基板下方的连接球;其中,封装层之间透过布线层实现相邻封装层或间隔封装层间的电互联。

[0007] 可选地,所述高集成度系统级封装结构包括第一布线封装层,所述第一布线封装层包括依次位于基板上的第一正贴装层、第一封料层、第一布线层。

[0008] 可选地,所述第一正贴装层中各个器件的功能面朝上。

[0009] 可选地,所述第一封料层填充于第一正贴装层各个器件之间,并裸露出所述第一正贴装层各个器件的连接件。

[0010] 可选地,所述布线层包括贯穿所在封料层的纵向布线、覆盖于所在封料层上且连接于所述纵向布线的横向布线。

[0011] 可选地,所述倒贴装层中各个器件的功能面朝下。

[0012] 可选地,所述顶部倒装封装层的封料层填充于倒贴装层各个器件之间并将倒贴装层包覆密封。

[0013] 可选地,所述基板为 BT 基板或 PCB 基板。

[0014] 可选地,所述正贴装层中包括单颗或多颗芯片,所述倒贴装层中包括单颗或多颗

芯片。

[0015] 可选地,所述正贴装层还包括无源器件,所述正贴装层的无源器件为电容、电阻或电感中的一种或多种。

[0016] 与现有技术相比,本发明请求保护的高集成度系统级封装结构,将芯片和无源器件进行整合后再一并封装,可以形成包含整体系统功能而非单一的芯片功能的最终封装产品;同时,多层封装层间透过布线层更实现了三维立体角度的高密度系统互联,相比现有的系统级封装,多层布线结构充分利用了芯片本身的厚度,在满足半导体封装轻薄短小趋势要求以及更复杂的系统功能整合要求的同时,更好地降低了系统内电阻、电感以及芯片间的干扰因素,结构强度以及产品可靠性得到很好地加强。

## 附图说明

[0017] 图 1 为本发明高集成度系统级封装结构一个实施例的示意图。

## 具体实施方式

[0018] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施的限制。

[0019] 其次,本发明利用示意图进行详细描述,在详述本发明实施例时,为便于说明,所述示意图只是实例,其在此不应限制本发明保护的范围。

[0020] 本发明提供一种高集成度系统级封装结构,包括:基板;位于基板上的至少一组布线封装层,所述布线封装层包括依次位于基板上的正贴装层、封料层、布线层;位于布线封装层上的顶部倒装封装层,所述顶部倒装封装层包括依次位于布线封装层上的倒贴装层、底部填充、封料层;设置于基板下方的连接球;其中,封装层之间透过布线层实现相邻封装层或间隔封装层间的电互联。

[0021] 下面结合附图对本发明的具体实施方式做详细的说明。

[0022] 参考图 1,示出了本发明高集成度系统级封装结构一实施方式的示意图,本实施例中,所述一种高集成度系统级封装结构以两组布线封装层和顶部倒装封装层为例,但是本发明不限制与此,所述一种高集成度系统级封装结构包括:基板 101、位于基板 101 上的第一布线封装层、位于第一布线封装层上的第二布线封装层、位于第二布线封装层上的顶部倒装封装层、设置于基板 101 下方的连接球 110。其中,

[0023] 基板 101 为后续堆叠各封装组的基础,同时,也是承载后续各层封装层的基础。所述基板 101 包括两个功能面,其中,所述基板 101 的第一表面用于进行封装层的堆叠,所述基板 101 的第二表面用于植球(植入连接球),本实施例中,所述基板 101 的上表面用于进行封装层的堆叠,所述基板 101 的上表面设置有用于实现电连接的焊盘,所述基板 101 的下表面用于植入连接球。具体地,所述基板 101 通常为 BT(Bismaleimide Triazine) 基板或印刷电路板(Printed Circuit Board, PCB) 等,以便于在基板 101 的第一表面和第二表面之间进行走线。所述基板 101 包括贯穿所述基板 101 的连接走线,所述连接走线可以使焊盘和连接球实现电连接。

[0024] 为了更好的固定位于基板 101 上的封装处,较佳地,所述高集成度系统级封装结

构还包括贴附于基板 101 上的胶合层,所述胶合层用于将第一正贴装层 103 贴附于基板 101 上,所述胶合层可选用的材质有多种,基板 101 上形成胶合层时可以通过点胶或印刷等方法。所述方法在半导体制造领域中已为本领域技术人员所熟知,在此不再赘述。

[0025] 第一布线封装层中包括依次位于基板 101 上的第一正贴装层 102、第一封料层 103、第一布线层 104。其中,

[0026] 所述第一正贴装层 102 包括多种半导体器件,本实施例中,所述第一正贴装层 102 包括芯片和无源器件,并按照功能面朝上的方式通过胶合层贴附于基板 101 上,所述第一正贴装层 102 的功能面,是指第一正贴装层 102 中的芯片和无源器件的焊盘所在表面。

[0027] 在本发明的一个优选的实施例中,设置于基板 101 之上的第一正贴装层 102 及后续提及的贴装层都可以包含一个或多个相同或不同芯片,还可以包括一个或多个相同或不同的无源器件。这些芯片和无源器件各自成为一个系统级封装产品的一部分,各自完成实现系统级功能中的一个或多个单独的功能。

[0028] 在本发明的一个优选的实施例中,第一正贴装层 102 中的芯片与无源器件的组合是根据系统功能来配置的。因此,在一个或一组芯片的周围,可能有相同或不同的另外的一个或一组芯片,或者相同或不同的电容、电阻或电感等无源器件;类似的,在一个无源器件的周围,可能有相同或不同的其他的无源器件,或者一个或多个相同或不同芯片。

[0029] 第一封料层 103 用于绝缘和隔离第一正贴装层 102 的各个器件,同时,还用于绝缘和隔离不同封装层。所述第一封料层 103 填充于第一正贴装层 102 的各器件之间,并且,部分第一封料层 103 覆盖于所述第一正贴装层 102 的各个器件上,所述第一封料层 103 裸露出所述第一正贴装层 102 各个器件的连接件,具体的,所述第一封料层 103 露出芯片和无源器件组的焊盘表面,以便于进行电性连接。

[0030] 由于第一封料层 103 填充于第一正贴装层 102 的器件之间,并且裸露出各个器件的连接件,因此第一封料层 103 的厚度与第一正贴装层 102 的厚度相当,可以减小各贴装层的堆叠厚度,最大限度地提高封装结构的集成性。

[0031] 第一布线层 104 包括第一纵向布线和第一横向布线。其中,所述第一纵向布线为贯穿所述第一封料层 103 的导线(例如,金属导线),用于实现第一布线封装层与基板 101 间的电连接。

[0032] 在实际应用中,可以根据设计需求有选择地在封料层中形成纵向布线,以实现各贴装层之间或贴装层和基板之间的电连接,由于封料层具有良好的绝缘性,可以避免各贴装层中各器件之间的干扰。

[0033] 所述第一横向布线为覆盖于所述第一封料层 103 上的导线(例如,金属导线)并与第一纵向布线导通相连,用于实现第一正贴装层 102 的器件之间的电连接,本实施例中,所述第一横向布线用于实现第一正贴装层 102 中芯片和无源器件组之间的电连接,具体地,所述第一横向布线与芯片和无源器件的焊盘表面相连。

[0034] 第二布线封装层堆叠于第一布线封装层上,具体地,包括:依次位于第一布线封装层上的第二正贴装层 105、第二封料层 106 和第二布线层 107。本实施例中,所述第二正贴装层 105 包括芯片和无源器件,并按照功能面朝上的方式堆叠于第一封料层 103 上。所述第二正贴装层 105 与第一正贴装层 102 类似,可以包含一个或多个相同或不同芯片,还可以包括一个或多个相同或不同的无源器件。

[0035] 第二封料层 106 用于绝缘和隔离第二正贴装层 105 的各个器件,同时,还用于绝缘和隔离不同封装层。所述第二封料层 106 填充于第二正贴装层 105 的各器件之间,并且,部分第二封料层 106 覆盖于所述第二正贴装层 105 的各个器件上,所述第二封料层 106 裸露出所述第二正贴装层 106 各个器件的连接件,具体的,所述第二封料层 106 露出芯片和无源器件组的焊盘表面,以便于进行电性连接。

[0036] 第二布线层 107 包括第二纵向布线和第二横向布线。其中,所述第二纵向布线为贯穿所述第二封料层 106 的导线(例如,金属导线),用于实现第二布线封装层与其他封装层间的电连接,根据设计需求,所述第二纵向布线还用于实现第二布线封装层和基板 101 之间的电连接;

[0037] 所述第二横向布线为覆盖于所述第二封料层 106 上的导线(例如,金属导线),所述第二横向布线连接于第二纵向布线,用于实现第二正贴装层 105 的器件之间的电连接,本实施例中,所述第二横向布线用于实现第二正贴装层 105 中芯片和无源器件组之间的电连接。

[0038] 顶部倒装封装层包括依次位于第二布线封装层上的倒贴装层 108、底部填充、第三封料层 111。

[0039] 所述倒贴装层 108 与上述的贴装层类似,可以包含一个或多个相同或不同芯片,还可以包括一个或多个相同或不同的无源器件。本实施例中,倒贴装层 108 中包括芯片,并按照功能面朝下的方式贴装于第二封料层 106 上,芯片的功能面上带有焊料凸点 109,芯片透过其焊料凸点 109 实现了与第二布线层 107 的第二横向布线间的导通互联。

[0040] 在本发明的一个优选的实施例中,可根据设计需要在倒装芯片的周围配置无源器件,此时无源器件的贴装方向可与芯片的贴装方向一致以简化工艺流程,具体地,将无源器件的功能焊盘贴装在布线层的预定位置上来实现电互联,贴装的具体步骤已为本领域技术人员所熟知,在此不再赘述。

[0041] 倒贴装层 108 的芯片与第二布线封装层间的间隙中设有填充料 110 以构成底部填充。所述底部填充是为了避免封料层中内部空洞等产品可靠性问题。所述填充料 110 可以是高分子环氧树脂,这种材料的流动性好,能够充分填充倒装芯片与封料层间的间隙。

[0042] 第三封料层 111 包覆密封倒贴装层 108 的各个器件形成封装体,以避免外界环境的污染和侵蚀。形成第三封料层 111 的材料可以与形成第一封料层 103 和第二封料层 106 的材料相同,即采用环氧树脂来形成第三封料层 111。

[0043] 所述高集成度系统级封装结构还包括设置于基板 101 下方的连接球 112,所述连接球 112 位于与基板 101 中连接走线对应的位置,通过基板 101 中的连接走线与基板 101 的焊盘相连。

[0044] 上述实施例中包括两组布线封装层和顶部倒装封装层,但是本发明并不限于此,还可以是一组或多组布线封装层来搭配顶部封装层,本领域技术人员可以根据上述实施例进行相应地变形、修改和替换。

[0045] 本发明高集成度系统级封装结构,各封装层间通过各布线层实现了相邻或相隔封装层间的电连接,再经由基板 101 内部的连接走线整理实现了系统的整合,最终通过连接球 112 将功能输出。

[0046] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术

人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

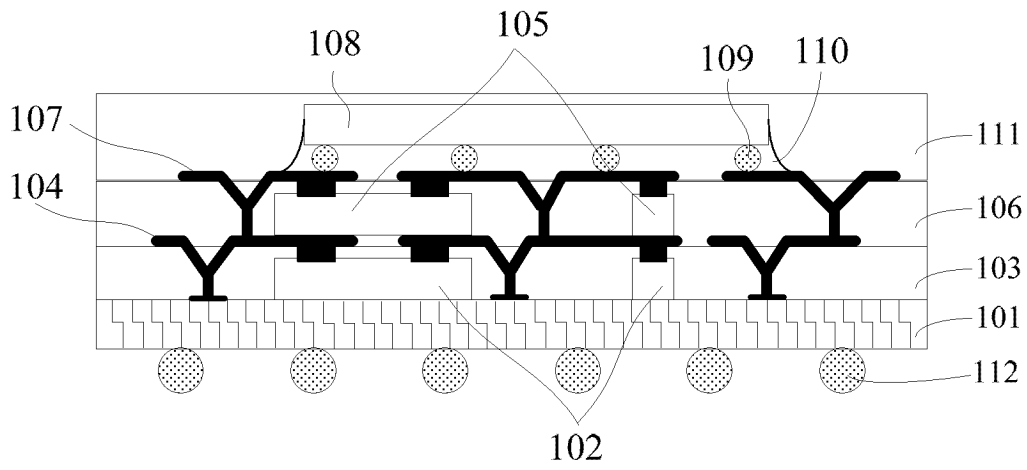


图 1