



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년11월20일  
 (11) 등록번호 10-1329355  
 (24) 등록일자 2013년11월07일

(51) 국제특허분류(Int. Cl.)  
 H01L 23/12 (2006.01) H01L 23/28 (2006.01)  
 (21) 출원번호 10-2007-0088363  
 (22) 출원일자 2007년08월31일  
 심사청구일자 2011년09월16일  
 (65) 공개번호 10-2009-0022749  
 (43) 공개일자 2009년03월04일  
 (56) 선행기술조사문헌  
 US20040058472 A1\*  
 KR1020070030518 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 김태훈  
 충남 천안시 쌍용2동 현대6차아파트 201-104  
 (74) 대리인  
 박상수

전체 청구항 수 : 총 20 항

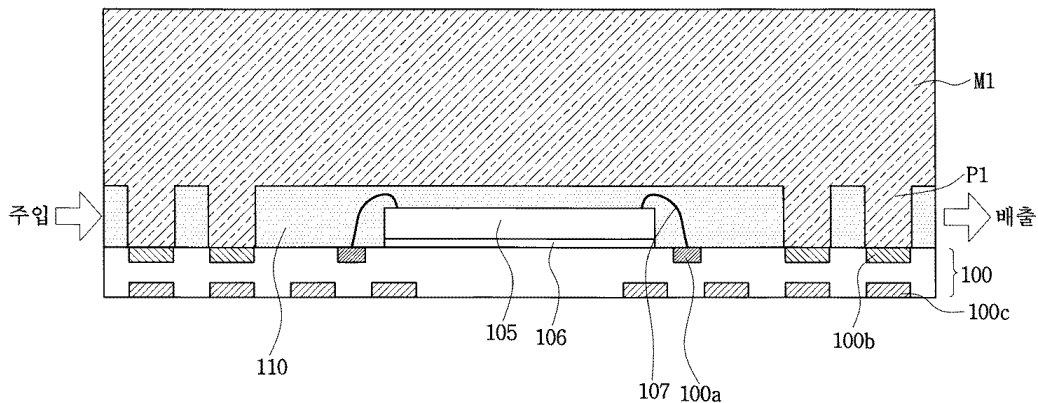
심사관 : 이석주

(54) 발명의 명칭 **적층형 반도체 패키지, 그 형성방법 및 이를 구비하는전자장치**

**(57) 요약**

적층형 반도체 패키지, 그 형성방법 및 이를 구비하는 전자장치를 제공한다. 이 방법은 윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판을 준비하는 것을 포함한다. 상기 하부 인쇄회로 기판의 상기 윗면 상에 상기 복수개의 배선들과 전기적으로 접속하는 차례로 적층된 하나 또는 복수 개의 제 1 칩들을 탑재한다. 상기 제 1 칩들이 덮히도록 상기 하부 인쇄회로 기판 상에 하부 성형 수지 화합물을 형성하되, 상기 하부 성형 수지 화합물은 상기 결합용 볼 랜드들을 노출시키는 비아홀들을 갖도록 형성한다. 하면에 솔더볼들이 장착된 상부 칩 패키지를 상기 솔더볼들이 각각 상기 하부 성형 수지 화합물의 상기 비아홀들과 일치하도록 정렬한다. 상기 솔더볼들을 리플로우(reflow)시켜 상기 비아홀들을 채우는 접속 도체를 형성한다. 적층형 반도체 패키지 구조 및 이를 구비하는 전자장치 또한 제공된다.

**대표도**



**특허청구의 범위**

**청구항 1**

윗면에 복수개의 배선들 및 복수개의 불 랜드들을 가지는 하부 인쇄회로 기판;

상기 하부 인쇄회로 기판의 상기 윗면 상에 탑재되고, 상기 하부 인쇄회로 기판과 전기적으로 접속된 제 1 칩;

상기 제 1 칩이 덮히도록 상기 하부 인쇄회로 기판 상에 배치된 하부 성형 수지 화합물;

상기 하부 인쇄회로 기판 상에 배치되면서, 윗면 상의 배선들 및 하면 상의 하부 패드들을 포함하는 상부 인쇄회로 기판;

상기 하부 성형 수지 화합물 내에 상기 불 랜드들을 각각 노출시키도록 형성되면서, 상기 하부 인쇄회로 기판에 인접하는 바닥 부분 및 상기 상부 인쇄회로 기판에 인접하는 상부 부분을 갖는 비아 홀들;

상기 비아 홀들 내에 배치되고, 상기 하부 인쇄회로 기판의 상기 불 랜드들 상에 배치되면서 상기 상부 인쇄회로 기판의 상기 하부 패드들과 각각 접촉하는 접속 도체들을 포함하되,

상기 비아 홀들 내에 배치된 상기 접속 도체들의 각각은 상기 상부 인쇄회로 기판에 인접하는 상부 영역의 크기가 상기 하부 인쇄회로 기판에 인접하는 하부 영역의 크기 보다 큰 역사다리꼴의 단면 모양을 갖는 적층형 반도체 패키지.

**청구항 2**

제 1 항에 있어서,

상기 상부 인쇄회로 기판의 윗면 상에 탑재된 제2 칩; 및

상기 상부 인쇄회로 기판의 윗면 및 상기 제2 칩을 덮는 상부 성형 수지 화합물을 더 포함하되,

상기 하부 인쇄회로 기판, 상기 제 1 칩 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성하고,

상기 상부 인쇄 회로 기판, 상기 제 2 칩 및 상기 상부 성형 수지 화합물은 상부 칩 패키지를 구성하고,

상기 상부 칩 패키지는 상기 하부 칩 패키지에 전기적으로 접속된 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 3**

제 2 항에 있어서,

상기 하부 칩 패키지 및 상기 상부 칩 패키지 사이에 하나 또는 다수의 중간 칩 패키지를 더 포함하되, 상기 중간 칩 패키지와 상기 상부 칩 패키지는 중간접속 도체를 통해 전기적으로 접속되는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 4**

제 1 항에 있어서,

상기 하부 인쇄 회로 기판의 하면에 배치된 전극들을 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 5**

제 1 항에 있어서,

상기 제1 칩은 상기 하부 인쇄회로 기판에 플립칩 구조로 접속되는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 6**

제 1 항에 있어서,

상기 하부 성형 수지 화합물은 평평한 상부면을 갖는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 7**

제 1 항에 있어서,

상기 하부 성형 수지 화합물의 상부면이 단차 구조를 갖되, 상기 제 1 칩의 상부 영역이 그 외의 영역보다 높은 상부면을 갖는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 8**

제 1 항에 있어서,

상기 성형 수지 화합물은 에폭시 성형 화합물(epoxy molded compound)을 포함하는 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 9**

제 1 항에 있어서,

상기 접속 도체들은 Sn을 포함하는 솔더 물질인 것을 특징으로 하는 적층형 반도체 패키지.

**청구항 10**

윗면에 복수개의 제1 배선들 및 복수개의 볼 랜드들을 가지면서, 하면에 복수의 제1 하부 패드들을 갖는 하부 인쇄회로 기판을 준비하고,

상기 하부 인쇄회로 기판의 상기 윗면 상에 반도체 칩을 탑재하되, 상기 반도체 칩은 플립 칩 구조로 상기 하부 인쇄회로 기판에 전기적으로 접속되고,

상기 반도체 칩이 덮히도록 상기 하부 인쇄회로 기판의 윗면 상에 하부 성형 수지 화합물을 형성하되, 상기 하부 성형 수지 화합물은 상기 볼 랜드들을 노출시키는 비아홀들을 갖도록 형성하고,

윗면에 복수개의 제2 배선들을 가지면서, 하면에 복수의 솔더 볼들을 갖는 제2 상부 인쇄회로 기판을 준비하고,

상기 솔더볼들을 상기 비아홀들 내로 정렬하고,

상기 솔더 볼들과 상기 볼 랜드들이 접속되도록 상기 솔더볼들을 리플로우(reflow)시켜 접속 도체를 형성하는 것을 포함하되,

상기 접속 도체들의 각각은 상기 상부 인쇄회로 기판에 인접하는 상부 영역의 크기가 상기 하부 인쇄회로 기판에 인접하는 하부 영역의 크기 보다 큰 역사다리꼴의 단면 모양을 갖는 적층형 반도체 패키지 형성방법.

**청구항 11**

삭제

**청구항 12**

제 10 항에 있어서,

상기 상부 인쇄 회로 기판의 윗면 상에 상기 제2 배선들과 전기적으로 연결된 제 2 칩들을 탑재하고,

상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판을 덮는 상부 성형 수지 화합물을 형성하는 것을 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 13**

제 12 항에 있어서,

상기 하부 인쇄회로 기판, 상기 반도체 칩 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 14**

제 13 항에 있어서,

상기 하부 칩 패키지 및 상기 상부 인쇄회로 기판 사이에 하나 또는 다수의 중간 칩 패키지를 중간 접속 도체를 이용하여 적층하는 것을 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 15**

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 하부 성형 수지 화합물을 형성한 후,

상기 하부 인쇄 회로 기판의 하면에 전극들을 형성하는 것을 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 16**

삭제

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 하부 성형 수지 화합물은 평평한 상부면을 갖도록 형성되는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 하부 성형 수지 화합물은 그 상부면이 단차 구조를 갖도록 형성되되, 상기 반도체 칩의 상부 영역이 그 외의 영역보다 높은 상부면을 갖도록 형성되는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 성형 수지 화합물은 에폭시 성형 화합물(epoxy molded compound)을 포함하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 접속 도체는 Sn을 포함하는 물질로 형성하는 것을 특징으로 하는 적층형 반도체 패키지 형성방법.

**청구항 21**

프로세서, 상기 프로세서와 데이터 통신을 수행하는 입/출력 장치 및 상기 프로세서와 데이터 통신을 수행하는 하나 또는 복수 개의 적층형 반도체 패키지가 구비된 전자장치에 있어서, 상기 적층형 반도체 패키지는

윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판;

상기 하부 인쇄회로 기판의 상기 윗면 상에 탑재되고, 상기 하부 인쇄회로 기판과 전기적으로 접속된 제 1 칩;

상기 제 1 칩이 덮히도록 상기 하부 인쇄회로 기판 상에 배치된 하부 성형 수지 화합물;

상기 하부 인쇄회로 기판 상에 배치되면서, 윗면 상의 배선들 및 하부 상의 하부 패드들을 포함하는 상부 인쇄

회로 기판;

상기 상부 인쇄회로 기판의 윗면 상에 탑재된 제2 칩;

상기 상부 인쇄회로 기판의 상기 윗면 상에 배치되고, 상기 제2 칩을 덮는 상부 성형 수지 화합물;

상기 하부 수지 화합물 내에 상기 불 랜드들을 각각 노출시키도록 형성되면서 상기 하부 인쇄회로 기판에 인접하는 바닥 부분 및 상기 상부 인쇄회로 기판에 인접하는 상부 부분을 갖는 비아 홀들; 및

상기 비아 홀들 내에 배치되고, 상기 하부 인쇄회로 기판의 상기 불 랜드들 상에 배치되면서 상기 상부 인쇄 회로 기판의 상기 하부 패드들과 각각 접촉하는 접속 도체들을 포함하되,

상기 비아 홀들 중 하나의 상부 영역의 크기는 상기 비아 홀들 중 하나의 하부 영역의 크기 보다 크고, 상기 접속 도체들 중 하나는 역사다리꼴의 단면 모양을 갖는 전자장치.

**청구항 22**

제 21 항에 있어서,

상기 하부 인쇄회로 기판, 상기 제 1 칩 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성하고,

상기 상부 인쇄 회로 기판, 상기 제 2 칩 및 상기 상부 성형 수지 화합물은 상부 칩 패키지를 구성하는 것을 특징으로 하는 전자장치.

**청구항 23**

제 22 항에 있어서,

상기 하부 칩 패키지 및 상기 상부 칩 패키지 사이에 하나 또는 다수의 중간 칩 패키지를 더 포함하되, 상기 중간 칩 패키지와 상기 상부 칩 패키지는 중간접속 도체를 통해 전기적으로 접속되는 것을 특징으로 하는 전자장치.

**청구항 24**

청구항 24은(는) 설정등록료 납부시 포기되었습니다.

제 23 항에 있어서,

상기 하부 칩 패키지는 로직 패키지이고, 상기 중간 칩 패키지 및 상기 상부 칩 패키지는 메모리 패키지인 것을 특징으로 하는 전자장치.

**청구항 25**

제 21 항에 있어서,

상기 프로세서 및 상기 적층형 반도체 패키지가 장착된 보드를 더 포함하는 것을 특징으로 하는 전자장치.

**청구항 26**

제 25 항에 있어서,

상기 하부 인쇄 회로 기판의 하면에 배치된 전극들을 더 포함하되, 상기 전극들을 통하여 상기 보드에 전기적으로 접속되는 것을 특징으로 하는 전자장치.

**청구항 27**

일측에 복수 개의 탭들(tabs)을 구비한 기판 본체; 및

상기 기판 본체에 2열 배열 이상으로 탑재된 적층형 반도체 패키지들을 포함하되, 상기 적층형 반도체 패키지들의 각각은,

윗면에 복수개의 배선들 및 복수개의 불 랜드들을 가지는 하부 인쇄회로 기판;

상기 하부 인쇄회로 기판의 상기 윗면 상에 탑재되고, 상기 하부 인쇄회로 기판과 전기적으로 접속된 제 1 칩;

상기 제 1 칩이 덮히도록 상기 하부 인쇄회로 기판 상에 배치된 하부 성형 수지 화합물;

상기 하부 인쇄회로 기판 상에 배치되면서, 윗면 상의 배선들 및 하부 상의 하부 패드들을 포함하는 상부 인쇄회로 기판;

상기 상부 인쇄 회로 기판의 윗면 상에 탑재되며, 상기 상부 인쇄 회로 기판과 전기적으로 접속된 제 2 칩;

상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판의 상기 윗면 상에 배치되고 상기 제2 칩을 덮는 상부 성형 수지 화합물;

상기 하부 성형 수지 화합물 내에 상기 불 랜드들을 각각 노출시키도록 형성되면서, 상기 하부 인쇄 회로 기판에 인접하는 바닥 부분 및 상기 상부 인쇄회로 기판에 인접하는 상부 부분을 갖는 비아 홀들; 및

상기 비아 홀들 내에 배치되고, 상기 하부 인쇄회로 기판의 상기 불 랜드들 상에 배치되면서 상기 상부 인쇄회로 기판의 상기 하부 패드들과 각각 접촉하는 접속 도체들을 포함하되,

상기 접속 도체들은 솔더 물질을 포함하고,

상기 접속 도체들 중 하나의 상부 영역의 크기는 상기 접속 도체들 중 하나의 하부 영역의 크기 보다 크고,

상기 접속 도체들의 각각은 상기 하부 성형 수지 화합물에 의해 둘러싸이지 않는 제1 부분 및 상기 하부 성형 수지 화합물에 의해 둘러싸이는 제2 부분을 갖는 메모리 모듈.

**청구항 28**

제 27 항에 있어서,

상기 기판 본체에 상기 적층형 반도체 패키지들과 이격되어 배치된 개별소자들(discrete devices)을 더 포함하는 것을 특징으로 하는 메모리 모듈.

**청구항 29**

청구항 29은(는) 설정등록료 납부시 포기되었습니다.

제 28 항에 있어서,

상기 개별소자들(discrete devices)은 레지스터(register), 커패시터(capacitor), 인덕터(inductor), 저항(resistor), 프로그래머블 소자(programmable device), 및 비 휘발성 메모리소자(non-volatile memory device)로 이루어진 일군에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 메모리 모듈.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 패키지, 그 형성방법 및 이를 구비하는 전자장치에 관한 것으로, 특히 적층형 반도체 패키지, 그 형성방법 및 이를 구비하는 전자장치에 관한 것이다.

**배경기술**

[0002] 반도체 패키지는 그 용량 및 기능을 확장하기 위하여 웨이퍼 상태에서 집적도가 점차 증가하고 있으며, 두 개 이상의 반도체 칩 혹은 반도체 패키지를 하나로 통합하여 사용하는 반도체 패키지도 일반화되고 있다. 웨이퍼 상태에서 반도체 소자의 기능을 확장하는 것은, 웨이퍼 제조공정에서 많은 설비 투자가 필요하며, 많은 비용이 소요되며, 공정에서 발생할 수 있는 여러 가지 문제점을 해결하는 과제가 선결되어야 한다.

[0003] 그러나 반도체 칩을 완전히 만든 후, 반도체 패키지로 조립(assembly)하는 과정에서 두 개 이상의 반도체 칩 혹은 두 개 이상의 반도체 패키지를 하나로 통합하는 것은 위에서 설명된 선결과제의 해결 없이도 달성 가능하다. 또한 웨이퍼 상태에서 그 용량 및 기능을 확장하는 방식과 비교하여 적은 설비투자과 비용으로 달성이 가능

하기 때문에 반도체 소자 제조업체에서는 SIP(System In Package), MCP(Multi Chip Package) 및 POP(Package On Package, 이하 'POP'라 함)와 같은 통합형 반도체 패키지에 대한 연구 개발에 박차를 가하고 있다.

- [0004] 이러한 통합형 반도체 패키지 중에서 POP는 각각의 반도체 패키지가 조립이 완료된 후에, 두 개의 반도체 패키지를 하나로 통합하는 방식을 채택하고 있다. 그러므로 각각의 반도체 패키지에 대한 최종 전기적 검사 단계에서 불량 발생된 반도체 소자를 완전히 제외하고 POP으로 조립이 가능한 장점이 있다.
- [0005] BGA(ball grid array) 형 반도체 패키지는, 배선 기판의 윗면에 반도체 칩(chip)을 고정하고, 이 반도체 칩(chip)의 전극과 배선 기판의 배선을 도전성의 와이어(wire)를 이용하여 접속하고, 또한 반도체 칩(chip) 및 와이어(wire) 등을 절연성의 수지의 포장재로 덮는 구조이며 상기 포장재 주변은 상부 반도체 패키지와 결합을 위해 배선 기판의 볼 랜드 영역이 그대로 노출된 상태로 있게 된다. 상기 배선 기판의 하면에는 외부 전극 단자가 되는 솔더볼들이 배열 되어 있다.
- [0006] 이와 같은 반도체 패키지들을 이용하여 수직 방향으로 적층된 반도체 패키지 구조를 만들기 위해서는 하부 반도체 패키지의 몸체 높이보다 상부 반도체 패키지의 솔더볼의 높이가 커야하는 조건을 충족하여야만 한다. 그러나 상부 반도체 패키지의 집적도가 높아지면서 다(多)핀화가 진행될 경우, 제한된 면적 내에서 많은 개수의 솔더볼들을 배열하기 위해서 솔더볼들의 크기는 점차 줄어들고, 솔더볼과 솔더볼의 간격(pitch) 역시 점차 줄어들고 있다. 이에 따라 줄어드는 솔더볼의 높이가 하부 반도체 패키지의 몸체 높이보다 작은 경우에는 수직 방향의 적층이 불가능하게 된다.
- [0007] 따라서, 하부 반도체 패키지와 상부 반도체 패키지를 전기적으로 접속시키면서 적층하는 데 있어 집적도를 높이기 위한 다핀화가 가능하면서도 이웃하는 솔더볼들이 서로 접촉하여 발생하는 블리지 불량 및 하부 반도체 패키지에 상부 솔더볼들이 콘택되지 못하는 불량(non-wet defect)을 방지할 수 있는 반도체 패키지 구조 및 그 형성 방법에 대한 연구가 요구되고 있다.

### 발명의 내용

#### 해결 하고자 하는 과제

- [0008] 본 발명이 이루고자 하는 기술적 과제는 상술한 종래기술의 문제점을 개선하기 위한 것으로서, 하부 칩 패키지와 상부 칩 패키지를 전기적으로 접속시키면서 적층하는 데 있어 집적도를 높이기 위한 다핀화가 가능하면서도 이웃하는 솔더볼들이 서로 접촉하여 발생하는 블리지 불량 및 하부 칩 패키지에 상부 솔더볼들이 콘택되지 못하는 불량(non-wet defect)을 방지하기에 적합한 적층형 반도체 패키지, 그 형성방법 및 이를 구비하는 전자장치를 제공하는 데 있다.

#### 과제 해결수단

- [0009] 본 발명의 일 양태에 따르면, 적층형 반도체 패키지를 제공한다. 상기 반도체 패키지는 윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판을 구비한다. 상기 하부 인쇄회로 기판의 상기 윗면 상에 상기 복수개의 배선들과 전기적으로 접속하면서 차례로 적층된 하나 또는 복수 개의 제 1 칩들이 배치된다. 상기 제 1 칩들이 덮히도록 상기 하부 인쇄회로 기판 상에 하부 성형 수지 화합물이 배치된다. 상기 하부 성형 수지 화합물을 관통하여 상기 결합용 볼 랜드들과 접촉하는 접속 도체가 배치된다. 상기 하부 성형 수지 화합물 상에 상기 접속 도체의 상부면과 접촉하는 하부 패드들을 구비하는 상부 인쇄 회로 기판이 배치된다. 상기 상부 인쇄 회로 기판의 윗면 상에 상기 상부 인쇄 회로 기판과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들이 배치된다. 상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판을 덮는 상부 성형 수지 화합물이 배치된다.
- [0010] 본 발명의 몇몇 실시예들에서, 상기 하부 인쇄회로 기판, 상기 제 1 칩들 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성할 수 있고, 상기 상부 인쇄 회로 기판, 상기 제 2 칩들 및 상기 상부 성형 수지 화합물은 상부 칩 패키지를 구성할 수 있다.
- [0011] 다른 실시예들에서, 상기 하부 칩 패키지 및 상기 상부 칩 패키지 사이에 하나 또는 다수의 중간 칩 패키지를 더 포함하되, 상기 중간 칩 패키지와 상기 상부 칩 패키지는 중간접속 도체를 통해 전기적으로 접속될 수 있다.

- [0012] 또 다른 실시예들에서, 상기 하부 인쇄 회로 기판의 하면에 전극들이 배치될 수 있다.
- [0013] 또 다른 실시예들에서, 상기 칩들은 상기 인쇄회로 기판에 와이어 본딩 구조로 접속되거나 플립칩 구조로 접속될 수 있다.
- [0014] 또 다른 실시예들에서, 상기 하부 성형 수지 화합물은 평평한 상부면을 가질 수 있다.
- [0015] 또 다른 실시예들에서, 상기 하부 성형 수지 화합물의 상부면이 단차 구조를 갖되, 상기 제 1 칩들의 상부 영역이 그 외의 영역보다 높은 상부면을 가질 수 있다.
- [0016] 또 다른 실시예들에서, 상기 성형 수지 화합물은 에폭시 성형 화합물(epoxy molded compound)을 포함할 수 있다.
- [0017] 또 다른 실시예들에서, 상기 접속 도체는 Sn을 포함하는 물질일 수 있다.
- [0018] 본 발명의 다른 일 양태에 따르면, 적층형 반도체 패키지의 형성방법을 제공한다. 이 방법은 윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판을 준비하는 것을 포함한다. 상기 하부 인쇄회로 기판의 상기 윗면 상에 상기 복수개의 배선들과 전기적으로 접속하는 차례로 적층된 하나 또는 복수 개의 제 1 칩들을 탑재한다. 상기 제 1 칩들이 덮히도록 상기 하부 인쇄회로 기판 상에 하부 성형 수지 화합물을 형성하되, 상기 하부 성형 수지 화합물은 상기 결합용 볼 랜드들을 노출시키는 비아홀들을 갖도록 형성한다. 하면에 솔더볼들이 장착된 상부 칩 패키지를 상기 솔더볼들이 각각 상기 하부 성형 수지 화합물의 상기 비아홀들과 일치하도록 정렬한다. 상기 솔더볼들을 리플로우(reflow)시켜 상기 비아홀들을 채우는 접속 도체를 형성한다.
- [0019] 본 발명의 몇몇 실시예들에서, 상기 하부 성형 수지 화합물을 형성하는 것은 상기 제 1 칩들을 갖는 상기 하부 인쇄 회로 기판 상에 상기 결합용 볼 랜드들과 각각 접촉하는 핀들을 갖는 금형을 씌우는 것을 포함할 수 있다. 이어, 상기 금형의 일측으로 용융된 하부 성형 수지 화합물을 주입할 수 있다. 상기 용융된 하부 성형 수지 화합물이 주입된 반대측으로 흐르면서 상기 하부 인쇄 회로 기판 및 상기 금형 사이를 채우고, 상기 용융된 하부 성형 수지 화합물을 굳힐 수 있다. 상기 금형을 떼어내어 상기 결합용 볼 랜드들을 각각 노출시키는 비아홀들을 형성할 수 있다.
- [0020] 다른 실시예들에서, 상기 상부 칩 패키지를 형성하는 것은 하부 패드들을 구비하는 상부 인쇄 회로 기판을 준비하는 것을 포함할 수 있다. 이어, 상기 상부 인쇄 회로 기판의 상기 윗면 상에 상기 상부 인쇄 회로 기판과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들을 형성하고, 상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판을 덮는 상부 성형 수지 화합물을 형성할 수 있다. 상기 하부 패드들 각각에 솔더볼을 형성할 수 있다.
- [0021] 또 다른 실시예들에서, 상기 하부 인쇄회로 기판, 상기 제 1 칩들 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성할 수 있다.
- [0022] 또 다른 실시예들에서, 상기 하부 칩 패키지 및 상기 상부 칩 패키지 사이에 하나 또는 다수의 중간 칩 패키지를 중간 접속 도체를 이용하여 적층하는 것을 더 포함할 수 있다.
- [0023] 또 다른 실시예들에서, 상기 하부 성형 수지 화합물을 형성한 후, 상기 하부 인쇄 회로 기판의 하면에 전극들을 형성할 수 있다.
- [0024] 또 다른 실시예들에서, 상기 제 1 칩들은 상기 하부 인쇄회로 기판의 상기 배선들에 와이어 본딩 구조로 접속되도록 형성되거나 플립칩 구조로 접속되도록 형성될 수 있다.
- [0025] 또 다른 실시예들에서, 상기 하부 성형 수지 화합물은 평평한 상부면을 갖도록 형성될 수 있다.
- [0026] 또 다른 실시예들에서, 상기 하부 성형 수지 화합물은 그 상부면이 단차 구조를 갖도록 형성되되, 상기 제 1 칩들의 상부 영역이 그 외의 영역보다 높은 상부면을 갖도록 형성될 수 있다.
- [0027] 또 다른 실시예들에서, 상기 성형 수지 화합물은 에폭시 성형 화합물(epoxy molded compound)을 포함할 수 있다.
- [0028] 또 다른 실시예들에서, 상기 접속 도체는 Sn을 포함하는 물질로 형성할 수 있다.
- [0029] 본 발명의 또 다른 일 양태에 따르면, 적층형 반도체 패키지를 구비하는 전자장치를 제공한다. 프로세서, 상기

프로세서와 데이터 통신을 수행하는 입/출력 장치 및 상기 프로세서와 데이터 통신을 수행하는 하나 또는 복수 개의 적층형 반도체 패키지가 구비된 전자장치에 있어서, 상기 반도체 패키지는 윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판을 구비한다. 상기 하부 인쇄회로 기판의 상기 윗면 상에 상기 복수개의 배선들과 전기적으로 접속하면서 차례로 적층된 하나 또는 복수 개의 제 1 칩들이 배치된다. 상기 제 1 칩들이 덮히도록 상기 하부 인쇄회로 기판 상에 하부 성형 수지 화합물이 배치된다. 상기 하부 성형 수지 화합물을 관통하여 상기 결합용 볼 랜드들과 접촉하는 접속 도체가 배치된다. 상기 하부 성형 수지 화합물 상에 상기 접속 도체의 상부면과 접촉하는 하부 패드들을 구비하는 상부 인쇄 회로 기판이 배치된다. 상기 상부 인쇄 회로 기판의 윗면 상에 상기 상부 인쇄 회로 기판과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들이 배치된다. 상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판을 덮는 상부 성형 수지 화합물이 배치된다.

- [0030] 본 발명의 몇몇 실시예들에서, 상기 하부 인쇄회로 기판, 상기 제 1 칩들 및 상기 하부 성형 수지 화합물은 하부 칩 패키지를 구성하고, 상기 상부 인쇄 회로 기판, 상기 제 2 칩들 및 상기 상부 성형 수지 화합물은 상부 칩 패키지를 구성할 수 있다.
- [0031] 다른 실시예들에서, 상기 하부 칩 패키지 및 상기 상부 칩 패키지 사이에 하나 또는 다수의 중간 칩 패키지를 더 포함하되, 상기 중간 칩 패키지와 상기 상부 칩 패키지는 중간접속 도체를 통해 전기적으로 접속될 수 있다.
- [0032] 또 다른 실시예들에서, 상기 하부 칩 패키지는 로직 패키지이고, 상기 중간 칩 패키지 및 상기 상부 칩 패키지는 메모리 패키지일 수 있다.
- [0033] 또 다른 실시예들에서, 상기 프로세서 및 상기 적층형 반도체 패키지가 장착된 보드를 더 포함할 수 있다.
- [0034] 또 다른 실시예들에서, 상기 하부 인쇄 회로 기판의 하면에 배치된 전극들을 더 포함하되, 상기 전극들을 통하여 상기 보드에 전기적으로 접속될 수 있다.
- [0035] 본 발명의 또 다른 일 양태에 따르면, 적층형 반도체 패키지를 구비하는 메모리 모듈을 제공한다. 상기 메모리 모듈은 복수 개의 탭들(tabs)을 구비한 기판 본체 및 상기 기판 본체에 2열 배열 이상으로 탑재된 적층형 반도체 패키지들을 포함한다. 여기서, 상기 적층형 반도체 패키지들은 각각 윗면에 복수개의 배선들 및 복수개의 결합용 볼 랜드들을 가지는 하부 인쇄회로 기판을 구비한다. 상기 하부 인쇄회로 기판의 상기 윗면 상에 상기 복수개의 배선들과 전기적으로 접속하면서 차례로 적층된 하나 또는 복수 개의 제 1 칩들이 배치된다. 상기 제 1 칩들이 덮히도록 상기 하부 인쇄회로 기판 상에 하부 성형 수지 화합물이 배치된다. 상기 하부 성형 수지 화합물을 관통하여 상기 결합용 볼 랜드들과 접촉하는 접속 도체가 배치된다. 상기 하부 성형 수지 화합물 상에 상기 접속 도체의 상부면과 접촉하는 하부 패드들을 구비하는 상부 인쇄 회로 기판이 배치된다. 상기 상부 인쇄 회로 기판의 윗면 상에 상기 상부 인쇄 회로 기판과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들이 배치된다. 상기 제 2 칩들을 갖는 상기 상부 인쇄 회로 기판을 덮는 상부 성형 수지 화합물이 배치된다.
- [0036] 본 발명의 몇몇 실시예들에서, 상기 기판 본체에 상기 적층형 반도체 패키지들과 이격되어 배치된 개별소자들(discrete devices)을 더 포함할 수 있다.
- [0037] 다른 실시예들에서, 상기 개별소자들(discrete devices)은 레지스터(register), 커패시터(capacitor), 인덕터(inductor), 저항(resistor), 프로그래머블 소자(programmable device), 및 비 휘발성 메모리소자(non-volatile memory device)로 이루어진 일군에서 선택된 적어도 하나를 포함할 수 있다.

**효 과**

- [0038] 본 발명에 따르면, 하부 칩 패키지의 하부 성형 수지 화합물이 하부 인쇄회로 기판의 결합용 볼 랜드들 영역을 제외하고 상기 하부 인쇄회로 기판을 모두 덮도록 형성되는 구조로 본 발명의 성형은 측면 게이트 이동 성형(Side Gate Transfer Mold) 방법이 적용 가능하다. 따라서, 칩 영역만 성형 수지 화합물을 적용했던 종래기술의 탑 게이트 성형(top gate mold) 방법의 공기 배출 디자인(Air-Vent Design)의 한계를 극복할 수 있게 된다.
- [0039] 또한, 하부 칩 패키지 상에 상부 칩 패키지를 적층할 때, 상기 하부 칩 패키지의 하부 성형 수지 화합물 내에 형성된 비아홀들 위에 각각 상기 상부 칩 패키지의 상부 솔더볼들을 안착함으로써 미스 얼라인에 의한 적층(stack) 불량을 방지할 수 있게 된다. 이에 더하여, 상기 상부 솔더볼들이 리플로우 되어 상기 비아홀들을 채우

는 접속 도체의 구조로 상기 상부 칩 패키지와 상기 하부 칩 패키지를 접합하고 있기 때문에 종래기술에서 솔더 볼들에 의해 발생하던 볼 브리지(ball bridge) 불량 및 결합 크랙(joint crack) 불량을 방지할 수 있게 된다.

[0040] 이에 더하여, POP 두께를 낮추기 위해 하부 인쇄회로 기판의 두께를 얇게 할 경우 종래기술에서는 성형 수지 화합물이 하부 칩 패키지의 중심부에만 덮여 있어 조립 및 테스트 프로세스(Assembly & Test Process)에서 벤딩(bending) 테스트 시 스트레스에 의해 성형 수지 화합물의 에지 영역에서 패턴 크랙(crack) 현상이 발생하였으나, 본 발명에서는 상기 하부 인쇄회로 기판 전체에 걸쳐 하부 성형 수지 화합물이 덮여있으므로 벤딩 테스트 시 스트레스에 대한 내성을 가질 수 있게 된다. 따라서, 상기 하부 인쇄회로 기판의 두께를 얇게 하여 얇은 프로파일의 POP 구조를 구현할 수 있게 된다.

**발명의 실시를 위한 구체적인 내용**

[0041] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0042] 도 1은 본 발명의 실시예들에 따른 적층형 반도체 패키지의 하부 인쇄회로 기판을 나타낸 평면도이며, 도 2는 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법에서 하부 성형 수지 화합물을 형성하기 위한 금형을 나타낸 사시도이다. 또한, 도 3a 내지 도 3e는 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위해 도 1의 절단선 I-I'에 따른 단면도들이다.

[0043] 도 1, 도 2 및 도 3a를 참조하면, 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법은 윗면에 복수개의 배선들(100a) 및 복수개의 결합용 볼 랜드들(100b)을 가지는 하부 인쇄회로 기판(100)을 준비하는 것을 포함한다. 상기 하부 인쇄회로 기판(100)은 하면에 하부패드들(100c)을 더 포함할 수 있다. 상기 하부 인쇄회로 기판(100)의 상기 윗면 상에 차례로 적층된 하나 또는 복수 개의 제 1 칩들(105)을 탑재한다. 상기 제 1 칩들(105)의 뒷면(backside surface)은 접착제(adhesive; 106)를 통하여 상기 하부 인쇄회로 기판(100)의 상부면과 접촉할 수 있다. 이어, 상기 제 1 칩들(105)의 패드들은 와이어들(107)을 통하여 상기 하부 인쇄회로 기판(100)의 윗면에 형성된 상기 복수개의 배선들(100a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 1 칩들(105) 플립칩 구조로 상기 하부 인쇄회로 기판(100)에 전기적으로 접속될 수 있다.

[0044] 상기 제 1 칩들을 갖는 상기 하부 인쇄회로 기판(100) 상에 도 2에 도시된 복수개의 핀들(P1)을 갖는 금형(M1)을 찍운다. 상기 복수개의 핀들(P1)을 갖는 상기 금형(M1)은 상기 하부 인쇄회로 기판(100)의 상기 결합용 볼 랜드들(100b)과 상기 핀들(P1)이 정렬되도록 제작될 수 있다. 따라서, 상기 핀들(P1)이 각각 상기 하부 인쇄회로 기판(100)의 상기 결합용 볼 랜드들(100b)과 접촉할 수 있다. 상기 핀들(P1)의 모양은 평면도로 보여질 때 원형, 타원형, 직사각형, 육각형 또는 다이아몬드 구조일 수 있다. 또한, 상기 핀들(P1)의 모양은 단면도로 보여질 때, 직사각형 또는 역사다리꼴 모양일 수 있다. 도 3에서는 일실시예로 원통기둥 모양의 핀들(P1)을 도시하였다. 상기 금형(M1)의 판은 평평한 면을 가질 수 있고, 또는 이와달리, 상기 핀들(P1) 사이에 리세스 영역을 가질 수도 있다.

[0045] 도 1, 도 2 및 도 3b를 참조하면, 상기 금형(M1)의 일측으로 용융된 하부 성형 수지 화합물(110)을 주입할 수 있다. 상기 용융된 하부 성형 수지 화합물(110)은 에폭시 성형 화합물(epoxy molded compound) 또는 액체 에폭시(liquid epoxy)를 포함할 수 있다. 상기 용융된 하부 성형 수지 화합물(110)은 주입된 반대측으로 흐르면서 상기 하부 인쇄 회로 기판(100) 및 상기 금형(M1) 사이를 채울 수 있다. 이때, 상기 배출구를 통해 공기가 빠져 나갈 수 있다. 상기 용융된 하부 성형 수지 화합물(110)은 상기 핀들(P1) 사이의 빈공간들을 모두 채우게 된다.

[0046] 도 1 및 도 3c를 참조하면, 상기 용융된 하부 성형 수지 화합물(110)을 굳혀 단단해진 하부 성형 수지 화합물(110')이 형성될 수 있다. 이어, 상기 핀들(P1)을 갖는 상기 금형(M1)을 떼어낼 수 있다. 그 결과, 상기 하부 성형 수지 화합물(110')을 관통하면서 상기 하부 인쇄회로 기판(100)의 상기 결합용 볼 랜드들(100b)을 각각 노출시키는 비아홀들(110h)이 형성될 수 있다. 상기 비아홀들(110h)의 모양은 상기 핀들(P1)의 모양에 의해 결정될 수 있다. 상기 하부 성형 수지 화합물(110')은 평평한 상부면을 갖도록 형성될 수 있다. 또는 이와 달리, 상

기 금형(M1)에 리세스 영역이 있을 경우, 상기 하부 성형 수지 화합물(110')의 상부면은 단차 구조를 가지도록 형성될 수 있다. 특히, 상기 제 1 칩들(105)의 상부 영역이 그 외의 영역보다 높은 상부면을 갖도록 형성될 수 있다.

- [0047] 상기 하부 인쇄회로 기판(100)의 상기 하부 패드들(100c)에 전극들(E1)을 형성할 수 있다. 상기 전극들(E1)은 솔더볼들로 형성될 수 있다. 상기 하부 인쇄회로 기판(100), 상기 제 1 칩들(105) 및 상기 하부 성형 수지 화합물(110')은 하부 칩 패키지(PK1)를 구성할 수 있다.
- [0048] 도 1 및 도 3d를 참조하면, 하면에 상부 솔더볼들(125)이 부착된 상부 칩 패키지(PK2)를 상기 하부 성형 수지 화합물(110') 상에 상기 솔더볼들(125)이 각각 상기 비아홀들(110h)과 일치하도록 정렬한다. 상기 상부 칩 패키지(PK2)를 형성하는 것은 하부 패드들(111c) 및 배선들(111a)을 구비하는 상부 인쇄 회로 기판(111)을 준비하는 것을 포함할 수 있다. 이어, 상기 상부 인쇄 회로 기판(111)의 상기 윗면 상에 상기 상부 인쇄 회로 기판(111)과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들(115)을 형성할 수 있다.
- [0049] 상기 제 2 칩들(115)의 뒷면(backside surface)은 접착제(adhesive; 116)를 통하여 상기 상부 인쇄회로 기판(111)의 상부면과 접촉할 수 있다. 이어, 상기 제 2 칩들(115)의 패드들은 와이어들(117)을 통하여 상기 상부 인쇄회로 기판(111)의 윗면에 형성된 상기 복수개의 배선들(111a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 2 칩들(115)은 플립칩 구조로 상기 상부 인쇄회로 기판(111)에 전기적으로 접속될 수 있다. 상기 제 2 칩들(115)을 갖는 상기 상부 인쇄 회로 기판(111)을 덮는 상부 성형 수지 화합물(120)을 형성할 수 있다. 상기 하부 패드들(111c) 각각에 접촉하는 상부 솔더볼들(125)을 형성할 수 있다. 상기 상부 솔더볼(125)들은 Sn을 포함하는 물질로 형성할 수 있다.
- [0050] 도 1 및 도 3e를 참조하면, 상기 상부 솔더볼들(125)을 리플로우(reflow)시켜 상기 비아홀들(110h)을 채우는 접속 도체(125')를 형성할 수 있다. 상기 접속 도체(125')에 의해 상기 하부 칩 패키지(PK1) 및 상기 상부 칩 패키지(PK2)가 전기적으로 접속되면서 POP 구조의 적층된 반도체 패키지가 형성될 수 있다. 상기 상부 칩 패키지(PK2)는 상기 상부 솔더볼들(125)의 양에 따라 상기 하부 칩 패키지(PK1)의 상기 하부 성형 수지 화합물(110')의 상부면에 직접적으로 콘택될 수 도 있고 또는 이와달리, 상기 상부 솔더볼들(125)의 양이 상기 비아홀들(110h)을 채우고 남을정도의 양일 경우, 상기 상부 칩 패키지(PK2)는 상기 하부 성형 수지 화합물(110')의 상부면과 이격되어 배치될 수 도 있다.
- [0051] 도 4a에 도시된 바와 같이, 본 발명의 실시예들은 상기 하부 칩 패키지(PK1) 및 상기 상부 칩 패키지(PK2) 사이에 하나 또는 다수의 중간 칩 패키지(PK1.5)를 접속 도체(125'')를 이용하여 적층하는 것을 더 포함할 수 있다.
- [0052] 또한 도 4b에 도시된 바와 같이, 본 발명의 실시예들은 제 1 칩들(105')을 플립칩 구조로 상기 인쇄회로 기판(100)에 전기적으로 접속시킬 수 있다. 이에 더하여, 비아홀(110') 내부를 채우는 접속 도체(125''')의 단면모양을 역사다리꼴 모양으로 형성할 수 있다.
- [0053] 상술한 바와 같이, 본 발명은 상기 하부 칩 패키지(PK1)의 상기 하부 성형 수지 화합물(110')이 상기 결합용 볼랜드들(100b) 영역을 제외하고 상기 하부 인쇄회로 기판(100)을 모두 덮도록 형성되는 구조로 본 발명의 성형은 도 4b에 도시된 바와 같이 측면 게이트 이동 성형(Side Gate Transfer Mold) 방법이 적용 가능하다. 따라서, 칩 영역만 성형 수지 화합물을 적용했던 종래기술의 탑 게이트 성형(top gate mold) 방법의 공기 배출 디자인(Air-Vent Design)의 한계를 극복할 수 있게 된다.
- [0054] 또한, 상기 하부 칩 패키지(PK1) 상에 상기 상부 칩 패키지(PK2)를 적층할 때, 상기 하부 칩 패키지(PK1)의 상기 비아홀들(110h) 위에 각각 상기 상부 칩 패키지(PK2)의 상기 상부 솔더볼들(125)을 안착함으로써 미스 얼라인에 의한 적층(stack) 불량을 방지할 수 있게 된다. 이에 더하여, 상기 상부 솔더볼들(125)이 리플로우 되어 상기 비아홀들(110h)을 채우는 상기 접속 도체(125')의 구조로 상기 상부 칩 패키지(PK2)와 상기 하부 칩 패키지(PK1)를 접합하고 있기 때문에 종래기술에서 솔더볼들에 의해 발생하던 볼 브리지(ball bridge) 불량 및 결합 크랙(joint crack) 불량을 방지할 수 있게 된다.
- [0055] 이에 더하여, POP 두께를 낮추기 위해 상기 하부 인쇄회로 기판(100)의 두께를 얇게 할 경우 종래기술에서는 성형 수지 화합물이 하부 칩 패키지의 중심부에만 덮여 있어 조립 및 테스트 프로세스(Assembly & Test Process)에서 벤딩(bending) 테스트 시 스트레스에 의해 성형 수지 화합물의 에지 영역에서 패턴 크랙(crack) 현상이 발생하였으나, 본 발명에서는 상기 하부 인쇄회로 기판(100) 전체에 걸쳐 상기 하부 성형 수지 화합물(110')이 덮여있으므로 벤딩 테스트 시 스트레스에 대한 내성을 가질 수 있게 된다. 따라서, 상기 하부 인쇄회로 기판(100)의 두께를 얇게 하여 얇은 프로파일의 POP 구조를 구현할 수 있게 된다.

- [0056] 도 5는 본 발명의 다른 실시예들에 따른 적층형 반도체 패키지 형성방법에서 하부 성형 수지 화합물을 형성하기 위한 금형을 나타낸 사시도이다. 또한, 도 6a 내지 도 6e는 본 발명의 다른 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위해 도 1의 절단선 I-I'에 따른 단면도들이다.
- [0057] 도 1, 도 5, 도 6a를 참조하면, 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법은 윗면에 복수개의 배선들(200a) 및 복수개의 결합용 볼 랜드들(200b)을 가지는 하부 인쇄회로 기판(200)을 준비하는 것을 포함한다. 상기 하부 인쇄회로 기판(200)은 하면에 하부 패드들(200c)을 더 포함할 수 있다. 상기 하부 인쇄회로 기판(200)의 상기 윗면 상에 차례로 적층된 하나 또는 복수 개의 제 1 칩들(205)을 탑재한다. 상기 제 1 칩들(205)은 플립칩 구조로 상기 하부 인쇄회로 기판(200)의 윗면에 형성된 상기 복수개의 배선들(200a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 1 칩들(205)의 패드들은 도 3a에 도시된 바와 같이 와이어들을 통하여 상기 하부 인쇄회로 기판(200)의 윗면에 형성된 상기 복수개의 배선들(200a)에 전기적으로 접속될 수 있다.
- [0058] 상기 제 1 칩들(205)을 갖는 상기 하부 인쇄회로 기판(200) 상에 도 5에 도시된 복수개의 핀들(P2)을 갖는 금형(M2)을 찍는다. 상기 복수개의 핀들(P2)을 갖는 상기 금형(M2)은 상기 하부 인쇄회로 기판(200)의 상기 결합용 볼 랜드들(200b)과 상기 핀들(P2)이 정렬되도록 제작될 수 있다. 따라서, 상기 핀들(P2)이 각각 상기 하부 인쇄회로 기판(200)의 상기 결합용 볼 랜드들(200b)과 접촉할 수 있다. 상기 핀들(P2)의 모양은 평면도로 보여질 때 원형, 타원형, 직사각형, 육각형 또는 다이아몬드 구조일 수 있다. 또한, 상기 핀들(P2)의 모양은 단면도로 보여질 때, 직사각형 또는 역사다리꼴 모양일 수 있다. 도 5에서는 일실시예로 원통기둥 모양의 핀들(P2)을 도시하였다. 상기 금형(M2)의 판은 상기 핀들(P2) 사이에 리세스 영역(R)을 가질 수 있다. 또는 이와 달리, 상기 금형(M2)의 판은 평평한 면을 가질 수도 있다. 본 실시예에서는 상기 금형(M2) 판이 상기 핀들(P2) 사이에 리세스 영역(R)을 가진 구조로 제작되었으며 상기 리세스 영역(R)은 도 6a에 도시된 바와 같이 상기 제 1 칩들(205)의 상부영역에 정렬될 수 있다.
- [0059] 도 1, 도 5 및 도 6b를 참조하면, 상기 금형(M2)의 일측으로 용융된 하부 성형 수지 화합물(210)을 주입할 수 있다. 상기 용융된 하부 성형 수지 화합물(210)은 에폭시 성형 화합물(epoxy molded compound) 또는 액체 에폭시(liquid epoxy)를 포함할 수 있다. 상기 용융된 하부 성형 수지 화합물(210)이 주입된 반대측으로 흐르면서 상기 하부 인쇄회로 기판(200) 및 상기 금형(M2) 사이를 모두 채울 수 있다. 이때, 상기 배출구를 통해 공기가 빠져나갈 수 있다. 상기 용융된 하부 성형 수지 화합물(210)은 상기 핀들(P2) 사이의 빈공간들 및 상기 리세스 영역(R)을 모두 채우게 된다.
- [0060] 도 1 및 도 6c를 참조하면, 상기 용융된 하부 성형 수지 화합물(210)을 굳혀 단단해진 하부 성형 수지 화합물(210')이 형성될 수 있다. 이어, 상기 핀들(P2) 및 상기 리세스 영역(R)을 갖는 상기 금형(M2)을 떼어낼 수 있다. 그 결과, 상기 하부 성형 수지 화합물(210')을 관통하면서 상기 하부 인쇄회로 기판(200)의 상기 결합용 볼 랜드들(200b)을 각각 노출시키는 비아홀들(210h)이 형성될 수 있다. 상기 비아홀들(210h)의 모양은 상기 핀들(P2)의 모양에 의해 결정될 수 있다. 상기 하부 성형 수지 화합물(210')의 상부면은 상기 금형(M2)의 상기 리세스 영역(R)에 의해 단차 구조를 가지도록 형성될 수 있다. 특히, 상기 제 1 칩들(205)의 상부 영역(210r)이 그 외의 영역보다 높은 상부면을 갖도록 형성될 수 있다.
- [0061] 상기 하부 인쇄회로 기판(200)의 상기 하부 패드들(200c)에 접촉되도록 전극들(E2)을 형성할 수 있다. 상기 전극들(E2)은 솔더볼들로 형성할 수 있다. 상기 하부 인쇄회로 기판(200), 상기 제 1 칩들(205) 및 상기 하부 성형 수지 화합물(210')은 하부 칩 패키지(PK3)를 구성할 수 있다.
- [0062] 도 1 및 도 6d를 참조하면, 하면에 상부 솔더볼들(125)이 장착된 상부 칩 패키지(PK2)의 상기 솔더볼들(125)이 각각 상기 하부 칩 패키지(PK3)의 상기 비아홀들(210h)과 일치하도록 정렬할 수 있다. 상기 상부 칩 패키지(PK2)를 형성하는 것은 하부 패드들(111c) 및 배선들(111a)을 구비하는 상부 인쇄회로 기판(111)을 준비하는 것을 포함할 수 있다. 이어, 상기 상부 인쇄회로 기판(111)의 상기 윗면 상에 상기 상부 인쇄회로 기판(111)과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들(115)을 형성할 수 있다.
- [0063] 상기 제 2 칩들(115)의 뒷면(backside surface)은 접착제(adhesive; 116)를 통하여 상기 상부 인쇄회로 기판(111)의 상부면과 접촉할 수 있다. 이어, 상기 제 2 칩들(115)의 패드들은 와이어들(117)을 통하여 상기 상부 인쇄회로 기판(111)의 윗면에 형성된 상기 복수개의 배선들(111a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 2 칩들(115)은 플립칩 구조로 상기 상부 인쇄회로 기판(111)에 전기적으로 접속될 수 있다. 상기 제 2 칩들(115)을 갖는 상기 상부 인쇄회로 기판(111)을 덮는 상부 성형 수지 화합물(120)을 형성할 수 있다. 상기 하부 패드들(111c) 각각에 상부 솔더볼(125)을 형성할 수 있다. 상기 상부 솔더볼(125)들은 Sn을 포함하는

물질로 형성할 수 있다.

- [0064] 도 1 및 도 6e를 참조하면, 상기 상부 솔더볼들(125)을 리플로우(reflow)시켜 상기 비아홀들(210h)을 채우는 접속 도체(225')를 형성할 수 있다. 상기 접속 도체(225')에 의해 상기 하부 칩 패키지(PK3) 및 상기 상부 칩 패키지(PK2)가 전기적으로 접속된 POP 구조의 적층된 반도체 패키지가 형성될 수 있다. 상기 상부 칩 패키지(PK2)는 상기 상부 솔더볼들(125)의 양에 따라 상기 하부 칩 패키지(PK3)의 상기 하부 성형 수지 화합물(210')의 상부면에 직접적으로 콘택될 수 도 있고 또는 이와달리, 상기 상부 솔더볼들(125)의 양이 상기 비아홀들(210h)을 채우고 남은정도의 양일 경우, 상기 상부 칩 패키지(PK2)는 상기 하부 성형 수지 화합물(210')의 상부면과 이격되어 배치될 수 도 있다.
- [0065] 상술한 바와 같이, 본 발명은 상기 하부 칩 패키지(PK3)의 상기 하부 성형 수지 화합물(210')이 상기 결합용 볼 랜드들(200b) 영역을 제외하고 상기 하부 인쇄회로 기판(200)을 모두 덮는 구조로 형성되며, 본 발명의 성형은 도 6b에 도시된 바와 같이 측면 게이트 이동 성형(Side Gate Transfer Mold) 방법이 적용 가능하다. 따라서, 칩 영역만 성형 수지 화합물로 덮혀던 종래기술의 탑 게이트 성형(top gate mold) 방법의 공기 배출 디자인(Air-Vent Design)의 한계를 극복할 수 있게 된다.
- [0066] 또한, 상기 하부 칩 패키지(PK3) 상에 상기 상부 칩 패키지(PK2)를 적층할 때, 상기 하부 칩 패키지(PK3)의 상기 비아홀들(210h) 위에 각각 상기 상부 칩 패키지(PK2)의 상기 상부 솔더볼들(125)을 안착함으로써 미스 얼라인에 의한 적층(stack) 불량을 방지할 수 있게 된다. 이에 더하여, 상기 상부 솔더볼들(125)이 리플로우 되어 상기 비아홀들(210h)을 채우는 상기 접속 도체(225')의 구조로 상기 상부 칩 패키지(PK2)와 상기 하부 칩 패키지(PK3)를 접합하고 있기 때문에 종래기술에서 솔더볼들에 의해 발생하던 볼 브리지(ball bridge) 불량 및 결합 크랙(joint crack) 불량을 방지할 수 있게 된다.
- [0067] 이에 더하여, POP 두께를 낮추기 위해 상기 하부 인쇄회로 기판(200)의 두께를 얇게 할 경우 종래기술에서는 성형 수지 화합물이 하부 칩 패키지의 중심부에만 덮여 있어 조립 및 테스트 프로세스(Assembly & Test Process)에서 벤딩(bending) 테스트 시 스트레스에 의해 성형 수지 화합물의 에지 영역에서 패턴 크랙(crack) 현상이 발생하였으나, 본 발명에서는 상기 하부 인쇄회로 기판(200) 전체에 걸쳐 상기 하부 성형 수지 화합물(210')이 덮여있으므로 벤딩 테스트 시 스트레스에 대한 내성을 가질 수 있게 된다. 따라서, 상기 하부 인쇄회로 기판(200)의 두께를 얇게 하여 얇은 프로파일의 POP 구조를 구현할 수 있게 된다.
- [0068] 도 1 및 도 3e를 다시 참조하여 본 발명의 실시예들에 따른 적층형 반도체 패키지를 설명하기로 한다.
- [0069] 도 1, 도 3e를 참조하면, 본 발명의 실시예들에 따른 적층형 반도체 패키지는 윗면에 복수개의 배선들(100a) 및 복수개의 결합용 볼 랜드들(100b)을 가지는 하부 인쇄회로 기판(100)을 구비한다. 상기 하부 인쇄회로 기판(100)은 하면에 하부패드들(100c)을 더 포함할 수 있다. 상기 하부 인쇄회로 기판(100)의 상기 윗면 상에 차례로 적층된 하나 또는 복수 개의 제 1 칩들(105)이 배치된다. 상기 제 1 칩들(105)의 뒷면(backside surface)은 접착제(adhesive; 106)를 통하여 상기 하부 인쇄회로 기판(100)의 상부면과 접촉할 수 있다. 상기 제 1 칩들(105)의 패드들은 와이어들(107)을 통하여 상기 하부 인쇄회로 기판(100)의 윗면에 배치된 상기 복수개의 배선들(100a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 1 칩들(105) 플립칩 구조로 상기 하부 인쇄회로 기판(100)에 전기적으로 접속될 수 있다.
- [0070] 상기 제 1 칩들(105)이 덮히도록 상기 하부 인쇄회로 기판(100) 상에 하부 성형 수지 화합물(110')이 배치된다. 상기 하부 성형 수지 화합물(110')은 에폭시 성형 화합물(epoxy molded compound)을 포함할 수 있다. 상기 하부 성형 수지 화합물(110')은 평평한 상부면을 가질 수 있다. 또는 이와 달리, 상기 하부 성형 수지 화합물(110')의 상부면은 단차 구조를 가질 수 있다. 특히, 상기 제 1 칩들(105)의 상부 영역이 그 외의 영역보다 높은 상부면을 가질 수 있다.
- [0071] 상기 하부 성형 수지 화합물(110')을 관통하여 상기 결합용 볼 랜드들(100b)과 접촉하는 접속 도체(125')가 배치된다. 상기 접속 도체(125')는 상기 하부 성형 수지 화합물(110')을 관통하여 상기 결합용 볼 랜드들(100b)을 노출시키는 비아홀들(110h)을 채우도록 배치된다. 상기 접속 도체(125')의 모양은 평면도로 보여질 때 원형, 타원형, 직사각형, 육각형 또는 다이아몬드 구조일 수 있다. 또한, 상기 접속 도체(125')의 모양은 단면도로 보여질 때, 직사각형 또는 역사다리꼴 모양일 수 있다. 상기 접속 도체들(125')은 Sn을 포함하는 물질일 수 있다.
- [0072] 상기 하부 인쇄회로 기판(100)의 상기 하부 패드들(100c)에 전극들(E1)이 접촉되어 배치될 수 있다. 상기 전극들(E1)은 솔더볼 구조일 수 있다. 상기 하부 인쇄회로 기판(100), 상기 제 1 칩들(105) 및 상기 하부 성형 수지

화합물(110')은 하부 칩 패키지(PK1)를 구성할 수 있다.

- [0073] 상기 하부 칩 패키지(PK1) 상에 상기 접속 도체들(125')의 상부면과 접촉하는 상부 칩 패키지(PK2)가 배치된다. 상기 상부 칩 패키지(PK2)는 하부 패드들(111c) 및 배선들(111a)을 구비하는 상부 인쇄 회로 기판(111)을 구비할 수 있다. 상기 접속 도체들(125')은 상기 상부 칩 패키지(PK2)의 상기 하부 패드들(111c)과 직접적으로 접촉할 수 있다.
- [0074] 상기 상부 인쇄 회로 기판(111)의 상기 윗면 상에 상기 상부 인쇄 회로 기판(111)과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들(115)이 배치될 수 있다. 상기 제 2 칩들(115)의 뒷면(backside surface)은 접착제(adhesive; 116)를 통하여 상기 상부 인쇄회로 기판(111)의 상부면과 접촉할 수 있다. 상기 제 2 칩들(115)의 패드들은 와이어들(117)을 통하여 상기 상부 인쇄회로 기판(111)의 윗면에 배치된 상기 복수 개의 배선들(111a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 2 칩들(115)은 플립칩 구조로 상기 상부 인쇄회로 기판(111)에 전기적으로 접속될 수 있다. 상기 제 2 칩들(115)을 갖는 상기 상부 인쇄 회로 기판(111)을 덮는 상부 성형 수지 화합물(120)이 배치될 수 있다.
- [0075] 상기 접속 도체(125')에 의해 상기 하부 칩 패키지(PK1) 및 상기 상부 칩 패키지(PK2)가 전기적으로 접속되는 POP 구조의 적층된 반도체 패키지가 될 수 있다. 상기 상부 칩 패키지(PK2)는 상기 하부 칩 패키지(PK1)의 상기 하부 성형 수지 화합물(110')의 상부면에 직접적으로 콘택될 수 도 있고 또는 이와달리, 상기 상부 칩 패키지(PK2)는 상기 하부 성형 수지 화합물(110')의 상부면과 이격되어 배치될 수 도 있다.
- [0076] 도 4a에 도시된 바와 같이, 본 발명의 실시예들은 상기 하부 칩 패키지(PK1) 및 상기 상부 칩 패키지(PK2) 사이에 하나 또는 다수의 중간 칩 패키지(PK1.5)가 중간접속 도체(125")에 의해 전기적으로 접속되면서 적층될 수 있다.
- [0077] 또한 도 4b에 도시된 바와 같이, 본 발명의 실시예들은 제 1 칩들(105')을 플립칩 구조로 상기 인쇄회로 기판(100)에 전기적으로 접속시킬 수 있다. 이에 더하여, 비하홀(110') 내부를 채우는 접속 도체(125''')의 단면모양이 역사다리꼴 모양일 수 있다.
- [0078] 도 1 및 도 6e를 다시 참조하여 본 발명의 다른 실시예들에 따른 적층형 반도체 패키지를 설명하기로 한다.
- [0079] 도 1 및 도 6e를 참조하면, 본 발명의 실시예들에 따른 적층형 반도체 패키지는 윗면에 복수개의 배선들(200a) 및 복수개의 결합용 볼 랜드들(200b)을 가지는 하부 인쇄회로 기판(200)을 구비한다. 상기 하부 인쇄회로 기판(200)은 하면에 하부패드들(200c)을 더 포함할 수 있다. 상기 하부 인쇄회로 기판(200)의 상기 윗면 상에 차례로 적층된 하나 또는 복수 개의 제 1 칩들(205)이 배치될 수 있다. 상기 제 1 칩들(205)의 패드들은 플립칩 구조로 상기 하부 인쇄회로 기판(200)의 윗면에 배치된 상기 복수개의 배선들(200a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 1 칩들(205)의 패드들은 도 3e에 도시된 바와 같이 와이어들을 통하여 상기 하부 인쇄회로 기판(200)의 윗면에 배치된 상기 복수개의 배선들(200a)에 전기적으로 접속될 수 있다.
- [0080] 상기 제 1 칩들(205)이 덮히도록 상기 하부 인쇄회로 기판(200) 상에 하부 성형 수지 화합물(210')이 배치된다. 상기 하부 성형 수지 화합물(210')은 에폭시 성형 화합물(epoxy molded compound)을 포함할 수 있다. 상기 하부 성형 수지 화합물(210')의 상부면은 단차 구조를 가질 수 있다. 특히, 상기 제 1 칩들(205)의 상부 영역(210r)이 그 외의 영역보다 높은 상부면을 가질 수 있다. 또는 이와 달리, 상기 하부 성형 수지 화합물(210')은 평평한 상부면을 가질 수 도 있다.
- [0081] 상기 하부 성형 수지 화합물(210')을 관통하여 상기 결합용 볼 랜드들(200b)과 접촉하는 접속 도체(225')가 배치된다. 상기 접속 도체(225')는 상기 하부 성형 수지 화합물(210')을 관통하여 상기 결합용 볼 랜드들(200b)을 노출시키는 비아홀들(210h)을 채우면서 상부로 연장되도록 배치될 수 있다. 상기 접속 도체(225')의 모양은 평면도로 보여질 때 원형, 타원형, 직사각형, 육각형 또는 다이아몬드 구조일 수 있다. 또한, 상기 접속 도체(225')의 모양은 단면도로 보여질 때, 직사각형 또는 역사다리꼴 모양일 수 있다. 상기 접속 도체들(225')은 Sn 을 포함하는 물질일 수 있다.
- [0082] 상기 하부 인쇄회로 기판(200)의 상기 하부 패드들(200c)에 전극들(E2)이 접촉되어 배치될 수 있다. 상기 전극들(E2)은 솔더볼 구조일 수 있다. 상기 하부 인쇄회로 기판(200), 상기 제 1 칩들(205) 및 상기 하부 성형 수지 화합물(210')은 하부 칩 패키지(PK3)를 구성할 수 있다.
- [0083] 상기 하부 칩 패키지(PK3) 상에 상기 접속 도체들(225')의 상부면과 접촉하는 상부 칩 패키지(PK2)가 배치될 수 있다. 상기 상부 칩 패키지(PK2)는 하부 패드들(111c) 및 배선들(111a)을 구비하는 상부 인쇄 회로 기판(111)을

구비할 수 있다. 상기 접속 도체들(225')은 상기 상부 칩 패키지(PK2)의 상기 하부 패드들(111c)과 직접적으로 접촉할 수 있다.

[0084] 상기 상부 인쇄 회로 기판(111)의 상기 윗면 상에 상기 상부 인쇄 회로 기판(111)과 전기적으로 접속되면서 차례로 적층된 하나 또는 복수 개의 제 2 칩들(115)이 배치될 수 있다. 상기 제 2 칩들(115)의 뒷면(backside surface)은 접착제(adhesive; 116)를 통하여 상기 상부 인쇄회로 기판(111)의 상부면과 접촉할 수 있다. 상기 제 2 칩들(115)의 패드들은 와이어들(117)을 통하여 상기 상부 인쇄회로 기판(111)의 윗면에 배치된 상기 복수 개의 배선들(111a)에 전기적으로 접속될 수 있다. 또는 이와 달리, 상기 제 2 칩들(115)은 플립칩 구조로 상기 상부 인쇄회로 기판(111)에 전기적으로 접속될 수 있다. 상기 제 2 칩들(115)을 갖는 상기 상부 인쇄 회로 기판(111)을 덮는 상부 성형 수지 화합물(120)이 배치될 수 있다.

[0085] 상기 접속 도체(225')에 의해 상기 하부 칩 패키지(PK3) 및 상기 상부 칩 패키지(PK2)가 전기적으로 접속되는 POP 구조의 적층된 반도체 패키지 구조가 될 수 있다. 상기 상부 칩 패키지(PK2)는 상기 하부 칩 패키지(PK3)의 상기 하부 성형 수지 화합물(210')의 상부면에 직접적으로 콘택될 수 도 있고 또는 이와달리, 상기 상부 칩 패키지(PK2)는 상기 하부 성형 수지 화합물(210')의 상부면과 이격되어 배치될 수 도 있다.

[0086] 상기 하부 칩 패키지(PK3) 및 상기 상부 칩 패키지(PK2) 사이에 하나 또는 다수의 중간 칩 패키지(도시하지 않음)가 중간접속 도체에 의해 전기적으로 접속되면서 적층될 수 있다.

[0087] 도 7은 본 발명의 실시예들에 따른 적층형 반도체 패키지를 구비하는 전자장치(electronic system; 300)의 개략적인 블록 다이어그램(schematic block diagram)이다.

[0088] 도 7을 참조하면, 상기 전자장치(300)는 하나 또는 복수 개의 적층형 반도체 패키지(303) 및 상기 적층형 반도체 패키지(303)에 접속된 프로세서(305)를 포함한다. 여기서, 상기 적층형 반도체 패키지(303)는 도 1, 도 3e, 도 4a, 도 4b 및 도 6e을 참조하여 설명된 적층형 반도체 패키지를 포함할 수 있다. 예를 들어, 상기 적층형 반도체 패키지(303)는 도 4a에 도시된 바와 같이 하부 칩 패키지(PK1), 중간 칩 패키지(PK1.5) 및 상부 칩 패키지(PK2)가 접속 도체들(125', 125'')을 통해 전기적으로 접속되어 배치될 수 있다. 상기 하부 칩 패키지(PK1)는 로직 패키지일 수 있고, 상기 중간 칩 패키지(PK1.5) 및 상기 상부 칩 패키지(PK2)는 메모리 패키지일 수 있다.

[0089] 상기 전자장치(300)은 노트북 컴퓨터(notebook computer), 디지털 카메라, MP3(music player) 또는 휴대용 전화기(cellular phone)의 일부에 해당할 수 있다. 이 경우에, 상기 프로세서(305) 및 상기 적층형 반도체 패키지(303)는 보드(board) 상에 설치될 수 있으며, 상기 적층형 반도체 패키지(303)는 상기 프로세서(305)의 실행을 위한 데이터 저장 매체(data storage media)의 역할을 할 수 있다.

[0090] 상기 전자장치(300)는 입/출력 장치(307)를 통하여 개인용 컴퓨터 또는 컴퓨터의 네트워크와 같은 다른 전자 시스템과 데이터를 교환할 수 있다. 상기 입/출력 장치(307)는 컴퓨터의 주변 버스라인(bus line), 고속 디지털 전송 라인, 또는 무선 송/수신용 안테나로 데이터를 제공할 수 있다. 상기 프로세서(305) 및 상기 적층형 반도체 패키지(303) 사이의 데이터 통신과 아울러서 상기 프로세서(305) 및 상기 입/출력 장치(307) 사이의 데이터 통신은 통상의 버스 구조체들(bus architectures)을 사용하여 이루어질 수 있다.

[0091] 도 8은 본 발명의 실시예들에 따른 적층형 반도체 패키지가 탑재된 메모리 모듈(memory module)의 개략도이다.

[0092] 도 8을 참조하면, 상기 메모리 모듈은 복수 개의 탭들(tabs; 13)을 구비한 기판 본체(11) 및 상기 기판 본체(11)에 2열 배열 이상으로 탑재된 적층형 반도체 패키지들(15)을 포함한다. 여기서, 상기 적층형 반도체 패키지(303)는 도 1, 도 3e, 도 4a, 도 4b 및 도 6e을 참조하여 설명된 적층형 반도체 패키지를 포함할 수 있다. 예를 들어, 상기 적층형 반도체 패키지(15)는 도 4a에 도시된 바와 같이 하부 칩 패키지(PK1), 중간 칩 패키지(PK1.5) 및 상부 칩 패키지(PK2)가 접속 도체들(125', 125'')을 통해 전기적으로 접속되어 배치될 수 있다. 상기 하부 칩 패키지(PK1)는 로직 패키지일 수 있고, 상기 중간 칩 패키지(PK1.5) 및 상기 상부 칩 패키지(PK2)는 메모리 패키지일 수 있다.

[0093] 상기 기판 본체(11)에 개별소자들(discrete devices; 17)이 탑재될 수 있다. 상기 개별소자들(17)은 레지스터(register), 커패시터(capacitor), 인덕터(inductor), 저항(resistor), 프로그래머블 소자(programmable device), 및 비 휘발성 메모리소자(non-volatile memory device)로 이루어진 일군에서 선택된 적어도 하나를 포함할 수 있다.

[0094] 상기 메모리 모듈은 개인용 컴퓨터, 시스템 서버 및 통신기기 등 다수의 전자장치들의 데이터의 저장장치로서

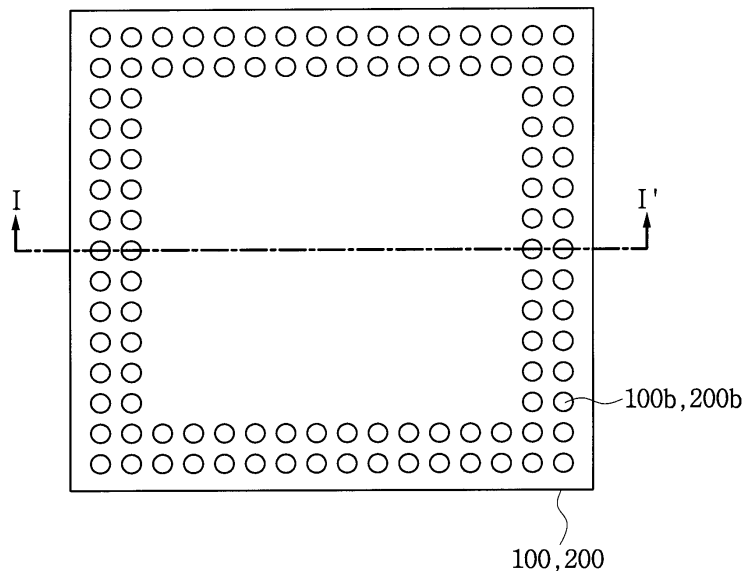
채택될 수 있다. 상기 기관 본체(11)에 구비된 상기 탭들(13)을 통해 외부 커넥터에 전기적으로 접속될 수 있다.

**도면의 간단한 설명**

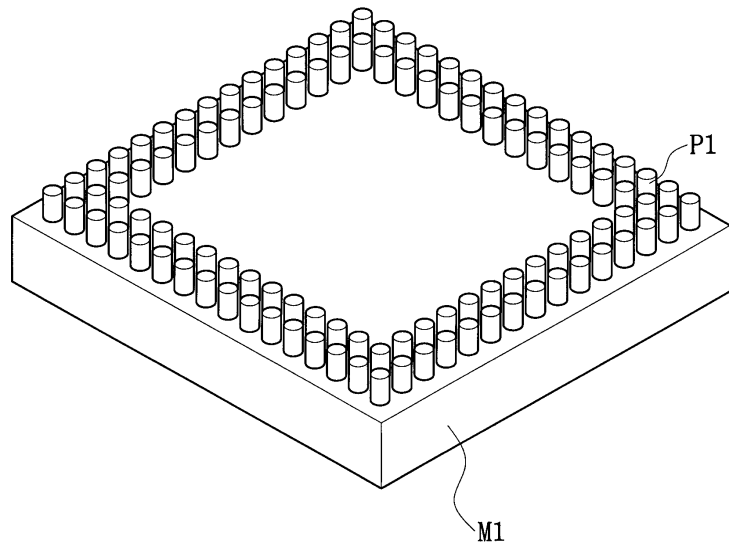
- [0095] 도 1은 본 발명의 실시예들에 따른 적층형 반도체 패키지를 나타낸 평면도이다.
- [0096] 도 2는 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법에서 하부 성형 수지 화합물을 형성하기 위한 금형을 나타낸 사시도이다.
- [0097] 도 3a 내지 도 3e는 본 발명의 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위해 도 1의 절단선 I-I'에 따른 단면도들이다.
- [0098] 도 4a는 본 발명의 다른 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위한 단면도이다.
- [0099] 도 4b는 본 발명의 또 다른 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위한 단면도이다.
- [0100] 도 5는 본 발명의 또 다른 실시예들에 따른 적층형 반도체 패키지 형성방법에서 하부 성형 수지 화합물을 형성하기 위한 금형을 나타낸 사시도이다.
- [0101] 도 6a 내지 도 6e는 본 발명의 또 다른 실시예들에 따른 적층형 반도체 패키지 형성방법을 설명하기 위해 도 1의 절단선 I-I'에 따른 단면도들이다.
- [0102] 도 7은 본 발명의 실시예들에 따른 적층형 반도체 패키지를 구비하는 전자장치(electronic system; 300)의 개략적인 블록 다이어그램(schematic block diagram)이다.
- [0103] 도 8은 본 발명의 실시예들에 따른 적층형 반도체 패키지가 탑재된 메모리 모듈(memory module)의 개략도이다.

**도면**

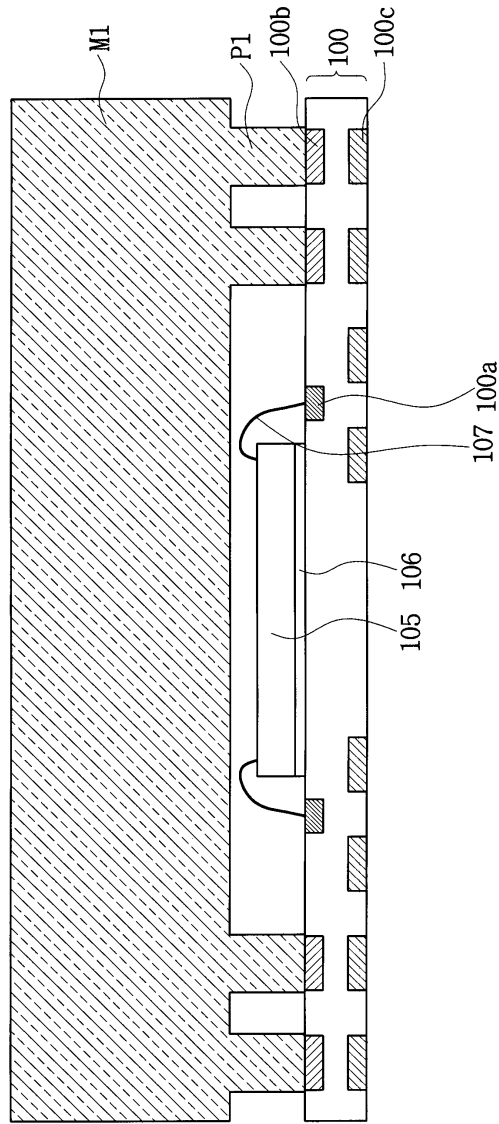
**도면1**



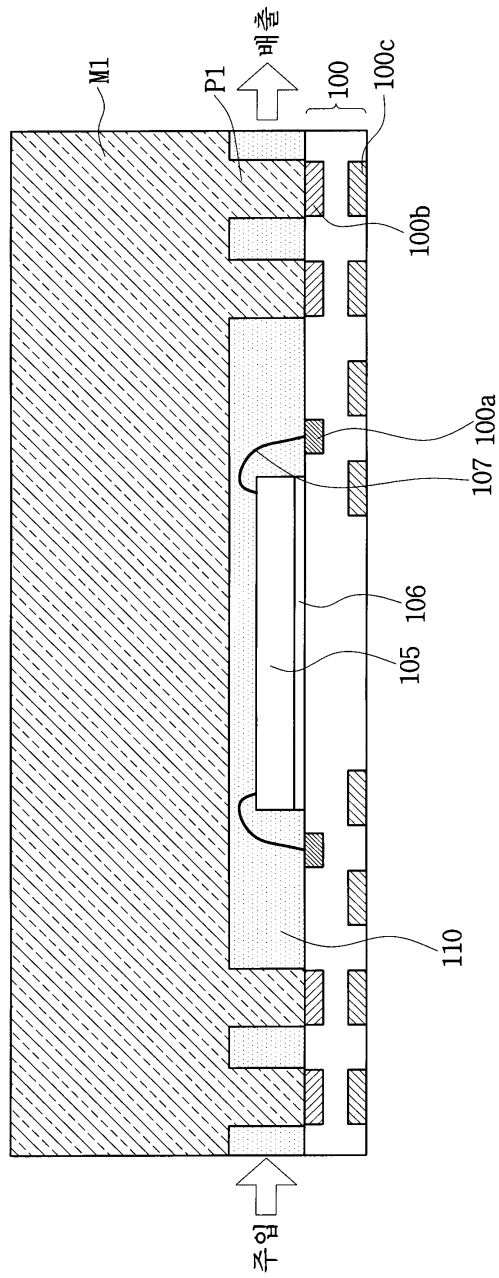
도면2



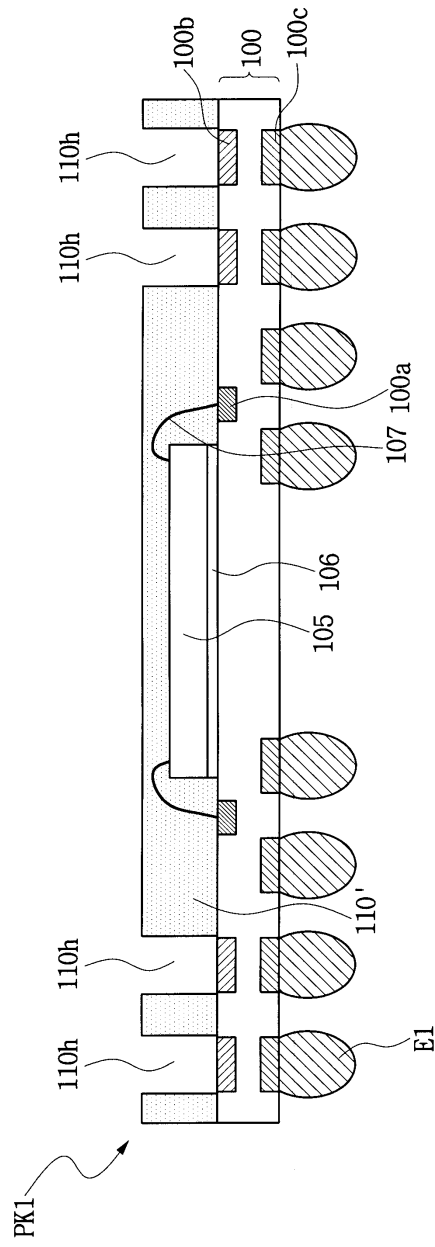
도면3a



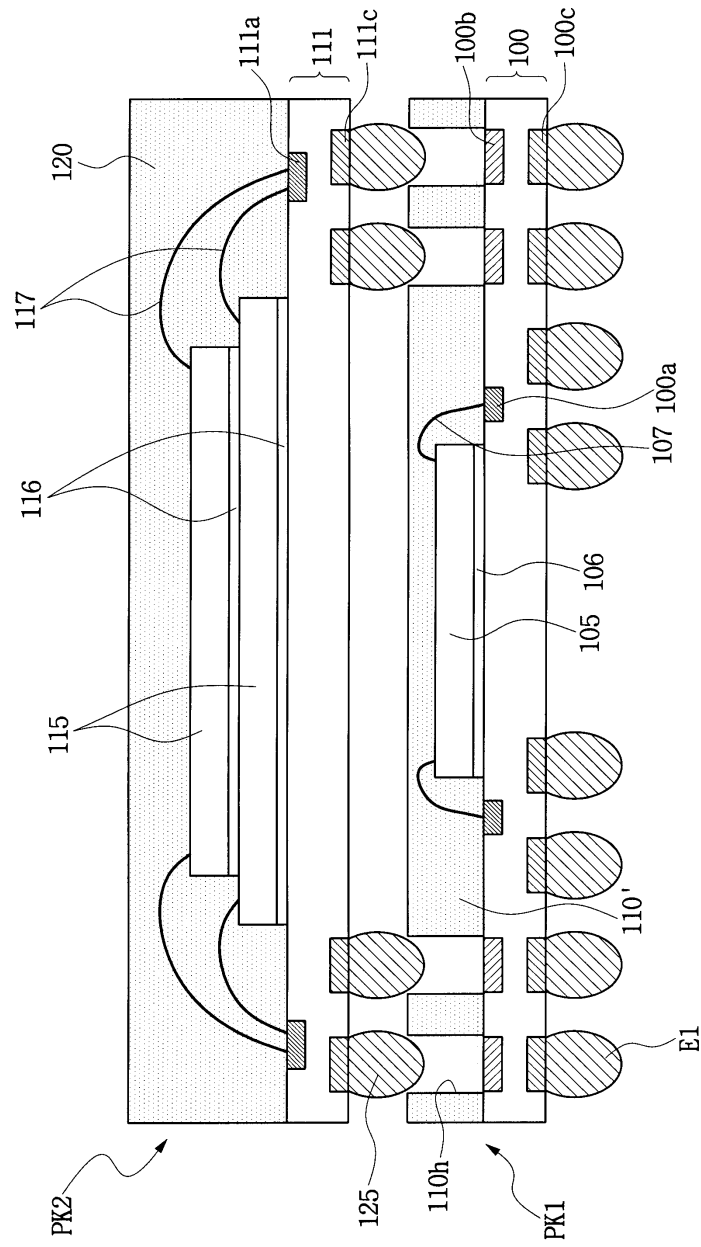
도면3b



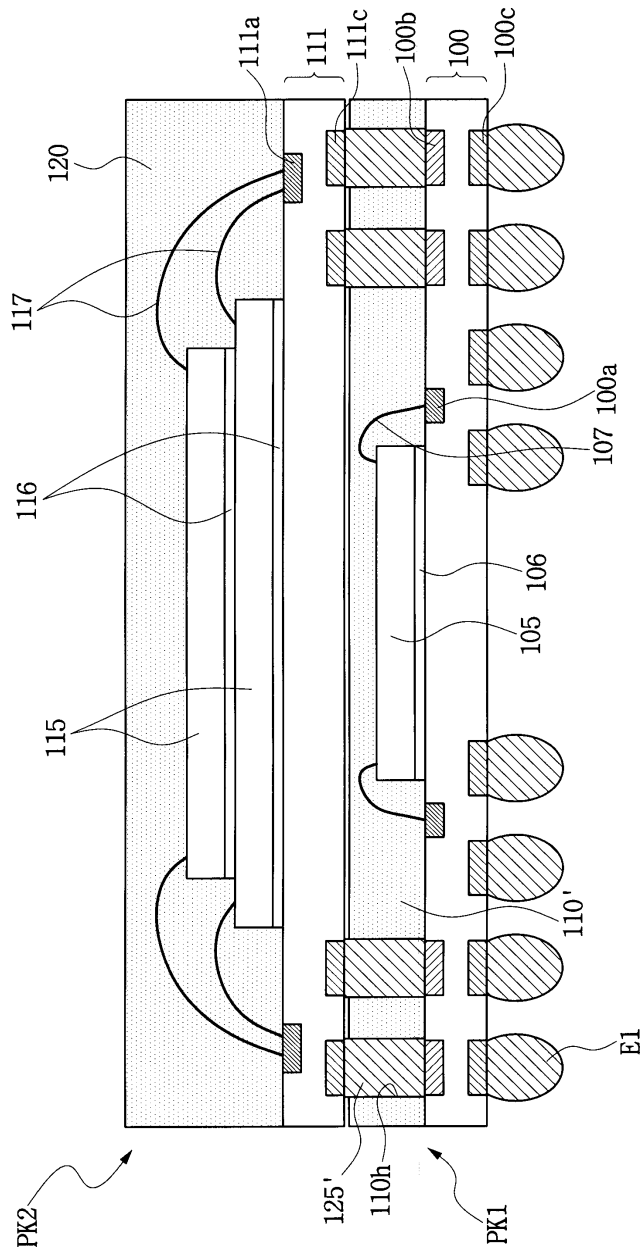
도면3c



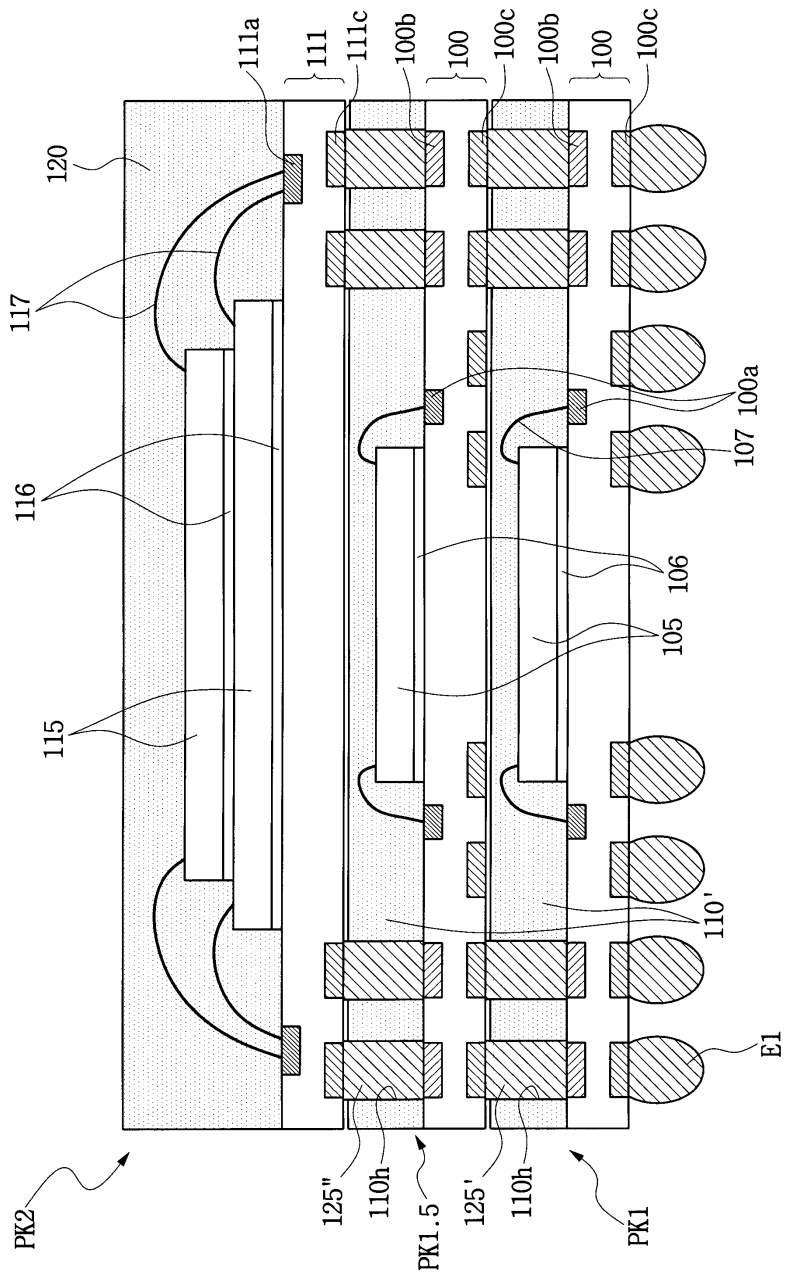
도면3d



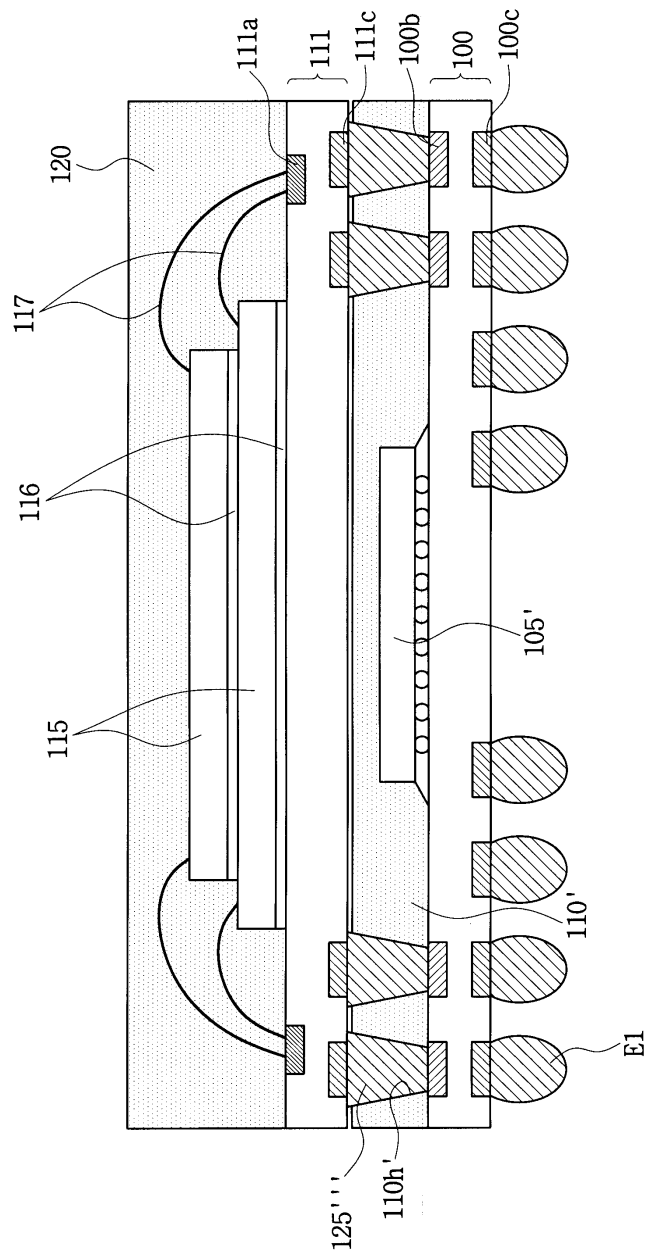
도면3e



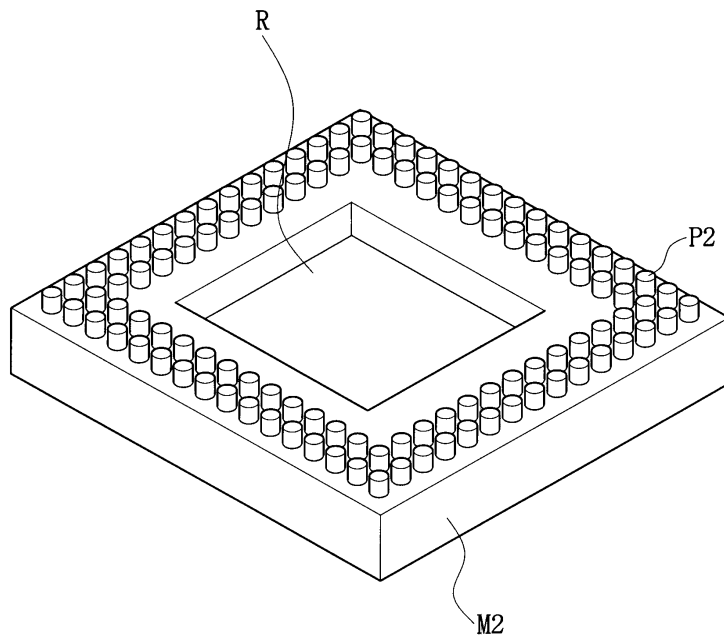
도면4a



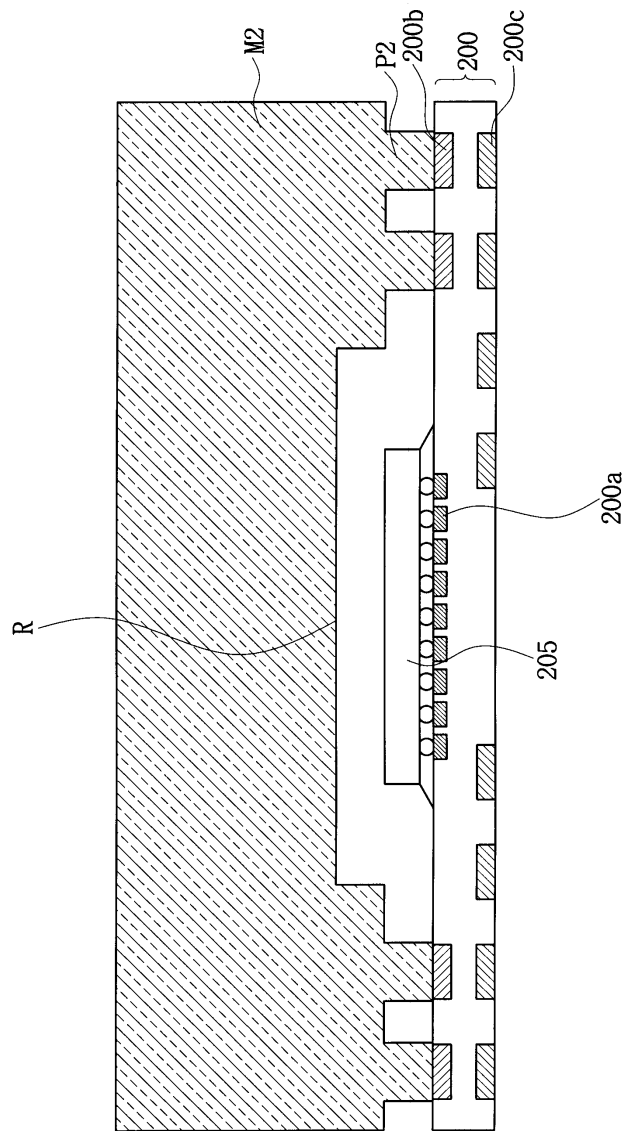
도면4b



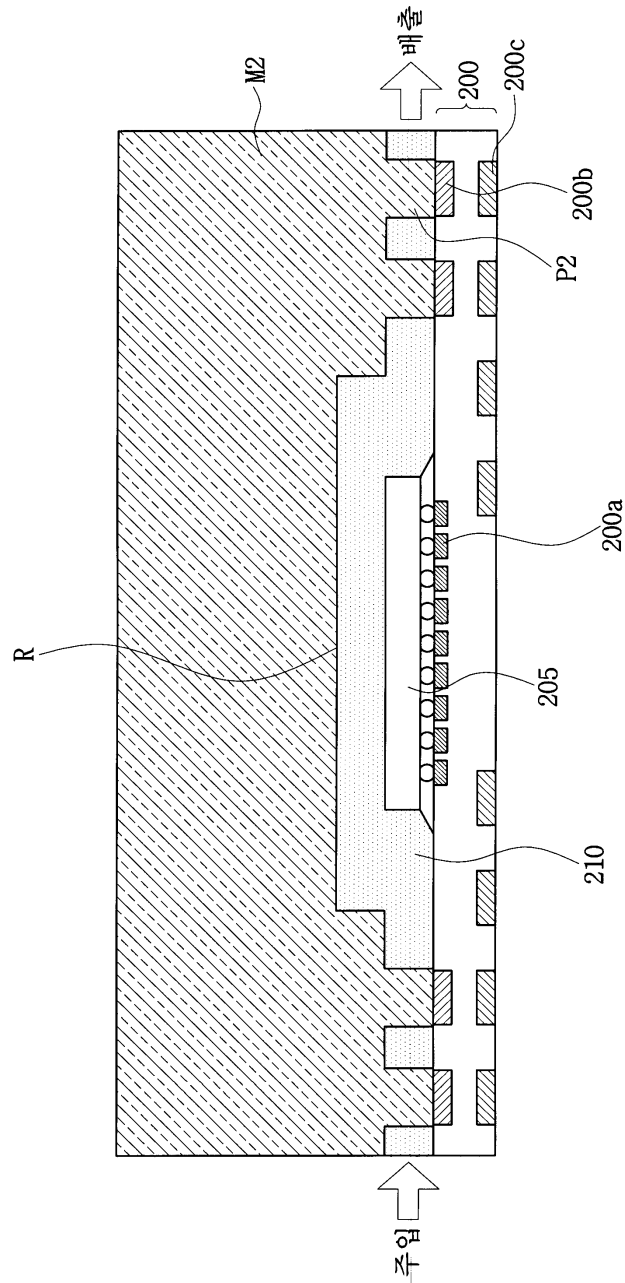
도면5



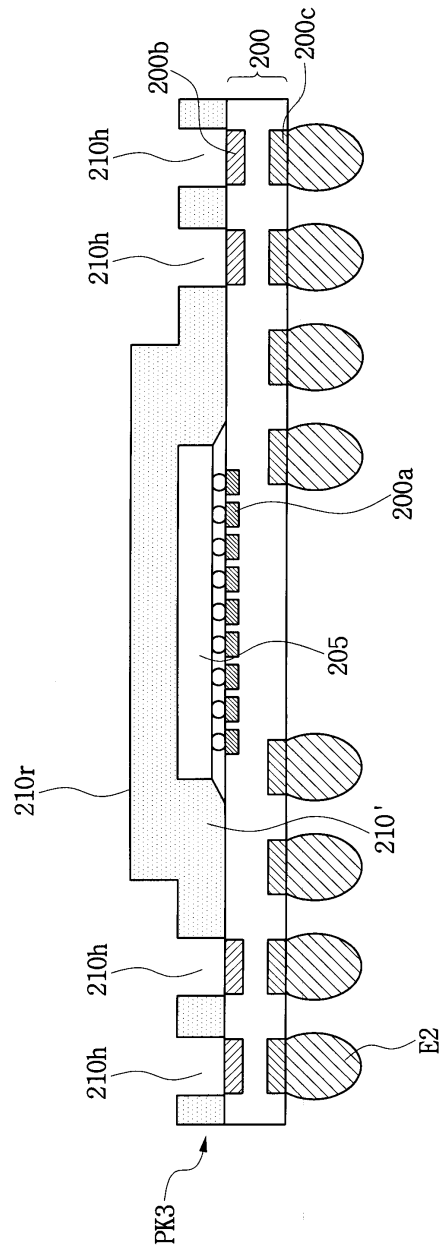
도면6a



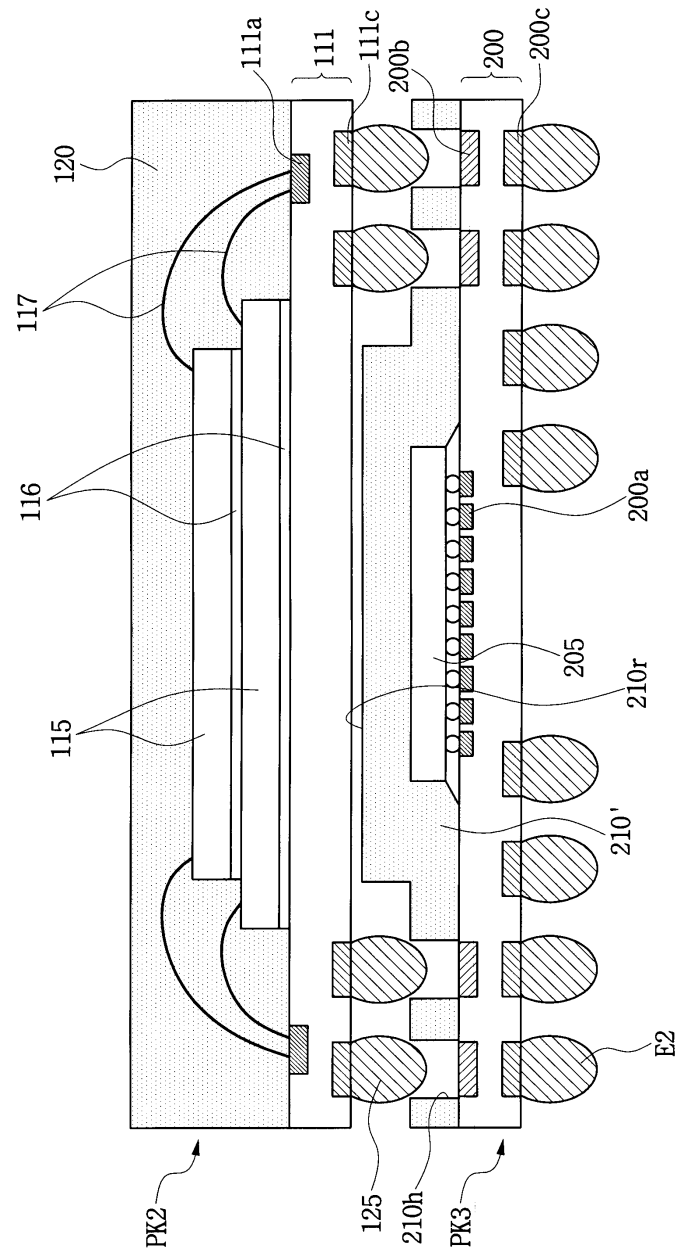
도면6b



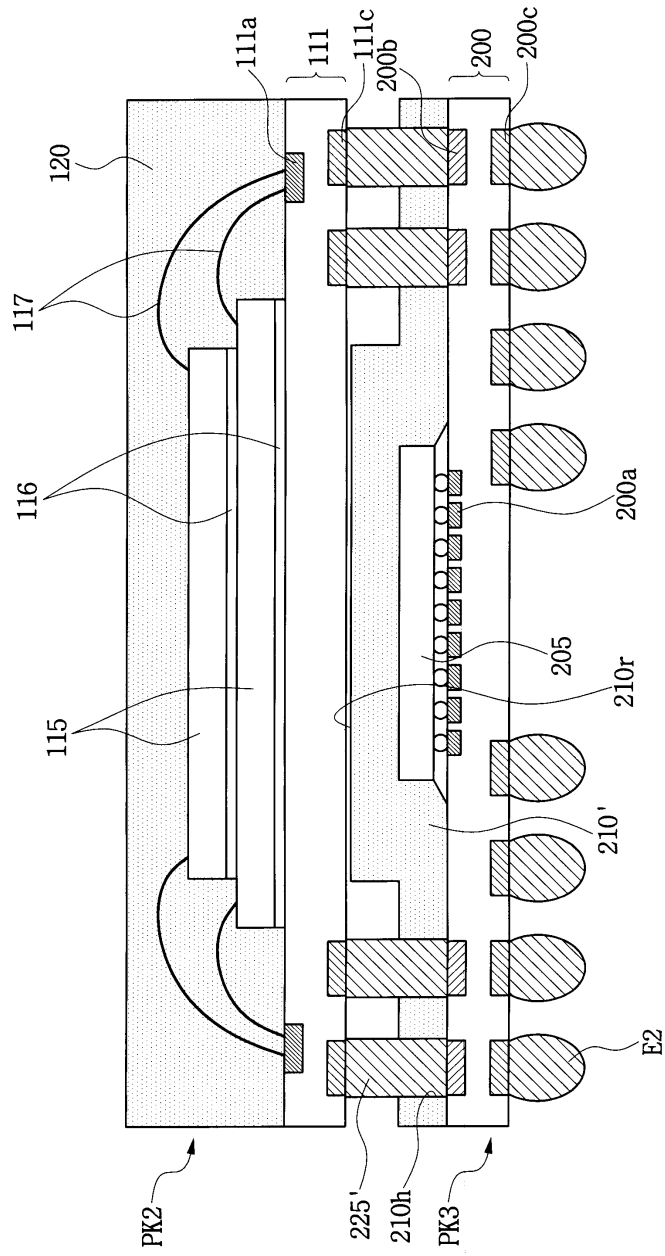
도면6c



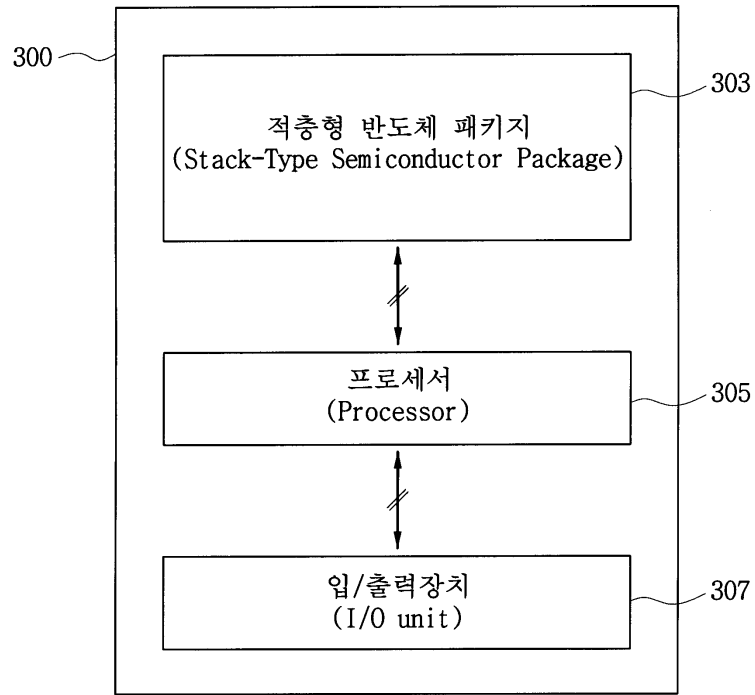
도면6d



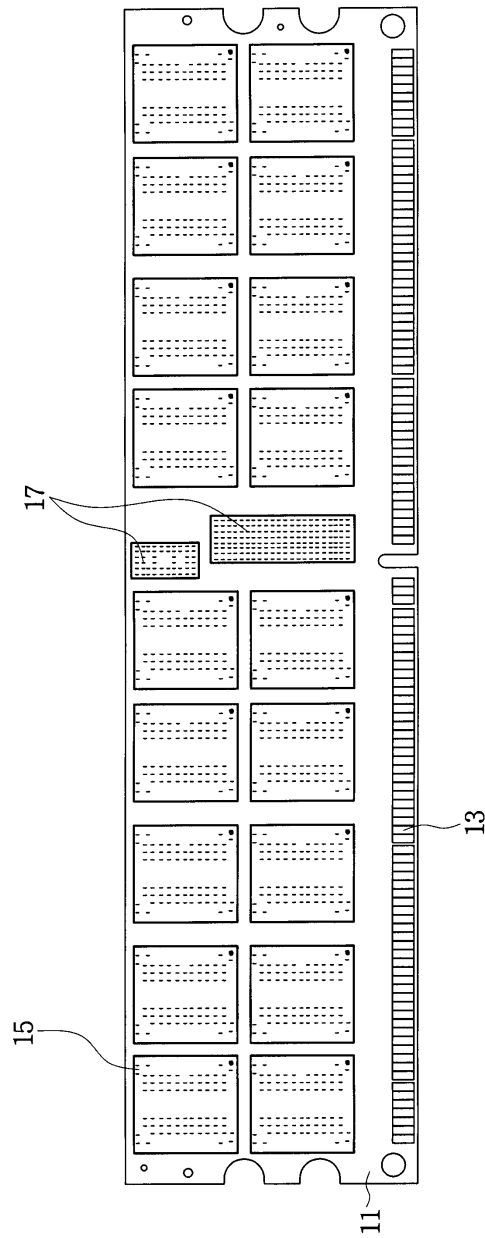
도면6e



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

접속하면된

【변경후】

접속된