

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3869089号

(P3869089)

(45) 発行日 平成19年1月17日(2007. 1. 17)

(24) 登録日 平成18年10月20日(2006. 10. 20)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10 6 8 1 B
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10 6 8 1 F

請求項の数 10 (全 49 頁)

(21) 出願番号	特願平9-283419	(73) 特許権者	000005108
(22) 出願日	平成9年10月16日(1997. 10. 16)		株式会社日立製作所
(65) 公開番号	特開平10-200075		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成10年7月31日(1998. 7. 31)	(73) 特許権者	590000879
審査請求日	平成16年5月12日(2004. 5. 12)		テキサス インスツルメンツ インコーポ レイテッド
(31) 優先権主張番号	特願平8-302821		アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 135 00
(32) 優先日	平成8年11月14日(1996. 11. 14)	(74) 代理人	100080001
(33) 優先権主張国	日本国(JP)		弁理士 筒井 大和
		(72) 発明者	浅野 勇
			東京都青梅市今井2326番地 株式会社 日立製作所デバイス開発センタ内
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 半導体基板の主面のメモリセル部にメモリセル選択用MISFETを、前記主面の周辺回路部に半導体素子を形成する工程、

(b) 前記半導体基板の主面上に平坦化された絶縁膜を形成する工程、

(c) ビット線と前記半導体基板とを接続する第1接続孔および前記周辺回路部の配線と前記半導体基板とを接続する第2接続孔を前記絶縁膜に形成する工程、

(d) 前記絶縁膜上に導電膜を堆積した後に、前記周辺回路部に形成されたフォトレジスト膜をマスクとして前記メモリセル部に位置する前記導電膜をエッチバックし、前記メモリセル部に位置する前記導電膜を薄膜化する工程、

(e) 前記導電膜を加工して前記ビット線および前記配線を形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】

請求項1記載の半導体集積回路装置の製造方法であって、

前記導電膜は前記絶縁膜上に窒化チタン膜、タングステン膜の順に堆積された積層膜であり、前記(d)工程における前記導電膜の薄膜化工程は、窒化チタン膜がエッチングされにくい条件で行うタングステン膜のエッチングにより、前記メモリセル部に位置するタングステン膜の除去によって前記導電膜を薄膜化するものであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】

10

20

(a) 半導体基板の主面のメモリセル部にメモリセル選択用 M I S F E T を、前記主面の周辺回路部に半導体素子を形成する工程、

(b) 前記半導体基板の主面上に平坦化された絶縁膜を形成する工程、

(c) 前記メモリセル部に形成されたフォトリソ膜をマスクとして、前記メモリセル部に位置する前記絶縁膜と前記周辺回路部に位置する前記絶縁膜の標高差がビット線の厚さと前記周辺回路部の配線の厚さの差とほぼ等しくなるように、前記周辺回路部に位置する前記絶縁膜をエッチバックする工程、

(d) ビット線と前記半導体基板とを接続する第 1 接続孔および前記周辺回路部の配線と前記半導体基板とを接続する第 2 接続孔を前記絶縁膜に形成する工程、

(e) 前記絶縁膜上に導電膜を堆積した後に、前記導電膜の表面を平坦化する工程、

(f) 前記導電膜を加工して前記ビット線および前記配線を形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

10

【請求項 4】

請求項 3 記載の半導体集積回路装置の製造方法であって、

前記 (c) 工程における前記絶縁膜のエッチバックは、ドライエッチング法またはウェットエッチング法により行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】

(a) 半導体基板の主面のメモリセル部にメモリセル選択用 M I S F E T を、前記主面の周辺回路部に半導体素子を形成する工程、

(b) 前記半導体基板の主面上に第 1 絶縁膜を形成する工程、

(c) ビット線と前記半導体基板とを接続する第 1 接続孔および前記周辺回路部の配線と前記半導体基板とを接続する第 2 接続孔を前記第 1 絶縁膜に形成する工程、

(d) 前記半導体基板上に第 2 絶縁膜を堆積した後、前記メモリセル部に位置する前記第 2 絶縁膜の厚さが前記ビット線の厚さとほぼ等しくなるように、また、前記周辺回路部に位置する前記第 2 絶縁膜の厚さが前記周辺回路部の配線の厚さとほぼ等しくなるように前記第 2 絶縁膜を加工し、前記第 2 絶縁膜に溝を形成する工程、

(e) 前記半導体基板上に導電膜を堆積した後、前記導電膜を加工して前記溝内に前記ビット線および前記周辺回路部の配線を形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

20

【請求項 6】

請求項 5 記載の半導体集積回路装置の製造方法であって、

前記メモリセル部に形成されたフォトリソ膜をマスクとして、前記メモリセル部に位置する前記第 1 絶縁膜と前記周辺回路部に位置する前記第 1 絶縁膜との標高差が、前記ビット線の厚さと前記周辺回路部の配線の厚さの差とほぼ等しくなるように、前記周辺回路部に位置する前記第 1 絶縁膜がドライエッチング法またはウェットエッチング法によってエッチバックされることを特徴とする半導体集積回路装置の製造方法。

30

【請求項 7】

(a) 半導体基板の主面のメモリセル部にメモリセル選択用 M I S F E T を、前記主面の周辺回路部に半導体素子を形成する工程、

(b) 前記半導体基板の主面上に平坦化された第 1 絶縁膜を形成する工程、

(c) ビット線と前記半導体基板とを接続する第 1 接続孔および前記周辺回路部の配線と前記半導体基板とを接続する第 2 接続孔を前記第 1 絶縁膜に形成する工程、

(d) 前記第 1 絶縁膜上に第 1 導電膜および第 2 絶縁膜を順次堆積した後、前記メモリセル部に形成されたフォトリソ膜をマスクとして、前記周辺回路部に位置する前記第 2 絶縁膜を除去する工程、

(e) 前記半導体基板上に第 2 導電膜を堆積した後、前記メモリセル部に位置する前記第 2 絶縁膜および前記周辺回路部に位置する前記第 2 導電膜の厚さが前記ビット線の厚さと前記周辺回路部の配線の厚さの差とほぼ等しくなるように、前記第 2 絶縁膜および前記第 2 導電膜の表面を平坦化する工程、

(f) 前記第 1 導電膜によって構成される前記ビット線および前記第 1 導電膜と前記第

40

50

2 導電膜との積層膜によって構成される前記周辺回路部の前記配線を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】

請求項 7 記載の半導体集積回路装置の製造方法であって、
前記メモリセル部の前記周辺回路部に隣接する領域に配置される前記ビット線は、前記
第 1 導電膜と前記第 2 導電膜との積層膜によって構成されることを特徴とする半導体集積
回路装置の製造方法。

【請求項 9】

請求項 1 ~ 8 のいずれか一項に記載の半導体集積回路装置の製造方法であって、
前記メモリセル部または前記周辺回路部に形成するフォトレジスト膜の境界は、前記周
辺回路部と前記メモリセル部とを切り離す M I S F E T の上部、または、前記周辺回路部
と前記メモリセル部との境界領域に形成されることを特徴とする半導体集積回路装置の製
造方法。

【請求項 10】

請求項 1 ~ 9 のいずれか一項に記載の半導体集積回路装置の製造方法であって、
前記第 1 接続孔または前記第 2 接続孔には、前記導電膜または前記第 1 導電膜の堆積前
に埋め込み導電膜が形成されることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特に、D R A M (Dynamic Ra
 ndom Access Memory) のメモリセル領域に配置されるビット線と周辺回路領域に配置され
 る第 1 層配線とが同一層で形成される半導体集積回路装置に適用して有効な技術に関する
 ものである。

【0002】

【従来の技術】

近年の大容量 D R A M は、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量 (C
 s) の減少を補うために、情報蓄積用容量素子をメモリセル選択用 M I S F E T の上部に
 配置するスタックド・キャパシタ構造を採用している。

【0003】

スタックド・キャパシタ構造の情報蓄積用容量素子は、蓄積電極 (下部電極)、容量絶縁
 膜、プレート電極 (上部電極) を順次積層して形成される。情報蓄積用容量素子の蓄積電
 極は、n チャネル型で構成されたメモリセル選択用 M I S F E T の半導体領域 (ソース領
 域、ドレイン領域) の一方に接続される。プレート電極は、複数のメモリセルに共通の電
 極として構成され、所定の固定電位 (プレート電位) が供給される。

【0004】

メモリセル選択用 M I S F E T (Metal Insulator Semiconductor Field Effect Transis
 tor) の半導体領域 (ソース領域、ドレイン領域) の他方には、データの書込み、読出しを
 行うためのビット線が接続される。ビット線は、メモリセル選択用 M I S F E T と情報蓄
 積用容量素子との間、または情報蓄積用容量素子の上部に配置される。情報蓄積用容量素
 子をビット線の上部に配置する構造は、キャパシタ・オーバー・ビットライン (Capacitor
 Over Bitline; C O B) 構造と呼ばれる。

【0005】

C O B 構造を有する D R A M については、たとえば特開平 7 - 1 2 2 6 5 4 号公報に記載
 されている。

【0006】

前記公報に記載された D R A M は、多結晶シリコン膜または多結晶シリコン膜とタングス
 テンシリサイド (W S i x) 膜との積層膜 (ポリサイド膜) でゲート電極 (ワード線) を
 形成したメモリセル選択用 M I S F E T の上部に多結晶シリコン膜 (またはポリサイド膜
) で形成したビット線を配置し、このビット線の上部に多結晶シリコン膜で形成した蓄積

10

20

30

40

50

電極と、酸化シリコン膜および窒化シリコン膜の積層膜で形成した容量絶縁膜と、多結晶シリコン膜で形成したプレート電極とからなる情報蓄積用容量素子を配置している。

【0007】

このようなCOB構造を有するDRAMにおいても、更なる高集積化が要求されている。これに伴って、配線の微細化が進む一方で、多層構造配線の採用は不可欠となっており、例えば、64MbitDRAMでは0.3 μ mの最小幅を有する3層構造の配線が採用されている。

【0008】

しかし、配線を多層化する多層配線技術を採用することは、配線形成過程での工程数が増大し、その結果製造工程のスループットの低下を生じさせる。このため、配線層数の増加は極力抑える必要がある。そこで、この問題を解決する一つの方法として、メモリセルの情報を直接周辺回路部のセンスアンプへ転送するビット線を形成する際に、同一工程において周辺回路の配線を形成する方法が提案されている。すなわち、周辺回路の配線層のうち、一部の配線層（具体的には1層目の配線層）を前記ビット線の形成と同一工程で同一層に形成する技術が提案されている。

【0009】

なお、上記技術が記載された文献としては、たとえば、1994年度アイ・イー・ディー・エム予稿集（IEDM'94）、p635がある。

またIC内の信号配線と電力用の電源配線・GND配線等における信号配線は薄い配線層で形成してファインピッチパターンとし、電源配線は厚い配線層を用いることは特開昭58-18941号公報、特開昭61-294853号公報および特開平5-234992号公報に開示がある。メモリアレイ部の信号配線はメモリアレイ部以外の部分の配線より厚さを小さくして寄生容量を減らす配線構造は特開昭61-123170号公報に開示がある。メモリセルのビット線に埋め込み配線を用いる構造は特願平8-138315号（特開平9-135005号公報）および特開平8-31950号公報に開示がある。

【0010】

【発明が解決しようとする課題】

しかしながら、メモリセル部のビット線と周辺回路部の第1層配線とを同一工程で形成する前記技術には、以下の問題点があることを本発明者は見出した。

【0011】

すなわち、ビット線には、情報蓄積用容量素子に蓄積された蓄積電荷の検出精度を向上するため、ビット線の寄生容量を低減することが要求され、また、周辺回路部の配線には、周辺回路の動作速度を低下させないために十分低い抵抗の確保が要求されている。

【0012】

両者の要求を満たすには、ビット線および周辺回路部の配線を構成する導電膜の厚さをそれぞれ最適化する必要があり、例えば、タングステンを用いた場合、ビット線の厚さを0.1 μ m、周辺回路部の配線の厚さを0.3 μ mと設定しなくてはならない。このため、半導体基板上に薄い導電膜を成膜、加工してメモリセル部にビット線を形成した後に、半導体基板上に厚い導電膜を成膜、加工して周辺回路部に配線を形成しなくてはならず、工程数が増加するとともにこの製造過程での製造時間が著しく増加してしまう。

【0013】

本発明の目的は、ビット線と周辺回路の第1層配線とが同一層に形成される半導体集積回路装置において、ビット線の寄生容量を低減するとともに、周辺回路の配線の抵抗を低減できる技術を提供することにある。

【0014】

また、本発明の目的は、工程数の増加を抑制し、また、製造時間を増加させることなく、寄生容量の低いビット線および周辺回路部の低抵抗の配線（interconnect layer）を同一過程において形成することのできる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から

10

20

30

40

50

明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

(1) 本発明の半導体集積回路装置は、メモリセル部および周辺回路部を有し、メモリセルの情報を周辺回路部に伝送するビット線を備えたDRAMを含むものであって、周辺回路部の配線が単一のまたは複数の導電膜からなり、そのうち少なくとも一層の導電膜が、ビット線を構成する導電膜と同一工程で形成され、周辺回路部の配線の膜厚はビット線の膜厚よりも大きいものである。

10

【0018】

このような半導体集積回路装置によれば、周辺回路部の配線（以下単に配線という）とビット線とは同一の工程により形成されるため工程数が増加してスループットが低下することがなく、また、配線の膜厚の方がビット線の膜厚よりも大きいため、配線の抵抗を低減し、同時にビット線の膜厚を薄くしてビット線の寄生容量を低減できる。この結果、周辺回路部については回路の応答速度を向上し、他方、ビット線を介する蓄積電荷の検出精度を向上することができる。

【0019】

なお、配線とビット線とは同一の工程により形成されることから、ビット線と配線は、同一工程で堆積された絶縁膜の上面に形成されることとなる。

20

【0020】

(2) また、本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、メモリセル部と周辺回路部のセンスアンプとを切り離すMISFET上を境にして、周辺回路部の配線はビット線よりも厚く、すなわち前記MISFET上を境にしてビット線と配線の膜厚が相違しているものである。あるいは、周辺回路部とメモリセル部との境界領域を境にして、ビット線と配線の膜厚が相違しているものである。

【0021】

メモリセル部と周辺回路部のセンスアンプとを切り離すMISFET上を境にしてビット線と配線の膜厚が相違している場合には、後に説明するように、ビット線および配線のパターニングの際にこのような膜厚の相違部分でのパターニング精度が低下する恐れがあるが、前記MISFET上ではビット線および配線を構成する導電膜がエッチングにより除去されるため、前記のパターニング精度の低下は顕在化しないというメリットがある。また、周辺回路部とメモリセル部との境界領域を境にして、ビット線と配線の膜厚が相違している場合には、後に説明するように、ビット線および配線のパターニングの際に用いるマスクの位置合わせ精度を高くする必要がない。このため、加工マージンを大きくして工程の負荷を低減することができる。

30

【0022】

(3) さらに、本発明の半導体集積回路装置は、前記配線が第1導電膜と第1導電膜に対してエッチング選択比を有する第2導電膜との積層膜からなり、ビット線が第1導電膜からなるものである。

40

【0023】

このような半導体集積回路装置によれば、後に説明するように、導電膜の薄膜化の際に、第1導電膜を第2導電膜のエッチングストッパとして機能させることが可能である。この結果、導電膜の薄膜化を容易にして工程の加工マージンを増加することができる。

【0024】

なお、第1導電膜として、窒化チタン膜を含む単層膜または積層膜を、第2導電膜として、タングステン膜を例示できる。

【0025】

(4) また、本発明の半導体集積回路装置は、前記ビット線をタングステン膜とし、前記

50

配線をタングステン膜およびタングステン膜の表面に形成されたタングステン選択CVD成長膜とすることができる。

【0026】

このような半導体集積回路装置によれば、タングステンの選択CVD成長により容易に配線部分のタングステンの膜厚および幅を大きくすることができ、配線の抵抗値を低減できる。

【0027】

(5)なお、本発明の半導体集積回路装置において、ビット線と半導体基板とを接続する接続孔には、多結晶シリコンまたは金属からなるプラグが形成されていてもよい。また、メモリセルを構成するMISFETおよび情報蓄積用容量素子を接続する接続孔には多結晶シリコンからなるプラグが形成されていてもよく、接続孔にはプラグが形成されておらず、情報蓄積用容量素子の下部電極が直接半導体基板の主面に接続されても良い。

10

【0028】

(6)本発明の半導体集積回路装置の製造方法は、まず、メモリセル部にメモリセル選択用MISFETを、周辺回路部に半導体素子を形成した後、半導体基板上に平坦化された絶縁膜を形成し、次いで、ビット線と半導体基板とを接続する第1接続孔および周辺回路部の配線と半導体基板とを接続する第2接続孔を上記絶縁膜に形成する。次に、半導体基板上に導電膜を堆積した後、周辺回路部に形成されたフォトレジスト膜をマスクとしてメモリセル部に位置する導電膜をエッチバックにより薄膜化し、次いで、上記導電膜を加工してビット線および周辺回路部の配線を形成するものである。

20

【0029】

このような半導体集積回路装置の製造方法によれば、メモリセル部に位置する導電膜をエッチバックにより薄膜化するため、メモリセル部に位置する導電膜が加工されて形成されるビット線の膜厚を、周辺回路部に位置する導電膜が加工されて形成される配線の膜厚よりも小さくすることができる。すなわち同一層の導電膜によって構成された薄いビット線と周辺回路部の厚い配線とを同一工程において形成することができる。

【0030】

なお、前記導電膜を絶縁膜上に窒化チタン膜、タングステン膜の順に堆積された積層膜とし、前記導電膜を、窒化チタン膜がエッチングされにくい条件で行うタングステン膜のエッチングにより、メモリセル部に位置するタングステン膜の除去によって薄膜化することができる。このような場合には、タングステン膜のエッチングの際にオーバーエッチングを行っても窒化チタン膜が過度にエッチングされることがなく、安定に導電膜の薄膜化を行うことができる。

30

【0031】

(7)また、本発明の半導体集積回路装置の製造方法は、まず、メモリセル部にメモリセル選択用MISFETを、周辺回路部に半導体素子を形成した後、半導体基板上に平坦化された絶縁膜を形成し、次いで、メモリセル部に位置する絶縁膜と周辺回路部に位置する絶縁膜との標高(半導体基板の表面からの高さ)差がビット線の厚さと周辺回路部の配線の厚さの差とほぼ等しくなるように、メモリセル部に形成されたフォトレジスト膜をマスクとして周辺回路部に位置する絶縁膜をエッチバックする。次に、ビット線と半導体基板とを接続する第1接続孔および周辺回路部の配線と半導体基板とを接続する第2接続孔を上記絶縁膜に形成した後、半導体基板上に導電膜を堆積し、次いで、この導電膜の表面を平坦化する。この後、上記導電膜を加工してビット線および周辺回路部の配線を形成するものである。

40

【0032】

このような半導体集積回路装置の製造方法によれば、周辺回路部の絶縁膜をエッチバックした後導電膜を堆積し、これを平坦化するため、メモリセル部に位置する導電膜が加工されて形成されるビット線の膜厚を、周辺回路部に位置する導電膜が加工されて形成される配線の膜厚よりも小さくすることができる。すなわち同一層の導電膜によって構成された薄いビット線と周辺回路部の厚い配線とを同一工程において形成することができる。

50

【0033】

また、ビット線および配線をパターニングする前の導電膜は平坦化されているため、ビット線および配線をパターニングする際のフォトレジストマスクの作成を高精度に行うこと、すなわち、フォトレジストマスクの下地段差の存在によるフォーカスずれ等の発生を抑制することができる。

【0034】

なお、絶縁膜のエッチバックは、ドライエッチング法またはウェットエッチング法により行うことができる。ウェットエッチング法の場合には、導電膜の膜厚が相違する領域の段差を緩和して、その後の導電膜の平坦化工程、あるいはビット線および配線のパターニング工程においてプロセスマージンを増加し、工程を安定化することができる。

10

【0035】

(8) また、本発明の半導体集積回路装置の製造方法は、まず、メモリセル部にメモリセル選択用MISFETを、周辺回路部に半導体素子を形成した後、半導体基板上に第1絶縁膜を形成し、次いで、ビット線と半導体基板とを接続する第1接続孔および周辺回路部の配線と半導体基板とを接続する第2接続孔を上記第1絶縁膜に形成する。次に、半導体基板上に第2絶縁膜を堆積し、次いで、メモリセル部に位置する第2絶縁膜の厚さがビット線の厚さとほぼ等しくなるように、また、周辺回路部に位置する第2絶縁膜の厚さが周辺回路部の配線の厚さとほぼ等しくなるように上記第2絶縁膜を加工する。次に、第2絶縁膜をエッチングして溝を形成した後、半導体基板上に導電膜を堆積し、次いで、この導電膜を加工して上記溝内にビット線および周辺回路部の配線を形成するものである。

20

【0036】

このような半導体集積回路装置の製造方法によれば、メモリセル部に位置する第2絶縁膜の厚さがビット線の厚さとほぼ等しくなるように、また、周辺回路部に位置する第2絶縁膜の厚さが周辺回路部の配線の厚さとほぼ等しくなるように上記第2絶縁膜を加工し、第2絶縁膜をエッチングして溝を形成した後、半導体基板上に導電膜を堆積し、この導電膜を加工して上記溝内にビット線および周辺回路部の配線を形成するため、ビット線と配線の膜厚を相違させること、すなわち、ビット線の膜厚を薄くし、配線の膜厚を厚くすることが可能であり、同一層の導電膜によって構成された薄いビット線と周辺回路部の厚い配線とを同一工程において形成することができる。

【0037】

この場合、メモリセル部に形成されたフォトレジスト膜をマスクとして、メモリセル部に位置する第1絶縁膜と周辺回路部に位置する第1絶縁膜との標高差が、ビット線の厚さと周辺回路部の配線の厚さの差とほぼ等しくなるように、周辺回路部に位置する第1絶縁膜がドライエッチング法またはウェットエッチング法によってエッチバックすることができる。

30

【0038】

(9) また、本発明の半導体集積回路装置の製造方法は、まず、メモリセル部にメモリセル選択用MISFETを、周辺回路部に半導体素子を形成した後、半導体基板上に平坦化された第1絶縁膜を形成し、次いで、ビット線と半導体基板とを接続する第1接続孔および周辺回路部の配線と半導体基板とを接続する第2接続孔を上記第1絶縁膜に形成する。次に、半導体基板上に第1導電膜および第2絶縁膜を順次堆積し、次いで、メモリセル部に形成されたフォトレジスト膜をマスクとして周辺回路部に位置する第2絶縁膜を除去する。次に、半導体基板上に第2導電膜を堆積した後、メモリセル部に位置する第2絶縁膜および周辺回路部に位置する第2導電膜の厚さがビット線の厚さと周辺回路部の配線の厚さの差とほぼ等しくなるように、第2絶縁膜および第2導電膜の表面を平坦化し、次いで、第1導電膜によって構成されるビット線および第1導電膜と第2導電膜との積層膜によって構成される周辺回路部の配線を形成するものである。

40

【0039】

このような半導体集積回路装置の製造方法によれば、同一層の導電膜によって構成された薄いビット線と周辺回路部の厚い配線とを同一工程において形成することができる。

50

【0040】

なお、メモリセル部の周辺回路部に隣接する領域（境界領域）に配置されるビット線は、第1導電膜と第2導電膜との積層膜によって構成されるものとしても良い。

【0041】

(10)また、上記した(6)～(9)記載の半導体集積回路装置の製造方法において、メモリセル部または周辺回路部に形成するフォトレジスト膜の境界は、周辺回路部とメモリセル部とを切り離すMISFETの上部、または、周辺回路部とメモリセル部との境界領域に形成することができる。

【0042】

メモリセル部と周辺回路部のセンスアンプとを切り離すMISFET上を境にしてビット線と配線の膜厚が相違している場合には、ビット線および配線のパターニングの際にこのような膜厚の相違部分でのパターニング精度が低下する恐れがあるが、前記MISFET上ではビット線および配線を構成する導電膜がエッチングにより除去されるため、前記のパターニング精度の低下は顕在化しないというメリットがある。また、周辺回路部とメモリセル部との境界領域を境にして、ビット線と配線の膜厚が相違している場合には、前記フォトレジスト膜を形成するための露光マスクの位置合わせ精度を高くする必要がない。このため、加工マージンを大きくして工程の負荷を低減することができる。

10

【0043】

(11)また、上記した(6)～(10)記載の半導体集積回路装置の製造方法において、第1接続孔または第2接続孔には、導電膜または第1導電膜の堆積前に埋め込み導電膜が形成されていてもよい。

20

【0044】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0045】

(実施の形態1)

本発明の一実施の形態であるDRAMおよびその製造方法を図1～図4を用いて説明する。

30

【0046】

図4は、本発明の一実施の形態であるDRAMのビット線および直接周辺回路部の第1層目の配線を示す半導体基板の要部断面図である。

【0047】

本実施の形態のDRAMは、半導体基板1の主面上に形成されたメモリセル選択用MISFETとメモリセル部と直接周辺回路部のセンスアンプとを切り離すnチャンネル型MISFETQsとを有する。また、本実施の形態では、ダミー用のMISFETQdが設けられているが、これに限定されるものではなくMISFETQdはなくても良い。

【0048】

半導体基板1の主面付近にはp型の導電性を有するp型ウエル2が形成され、その主面には、たとえばLOCOS(Local Oxidation of Silicon)法により形成されたフィールド絶縁膜3が形成されている。

40

【0049】

メモリセル選択用MISFETの一方のソースまたはドレイン領域は情報蓄積用容量素子（キャパシタ）に接続されるが、図4では図示していない。また、メモリセル選択用MISFETの他方のソースまたはドレイン領域はビット線BLに接続される。本実施の形態ではメモリセル選択用MISFETの他方のソースまたはドレイン領域となるn型半導体領域13とビット線BLとが多結晶シリコン膜からなるプラグ16を介して接続されている。

【0050】

50

DRAMのワード線WLは、ビット線BLと直交する方向に延在して形成され、メモリセル選択用MISFETのゲート電極として機能する。図4においてはフィールド絶縁膜3上に形成されたワード線WLとして図示している。

【0051】

nチャネル型MISFETQsおよびダミー用のMISFETQdは、p型ウエル2の主面上に形成され、ゲート絶縁膜4を介したゲート電極と、そのゲート電極の両側のp型ウエル2の主面に形成されたn型半導体領域8とからなる。ゲート電極は、ゲート絶縁膜4に接して形成された多結晶シリコン膜5とその上層に形成されたタングステンシリサイド膜6とからなる。多結晶シリコン膜5には高濃度に不純物がドーピングされており、また、タングステンシリサイド膜6との積層膜であることからゲート電極の直列抵抗を低減し、DRAMの読み出しおよび書き込みの速度を向上することができる。

10

【0052】

ゲート電極の両側にはサイドウォールスペーサ9が形成され、ゲート電極の上部にはキャップ絶縁膜である窒化シリコン膜7が形成されている。

【0053】

フィールド絶縁膜3、メモリセル選択用MISFET、nチャネル型MISFETQsおよびダミー用のMISFETQdを覆う酸化シリコン膜10が形成され、酸化シリコン膜10上にはBPSG膜11が形成されて表面が平坦化されている。

【0054】

また、BPSG膜11上にはビット線BLと第1層目の配線である第1層配線M1が形成されている。ビット線BLはDRAMのメモリセル部に形成され、第1層目の配線M1はDRAMの周辺回路部に形成されている。

20

【0055】

図4に示すように、ビット線BLと第1層配線M1は同一層のタングステン(W)膜14a, 14bによって構成されている。また、ビット線BLと第1層配線M1は、メモリセル部と直接周辺回路部のセンスアンプとを切り離すnチャネル型MISFETQs上を境にしてその膜厚が相違し、第1層配線M1を構成するW膜14bの厚さは、ビット線BLを構成するW膜14aよりも厚く設けられている。

【0056】

本実施の形態のDRAMは、上記構成の他に情報蓄積用容量素子および第2層配線あるいは第3層配線等を有するものであるが、すでに公知の情報蓄積用容量素子および配線等を適用することができるためその説明を省略する。

30

【0057】

このようにビット線BLと第1層配線M1とを同一レベルのタングステン膜により構成し、そして後に説明するように、ビット線BLの膜厚と第1層配線M1の膜厚とを相違して形成することができる。また、ビット線BLの膜厚を第1層配線M1の膜厚によらず薄く形成できるため、ビット線BLの寄生容量を低減することができる。これにより情報蓄積用容量素子に蓄積された蓄積電荷の検出精度を向上することができる。一方、第1層配線M1の膜厚は、ビット線BLの膜厚によらず厚く形成できるため第1層配線M1の抵抗を低減して周辺回路の動作速度を高くすることができる。

40

【0058】

次に、本発明の一実施の形態であるDRAMのビット線および直接周辺回路部の第1層目の配線の製造方法を図1～図4を用いて説明する。

【0059】

まず、図1に示すように、p型シリコン単結晶からなる半導体基板1の主面上に周知の方法、たとえばイオン注入法によりp型ウエル2を、たとえばLOCOS法によりフィールド絶縁膜3を、およびたとえば熱酸化法によりゲート絶縁膜4を順次形成する。

【0060】

次に、半導体基板1上にリン(P)が導入された多結晶シリコン膜5、タングステンシリサイド(WSix)膜6、酸化シリコン膜(図示せず)および窒化シリコン膜7を順次堆積

50

する。その後、フォトリジストをマスクにして上記窒化シリコン膜 7、酸化シリコン膜、WSix 膜 6 および多結晶シリコン膜 5 からなる積層膜を順次エッチングすることにより、WSix 膜 6 および多結晶シリコン膜 5 からなるメモリセル部のメモリセル選択用 MISFET のゲート電極 FG および n チャネル型 MISFET Qs のゲート電極 FG をそれぞれ形成する。

【0061】

なお、上記ゲート電極 FG の上部に WSix 膜 6 を用いたが、その他のメタルシリサイド膜、例えばモリブデンシリサイド (MoSix) 膜、チタンシリサイド (TiSix) 膜またはタンタルシリサイド (TaSix) 膜などを用いてもよい。

【0062】

次に、半導体基板 1 に熱酸化処理を施すことによって、ゲート電極 FG を構成する WSix 膜 6 および多結晶シリコン膜 5 の側壁に薄い酸化シリコン膜 (図示せず) を形成する。

【0063】

次に、フォトリジストならびに上記窒化シリコン膜 7、酸化シリコン膜、WSix 膜 6 および多結晶シリコン膜 5 からなる積層膜をマスクにして、p 型ウエル 2 に n 型不純物、例えば P をイオン注入することによって、n チャネル型 MISFET Qs の n 型半導体領域 (ソース領域、ドレイン領域) 8 を、ゲート電極 FG に対して自己整合で形成する。

【0064】

その後、半導体基板 1 上に堆積された窒化シリコン膜を RIE (Reactive Ion Etching) 法などの異方性エッチングで加工することによって、すべての n チャネル型 MISFET のゲート電極 FG の側壁にサイドウォールスペーサ 9 を形成する。

【0065】

なお、上記サイドウォールスペーサ 9 を形成した後、高濃度の n 型不純物、例えば砒素 (As) を p 型ウエル 2 にイオン注入することによって、n チャネル型 MISFET Qs のソース領域、ドレイン領域を LDD (Lightly Doped Drain) 構造としてもよい。

【0066】

次に、半導体基板 1 上に酸化シリコン膜 10 および BPSG (Boron Phospho Silicate Glass) 膜 11 を CVD (Chemical Vapor Deposition) 法によって堆積した後、900 ~ 950 のリフロー処理により上記 BPSG 膜 11 の表面を平坦化する。なお、BPSG 膜 11 の表面の平坦化には、CMP (Chemical Mechanical Polishing ; 化学的機械研磨) 法を併用してもよい。

【0067】

次に、フォトリジストをマスクにして BPSG 膜 11、酸化シリコン膜 10 およびゲート絶縁膜 4 と同一層の絶縁膜を順次エッチングすることにより、後にビット線 BL が接続されるメモリセル部の p 型ウエル 2 上に接続孔 12a を形成する。この後、半導体基板 1 上に P が導入された多結晶シリコン膜 16 を CVD 法によって堆積し、次いで、この多結晶シリコン膜 16 をエッチバックすることにより、接続孔 12a 内に多結晶シリコン膜 16 を埋め込む。なお、多結晶シリコン膜 16 からの P の拡散によって、メモリセル部の p 型ウエル 2 にメモリセル選択用 MISFET の一方の n 型半導体領域 13 が形成される。

【0068】

次に、フォトリジストをマスクにして BPSG 膜 11、酸化シリコン膜 10 およびゲート絶縁膜 4 と同一層の絶縁膜を順次エッチングすることにより、n チャネル型 MISFET Qs の n 型半導体領域 8 上に接続孔 12b, 12c を形成する。

【0069】

次に、図 2 に示すように、半導体基板 1 上に導電膜、例えば W 膜 14 を CVD 法によって堆積した後、ビット線 BL を形成しない領域、つまり導電膜の膜厚を厚くしたい領域の半導体基板 1 上にフォトリジストパターン 15 を形成する。ここで、フォトリジストパターン 15 は、図 2 の II に示す境界線の右側、つまり周辺回路部を覆うように形成されている。この際、堆積される W 膜 14 は、直接周辺回路部に配置される第 1 層目の配線 M1 の配線抵抗を満たす厚さを有している。

10

20

30

40

50

【0070】

次いで、図3に示すように、このフォトリジストパターン15をマスクにしてビット線BLが形成される領域のW膜14をエッチバックにより薄くし、この領域のW膜14の厚さを、ビット線BLが所定の寄生容量を得ることのできる厚さまで加工する。

【0071】

次に、図4に示すように、フォトリジストパターン15を除去した後、新たに形成したフォトリジストをマスクにしてW膜14をエッチングし、W膜14aによって構成されるビット線BLおよびW膜14bによって構成される第1層目の配線M1を形成する。

【0072】

この後、メモリセル部に蓄積電極、容量絶縁膜およびプレート電極を順次形成することによって情報蓄積用容量素子を形成し、さらに、第2層目以降の配線を形成し、最後に、半導体基板1の表面をパッシベーション膜で被覆することにより、本実施の形態1のDRAMが完成する。

10

【0073】

なお、本実施の形態1では、接続孔12aを多結晶シリコン膜16で埋め込み、接続孔12b, 12cをビット線BLまたは第1層目の配線M1と同一層のW膜14で埋め込んだが、予めブランケットW-CVD法によって、接続孔12b, 12c内にブランケットWを埋め込み、この後、半導体基板1上にW膜14を堆積してもよい。また、接続孔12a~12cを同時に形成した後にビット線BLまたは第1層目の配線M1と同一層のW膜14で埋め込んでもよい。

20

【0074】

本実施の形態のDRAMの製造方法によれば、工程を増加させることなく膜厚の小さなビット線BLと膜厚の大きな第1層配線M1を形成することが可能である。

【0075】

(実施の形態2)

本発明の他の実施の形態であるDRAMのビット線および直接周辺回路部の第1層目の配線の製造方法を図5~図8を用いて説明する。

【0076】

本実施の形態2のDRAMは、実施の形態1のDRAMとほぼ同様な構成を有するものであるため、その相違する部分についてのみ以下に説明する。

30

【0077】

まず、前記実施の形態1と同様な製造方法で、前記図1に示したように、半導体基板1上にメモリセル部のメモリセル選択用MISFETおよびnチャネル型MISFETQsを形成した後、半導体基板1上に酸化シリコン膜10および平坦化されたBPSG膜11を形成する。

【0078】

次に、図5に示すように、フォトリジストをマスクにして直接周辺回路部のBPSG膜11の表面をドライエッチング法によってエッチバックする。フォトリジストは、メモリセル部を覆い、周辺回路領域を露出するようなパターンを有し、その境界は、図22のIIの境界線で示す。この際、メモリセル部と直接周辺回路部との標高差がビット線BLの厚さと第1層目の配線M1の厚さの差となるように、上記BPSG膜11のエッチバックの量は設定される。ビット線BLと配線M1の膜厚差分だけ、直接周辺回路部のBPSG膜(絶縁膜)11をエッチングする。

40

【0079】

次に、フォトリジストをマスクにしてBPSG膜11、酸化シリコン膜10およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、後にビット線BLが接続されるメモリセル部のp型ウエル2上に接続孔12aを形成する。この後、半導体基板1上にPが導入された多結晶シリコン膜16をCVD法によって堆積し、次いで、この多結晶シリコン膜16をエッチバックすることにより、接続孔12a内に多結晶シリコン膜16を埋め込む。なお、多結晶シリコン膜16からのPの拡散によって、メモリセル部のp型

50

ウエル 2 にメモリセル選択用 M I S F E T の一方の n 型半導体領域 1 3 が形成される。

【 0 0 8 0 】

次に、フォトレジストをマスクにして B P S G 膜 1 1、酸化シリコン膜 1 0 およびゲート絶縁膜 4 と同一層の絶縁膜を順次エッチングすることにより、n チャネル型 M I S F E T Q s の n 型半導体領域 8 上に接続孔 1 2 b, 1 2 c を形成する。

【 0 0 8 1 】

次に、図 6 に示すように、半導体基板 1 上に導電膜、例えば W 膜 1 4 を C V D 法によって堆積する。この際、W 膜 1 4 は、直接周辺回路部に配置される第 1 層目の配線 M 1 に必要な厚さよりも厚く成膜される。次いで、図 7 に示すように、例えば C M P 法で W 膜 1 4 の表面を平坦化 (planerize) することによって、W 膜 1 4 の厚さを、ビット線 B L および第 1 層目の配線 M 1 に必要な所定の厚さまで薄くする。

10

【 0 0 8 2 】

次に、図 8 に示すように、フォトレジストをマスクにして W 膜 1 4 をエッチングし、W 膜 1 4 a によって構成されるビット線 B L および W 膜 1 4 b によって構成される第 1 層目の配線 M 1 を形成する。

【 0 0 8 3 】

本実施の形態 2 によれば、実施の形態 1 の D R A M と同様に、ビット線 B L の膜厚と第 1 層配線 M 1 の膜厚とを相違して形成し、ビット線 B L の膜厚を第 1 層配線 M 1 の膜厚よりも薄く形成できる。このため、ビット線 B L の寄生容量を低減し、第 1 層配線 M 1 の抵抗を低減することができる。

20

【 0 0 8 4 】

また、本実施の形態 2 では、W 膜 1 4 の表面が平坦化されているため、W 膜 1 4 をエッチングしてビット線 B L および第 1 層目の配線 M 1 を形成する際のパターニング工程を容易にすることができる。すなわち、段差の存在する状態で W 膜 1 4 をパターニングするのではなく平坦な W 膜 1 4 をパターニングするためフォトリソグラフィ工程におけるマージンを増加することができる。

【 0 0 8 5 】

(実施の形態 3)

本発明の他の実施の形態である D R A M のビット線および直接周辺回路部の第 1 層目の配線の製造方法を図 9 を用いて説明する。

30

【 0 0 8 6 】

前記実施の形態 2 に記載した製造方法と同様に、メモリセル部と直接周辺回路部との標高差をビット線 B L の厚さと第 1 層目の配線 M 1 の厚さの差となるように、直接周辺回路部の半導体基板 1 上に堆積された B P S G 膜 1 1 の表面をエッチバックする。

【 0 0 8 7 】

しかし、図 9 に示すように、前記実施の形態 2 では、ドライエッチング法によって直接周辺回路部の B P S G 膜 1 1 の表面をエッチバックしたが、本実施の形態 3 では、ウエットエッチング法によって直接周辺回路部の B P S G 膜 1 1 の表面をエッチバックする。これによって、メモリセル部と直接周辺回路部との境界の段差形状を緩やかにすることができ、後に半導体基板 1 上に堆積される膜のメモリセル部と直接周辺回路部との境界における被覆性が向上する。

40

【 0 0 8 8 】

次に、前記実施の形態 2 に記載した製造方法と同様に、接続孔 1 2 a を形成し、多結晶シリコン膜 1 6 を形成して、さらに接続孔 1 2 b, 1 2 c をそれぞれ形成した後、メモリセル選択用 M I S F E T の一方の n 型半導体領域 1 3 を形成し、次いで、半導体基板 1 上に W 膜 1 4 を C V D 法によって堆積する。この際、W 膜 1 4 は、直接周辺回路部に配置される第 1 層目の配線 M 1 に必要な厚さよりも厚く成膜される。

【 0 0 8 9 】

次に、例えば C M P 法で W 膜 1 4 の表面を平坦化することによって、W 膜 1 4 の厚さを、ビット線 B L および第 1 層目の配線 M 1 に必要な所定の厚さまで薄くする。この後、フォ

50

トレジストをマスクにしてW膜14をエッチングし、W膜14aによって構成されるビット線BLおよびW膜14bによって構成される第1層目の配線M1を形成する。

【0090】

本実施の形態3によれば、BPSG膜11の表面がなだらかにエッチングされているためW膜14の堆積およびエッチングの工程のマージンを向上することができる。

【0091】

(実施の形態4)

本発明の他の実施の形態であるDRAMのビット線および直接周辺回路部の第1層目の配線の製造方法を図10～図13を用いて説明する。

【0092】

まず、前記実施の形態1と同様な製造方法で、前記図1に示したように、半導体基板1上にメモリセル部のメモリセル選択用MISFETおよびnチャネル型MISFETQsを形成した後、半導体基板1上に酸化シリコン膜10および平坦化されたBPSG膜11を形成する。

【0093】

次に、図10に示すように、フォトレジストをマスクにしてBPSG膜11、酸化シリコン膜10およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、後にビット線BLが接続されるメモリセル部のp型ウエル2上に接続孔12aを形成する。この後、半導体基板1上にPが導入された多結晶シリコン膜16をCVD法によって堆積し、次いで、この多結晶シリコン膜16をエッチバックすることにより、接続孔12a内に多結晶シリコン膜16を埋め込む。なお、多結晶シリコン膜16からのPの拡散によって、メモリセル部のp型ウエル2にメモリセル選択用MISFETの一方のn型半導体領域13が形成される。

【0094】

次に、フォトレジストをマスクにして直接周辺回路部のBPSG膜11の表面をウエットエッチング法によってエッチバックする。この際、メモリセル部と直接周辺回路部との標高差がビット線BLの厚さと第1層目の配線M1の厚さの差となるように、上記BPSG膜11のエッチバックの量は設定される。

【0095】

次に、フォトレジストをマスクにしてBPSG膜11、酸化シリコン膜10およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、nチャネル型MISFETQsのn型半導体領域8上に接続孔12b, 12cを形成する。この後、半導体基板1上にW膜17をCVD法によって堆積し、次いで、このW膜17をエッチバックすることにより、接続孔12b, 12c内にW膜17を埋め込む。なお、この際、W膜17とn型半導体領域8との間に、例えば窒化チタン膜およびチタン膜からなる積層膜によって構成される接続層またはWF₆とSiの反応防止またはTiSiとWの反応防止のため、バリアメタル層を設けてもよい。

【0096】

次いで、半導体基板1上に窒化シリコン膜18および酸化シリコン膜19を順次堆積する。

【0097】

次に、図11に示すように、上記酸化シリコン膜19の表面を、例えばCMP法によって平坦化すると同時に、メモリセル部および直接周辺回路部に位置する酸化シリコン膜19の厚さが、後に形成されるビット線BLおよび第1層目の配線M1のそれぞれ厚さとほぼ等しくなるように酸化シリコン膜19の厚さを制御する。

【0098】

なお、本実施の形態4では、BPSG膜11の表面をウエットエッチング法によってエッチバックすることによりメモリセル部と直接周辺回路部との間に標高差を設けたが、ドライエッチング法を用いてもよい。また、BPSG膜11に上記標高差を設けず、メモリセル部の酸化シリコン膜19の厚さがビット線BLの厚さとほぼ等しくなるように、また、

10

20

30

40

50

直接周辺回路部の酸化シリコン膜 19 の厚さが第 1 層目の配線 M 1 の厚さとほぼ等しくなるように酸化シリコン膜 19 を加工してもよい。

【 0 0 9 9 】

次に、図 1 2 に示すように、フォトレジストをマスクにして酸化シリコン膜 19 をエッチングし、後にビット線 B L および第 1 層目の配線 M 1 が形成される領域に溝 2 0 を形成する。次いで、露出している窒化シリコン膜 1 8 を除去した後、半導体基板 1 上に W 膜 1 4 を C V D 法によって堆積する。この際、堆積される W 膜 1 4 は、直接周辺回路部に配置される第 1 層目の配線 M 1 の配線抵抗を満たす厚さを有している。

【 0 1 0 0 】

次に、図 1 3 に示すように、W 膜 1 4 の表面を、例えば C M P 法で平坦化することにより、上記溝 2 0 内に W 膜 1 4 a によって構成されるビット線 B L および W 膜 1 4 b によって構成される第 1 層目の配線 M 1 を形成する。

【 0 1 0 1 】

なお、本実施の形態 4 では、半導体基板 1 上に堆積された表面を平坦化した後に、酸化シリコン膜 1 9 および窒化シリコン膜 1 8 に溝 2 0 を形成し、次いで、半導体基板 1 上に堆積された W 膜 1 4 の表面を平坦化した後、半導体基板 1 上に堆積された酸化シリコン膜 1 9 および窒化シリコン膜 1 8 に溝 2 0 を形成した後に、W 膜 1 4 を堆積し、次いで、W 膜 1 4 および酸化シリコン膜 1 9 の表面を同時に平坦化してもよい。

【 0 1 0 2 】

本実施の形態 4 によれば、実施の形態 1 の D R A M と同様に、ビット線 B L の膜厚と第 1 層配線 M 1 の膜厚とを相違して形成し、ビット線 B L の膜厚を第 1 層配線 M 1 の膜厚よりも薄く形成できる。このため、ビット線 B L の寄生容量を低減し、第 1 層配線 M 1 の抵抗を低減することができる。

【 0 1 0 3 】

また、本実施の形態 4 では、酸化シリコン膜 1 9 の表面が平坦化されているため、酸化シリコン膜 1 9 のパターニング工程におけるフォーカスマージンを大きくして加工を容易にすることができる。

【 0 1 0 4 】

さらに、本実施の形態 4 では、いわゆるダマシン法 (Damascene method) を用いてビット線 B L および第 1 層配線 M 1 を形成することが可能となり、微細な配線形成が可能となる。

【 0 1 0 5 】

(実施の形態 5)

本発明の他の実施の形態である D R A M のビット線および直接周辺回路部の第 1 層目の配線の製造方法を図 1 4 ~ 図 1 7 を用いて説明する。

【 0 1 0 6 】

まず、前記実施の形態 1 と同様な製造方法で、前記図 1 に示したように、半導体基板 1 上にメモリセル部のメモリセル選択用 M I S F E T および n チャネル型 M I S F E T Q s を形成した後、半導体基板 1 上に酸化シリコン膜 1 0 および平坦化された B P S G 膜 1 1 を形成する。

【 0 1 0 7 】

次に、図 1 4 に示すように、フォトレジストをマスクにして B P S G 膜 1 1、酸化シリコン膜 1 0 およびゲート絶縁膜 4 と同一層の絶縁膜を順次エッチングすることにより、後にビット線 B L が接続されるメモリセル部の p 型ウエル 2 上に接続孔 1 2 a を形成する。この後、半導体基板 1 上に P が導入された多結晶シリコン膜 1 6 を C V D 法によって堆積し、次いで、この多結晶シリコン膜 1 6 をエッチバックすることにより、接続孔 1 2 a 内に多結晶シリコン膜 1 6 を埋め込む。なお、多結晶シリコン膜 1 6 からの P の拡散によって、メモリセル部の p 型ウエル 2 にメモリセル選択用 M I S F E T の一方の n 型半導体領域 1 3 が形成される。

【 0 1 0 8 】

10

20

30

40

50

次に、フォトリソをマスクにしてB P S G膜11、酸化シリコン膜10およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、nチャネル型M I S F E T Q sのn型半導体領域8上に接続孔12b, 12cを形成する。この後、半導体基板1上にW膜17をC V D法によって堆積し、次いで、このW膜17をエッチバックすることにより、接続孔12b, 12c内にW膜17を埋め込む。

【0109】

次に、半導体基板1上に第1のW膜21を堆積する。ここで、第1のW膜21はビット線B Lを構成するのに必要な厚さを有している。次いで、半導体基板1上に酸化シリコン膜22を堆積した後、フォトリソをマスクにして直接周辺回路部に位置する酸化シリコン膜22をエッチングする。フォトリソはメモリセルを覆い、周辺回路領域を露出するようなパターンを有し、その境界は図22のIIの境界線で示す。なお、酸化シリコン膜22の厚さは、後に形成されるビット線B Lの厚さと第1層目の配線M 1の厚さの差よりも大きく設けられている。

10

【0110】

次に、図15に示すように、半導体基板1上に第2のW膜23を堆積した後、図16に示すように、第2のW膜23および酸化シリコン膜22の表面を、例えばC M P法で研磨することによって、直接周辺回路部のみに第2のW膜23を残す。

【0111】

この後、図17に示すように、フォトリソをマスクにしてメモリセル部と直接周辺回路部との境となる領域の酸化シリコン膜22、第2のW膜23および第1のW膜21を順次エッチングし、第1のW膜21aによって構成されるビット線B Lおよび第2のW膜23と第1のW膜21bとの積層膜によって構成される第1層目の配線M 1を形成する。

20

【0112】

本実施の形態5によれば、実施の形態1のD R A Mと同様に、ビット線B Lの膜厚と第1層配線M 1の膜厚とを相違して形成し、ビット線B Lの膜厚を第1層配線M 1の膜厚よりも薄く形成できる。このため、ビット線B Lの寄生容量を低減し、第1層配線M 1の抵抗を低減することができる。

【0113】

また、本実施の形態5では、酸化シリコン膜22および第2のW膜23の表面が平坦化されているため、酸化シリコン膜22および第2のW膜23のパターニング工程におけるフォーカスマージンを大きくして加工を容易にすることができる。

30

【0114】

さらに、本実施の形態5では、ビット線B Lを第1のW膜21aの堆積のみによってその膜厚を規定することができるため、プロセスのばらつきが少なく、均一性の高いビット線B Lを形成することが可能である。この結果、センスアンプを挟んだビット線B Lの対称性を向上してセンスアンプの感度を向上することができる。

【0115】

(実施の形態6)

本発明の他の実施の形態であるD R A Mのビット線および直接周辺回路部の第1層目の配線を図18を用いて説明する。

40

【0116】

前記実施の形態5では、メモリセル部と直接周辺回路部のセンスアンプとを切り離すnチャネル型M I S F E T Q s上を境にして、第1のW膜21aによってビット線B Lは構成され、第2のW膜23と第1のW膜21bとの積層膜によって第1層目の配線M 1は構成されたが、本実施の形態6では、図18に示すように、第2のW膜23が直接周辺回路部に隣接するメモリセル部の領域にも延在し、この領域のビット線B Lを第2のW膜23aと第1のW膜21aによって構成し、第1層目の配線M 1を第2のW膜23bと第1のW膜21bとの積層膜によって構成している。

【0117】

すなわち、第2のW膜23が直接周辺回路部に隣接するメモリセル部の領域にも延在する

50

ことによって、メモリセル部と直接周辺回路部との境界となる領域におけるプロセス余裕が向上し、合わせずれまたはオーバーエッチングなどにより第1層目の配線M1が第1のW膜21bのみで構成されて薄くなることを防ぐことができる。

【0118】

(実施の形態7)

図19は、本実施の形態のDRAMを形成した半導体チップの全体平面図、図20は、その一部を示す拡大平面図である。

【0119】

単結晶シリコンからなる半導体チップ1Aの主面には、例えば64Mbit(メガビット)の容量を有するDRAMが形成されている。図19に示すように、このDRAMは、8個に分割されたメモリマットMMとそれらの周囲に配置された周辺回路とで構成されている。8Mbitの容量を有するメモリマットMMのそれぞれは、図20に示すように、16個のメモリアレイMARYに分割されている。メモリアレイMARYのそれぞれは、行列状に配置された2Kbit(キロビット)×256bit=512Kbitのメモリセルで構成されており、それらの周囲には、センスアンプSAやワードドライバWDなどの周辺回路が配置されている。

10

【0120】

図21は、このDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す半導体基板の要部断面図、図22は、このDRAMのメモリセルを構成する導電層と周辺回路のMISFETを構成する導電層の各パターンを示す平面図、図23は、このDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す回路図である。図21は、図22におけるXXI-XXI線断面図である。

20

【0121】

図21には一対のメモリセル選択用MISFETQtと図22、図23においてQshr、Qn、Qpの符号を付した周辺回路のMISFETとが示されている。Qshrは、DRAMのメモリセル部と周辺回路部のセンスアンプSAとを分離するシェアードMISFETQshrであり、Qn、Qpは、互いに2個のQn、Qpで構成されるフリップフロップ回路からなるセンスアンプSAを示す。Qnはnチャンネル型MISFETQnであり、Qpはpチャンネル型MISFETQpである。また、Qshrはnチャンネル型MISFETである。メモリセル選択用MISFETQtはDRAMのメモリアレイMARYであるメモリセル部Aに形成され、Qshr、Qn、QpはDRAMの周辺回路部Bに形成される。また、メモリセル部Aと周辺回路部Bとの境界領域Dは段差緩衝領域あるいは半導体基板のウエルへの給電を行う領域として機能する。

30

【0122】

p型の単結晶シリコンからなる半導体基板101には、メモリセル部Aのp型ウエル102aおよび周辺回路部Bのp型ウエル102bと周辺回路部Bのn型ウエル102cとが形成されている。また、メモリセル部Aのp型ウエル102aはn型ウエル103で覆われている。このようにn型ウエル103でp型ウエル102aを覆うことにより、メモリセル選択用MISFETQtの電位を半導体基板101の電位から分離し、適当なバイアス電圧を印加することが可能となる。

40

【0123】

p型ウエル102a、102b、n型ウエル102cのそれぞれの表面には素子分離用のフィールド酸化膜104が形成されており、このフィールド酸化膜104の下部を含むp型ウエル102a、102bの内部にはp型チャンネルストッパ層105が、またn型ウエル102cの内部にはn型チャンネルストッパ層106がそれぞれ形成されている。

【0124】

メモリセル部Aのp型ウエル102aのアクティブ領域にはメモリセルがマトリクス状に配置されている。メモリセルのそれぞれは、nチャンネル型で構成された一個のメモリセル選択用MISFETQtとその上部に形成され、メモリセル選択用MISFETQtと直列に接続された一個の情報蓄積用容量素子Cとで構成されている。すなわち、このメモリ

50

セルは、メモリセル選択用MISFETQ_tの上部に情報蓄積容量素子Cを配置するスタックド・キャパシタ構造で構成されている。

【0125】

メモリセル選択用MISFETQ_tは、ゲート酸化膜107、ワード線WLと一体に形成されたゲート電極108A、ソース領域およびドレイン領域(n型半導体領域109、109)で構成されている。ゲート電極108A(ワード線WL)は、n型の不純物(例えばP(リン))をドーブした低抵抗の多結晶シリコン膜とタングステンシリサイド(WSi₂)膜とを積層した2層の導電膜、または低抵抗の多結晶シリコン膜とTiN(チタンナイトライド)膜とを積層した3層の導電膜で構成されている。ゲート電極108A(ワード線WL)の上部には窒化シリコン膜110が形成されており、側壁には窒化シリコンのサイドウォールスペーサ111が形成されている。これらの絶縁膜(窒化シリコン膜110およびサイドウォールスペーサ111)は、窒化シリコン膜に代えて酸化シリコン膜で構成することもできる。

10

【0126】

周辺回路部Bのp型ウエル102bのアクティブ領域にはnチャネル型MISFETQ_nおよびnチャネル型のシェアードMISFETQ_{shr}が形成されている。また、n型ウエル102cのアクティブ領域にはpチャネル型MISFETQ_pが形成されている。すなわち、この周辺回路部Bは、nチャネル型MISFETQ_nとpチャネル型MISFETQ_pとを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)回路で構成されている。

20

【0127】

nチャネル型MISFETQ_nおよびシェアードMISFETQ_{shr}は、ゲート酸化膜107、ゲート電極108B、ソース領域およびドレイン領域で構成されている。ゲート電極108Bは、前記メモリセル選択用MISFETQ_tのゲート電極108A(ワード線WL)と同じ導電膜で構成されている。ゲート電極108Bの上部には窒化シリコン膜110が形成されており、側壁には窒化シリコンのサイドウォールスペーサ111が形成されている。nチャネル型MISFETQ_nおよびシェアードMISFETQ_{shr}のソース領域、ドレイン領域のそれぞれは、低不純物濃度のn⁻型半導体領域112と高不純物濃度のn⁺型半導体領域113とからなるLDD(Lightly Doped Drain)構造で構成されており、n⁺型半導体領域113の表面にはTiシリサイド(TiSi₂)層116が形成されている。

30

【0128】

pチャネル型MISFETQ_pは、ゲート酸化膜107、ゲート電極108C、ソース領域およびドレイン領域で構成されている。ゲート電極108Cは、前記メモリセル選択用MISFETQ_tのゲート電極108A(ワード線WL)と同じ導電膜で構成されている。ゲート電極108Cの上部には窒化シリコン膜110が形成されており、側壁には窒化シリコンのサイドウォールスペーサ111が形成されている。pチャネル型MISFETQ_pのソース領域、ドレイン領域のそれぞれは、低不純物濃度のp⁻型半導体領域114と高不純物濃度のp⁺型半導体領域115とからなるLDD構造で構成されており、p⁺型半導体領域115の表面にはチタンシリサイド層116が形成されている。

40

【0129】

メモリセル選択用MISFETQ_t、nチャネル型MISFETQ_n、シェアードMISFETQ_{shr}およびpチャネル型MISFETQ_pの上部には、下層から順に酸化シリコン膜117、BPSG(Boron-doped Phospho Silicate Glass)膜118および酸化シリコン膜119が形成されている。

【0130】

メモリセル部Aの酸化シリコン膜119の上部にはビット線BLが形成され、境界領域Dにまたがる酸化シリコン膜119の上部にもビット線BLが形成されている。ビット線BLは、TiN膜とW膜とを積層した2層の導電膜で構成されている。ビット線BLは、リン(P)またはヒ素(As)をドーブした多結晶シリコンのプラグ120が埋め込まれた

50

接続孔 121 を通じてメモリセル選択用 M I S F E T Q t のソース領域、ドレイン領域の一方 (n 型半導体領域 109) と電氣的に接続されている。また、ビット線 B L は、接続孔 123 を通じて (多結晶シリコンのプラグを介することなく) 周辺回路部 B のシェアード M I S F E T Q s h r のソース領域、ドレイン領域の一方 (n⁺ 型半導体領域 113) と電氣的に接続されている。シェアード M I S F E T Q s h r の n⁺ 型半導体領域 113 の表面には低抵抗のチタンシリサイド層 116 が形成され、ビット線 B L のコンタクト抵抗が低減されるようになっている。

【 0131 】

また、ビット線 B L は、境界領域 D でその膜厚が変化し、メモリセル部 A では膜厚が薄く、周辺回路部 B ではその膜厚は厚くなっている。このように境界領域 D でビット線 B L の膜厚が変化しているのは、後に説明するように境界領域 D を境にしてビット線 B L を構成する導電膜をエッチングしてメモリセル部 A の領域で薄膜化するためである。このようにメモリセル部 A でビット線 B L が薄く形成されるため、ビット線 B L の寄生容量を低減することができ、情報蓄積用容量素子 C に蓄積される蓄積電荷の検出感度を向上することができる。

【 0132 】

周辺回路部 B の酸化シリコン膜 119 の上部には第 1 層目の配線 130 A、130 B、130 C、130 D、130 E が形成されている。配線 130 A、130 B、130 C、130 D、130 E は、前記ビット線 B L と同様、TiN 膜と W 膜とを積層した 2 層の導電膜で構成されている。配線 130 A の一端は、接続孔 124 を通じてシェアード M I S F E T Q s h r のソース領域、ドレイン領域の他方 (n⁺ 型半導体領域 113) と電氣的に接続されており、他端は接続孔 125 を通じて p チャネル型 M I S F E T Q p のソース領域、ドレイン領域の一方 (p⁺ 型半導体領域 115) と電氣的に接続されている。配線 130 B は接続孔 126 を通じて 2 つの p チャネル型 M I S F E T Q p に共用されるソース領域、ドレイン領域 (p⁺ 型半導体領域 115) と電氣的に接続されている。配線 130 C の一端は、接続孔 127 を通じて p チャネル型 M I S F E T Q p のソース領域、ドレイン領域の他方 (p⁺ 型半導体領域 115) と電氣的に接続され、他端は接続孔 128 を通じて n チャネル型 M I S F E T Q n のソース領域、ドレイン領域の一方 (n⁺ 型半導体領域 113) と電氣的に接続されている。配線 130 D は接続孔 129 を通じて 2 つの n チャネル型 M I S F E T Q n に共用されるソース領域、ドレイン領域 (n⁺ 型半導体領域 113) と電氣的に接続されている。そして配線 130 E の一端は、接続孔 130 を通じて n チャネル型 M I S F E T Q n のソース領域、ドレイン領域の他方 (n⁺ 型半導体領域 113) と電氣的に接続されている。また n チャネル型 M I S F E T Q n およびシェアード M I S F E T Q s h r の n⁺ 型半導体領域 113 の表面および p チャネル型 M I S F E T Q p の p⁺ 型半導体領域 115 の表面には低抵抗のチタンシリサイド層 116 が形成され、配線 130 A、130 B、130 C、130 D、130 E のコンタクト抵抗が低減されるようになっている。

【 0133 】

ビット線 B L および配線 130 A、130 B、130 C、130 D、130 E の上部には、酸化シリコン膜 131 および窒化シリコン膜 132 が形成されている。メモリセル部 A の窒化シリコン膜 132 の上部には、蓄積電極 (下部電極) 133、容量絶縁膜 134 およびプレート電極 (上部電極) 135 で構成された情報蓄積用容量素子 C が形成されている。

【 0134 】

情報蓄積用容量素子 C の蓄積電極 133 は、多結晶シリコン膜で構成され、接続孔 137 を介して多結晶シリコンのプラグ 120 に接続される多結晶シリコン膜 133 a と、接続孔 137 を開口する際にいわゆるハードマスクとして機能する多結晶シリコン膜 133 b およびサイドウォールスペーサ 133 c と、半導体基板 101 に対して垂直に立設して形成され、クラウン形状の側壁をなす多結晶シリコン膜 133 d とから構成される。蓄積電極 133 は、プラグ 120 を埋め込んだ接続孔 122 を通じてメモリセル選択用 M I S F

10

20

30

40

50

ETQtのソース領域、ドレイン領域の他方(n型半導体領域109)と電氣的に接続される。容量絶縁膜134はたとえばシリコン酸化膜およびシリコン窒化膜の積層膜で構成されており、プレート電極135はたとえば多結晶シリコン膜で構成されている。

【0135】

情報蓄積用容量素子Cの上部には、下層から順に酸化シリコン膜138、SOG(Spin On Glass)膜139および酸化シリコン膜140が形成されている。酸化シリコン膜140の上部には第2層目の配線141が形成されている。配線141は、情報蓄積用容量素子Cのプレート電極135の上部の絶縁膜(酸化シリコン膜140、SOG膜139および酸化シリコン膜138)に開孔した接続孔142を通じてプレート電極135と電氣的に接続されており、プレート電極135にプレート電圧($V_{dd}/2$)を供給する。また、他の配線141は、周辺回路部Bの第1層目の配線130Cの上部の絶縁膜(酸化シリコン膜140、SOG膜139、酸化シリコン膜138、および酸化シリコン膜131)に開孔した接続孔143を通じて配線130Cと電氣的に接続されている。配線141とプレート電極135とを接続する接続孔142の内部、および配線141と配線130Bとを接続する接続孔143の内部には、Wのプラグ144が埋め込まれている。

10

【0136】

配線141の上部には、例えば酸化シリコン膜、SOG膜および酸化シリコン膜を積層した3層の絶縁膜などで構成された層間絶縁膜を介して第3層目の配線が形成され、さらにその上部には、酸化シリコン膜と窒化シリコン膜とを積層した2層の絶縁膜などで構成されたパッシベーション膜が形成されているが、それらの図示は省略する。

20

【0137】

次に、本実施の形態のDRAMの製造方法を図24~図41を用いて詳細に説明する。

【0138】

まず、図24に示すように、1~10 cm程度の比抵抗を有するp⁻型の半導体基板101の表面に選択酸化(LOCOS)法でフィールド酸化膜104を形成した後、メモリセルを形成する領域(メモリセル部A)と周辺回路部Bのnチャネル型MISFETQnおよびシェアードMISFETQshrを形成する領域の半導体基板101にp型不純物(ホウ素(B))をイオン注入してp型ウエル102a、102bを形成し、周辺回路部Bのpチャネル型MISFETQpを形成する領域の半導体基板101にn型不純物(リン(P))をイオン注入してn型ウエル102cを形成する。続いて、メモリセル部Aにn型不純物(リン(P))をイオン注入してn型ウエル103を形成する。さらにp型ウエル102a、102bにp型不純物(B)をイオン注入してp型チャネルストッパ層105を形成し、n型ウエル102cにn型不純物(P)をイオン注入してn型チャネルストッパ層106を形成する。周辺回路部Bのp型ウエル102bとメモリセル部Aのp型ウエル102aは、別工程で形成してもよい。

30

【0139】

その後、フィールド酸化膜104で囲まれたp型ウエル102a、102b、n型ウエル102cのそれぞれのアクティブ領域の表面に熱酸化法でゲート酸化膜107を形成し、さらにこのゲート酸化膜107を通じてp型ウエル102a、102bおよびn型ウエル102cにMISFETのしきい値電圧(V_{th})を調整するための不純物をイオン注入する。ウエル(p型ウエル102a、102b、n型ウエル102c)を形成するためのイオン注入、チャネルストッパ層(p型チャネルストッパ層105、n型チャネルストッパ層106)を形成するためのイオン注入およびMISFETのしきい値電圧(V_{th})を調整するためのイオン注入のうち、不純物の導電型が同一のものについては同一のフォトレジストマスクを使って同一工程で形成してもよい。また、メモリセル選択用MISFETQtのしきい値電圧(V_{th})を調整するためのイオン注入と周辺回路部BのMISFET(nチャネル型MISFETQn、シェアードMISFETQshr、pチャネル型MISFETQp)のしきい値電圧(V_{th})を調整するためのイオン注入を別工程で行い、しきい値電圧(V_{th})をそれぞれのMISFETで独立に調整してもよい。

40

【0140】

50

次に、図 25 に示すように、メモリセル選択用 M I S F E T Q t のゲート電極 108 A (ワード線 W L)、n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r のゲート電極 108 B および p チャネル型 M I S F E T Q p のゲート電極 108 C を形成する。ゲート電極 108 A (ワード線 W L) およびゲート電極 108 B、108 C は、例えば半導体基板 101 上に C V D 法で n 型の多結晶シリコン膜、W S i₂ 膜および窒化シリコン膜 110 を順次堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。あるいは C V D 法で n 型の多結晶シリコン膜を堆積し、次いでスパッタリング法で T i N 膜と W 膜とを堆積し、さらに C V D 法で窒化シリコン膜 110 を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。T i N 膜は、多結晶シリコン膜と W 膜との反応を防止するバリアメタルとして使用される。ゲート電極 108 A (ワード線 W L) およびゲート電極 108 B、108 C は、例えば n 型の多結晶シリコン膜上に T i N 膜 (または W N (タングステンナイトライド) 膜) と T i シリサイド膜とを積層した 3 層の導電膜など、より低抵抗の材料で構成することもできる。

10

【0141】

次に、図 26 に示すように、p 型ウエル 102 a、102 b に n 型不純物 (P) をイオン注入してメモリセル選択用 M I S F E T Q t の n 型半導体領域 109 と n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r の n⁻ 型半導体領域 112 とをゲート電極 108 A、108 B に対して自己整合 (セルフアライン) で形成し、n 型ウエル 102 c に p 型不純物 (B) をイオン注入して p チャネル型 M I S F E T Q p の p⁻ 型半導体領域 114 をゲート電極 108 C に対して自己整合 (セルフアライン) で形成する。このとき、メモリセル選択用 M I S F E T Q t の n 型半導体領域 109 を形成するためのイオン注入と、n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r の n⁻ 型半導体領域 112 を形成するためのイオン注入とを別工程で行い、ソース領域、ドレイン領域の不純物濃度をそれぞれの M I S F E T で独立に調整してもよい。

20

【0142】

次に、図 27 に示すように、メモリセル選択用 M I S F E T Q t のゲート電極 108 A (ワード線 W L)、n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r のゲート電極 108 B および p チャネル型 M I S F E T Q p のゲート電極 108 C の各側壁にサイドウォールスペーサ 111 を形成する。サイドウォールスペーサ 111 は、C V D 法で堆積した窒化シリコン膜を異方性エッチングで加工して形成する。次いで、周辺回路部 B の p 型ウエル 102 b に n 型不純物 (P) をイオン注入して n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r の n⁺ 型半導体領域 113 をサイドウォールスペーサ 111 に対して自己整合 (セルフアライン) で形成し、n 型ウエル 102 c に p 型不純物 (B) をイオン注入して p チャネル型 M I S F E T Q p の p⁺ 型半導体領域 115 をサイドウォールスペーサ 111 に対して自己整合 (セルフアライン) で形成する。周辺回路部 B を構成する n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r のソース領域、ドレイン領域、p チャネル型 M I S F E T Q p のソース領域、ドレイン領域は、必要に応じてそれらの一方または両方をシングルドレイン構造や二重拡散ドレイン (Double Diffused Drain) 構造などで構成することもできる。

30

40

【0143】

次に、図 28 に示すように、メモリセル選択用 M I S F E T Q t のゲート電極 108 A (ワード線 W L)、n チャネル型 M I S F E T Q n およびシエード M I S F E T Q s h r のゲート電極 108 B および p チャネル型 M I S F E T Q p のゲート電極 108 C のそれぞれの上部に C V D 法で酸化シリコン膜 117 と B P S G 膜 118 とを堆積した後、化学的機械研磨 (Chemical Mechanical Polishing; C M P) 法で B P S G 膜 118 を研磨し、その表面を平坦化する。

【0144】

次に、図 29 に示すように、B P S G 膜 118 上に C V D 法で多結晶シリコン膜 (図示せず) を堆積した後、フォトレジストをマスクにして多結晶シリコン膜をエッチングし、次

50

いで多結晶シリコン膜をマスクにしてBPSG膜118、酸化シリコン膜117およびゲート酸化膜107をエッチングすることにより、メモリセル選択用MISFETQ_tのソース領域、ドレイン領域の一方(n型半導体領域109)の上部に接続孔121を形成し、他方(n型半導体領域109)の上部に接続孔122を形成する。

【0145】

このとき、メモリセル選択用MISFETQ_tのゲート電極108A(ワード線WL)の上部に形成された窒化シリコン膜110と側壁に形成された窒化シリコンのサイドウォールスペーサ111は、酸化シリコン系の絶縁膜(BPSG膜118、酸化シリコン膜117およびゲート酸化膜107)とはエッチング速度が異なるので、ほとんどエッチングされずに残る。すなわち、接続孔121、122を形成するためのドライエッチングに用いるガスは、酸化シリコン膜のエッチングレートは高いが、窒化シリコン膜のエッチングは低い。これにより、n型半導体領域109に接する領域が上記フォトリソのマスクを形成するのに用いた露光の解像度よりも小さい径で構成される微細な接続孔121、122をサイドウォールスペーサ111に対して自己整合(セルフアライン)で形成することができるので、メモリセルサイズの縮小を図ることができる。

10

【0146】

次に、接続孔121、122の内部に多結晶シリコンのプラグ120を埋め込む。このプラグ120は、前記した図示しない多結晶シリコン膜の上部にCVD法で多結晶シリコン膜を堆積した後、BPSG膜118の上部の多結晶シリコン膜をエッチバックで除去して形成する。このとき、エッチングのマスクに用いた多結晶シリコン膜も同時に除去する。プラグ120を構成する多結晶シリコン膜にはn型の不純物(P)がドーピングされる。この不純物は、接続孔121、122を通じてメモリセル選択用MISFETQ_tのn型半導体領域109、109(ソース領域、ドレイン領域)に拡散し、n型半導体領域109、109よりも高不純物濃度の半導体領域(図示せず)が形成される。

20

【0147】

次に、図30に示すように、BPSG膜118の上部にCVD法で酸化シリコン膜119を堆積し、次いで周辺回路部B領域を覆い、ビット線BLの上部に開孔を有するフォトリソをマスクにしたエッチングで接続孔121の上部の酸化シリコン膜119を除去し、ビット線BLが形成される領域のプラグ120を露出させた後、メモリセル形成領域を覆い、周辺回路部B領域に開孔を有するフォトリソをマスクにして周辺回路部Bの酸化シリコン膜119、BPSG膜118、酸化シリコン膜117およびゲート酸化膜107をエッチングすることにより、nチャネル型MISFETQ_n、シェアドMISFETQ_{shr}およびpチャネル型MISFETQ_pのソース領域、ドレイン領域の上部に接続孔123、124、125、126、127、128、129、130を形成する。

30

【0148】

次に、接続孔123~130の底部に露出したn⁺型半導体領域113、115の表面と、ビット線BLが接続されるプラグ120の表面とにチタンシリサイド層116を形成する。チタンシリサイド層116は、スパッタリング法で堆積したTi膜をアニールしてSi基板(n⁺型半導体領域113、p⁺型半導体領域115)および多結晶シリコン(プラグ120)と反応させた後、酸化シリコン膜119上に残った未反応のTi膜をウェットエッチングで除去して形成する。このチタンシリサイド層116の形成により、nチャネル型MISFETQ_nおよびシェアドMISFETQ_{shr}のn⁺型半導体領域113、pチャネル型MISFETQ_pのp⁺型半導体領域115およびプラグ120とそれらに接続される配線(ビット線BL、配線130A~E)とのコンタクト抵抗が低減される。

40

【0149】

次に、接続孔123~130の内面およびビット線BLが接続されるプラグ120の表面ならびに酸化シリコン膜119の表面に、ビット線BLおよび配線130A~Eを構成するTiN膜145とW膜146とを堆積する。TiN膜145およびW膜146の堆積はスパッタリング法を用いることができる。なお、このとき、TiN膜145およびW膜1

50

46の膜厚は、配線130A～Eの膜厚となるように調整する。

【0150】

次に、図31に示すように、フォトリジスト膜147をマスクとしてメモリセル部AのW膜146をエッチングし、薄膜化する。このフォトリジスト膜147は、メモリセル部を覆い、周辺回路部を露出するパターンを有し、フォトリジスト膜の境界は、図22のIの境界線で示される。エッチングには公知のドライエッチング法を用いることができる。なお、この薄膜化により、メモリセル部AのW膜146の膜厚が、ビット線BLの膜厚と等しくなるように調整する。膜厚の調整は、たとえばドライエッチング法の処理時間により制御できる。

【0151】

このように、ビット線BLとなる領域のW膜146を薄膜化するため、ビット線BLの寄生容量を低減することができる。また、このようなメモリセル部AのW膜146の薄膜化は特に複雑な工程を増加するものではなく、工程時間を長くする弊害もない。したがって、スループットを低下させることなくビット線BLの寄生容量を低減し、かつ、配線130A～Eのシート抵抗を低下することが可能である。

【0152】

なお、本実施の形態では、フォトリジスト膜147をシェアードMISFETQshrの上部を境に形成せず、境界領域Dを境に形成している。図22に示した境界線Iは、メモリセルとシェアードMISFETQshrの間の領域に位置する。このようにフォトリジスト膜147は境界領域Dの範囲内でその境界が形成されればよく、特にアライメントの精度を上げる必要がない。したがってフォトリジスト膜147の形成工程にマージンを持たせることが可能である。

【0153】

次に、図32に示すように、W膜146上にフォトリジスト膜148を形成し、これをマスクにしたエッチングでW膜146およびTiN膜145をパターンニングして、図33に示すようにビット線BLおよび配線130A～Eを同時に形成する。なお、メモリセル部AではW膜146の膜厚が薄いため、このエッチング工程によりメモリセル部Aの酸化シリコン膜119あるいはBPSG膜118が周辺回路部Bでのそれよりも過剰にエッチングされることとなるが、図示は省略している。また、ビット線BLおよび配線130A～Eは、例えばTiN膜（またはWN膜）とTiシサイド膜とを積層した2層の導電膜など、より低抵抗の材料で構成することもできる。

【0154】

次に、図34に示すように、ビット線BLおよび配線130A～Eを覆う酸化シリコン膜131を堆積する。酸化シリコン膜131は段差被覆性に優れたECRCVD法で堆積する。なお、ECRCVD法で堆積した酸化シリコン膜に代えて、BPSG膜またはSOG膜等埋め込み性、平坦性に優れた膜を用いることも可能である。

【0155】

次に、図35に示すように、酸化シリコン膜131をCMP法により平坦化し、その後、窒化シリコン膜132を堆積する。さらに酸化シリコン膜149を堆積する。

【0156】

次に、図36に示すように、多結晶シリコン膜133bを堆積した後、フォトリジストをマスクにして多結晶シリコン膜133bをエッチングし、開口を形成する。この開口は後に接続孔137が形成される位置に形成する。さらに、多結晶シリコン膜（図示せず）を堆積した後、これを異方性エッチングによりエッチングし、前記開口に多結晶シリコン膜からなるサイドウォールスペーサ133cを形成する。その後、多結晶シリコン膜133bおよびサイドウォールスペーサ133cをマスクとして、酸化シリコン膜149、窒化シリコン膜132および酸化シリコン膜131をエッチングすることにより、メモリセル選択用MISFETQtのソース領域、ドレイン領域の他方（n型半導体領域109）の上部に形成された接続孔122の上部に接続孔137を形成する。このように多結晶シリコン膜133bおよびサイドウォールスペーサ133cをマスクとして接続孔137を形

10

20

30

40

50

成するため、フォトリソグラフィの最小解像度以下の寸法で接続孔 137 を加工することができ、ビット線 BL が露出し、情報蓄積用容量素子 C と短絡する恐れが少ない。

【0157】

次に、図 37 に示すように、接続孔 137 の内部を含む多結晶シリコン膜 133b およびサイドウォールスペーサ 133c 上に多結晶シリコン膜 133a および酸化シリコン膜 150 を堆積し、フォトレジスト膜をマスクとして酸化シリコン膜 150、多結晶シリコン膜 133a、133b をエッチングする。その後、フォトレジスト膜を除去し、多結晶シリコン膜 151 を堆積する。

【0158】

次に、図 38 に示すように、多結晶シリコン膜 151 を異方性エッチングによりエッチングして、酸化シリコン膜 149 上の多結晶シリコン膜 151 を除去する。異方性エッチングによりエッチングされるため、酸化シリコン膜 150 および多結晶シリコン膜 133a、133b の側面の多結晶シリコン膜 151 は残り、情報蓄積用容量素子 C の蓄積電極 133 の立設した側壁をなす多結晶シリコン膜 133d が形成される。さらに、ウェットエッチングにより酸化シリコン膜 149、150 を除去する。このようにして多結晶シリコン膜 133a ~ d からなる蓄積電極 133 が完成する。なお、このウェットエッチングの際には窒化シリコン膜 132 がエッチストップパとして機能する。

10

【0159】

次に、図 39 に示すように、蓄積電極 133 の上部に窒化シリコン膜および酸化シリコン膜の積層膜を形成し、さらにその上部に多結晶シリコン膜を堆積する。その後、フォトレジスト膜 152 をマスクとして前記多結晶シリコン膜および窒化シリコン膜と酸化シリコン膜との積層膜をエッチングすることにより、窒化シリコン膜および酸化シリコン膜の積層膜からなる容量絶縁膜 134 および多結晶シリコン膜からなるプレート電極 135 を形成する。フォトレジスト膜 152 をマスクに、同時に窒化シリコン膜 132 も除去する。このようにして蓄積電極 133、容量絶縁膜 134 およびプレート電極 135 で構成された情報蓄積用容量素子 C を形成する。容量絶縁膜 134 としては他に酸化タンタル膜、BST ($(Ba, Sr)TiO_3$) などの高誘電体材料や、PZT ($PbZr_xTi_{1-x}O_3$)、PLT ($PbLa_xTi_{1-x}O_3$)、PLZT、 $PbTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $PbZrO_3$ 、 $LiNbO_3$ 、 $Bi_4Ti_3O_{12}$ 、 $BaMgF_4$ 、Y1 系 ($SrBi_2(Nb, Ta)_2O_9$) などの強誘電体材料で構成することもできる。またプレート電極 135 は、TiN 膜、W シリサイド / TiN、Ta、Cu、Ag、Pt、Ir、 IrO_2 、Rh、 RhO_2 、Os、 OsO_2 、Ru、 RuO_2 、Re、 ReO_3 、Pd、Au などの金属膜もしくは導電性金属酸化物膜などで構成することもできる。

20

30

【0160】

次に、図 40 に示すように、情報蓄積用容量素子 C の上部に CVD 法で酸化シリコン膜 138 を堆積し、次いでその上部に SOG 膜 139 をスピン塗布し、さらにその上部に CVD 法で酸化シリコン膜 140 を堆積した後、図 41 に示すように、フォトレジストをマスクにして情報蓄積用容量素子 C のプレート電極 135 の上部の絶縁膜 (酸化シリコン膜 140、SOG 膜 139 および酸化シリコン膜 138) をエッチングすることにより接続孔 142 を形成する。また同時に、周辺回路部 B の第 1 層目の配線 130C の上部の絶縁膜 (酸化シリコン膜 140、SOG 膜 139、酸化シリコン膜 138、および酸化シリコン膜 131) をエッチングすることにより接続孔 143 を形成する。

40

【0161】

さらに、接続孔 142、143 の内部に W のプラグ 144 を埋め込む。プラグ 144 は、酸化シリコン膜 140 の上部に CVD 法で堆積した W 膜をエッチバックして形成する。プラグ 144 は、TiN 膜と W 膜との積層膜などで構成することもできる。

【0162】

その後、酸化シリコン膜 140 の上部に第 2 層目の配線 141 を形成することにより、前記図 21 に示す DRAM が略完成する。配線 141 は、酸化シリコン膜 140 の上部にスパッタリング法で TiN 膜、Al 合金膜および TiN 膜を堆積した後、フォトレジストを

50

マスクにしたエッチングでこれらの膜をパターンングして同時に形成する。配線 141 は、TiN 膜と Cu 膜との積層膜などで構成することもできる。

【0163】

本実施の形態の DRAM およびその製造方法によれば、ビット線 BL の膜厚を薄くし、配線 130A ~ E の膜厚を厚くすることができる。この結果、ビット線 BL の寄生容量を低減し、配線 130A ~ E の抵抗を低減でき、DRAM の蓄積電荷の検出感度の向上および周辺回路の高速化を図ることができる。

【0164】

また、本実施の形態では、ビット線 BL と配線 130A ~ E の膜厚の相違する位置を境界領域 D に設定するため、W 膜 146 の薄膜化を行うためのフォトレジスト膜 147 のフォトリソグラフィのアライメント余裕を大きくすることができる。

10

【0165】

(実施の形態 8)

図 42 および図 43 は、本発明の他の実施の形態である DRAM の製造方法を工程順に示した断面図である。

【0166】

本実施の形態 8 の DRAM は、実施の形態 7 で説明した DRAM とほぼ同様な構成を有するものであり、ビット線 BL および配線 130A ~ E を構成する TiN 膜 153 および W 膜 154 の膜厚が相違するものである。

【0167】

本実施の形態 8 の DRAM の製造方法を以下に説明する。まず、実施の形態 7 における図 29 までの工程は同様である。

20

【0168】

次に、図 42 に示すように、実施の形態 7 における図 30 の工程と同様に TiN 膜 153 および W 膜 154 を堆積する。ここで、TiN 膜 153 は実施の形態 7 における TiN 膜 145 よりも厚く堆積する。すなわち、メモリセル部 A におけるビット線 BL の要求抵抗値が確保できる程度に TiN 膜 153 の膜厚を調整する。また、TiN 膜 153 および W 膜 154 の膜厚は、周辺回路部 B における配線 130A ~ E の要求抵抗値が確保できる程度に堆積する。

【0169】

次に、図 43 に示すように、フォトレジスト膜 155 をマスクとして W 膜 154 をエッチングする。このエッチングの際、エッチングは、タングステンがエッチングされやすく、窒化チタンはエッチングされにくい条件で行う。このように、窒化チタンがエッチングされにくい条件で W 膜 154 をエッチングするため、オーバーエッチングをかけても TiN 膜 153 はエッチングされず、メモリセル部 A の膜厚を TiN 膜 153 の膜厚として安定に形成できる。このため、実施の形態 7 のようにタングステン膜の膜厚を時間で制御して調整する必要がない。この結果、工程を安定にすることができる。

30

【0170】

なお、この後の工程は、実施の形態 7 と同様であるため説明を省略する。

【0171】

(実施の形態 9)

図 44 ~ 図 48 は、本発明の他の実施の形態である DRAM の製造方法を工程順に示した断面図である。

40

【0172】

まず、実施の形態 7 における図 28 までの工程と同様に BPSG 膜 118 を形成し、その表面を平坦化する。ただし、本実施の形態 9 では、図 44 に示すように実施の形態 7 の BPSG 膜 118 よりもビット線 BL と配線 130A ~ E の膜厚の差分以上厚く形成する。

【0173】

次に、図 45 に示すように実施の形態 7 と同様に多結晶シリコン膜からなるプラグ 120 を形成する。

50

【0174】

次に、図46に示すようにメモリセル部Aを覆うフォトリソグロフ膜156を形成し、これをマスクとして周辺回路部BのBPSG膜118をドライエッチングにより異方性エッチングを行う。このBPSG膜118のエッチング深さは、ビット線BLと配線130A~Eとの膜厚差に相当する寸法とする。

【0175】

なお、フォトリソグロフ膜156の境界は境界領域Dに設定する。このように境界領域Dを境としてフォトリソグロフ膜156を形成するため、マスクの合わせ余裕が大きく、フォトリソグロフ工程を容易にすることができる。

【0176】

次に、図47に示すように、実施の形態7と同様に酸化シリコン膜119、TiN膜145およびW膜146を堆積し、さらに、図48に示すように、W膜146の表面を平坦化する。平坦化にはCMP法を用いることができる。

【0177】

この後、W膜146およびTiN膜145をパターンニングしてビット線BLおよび配線130A~Eを形成するが、実施の形態7と同様であるため説明を省略する。

【0178】

本実施の形態9では、W膜146およびTiN膜145をパターンニングする前にW膜146の表面が平坦化されているため、W膜146およびTiN膜145のパターンニングを高精度に行うことができる。すなわちパターンニングの際のフォトリソグロフでのフォーカスは凸凹形状を有する基板を基準に行う必要がなく、良好な平坦面を基準にフォーカスすることができる。この結果フォトリソグロフ工程を安定にすることができる。

【0179】

(実施の形態10)

図49~図51は、本発明のさらに他の実施の形態であるDRAMの製造方法を工程順に示した断面図である。

【0180】

図49に示すように、実施の形態9と同様にフォトリソグロフ膜156を形成する。その後、BPSG膜118をエッチングするが、本実施の形態10ではドライエッチングではなくウェットエッチングを用いる。ウェットエッチングは等方性エッチングであるため、段差部157は丸みを帯びる。なお、エッチングの深さは、実施の形態9と同様にビット線BLと配線130A~Eとの膜厚差に相当する寸法とする。

【0181】

次に、図50に示すように酸化シリコン膜119、TiN膜145およびW膜146を堆積し、さらに、図51に示すように、W膜146の表面を平坦化する。平坦化にはCMP法を用いることができる。

【0182】

この後、W膜146およびTiN膜145をパターンニングしてビット線BLおよび配線130A~Eを形成するが、実施の形態7と同様であるため説明を省略する。

【0183】

本実施の形態10によれば、実施の形態9と同様に、W膜146の表面が平坦であることから得られる利点に加えて、段差部157が丸みを帯びているため、酸化シリコン膜119、TiN膜145およびW膜146の段差被覆性が向上し、工程のマージンを増加して安定にすることができる。すなわち、急峻な段差部では段差部の酸化シリコン膜119、TiN膜145またはW膜146にポイドを形成する場合がありますが、このようなポイドの存在する状態でCMPによる平坦化を行えば、膜を損傷等する可能性があるが、本実施の形態ではそのような不具合は発生しない。また、ポイドの存在は、配線等の信頼性を低下させる要因となり得るが、本実施の形態では、そのような心配もない。

【0184】

(実施の形態11)

10

20

30

40

50

図52～図58は、本発明の他の実施の形態であるDRAMの製造方法を工程順に示した断面図である。

【0185】

まず、実施の形態10における図49の工程と同様にBPSG膜118をウェットエッチングする。なお、エッチングの深さは、実施の形態10と同様にビット線BLと配線130A～Eとの膜厚差に相当する寸法とする。その後、図52に示すように、フォトレジスト膜156を除去する。

【0186】

次に、図53に示すように窒化シリコン膜159および酸化シリコン膜160を順次堆積し、図54に示すように酸化シリコン膜160の表面を平坦化する。

10

【0187】

次に、図55に示すように、ビット線BLおよび配線130A～Eが形成される領域に開口を有するフォトレジスト膜161を形成し、図56に示すように、フォトレジスト膜161をマスクとして酸化シリコン膜160および窒化シリコン膜159をエッチングする。このエッチングの際には、まず酸化シリコンがエッチングされやすく、窒化シリコンがエッチングされにくい条件で酸化シリコン膜160をエッチングする。このような条件では窒化シリコン膜159がエッチングされないため酸化シリコン膜160の膜厚が図示のように相違していても十分なオーバーエッチングを行うことが可能であり、窒化シリコン膜159に沿った形状、すなわちメモリセル部Aと周辺回路部Bとの段差に応じた形状で酸化シリコン膜160をエッチングすることができる。酸化シリコン膜160がエッチングされた後、露出している窒化シリコン膜159をエッチングする。この場合は窒化シリコンがエッチングされやすい条件でエッチングする。このような条件では酸化シリコン膜もエッチングされるが窒化シリコン膜159の膜厚が十分薄く設定することによりオーバーエッチングの影響を小さくできる。

20

【0188】

次に、図57に示すように、タングステン膜162を堆積する。その後、タングステン膜162をCMP法により平坦化するとともにエッチバックし、図58に示すように、酸化シリコン膜160および窒化シリコン膜159に形成された溝内にタングステン膜162を埋め込んでビット線BLおよび配線130A～Eを形成する。

【0189】

この後の工程は、実施の形態7と同様であるため説明を省略する。

30

【0190】

本実施の形態11によれば、いわゆるダマシン法を用いてビット線BLおよび配線130A～Eを形成することができ、微細なパターンングが困難となるタングステン等の金属膜を微細に加工することが可能となる。また、実施の形態7等で得られる利点の本実施の形態11でも得られることはいうまでもない。

【0191】

なお、酸化シリコン膜160および窒化シリコン膜159に形成された溝内に埋め込む金属はタングステンには限られない。銅、白金、金等、高導電率な材料を用いることが可能である。

40

【0192】

(実施の形態12)

図59～図66は、本発明のさらに他の実施の形態であるDRAMの製造方法を工程順に示した断面図である。

【0193】

まず、実施の形態7における図29までの工程と同様にプラグ120を形成し、その後、図59に示すように接続孔123～130をフォトレジスト膜をマスクとして開口する。さらに実施の形態7と同様にチタンサイド層116を形成した後、窒化チタン膜およびタングステン膜を順次堆積し、このタングステン膜および窒化チタン膜をエッチバックすることにより接続孔123～130内にタングステンプラグ158を形成する。

50

【0194】

次に、図60に示すように、タングステン膜163および酸化シリコン膜164を順次堆積したのち、図61に示すようにフォトレジスト膜165をマスクとして酸化シリコン膜164をエッチングする。この際、フォトレジスト膜165の境界はシェアードMISFETQshr上とする。なお、シェアードMISFETQshrは、図22に示すように交互にずらせて形成されているため、フォトレジスト膜165の境界のパターンもシェアードMISFETQshrに合わせてジグザグに形成する。図22のIIに境界線を示す。

【0195】

次に、図62に示すように、タングステン膜166を堆積し、図63に示すようにタングステン膜166の表面を平坦化する。平坦化はCMP法で行い、酸化シリコン膜164上にタングステン膜166が残らないように、酸化シリコン膜164も若干削る。

10

【0196】

次に、タングステン膜163、166が除去されるべき領域に開口を有するフォトレジスト膜167を図64に示すように形成する。

【0197】

次に、図65に示すように、フォトレジスト膜167をマスクとして酸化シリコン膜164をエッチングし、その後、図66に示すように、フォトレジスト膜167をマスクとしてタングステン膜163、166をエッチングする。これによりビット線BLおよび配線130A~Eを形成する。この後の工程は、実施の形態7と同様であるため説明を省略する。

20

【0198】

本実施の形態12によれば、実施の形態7で説明した効果に加えて、ビット線BLをタングステン膜163で構成するため、その膜厚の制御性を向上することができる。すなわち、本実施の形態12では、膜厚の薄い領域であるビット線BLをタングステン膜のエッチング等による薄膜化の手段を用いず、タングステン膜163の堆積のみで形成している。薄膜の堆積は一般に制御性が高く、よって、ビット線BLの膜厚の均一性を向上してDRAMの性能を向上できる。センスアンプの精度はそのセンスアンプを挟むビット線間のバランスに大きく依存するため、ビット線の膜厚を均一化し、その寄生容量および抵抗値の均一性を向上することはセンスアンプの感度を向上しDRAMの性能を向上することができる。

30

【0199】

なお、タングステン膜163、166のエッチングの際には、メモリセル部Aでのタングステン膜が薄くなっているため、図示のようにメモリセル部Aでオーバーエッチングが発生する。しかし、BPSG膜118の膜厚をあらかじめ厚くすることによりこの問題は回避できる。

【0200】

また、本実施の形態12ではフォトレジスト膜165の境界をシェアードMISFETQshrの上としたが、タングステン膜163、166の膜厚が変化する位置(図65におけるG部)でのパターニング不良が発生しても、このようなパターニング不良部を除去するため、前記問題は顕在化する恐れがない。

40

【0201】

(実施の形態13)

図67~図69は、本発明の他の実施の形態であるDRAMの製造方法を工程順に示した断面図である。

【0202】

まず、実施の形態12における図59の工程と同様に、接続孔123~130、チタンシリサイド層116を形成し、接続孔123~130内にタングステンプラグ158を形成する。

【0203】

その後、タングステン膜168を堆積した後、図67に示すように、フォトレジスト膜1

50

67をマスクとしてタングステン膜168をパターンニングする。タングステン膜168の膜厚はビット線BLの膜厚と同じになるようにする。

【0204】

次に、図68に示すように、メモリセル部Aのタングステン膜168を覆うように酸化シリコン膜169を形成する。酸化シリコン膜169は半導体基板101の全面への酸化シリコン膜の堆積と、パターンニングにより形成する。

【0205】

次に、タングステン膜の選択CVD法により露出したタングステン膜168の表面に選択的にタングステン膜170を堆積する。これにより、タングステン膜168と選択CVD法によるタングステン膜170からなる配線130A~Eが形成される。なお、ビット線BLはタングステン膜168により形成されている。この後の工程は、実施の形態7と同様であるため説明を省略する。

10

【0206】

本実施の形態13によれば、選択CVD法を用いて周辺回路部Bの配線を厚膜化するため、工程を簡略化することができる。

【0207】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0208】

たとえば、前記実施の形態では、ビット線および第1層目の配線を構成する導電膜にW膜を用いたが、その他の導電膜、例えばアルミニウム合金膜、銅膜などを用いてもよい。

20

【0209】

また、実施の形態7~10では、配線130A~Eと半導体基板101との接続はプラグを用いず配線を構成する窒化チタン膜およびタングステン膜により直接接続される例を示したが、実施の形態11~13と同様に窒化チタン膜をバリア層としたタングステンプラグを用いてもよい。

【0210】

また、配線130A~Eと半導体基板101とを接続するプラグは窒化チタン膜をバリア層としたタングステンプラグに限られず、窒化チタン膜あるいはスパッタタングステン膜を接着層としたブランケットCVD法によるタングステンプラグであってもよい。

30

【0211】

また、上記実施の形態では、ビット線BLと半導体基板101との接続には多結晶シリコン膜からなるプラグの例を示したが、図70に示すようにビット線BLを構成する窒化チタン膜およびタングステン膜により直接接続されるものであってもよい。また、窒化チタン膜をバリア層としたタングステンプラグ、あるいは窒化チタン膜あるいはスパッタタングステン膜を接着層としたブランケットCVD法によるタングステンプラグであってもよい。

【0212】

また、上記実施の形態では、情報蓄積用容量素子Cの蓄積電極(下部電極)が多結晶シリコン膜からなるプラグを介して半導体基板101と接続される例を示したが、図71に示すようにプラグを介さず、下部電極を構成する多結晶シリコン膜の一部により直接半導体基板101に接続されるものであってもよい。

40

【0213】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0214】

本発明によれば、ビット線と周辺回路の第1層配線とが同一層に形成される半導体集積回路装置において、ビット線の寄生容量を低減するとともに、周辺回路の配線の抵抗を低減

50

できる。

【0215】

また、寄生容量の低いビット線および周辺回路部の低抵抗の配線を同一過程において形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 10

【図4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 20

【図9】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 30

【図14】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 40

【図19】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図20】図19の一部を示す拡大平面図である。

【図21】実施の形態7のDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す半導体基板の要部断面図であり、図22におけるXXI-XXI線断面図である。

【図22】実施の形態7のDRAMのメモリセルを構成する導電層と周辺回路のMISFETを構成する導電層の各パターンを示す平面図である。

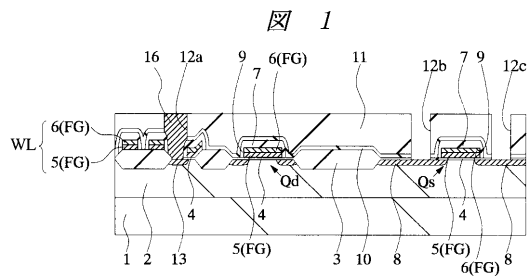
【図23】実施の形態7のDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す回路図である。 50

1 A	半導体チップ	
2	p型ウエル	
3	フィールド絶縁膜	
4	ゲート絶縁膜	
5	多結晶シリコン膜	
6	タングステンシリサイド膜	
7	窒化シリコン膜	
8	n型半導体領域	
9	サイドウォールスペーサ	
1 0	酸化シリコン膜	10
1 1	B P S G膜	
1 2 a ~ 1 2 c	接続孔	
1 3	n型半導体領域	
1 4	W膜 (タングステン膜)	
1 4 a	W膜 (タングステン膜)	
1 4 b	W膜 (タングステン膜)	
1 5	フォトレジストパターン	
1 6	プラグ (多結晶シリコン膜)	
1 7	W膜 (タングステン膜)	
1 8	窒化シリコン膜	20
1 9	酸化シリコン膜	
2 0	溝	
2 1	W膜 (タングステン膜)	
2 1 a	W膜 (タングステン膜)	
2 1 b	W膜 (タングステン膜)	
2 2	酸化シリコン膜	
2 3	W膜 (タングステン膜)	
2 3 a	W膜 (タングステン膜)	
2 3 b	W膜 (タングステン膜)	
1 0 1	半導体基板	30
1 0 2 a	p型ウエル	
1 0 2 b	p型ウエル	
1 0 2 c	n型ウエル	
1 0 3	n型ウエル	
1 0 4	フィールド酸化膜	
1 0 5	p型チャネルストップパ層	
1 0 6	n型チャネルストップパ層	
1 0 7	ゲート酸化膜	
1 0 8 A	ゲート電極	
1 0 8 B	ゲート電極	40
1 0 8 C	ゲート電極	
1 0 9	n型半導体領域	
1 1 0	窒化シリコン膜	
1 1 1	サイドウォールスペーサ	
1 1 2	n ⁻ 型半導体領域	
1 1 3	n ⁺ 型半導体領域	
1 1 4	p ⁻ 型半導体領域	
1 1 5	p ⁺ 型半導体領域	
1 1 6	チタンシリサイド層	
1 1 7	酸化シリコン膜	50

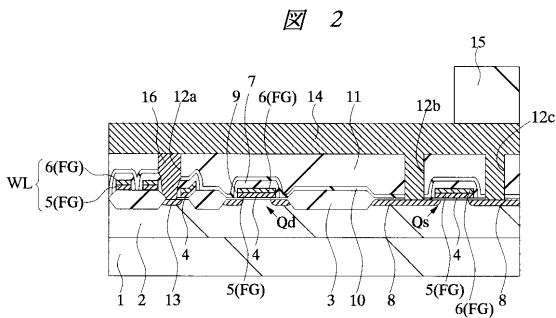
1 1 8	B P S G 膜	
1 1 9	酸化シリコン膜	
1 2 0	プラグ	
1 2 1 ~ 1 3 0	接続孔	
1 3 0 A ~ E	配線	
1 3 1	酸化シリコン膜	
1 3 2	窒化シリコン膜	
1 3 3	蓄積電極	
1 3 3 a , b , d	多結晶シリコン膜	
1 3 3 c	サイドウォールスペーサ	10
1 3 4	容量絶縁膜	
1 3 5	プレート電極	
1 3 7	接続孔	
1 3 8	酸化シリコン膜	
1 3 9	S O G 膜	
1 4 0	酸化シリコン膜	
1 4 1	配線	
1 4 2	接続孔	
1 4 3	接続孔	
1 4 4	プラグ	20
1 4 5	T i N 膜	
1 4 6	W 膜 (タングステン 膜)	
1 4 7	フォトレジスト膜	
1 4 8	フォトレジスト膜	
1 4 9	酸化シリコン膜	
1 5 0	酸化シリコン膜	
1 5 1	多結晶シリコン膜	
1 5 2	フォトレジスト膜	
1 5 3	T i N 膜	
1 5 4	W 膜 (タングステン 膜)	30
1 5 5	フォトレジスト膜	
1 5 6	フォトレジスト膜	
1 5 7	段差部	
1 5 8	タングステンプラグ	
1 5 9	窒化シリコン膜	
1 6 0	酸化シリコン膜	
1 6 1	フォトレジスト膜	
1 6 2	タングステン膜	
1 6 3	タングステン膜	
1 6 4	酸化シリコン膜	40
1 6 5	フォトレジスト膜	
1 6 6	タングステン膜	
1 6 7	フォトレジスト膜	
1 6 8	タングステン膜	
1 6 9	酸化シリコン膜	
1 7 0	タングステン膜	
A	メモリセル部	
B	周辺回路部	
B L	ビット線	
C	情報蓄積用容量素子	50

- D 境界領域
- FG ゲート電極
- M1 第1層配線
- MARY メモリアレイ
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qshr シェアードMISFET
- Qt メモリセル選択用MISFET
- MM メモリマツト
- SA センスアンプ
- WD ワードドライバ
- WL ワード線

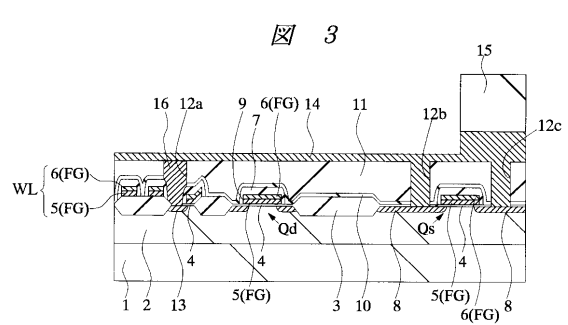
【図1】



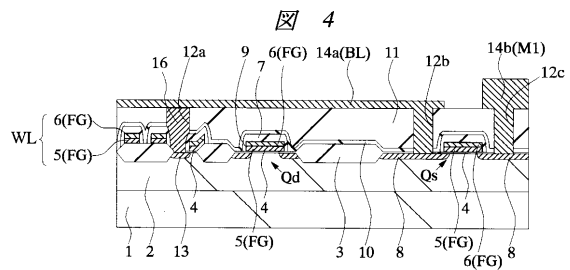
【図2】



【図3】

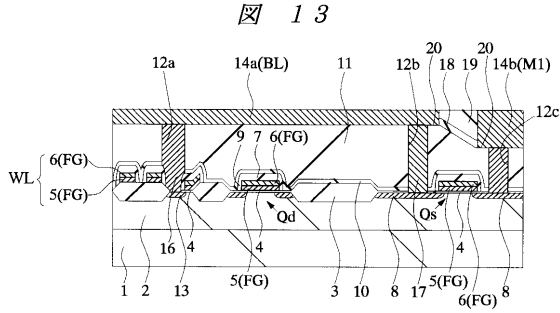


【図4】

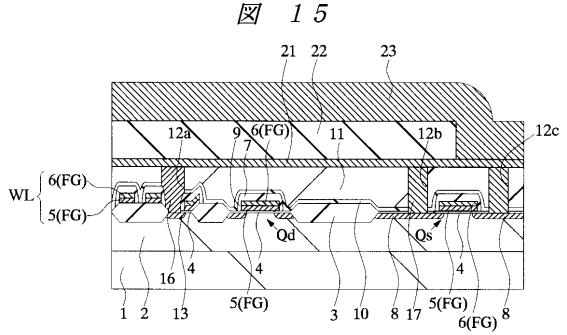


14a(BL) : タングステン膜 (ビット線)
 14b(M1) : タングステン膜 (第1層目の配線)

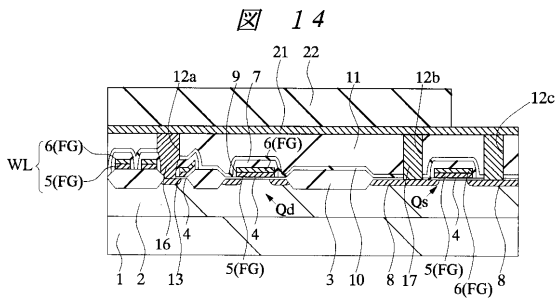
【 図 1 3 】



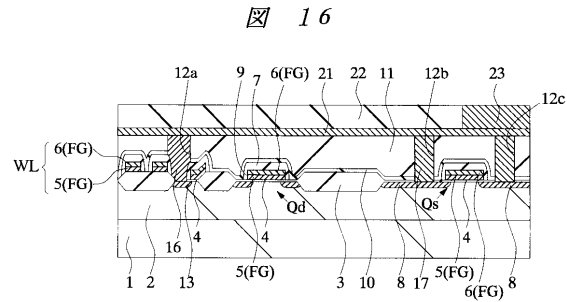
【 図 1 5 】



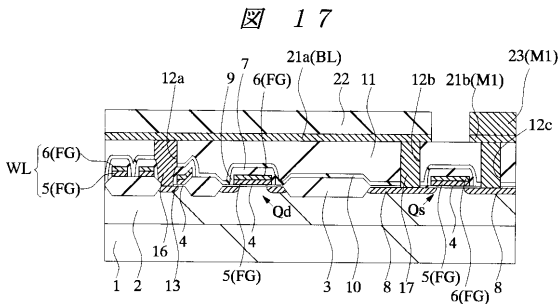
【 図 1 4 】



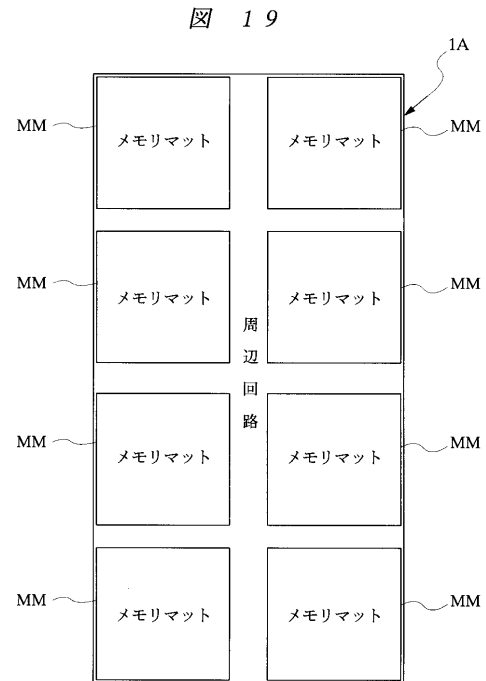
【 図 1 6 】



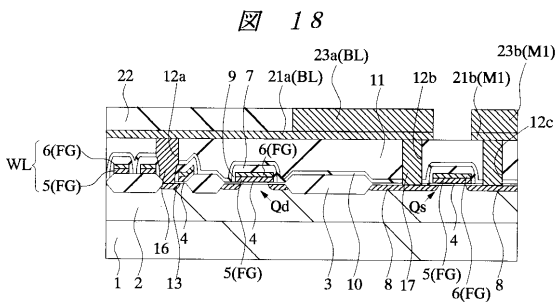
【 図 1 7 】



【 図 1 9 】

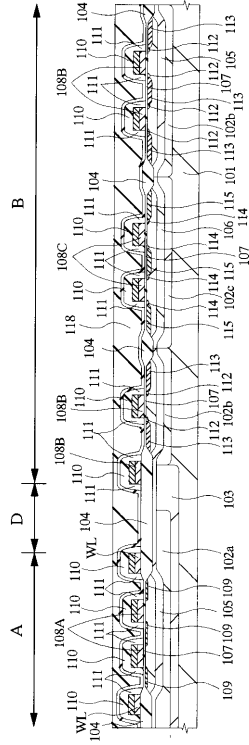


【 図 1 8 】



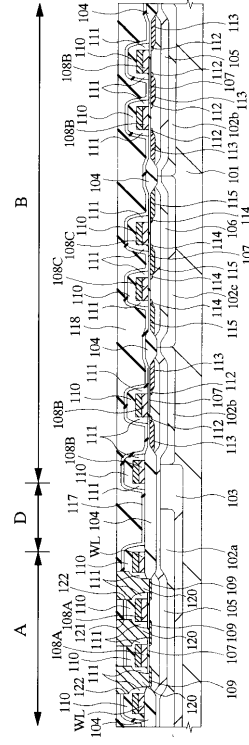
【 図 28 】

図 28



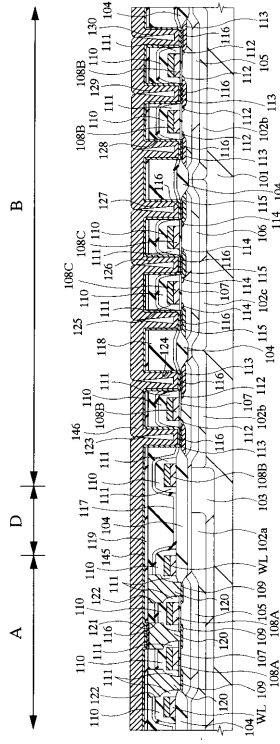
【 図 29 】

図 29



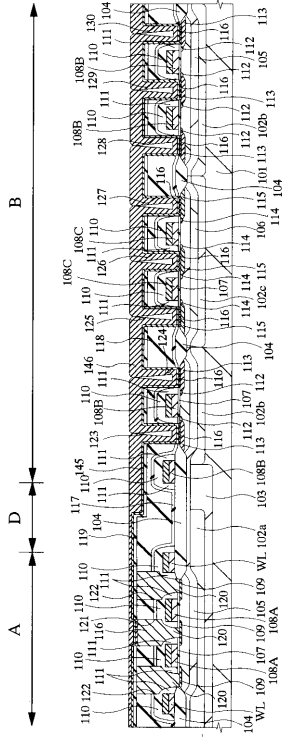
【 図 30 】

図 30



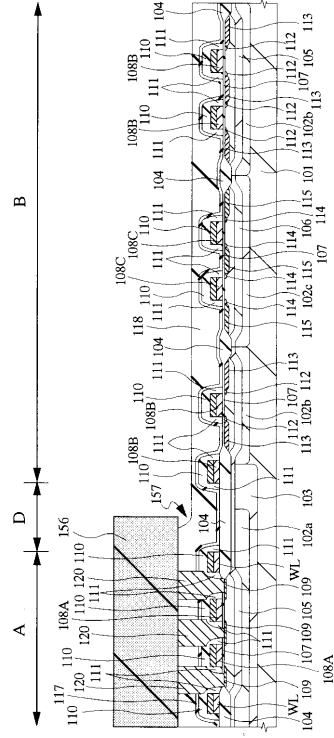
【 図 48 】

図 48



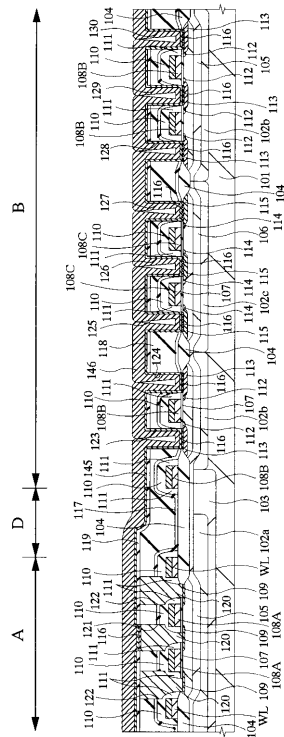
【 図 49 】

図 49



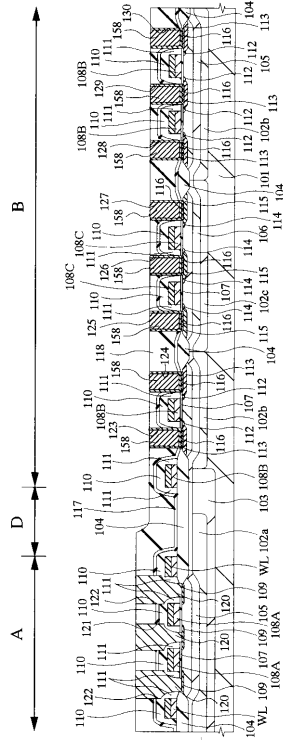
【 図 50 】

図 50



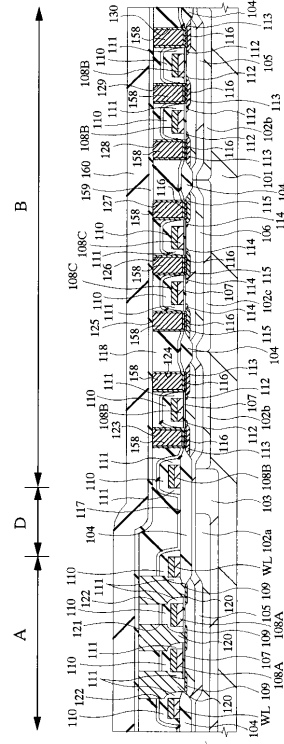
【 5 2 】

5 2



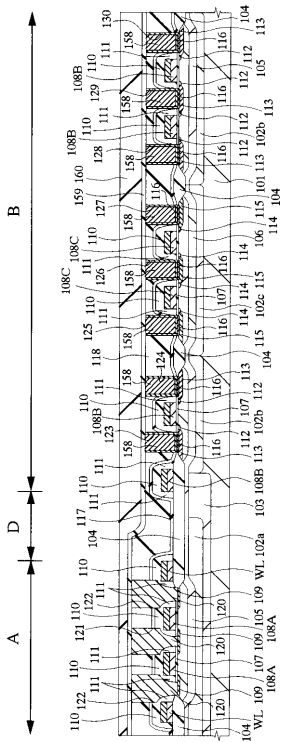
【 5 3 】

5 3



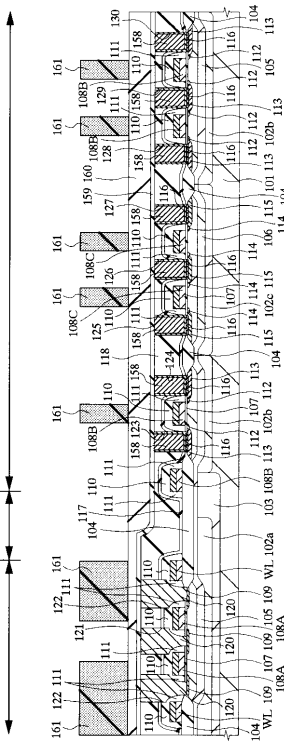
【 5 4 】

5 4



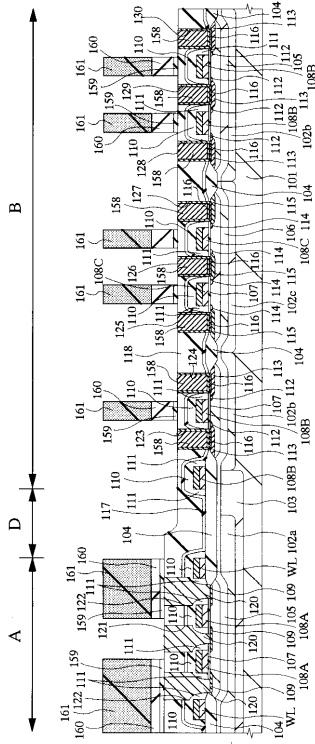
【 5 5 】

5 5



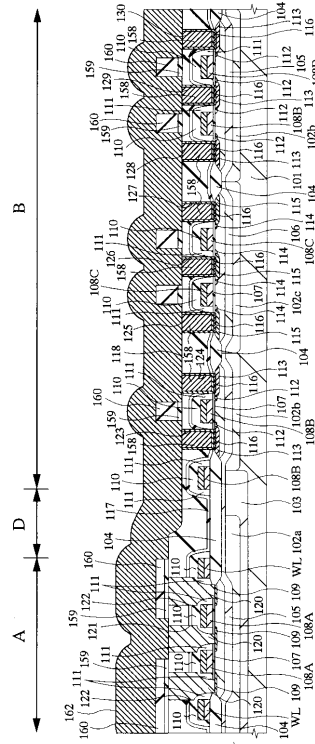
【 56 】

56



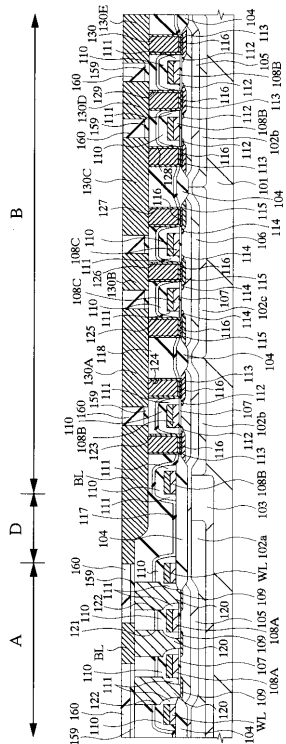
【 57 】

57



【 58 】

58



フロントページの続き

(72)発明者 ロバート・ヤンシ・ツー
アメリカ合衆国、テキサス州 75074、プレーノ、ラバカ・ドライブ 4209

審査官 河口 雅英

(56)参考文献 特開平08 - 274274 (JP, A)
特開平09 - 092794 (JP, A)
特開平08 - 204012 (JP, A)
特開平03 - 283658 (JP, A)
特開平07 - 086278 (JP, A)
特開平07 - 321197 (JP, A)
特開平06 - 349826 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 27/108

H01L 21/8242