

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-14750
(P2022-14750A)

(43)公開日 令和4年1月20日(2022.1.20)

(51)国際特許分類

F I

H 0 1 L 23/12 (2006.01)

H 0 1 L 23/12

5 0 1 P

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/08

Y

H 0 1 L 23/15 (2006.01)

H 0 1 L 23/14

C

審査請求 未請求 請求項の数 12 O L (全36頁)

(21)出願番号 特願2020-117274(P2020-117274)

(22)出願日 令和2年7月7日(2020.7.7)

(71)出願人 318010018

キオクシア株式会社
東京都港区芝浦三丁目1番21号

(74)代理人 100091487

弁理士 中村 行孝

(74)代理人 100105153

弁理士 朝倉 悟

(74)代理人 100107582

弁理士 関根 毅

(74)代理人 100118843

弁理士 赤岡 明

(72)発明者 本間 莊一

東京都港区芝浦三丁目1番21号 キオ
クシア株式会社内

(72)発明者 右田 達夫

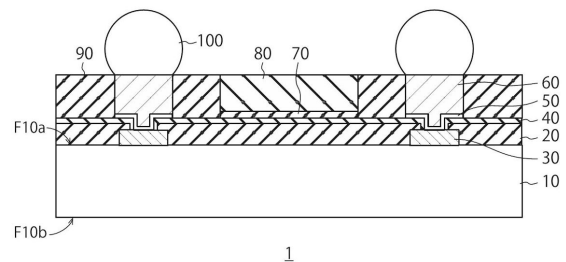
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】 (修正有)【課題】スルーボットの低下を抑制しつつ、半導体パッケージの厚みのばらつきまたは半導体パッケージの反りを抑制することができる半導体装置およびその製造方法を提供する。

【解決手段】半導体装置1は、第1面F10aと第1面とは反対側の第2面F10bを有し、第1面上に半導体素子を設けた半導体チップ10を備える。柱状電極60は、第1面の上方に設けられ、半導体素子のいずれかに電気的に接続されている。第1部材80は、第1面の上方において、柱状電極の周辺に設けられている。絶縁材90は、柱状電極および第1部材を被覆する。第1部材は、柱状電極および絶縁材よりも硬い。第1部材および柱状電極は、絶縁材の表面から露出されている。

【選択図】図1



1

【特許請求の範囲】

【請求項 1】

第 1 面と該第 1 面とは反対側の第 2 面とを有し、前記第 1 面上に半導体素子を設けた半導体チップと、

前記第 1 面の上方に設けられ、前記半導体素子のいずれかに電氣的に接続された柱状電極と、

前記第 1 面の上方において、前記柱状電極の周辺に設けられた第 1 部材と、

前記柱状電極および前記第 1 部材を被覆する絶縁材と、を備え、

前記第 1 部材は、前記柱状電極および前記絶縁材よりも硬く、

前記第 1 部材および前記柱状電極は、前記絶縁材の表面から露出されている、半導体装置

10

【請求項 2】

前記第 1 部材は、前記絶縁材から露出された第 3 面と、前記半導体チップの第 1 面に対応する第 4 面と、前記第 3 面と前記第 4 面との間にある側面とを備え、

前記側面は、前記第 1 面に対して垂直方向から傾斜し、あるいは、段差を有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 部材は、前記第 1 面から見た面積が互いに異なる複数の第 2 部材を積層して構成された積層体である、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記半導体チップの電極パッドと前記柱状電極との間に設けられた金属膜をさらに備え、前記絶縁材から露出されている前記柱状電極の面積は、前記半導体チップの電極パッドに対する前記柱状電極のコンタクト面積よりも大きい、請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

20

【請求項 5】

前記絶縁材から露出されている前記柱状電極の面積は、前記半導体チップに対する前記柱状電極のコンタクト面積よりも小さい、請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 6】

前記柱状電極は、前記絶縁材から露出された面積が前記半導体チップに対する前記柱状電極のコンタクト面積よりも大きい第 1 柱状電極と、前記前記絶縁材から露出された面積が、前記半導体チップに対する前記柱状電極のコンタクト面積よりも小さい第 2 柱状電極とを含む、請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

30

【請求項 7】

前記絶縁材は、積層された複数の前記半導体チップを埋め込み、

前記第 1 部材は、前記半導体チップのいずれかの上に配置されている、請求項 1 から請求項 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記複数の半導体チップは、複数のメモリチップおよび該メモリチップのコントローラチップであり、

前記第 1 部材および前記コントローラチップは、前記複数のメモリチップの積層体上に設けられている、請求項 7 に記載の半導体装置。

40

【請求項 9】

前記半導体チップの前記第 1 面上に設けられた配線層をさらに備え、

前記柱状電極および前記第 1 部材は、前記配線層内に設けられている、請求項 1 から請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記半導体チップを覆う第 4 絶縁膜と、

前記半導体チップの第 1 面と、該第 1 面と面一の前記第 4 絶縁膜の面上に設けられた配線層をさらに備え、

50

前記柱状電極および前記第 1 部材は、前記配線層内に設けられている、請求項 1 から請求項 9 のいずれか一項に記載の半導体装置。

【請求項 1 1】

第 1 面と該第 1 面とは反対側の第 2 面とを有し該第 1 面上に半導体素子を有する半導体チップの該第 1 面の上方に柱状電極を形成し、

前記半導体チップの前記第 1 面の上方に、上面が前記柱状電極よりも低い位置にある第 1 部材を設け、

前記第 1 面上において、前記柱状電極および前記第 1 部材を埋め込む絶縁材を形成し、

前記柱状電極および前記絶縁材よりも硬い前記第 1 部材が露出されるまで、前記絶縁材および前記柱状電極を研磨することを具備する、半導体装置の製造方法。

10

【請求項 1 2】

前記第 1 部材は、前記絶縁材から露出された第 3 面と、前記半導体チップの第 1 面に対応する第 4 面と、前記第 3 面と前記第 4 面との間にある側面とを備え、

前記側面は、前記第 1 面に対して垂直方向から傾斜し、あるいは、段差を有し、

前記第 1 部材の研磨面積の変化に基づき、前記絶縁材および前記柱状電極の研磨を停止する、請求項 1 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、半導体装置およびその製造方法に関する。

20

【背景技術】

【0002】

複数の半導体チップおよびコントローラチップを 1 つの半導体パッケージ (CSP (Chip Scale Package)) として樹脂封止する技術が開発されている。

【0003】

しかし、樹脂を研磨して半導体パッケージの厚みを調節する際に、半導体パッケージの厚みがばらつくという問題があった。半導体パッケージが薄くなりすぎると、半導体パッケージが反ってしまう。また、樹脂の厚みを測定しながら樹脂を研磨することは、スループットを低下させてしまう。

【先行技術文献】

30

【特許文献】

【0004】

【特許文献 1】特許第 3 4 2 8 5 9 7 号公報

【特許文献 2】特開 2 0 1 1 - 2 4 3 7 2 4 号公報

【特許文献 3】特開 2 0 1 2 - 0 1 5 4 4 6 号公報

【特許文献 4】特開 2 0 1 2 - 0 5 9 7 3 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

スループットの低下を抑制しつつ、半導体パッケージの厚みのばらつきまたは半導体パッケージの反りを抑制することができる半導体装置およびその製造方法を提供する。

40

【課題を解決するための手段】

【0006】

本実施形態による半導体装置は、第 1 面と該第 1 面とは反対側の第 2 面とを有し、第 1 面上に半導体素子を設けた半導体チップを備える。柱状電極は、第 1 面の上方に設けられ、半導体素子のいずれかに電氣的に接続されている。第 1 部材は、第 1 面の上方において、柱状電極の周辺に設けられている。絶縁材は、柱状電極および第 1 部材を被覆する。第 1 部材は、柱状電極および絶縁材よりも硬い。第 1 部材および柱状電極は、絶縁材の表面から露出されている。

【図面の簡単な説明】

50

【 0 0 0 7 】

- 【図 1】第 1 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 2】第 1 実施形態による半導体装置の製造方法の一例を示す断面図。
- 【図 3】図 2 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 4】図 3 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 5】図 4 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 6】図 5 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 7】図 6 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 8】図 7 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 9】図 8 に続く半導体装置の製造方法の一例を示す断面図。 10
- 【図 10】図 9 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 11】図 10 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 12】図 11 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 13】第 2 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 14】第 2 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 15】第 3 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 16】第 3 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 17】第 4 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 18】第 4 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 19】第 5 実施形態による半導体装置の製造方法および構成の一例を示す断面図。 20
- 【図 20】第 5 実施形態による半導体装置の製造方法および構成の一例を示す断面図。
- 【図 21】第 6 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 22】第 7 実施形態による半導体装置の製造方法の一例を示す断面図。
- 【図 23】図 22 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 24】第 7 実施形態による半導体装置の構成例を示す断面図。
- 【図 25】第 8 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 26】第 9 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 27】第 10 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 28】第 11 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 29】第 11 実施形態による半導体装置の製造方法の一例を示す断面図 30
- 【図 30】図 29 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 31】図 31 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 32】第 11 実施形態による半導体装置を配線基板上に実装した状態を示す断面図。
- 【図 33】第 12 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 34】第 13 実施形態による半導体装置の構成の一例を示す断面図。
- 【図 35】変形例 1 による樹脂封止工程の様子を示す図。
- 【図 36】変形例 2 による樹脂封止工程の様子を示す図。
- 【図 37】第 14 実施形態による半導体装置の構成例を示す断面図。
- 【図 38】第 14 実施形態による半導体装置の製造方法の一例を示す断面図。
- 【図 39】図 38 に続く半導体装置の製造方法の一例を示す断面図。 40
- 【図 40】図 39 に続く半導体装置の製造方法の一例を示す断面図。
- 【図 41】第 15 実施形態による半導体装置の構成例を示す断面図。
- 【図 42】第 16 実施形態による半導体装置の構成例を示す断面図。
- 【図 43】第 17 実施形態による半導体装置の構成例を示す断面図。
- 【図 44】第 17 実施形態による半導体装置の構成例を示す平面図。
- 【図 45】第 18 実施形態による半導体装置の構成例を示す断面図。
- 【図 46】第 19 実施形態による半導体装置の構成例を示す断面図。
- 【図 47】第 20 実施形態による半導体装置の構成例を示す断面図。
- 【図 48】第 21 実施形態による半導体装置の構成例を示す断面図。
- 【図 49】第 22 実施形態による半導体装置の構成例を示す断面図。 50

【図50】第22実施形態による半導体装置の構成例を示す断面図。
 【図51】第22実施形態による半導体装置の構成例を示す断面図。
 【図52】第22実施形態による半導体装置の構成例を示す断面図。
 【図53】第23実施形態による半導体装置の構成例を示す断面図。
 【図54】第24実施形態による半導体装置の構成例を示す断面図。
 【図55】第25実施形態による半導体装置の構成例を示す断面図。
 【図56】第26実施形態による半導体装置の構成例を示す断面図。
 【図57】第27実施形態による半導体装置の構成例を示す断面図。
 【図58】第28実施形態による半導体装置の構成例を示す断面図。
 【図59】第29実施形態による半導体装置の構成例を示す断面図。

10

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態において、上下方向は、半導体素子や半導体チップが設けられる面を上とした場合の相対方向を示し、重力加速度に従った上下方向と異なる場合がある。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0009】

(第1実施形態)

20

図1は、第1実施形態による半導体装置1の構成の一例を示す断面図である。半導体装置1は、半導体チップ10と、第1絶縁膜20と、電極パッド30と、第2絶縁膜40と、バリアメタル50と、柱状電極60と、樹脂層70と、第1部材としてのダミー部材80と、絶縁材としての第3絶縁膜90と、金属バンプ100とを備えている。半導体装置1は、例えば、NAND型フラッシュメモリ、LSI (Large Scale Integration) 等の半導体パッケージでもよい。

【0010】

半導体チップ10は、第1面F10aと、第1面とは反対側の第2面F10bとを有する。トランジスタやキャパシタ等の半導体素子(図示せず)は、半導体チップ10の第1面F10a上に形成されている。半導体チップ10は、例えば、NAND型フラッシュメモリのメモリチップあるいは任意のLSIを搭載した半導体チップでもよい。

30

【0011】

第1絶縁膜20は、半導体チップ10の第1面F10a上に設けられており、上記半導体素子を被覆し保護している。第1絶縁膜20には、例えば、シリコン酸化膜、シリコン窒化膜等の無機系絶縁材料が用いられる。

【0012】

電極パッド30は、半導体チップ10の第1面F10a上に設けられており、半導体素子のいずれかに電気的に接続されている。電極パッド30には、例えば、Al、Cu、Au、Ni、Pd、W等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金等の低抵抗金属が用いられる。第1絶縁膜20は、電極パッド30の一部を露出するように部分的に除去されている。

40

【0013】

第2絶縁膜40は、第1絶縁膜20上に設けられ、第1絶縁膜20と第3絶縁膜90との間に介在している。第2絶縁膜40には、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO (p-phenylenebenzobisoxazole) 系、シリコン系、ベンゾシクロブテン系等の樹脂、または、これらの混合材料、複合材料等の有機系絶縁材料が用いられる。

【0014】

金属膜としてのバリアメタル50は、柱状電極60と電極パッド30または第2絶縁膜40との間に設けられている。バリアメタル50は、柱状電極60を形成する際のめっき電

50

極として用いられる。バリアメタル50には、例えば、Ti、TiN、Cr、CrN、Cu、Ni、Au、Pd、W等の単体もしくはそれらのうち2種以上の複合膜、または、それらのうち2種以上の合金が用いられる。

【0015】

柱状電極60は、半導体チップ10の第1面F10aの上方のバリアメタル50上に設けられている。柱状電極60は、バリアメタル50から第1面F10aに対して略垂直方向へ延伸している。柱状電極60の下端は、バリアメタル50および電極パッド30を介して半導体チップ10のいずれかの半導体素子に電氣的に接続される。また、柱状電極60の上端は、金属バンプ100に接続されている。柱状電極60には、例えば、Cu、Ni、W、Au、Ag、Pd、Sn、Bi、Zn、Cr、Al等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金などの導電性金属が用いられている。

10

【0016】

柱状電極60は、めっき法やワイヤー法などにより形成されるため、柱状電極60の形成工程において露出されたバリアメタル50の上方に形成される。なおワイヤ法の場合は、電ワイヤ30上に直接形成してもよい。

【0017】

樹脂層70は、ダミー部材80と第2絶縁膜40との間に設けられており、ダミー部材80を第1面F10a上において第2絶縁膜40に接着する。樹脂層70には、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO(p-phenylenebenzobisoxazole)系、シリコン系、ベンゾシクロブテン系等の樹脂、または、これらの混合材料、複合材料を含むDAF(Die Attach Film)またはDAP(Die Attach Paste)が用いられる。

20

【0018】

第1部材としてのダミー部材80は、第1面F10aの上方において、柱状電極60の周辺に設けられている。ダミー部材80および柱状電極60は、第1面F10aからほぼ同じ高さレベルに形成されており、ダミー部材80および柱状電極60の上面は、第3絶縁膜90の表面から略面一で露出されている。ダミー部材80は、第3絶縁膜90の研磨工程における研磨ストッパとして機能するために、柱状電極60および第3絶縁膜90の両方よりも硬い材料で構成されている。第3絶縁膜90には、例えば、第3絶縁膜90はエポキシ系、フェノール系、ポリイミド系、ポリアミド系、アクリル系、PBO系、シリコン系、ベンゾシクロブテン系などの樹脂、これらの混合材料、複合材料を使用する。ダミー部材80には、例えば、シリコン、ガラス、アルミナ、SiC、AlN、セラミックス、金属などが用いられる。

30

【0019】

第3絶縁膜90は、第1面F10aの上方において、柱状電極60およびダミー部材80の周囲を被覆し埋め込んでいる。第3絶縁膜90の表面は、柱状電極60およびダミー部材80の表面と略面一となっており、柱状電極60およびダミー部材80の表面を露出している。

【0020】

金属バンプ100は、柱状電極60上に設けられている。金属バンプ100には、例えば、はんだ等の導電性金属が用いられる。

40

【0021】

以上のように、本実施形態による半導体装置1は、ダミー部材80が柱状電極60の周囲に設けられており、柱状電極60とともに第3絶縁膜90内に埋め込まれている。ダミー部材80は、柱状電極60および第3絶縁膜90よりも硬い材料で構成されており、第3絶縁膜90の研磨工程におけるストッパとして機能する。これにより、ダミー部材80が第3絶縁膜90から露出したときに、研磨処理を止めることができる。その結果、第3絶縁膜90の厚みがばらつかず、半導体装置1のパッケージの厚みが安定する。

【0022】

また、ダミー部材80の厚みによって、第3絶縁膜90の厚みを制御することができる。

50

従って、研磨の途中において、第3絶縁膜90の厚みを測定する必要がなく、スループットを向上させることができる。

【0023】

また、ダミー部材80は、柱状電極60および第3絶縁膜90よりも硬い材料で構成されているので、半導体装置1が補強され、反り難くなる。これにより、半導体装置1の信頼性の向上に繋がる。また半導体装置内でのダミー部材80の体積を変えることにより、反りを調整することも可能となり、さらに信頼性を向上させることが可能となる。

【0024】

次に、本実施形態による半導体装置1の製造方法を説明する。

【0025】

図2～図12は、第1実施形態による半導体装置1の製造方法の一例を示す断面図である。尚、図においては、半導体チップを表示しているが、この半導体チップは、ダイシング前のウェハ状態の一部である。

10

【0026】

まず、半導体ウェハWの第1面F10a上に半導体素子(図示せず)を形成する。半導体ウェハWは、例えば、シリコン基板等の半導体基板でよい。次に、第1面F10a上には、半導体素子と電氣的に接続される電極パッド30が形成される。電極パッド30には、例えば、Al、Cu、Au、Ni、Pd、W等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金等が用いられる。次に、半導体素子を被覆するように、第1絶縁膜20が第1面F10a上に形成される。第1絶縁膜20は、リソグラフィ技術およびエッチング技術によって電極パッド30の一部を露出するように加工される。第1絶縁膜20には、例えば、シリコン酸化膜、シリコン窒化膜等の無機系絶縁材料が用いられる。次に、第1絶縁膜20上に第2絶縁膜40が形成される。第2絶縁膜40も電極パッド30の一部を露出させるように加工される。第2絶縁膜40には、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO(p-phenylenebenzobisoxazole)系、シリコーン系、ベンゾシクロブテン系等の樹脂、または、これらの混合材料、複合材料等の有機系絶縁材料が用いられる。これにより、図2に示す構造が得られる。

20

【0027】

次に、図3に示すように、スパッタ法、蒸着法または無電解めっき法を用いて、電極パッド30および第2絶縁膜40上にバリアメタル50を形成する。バリアメタル50には、例えば、Ti、TiN、Cr、CrN、Cu、Ni、Au、Pd、W等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金が用いられる。例えば、バリアメタル50は、スパッタ法を用いて形成された、0.1μmの厚みのTi膜と0.3μmの厚みのCu膜との積層膜を用いる。

30

【0028】

次に、図4に示すように、バリアメタル50上にフォトレジストPRを塗布する。リソグラフィ技術を用いて、フォトレジストPRを柱状電極60のパターンに加工する。例えば、フォトレジストPRの厚みは、約40μmであり、約100μm四方の開口を電極パッド30上に形成する。隣接する開口間のピッチは、約300μmである。開口の底部の残渣を除去するために、O₂アッシャー処理を行ってもよい。これにより、柱状電極60の形成位置にあるバリアメタル50が確実に露出される。

40

【0029】

次に、露出されたバリアメタル50上に、Cu、Ni、W、Au、Ag、Pd、Sn、Bi、Zn、Cr、Al等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金を電気めっき法等で堆積する。これにより、図5に示すように、柱状電極60の形成領域に金属が選択的にめっきされ、柱状電極60が形成される。例えば、柱状電極60は、Cuを約35μmの厚みでめっきすることによって形成される。

【0030】

次に、図6に示すように、フォトレジストPRを剥離する。剥離後に、残渣を除去するた

50

めにO₂アッシャー処理を行ってもよい。

【0031】

次に、図7に示すように、柱状電極60をマスクとして用いて、バリアメタル50をエッチングする。例えば、バリアメタル50がCuである場合、クエン酸および過酸化水素の混合溶液でウェットエッチングすればよい。バリアメタル50がTiである場合、フッ酸または過酸化水素水等でエッチングすればよい。

【0032】

次に、図8に示すように、第1面F10a上にチップ状のダミー部材80を、樹脂層70を介して貼付する。樹脂層70には、例えば、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO(p-phenylenebenzobisoxazole)系、シリコン系、ベンゾシクロブテン系等の樹脂を含むDAF(Die Attach Film)またはDAP(Die Attach Paste)の単体、これらのうち2種以上の混合材料、これらのうち2種以上の積層材料が用いられる。ダミー部材80は、柱状電極60および図9に示す第3絶縁膜90よりも硬い材料である。ダミー部材80には、例えば、シリコン、ガラス、アルミナ、SiC、AlN、セラミックス、金属等の単体、これらのうち2種以上の混合材料、あるいは、これらのうち2種以上の積層材料が用いられる。ダミー部材80のピッカース硬さは0.85GPa以上30GPa以下が望ましい。0.85GPaよりも小さいと第3絶縁膜、柱状電極のピッカース硬さに近くなり、研磨を止めることが難しくなる。逆に、30GPaを超えると高価で特殊な材料となり、使いにくい。より望ましくはピッカース硬さを5GPa以上25GPa以下がよい。ダミー部材80は、予め所定の高さになるように設計されている。ダミー部材80の上面は、柱状電極60の上面よりも低い位置に位置付けられる。これにより、第3絶縁膜90の研磨時に、ダミー部材80は、柱状電極60が露出した後に、研磨をストップさせることができる。例えば、柱状電極60の厚みが約35μmとすると、樹脂層70の厚みを約5μmとし、ダミー部材80の厚みを約25μmとして、全体の厚みを約30μmにする。なおダミー部材80として金属を用いる場合は、めっき法で形成してもよい。例えば柱状電極60を形成後、めっき法を用いてダミー部材80として、柱状電極60とは別の金属を形成してもよい。この場合は、ダミー部材80を貼り付ける樹脂層70は使わなくてもよい。

10

20

【0033】

次に、図9に示すように、第1面F10a上に、モールド法等を用いて第3絶縁膜90を形成する。第3絶縁膜90の形成方法は、液状樹脂を塗布する方法でもよく、あるいは、シート状フィルムを用いたシートモールド法であってもよい。第3絶縁膜90はエポキシ系、フェノール系、ポリイミド系、ポリアミド系、アクリル系、PBO系、シリコン系、ベンゾシクロブテン系などの樹脂、これらの混合材料、複合材料を使用する。エポキシ樹脂の例としては特に限定されず、例えば、ビスフェノールA型、ビスフェノールF型、ビスフェノールAD型、ビスフェノールS型等のビスフェノール型エポキシ樹脂、フェノールノボラック型、クレゾールノボラック型等のノボラック型エポキシ樹脂、レゾルシノール型エポキシ樹脂、トリスフェノールメタントリグリシジルエーテル等の芳香族エポキシ樹脂、ナフタレン型エポキシ樹脂、フルオレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、ポリエーテル変性エポキシ樹脂、ベンゾフェノン型エポキシ樹脂、アニリン型エポキシ樹脂、NBR変性エポキシ樹脂、CTBN変性エポキシ樹脂、及び、これらの水添化物等が挙げられる。なかでも、Siとの密着性が良い点から、ナフタレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂が好ましい。また、速硬化性が得られやすいことから、ベンゾフェノン型エポキシ樹脂も好ましい。これらのエポキシ樹脂は、単独で用いられてもよく、2種以上が併用されてもよい。また第3絶縁膜90の中にシリカなどのフィラーが含まれていてもよい。第3絶縁膜90は、柱状電極60およびダミー部材80を埋め込むように形成される。第3絶縁膜90は、オープンなどによる加熱や、UV硬化タイプの樹脂の場合、紫外線等でキュアすることによって硬化される。

30

40

【0034】

次に、図10に示すように、機械的研磨法、CMP(Chemical Mechanical Polishi

50

ng) 法等を用いて、第3絶縁膜90および柱状電極60を研磨して、ダミー部材80を露出させる。ダミー部材80は、硬化後の第3絶縁膜90および柱状電極60よりも硬い材料で構成されているので、ダミー部材80が露出されたときに、第3絶縁膜90および柱状電極60の研磨を停止させることができる。例えば、ダミー部材80およびその下の樹脂層70の厚みが約30 μ mである場合、第3絶縁膜90の厚みも、約30 μ mに揃えることができる。ダミー部材80の上面は、柱状電極60の上面よりも低いので、ダミー部材80は、柱状電極60が露出した後に研磨をストップさせることができる。

【0035】

次に、図11に示すように、柱状電極60上にフラックスを塗布し、金属バンプ100を形成する。金属バンプ100には、Snを主成分とするはんだ等の金属が用いられる。例えば、Sn、Ag、Cu、Au、Pd、Bi、Znの単体、それらの内の2種以上の複合膜、または合金を使用する。次に、金属バンプ100をリフローすることにより、金属バンプ100を柱状電極60に接続する。

10

【0036】

次に、ブレードダイシング法またはレーザダイシング法等を用いて、半導体ウェハWをダイシングして、半導体チップ10に個片化する。これにより、図11に示す半導体装置1が完成する。その後、図12に示すように、配線基板200上に半導体装置1を搭載し、金属バンプ100を配線基板200の電極パッドに接続する。配線基板200上には、他の半導体装置が搭載され、モジュール化されてもよい。また、半導体ウェハWの状態、配線基板200上に搭載され、その後、配線基板200とともに半導体ウェハWをダイシングしてもよい。金属バンプ100は配線基板200上に形成してもよい。その場合は柱状電極60の露出面と配線基板200に形成した金属バンプ100を接続する。

20

【0037】

以上のように、本実施形態によれば、ダミー部材80が柱状電極60とともに第1面F10a上に設けられている。ダミー部材80は、柱状電極60および第3絶縁膜90よりも硬い材料で構成されており、第3絶縁膜90の研磨工程におけるストップとして機能する。これにより、第3絶縁膜90の厚みがばらつかず、半導体装置1のパッケージの厚みが安定する。

【0038】

また、ダミー部材80の厚みによって、第3絶縁膜90の厚みを制御することができる。従って、研磨の途中において、第3絶縁膜90の厚みを測定する必要がなく、スループットを向上させることができる。

30

【0039】

また、ダミー部材80は、柱状電極60および第3絶縁膜90よりも硬い材料で構成されているので、半導体装置1が補強され、反り難くなる。これにより、半導体装置1の信頼性の向上に繋がる。

【0040】

例えば、本実施形態による半導体装置1に対して温度サイクル試験(Thermal Cycle Test)を行って、その信頼性を調べた。温度サイクル試験は、-55(30min)、25(5min)、125(30min)を1サイクルとして行った。その結果、3000サイクル後でも、半導体装置1に問題はなかった。

40

【0041】

(第2実施形態)

図13および図14は、第2実施形態による半導体装置1の製造方法および構成の一例を示す断面図である。図13は、半導体装置1の製造途中の構成を示し、第1実施形態の図9に対応した状態を示している。図14は、完成後の半導体装置1の構成を示している。

【0042】

第2実施形態において、ダミー部材80は、第1面F10aの上方から見た面積が互いに異なる複数の第2部材としての部材80a~80cに分割されており、部材80a~80cを積層して構成された積層体となっている。部材80a~80cの面積を相違させるこ

50

とによって、ダミー部材 80 の研磨面積が変化する。ダミー部材 80 の研磨面積の変化に基づき、研磨抵抗が変化するので、研磨装置（図示せず）は、研磨している部材 80 a ~ 80 c を特定することができる。研磨装置は、ダミー部材 80 の研磨面積（あるいは、研磨抵抗が）が所定値になったときに研磨処理を停止する。ダミー部材 80 の研磨面積（あるいは、研磨抵抗が）に対応する部材 80 a ~ 80 c および樹脂層 70 a ~ 70 c の厚みを予め設定しておけば、研磨におけるダミー部材 80 の残膜厚（第 3 絶縁膜 90 の残膜厚）を制御することができる。

【0043】

第 2 実施形態の製造方法をより詳細に説明する。

【0044】

図 2 ~ 図 7 に示す工程を経た後、部材 80 a は、樹脂層 70 a によって第 2 絶縁膜 40 上に接着され、部材 80 b は、樹脂層 70 b によって部材 80 a 上に接着され、部材 80 c は、樹脂層 70 c によって部材 80 b 上に接着される。例えば、部材 80 a ~ 80 c の厚みをそれぞれ約 10 μm とし、樹脂層 70 a ~ 70 c の厚みをそれぞれ約 5 μm と設定する。この場合、ダミー部材 80 の高さは、約 45 μm になる。また、第 1 面 F 10 a の上方から見たときに、部材 80 a ~ 80 c の中で部材 80 a の面積が最大であり、部材 80 b、80 c の順番に小さくなっている。これにより、図 13 に示すように、部材 80 a ~ 80 c の側面が階段状に段差を有するように構成される。部材 80 a ~ 80 c の材料は、第 1 実施形態のダミー部材 80 の材料と同じでよい。また、樹脂層 70 a ~ 70 c の材料は、第 1 実施形態の樹脂層 70 の材料と同じでよい。

【0045】

次に、図 9 を参照して説明したように、第 3 絶縁膜 90 が部材 80 a ~ 80 c および柱状電極 60 を埋め込むように形成される。これにより、図 13 に示す構造が得られる。

【0046】

次に、第 3 絶縁膜 90 および柱状電極 60 を研磨して、ダミー部材 80 を露出させる。このとき、ダミー部材 80 は、部材 80 c から順に研磨されることになる。従って、ダミー部材 80 の研磨面積は、当初、小さいが、次第に大きくなっていく。ダミー部材 80 の研磨面積が変化することによって、研磨抵抗が変化するので、研磨装置は、部材 80 a ~ 80 c のいずれが露出されたかを検出することができる。これにより、第 3 絶縁膜 90 の厚みを制御することができる。例えば、部材 80 b が露出した時点で研磨を停止する場合、部材 80 c および樹脂層 70 c が研磨された後、部材 80 b が露出された時点で研磨装置は研磨を停止する。これにより、図 14 に示すように、第 3 絶縁膜 90 の厚みは、部材 80 a、80 b および樹脂層 70 a、70 b の合計の厚み（上記例の場合、例えば、30 μm ）にほぼ等しくなるように制御され得る。

【0047】

次に、柱状電極 60 上にフラックスを塗布し、金属バンプ 100 を形成する。次に半導体ウェハ W をダイシングして、半導体チップ 10 に個片化する。これにより、図 14 に示す半導体装置 1 が完成する。

【0048】

研磨は、部材 80 a が露出された時点で、停止してもよい。また、ダミー部材 80 は、2 層の部材の積層体であってもよく、あるいは、4 層以上の部材の積層体であってもよい。各部材 80 a ~ 80 c の厚みは、予め判明している限りにおいて、互いに異なってもよい。

【0049】

第 2 実施形態によれば、ダミー部材 80 が、平面視において、互いに面積の異なる複数の部材 80 a ~ 80 c の積層体となっている。また、部材 80 a ~ 80 c および樹脂層 70 a ~ 70 c の厚みは予め設定されている。これにより、第 3 絶縁膜 90 の膜厚の制御が容易になる。第 2 実施形態のその他の構成は、第 1 実施形態と同様でよい。従って、第 2 実施形態は、第 1 実施形態と同様の効果も得ることができる。

【0050】

10

20

30

40

50

(第3実施形態)

図15および図16は、第3実施形態による半導体装置1の製造方法および構成の一例を示す断面図である。図15は、半導体装置1の製造途中の構成を示し、第1実施形態の図9に対応した状態を示している。図16は、完成後の半導体装置1の構成を示している。

【0051】

第3実施形態において、ダミー部材80は、その側面F80cに階段状の段差STを有する。ダミー部材80の側面F80cの段差STによって、第1面F10aから見たときの各段差STにおける面積が相違し、それにより、ダミー部材80の研磨面積が変化する。研磨装置は、ダミー部材80の研磨面積の変化に基づき研磨抵抗が変化するので、研磨しているダミー部材80の段差STの高さを特定することができる。ダミー部材80の各段差STの厚み(高さ)を予め設定しておけば、研磨におけるダミー部材80の残膜厚(第3絶縁膜90の残膜厚)を制御することができる。

10

【0052】

第3実施形態の製造方法をより詳細に説明する。

【0053】

図2～図7に示す工程を経た後、ダミー部材80は、樹脂層70aによって第2絶縁膜40上に接着される。ダミー部材80は、上面F80aと、裏面F80bと、側面F80cとを有する。ダミー部材80の側面F80cに、段差STが形成されている。段差STは、リソグラフィ技術およびエッチング技術を用いて形成してもよい。あるいは、段差STは、

20

加工技術、ダイシングブレードを用いて形成してもよい。段差STは、ダミー部材80を第2絶縁膜40上に貼付した後に形成してもよく、その前に形成してもよい。例えば、各段差STの厚みをそれぞれ約 $10\mu\text{m}$ とし、段差STの段数を5つとする。この場合、ダミー部材80の段差STの最下段から最上段までの高さHstは、約 $40\mu\text{m}$ になる。また、第1面F10aの上方から見たときに、ダミー部材80の研磨面積は、ダミー部材80の最上段において最小であり、下段へ行くほど大きくなっている。ダミー部材80の材料は、第1実施形態のダミー部材80の材料と同じでよい。

【0054】

次に、図9を参照して説明したように、第3絶縁膜90がダミー部材80および柱状電極60を埋め込むように形成される。これにより、図15に示す構造が得られる。

30

【0055】

次に、第3絶縁膜90および柱状電極60を研磨して、ダミー部材80を露出させる。このとき、ダミー部材80は、上段から下段へ順に研磨されることになる。従って、ダミー部材80の研磨面積は、当初、小さいが、次第に大きくなっていく。ダミー部材80の研磨面積が変化することによって、研磨抵抗が変化するので、研磨装置は、どの高さの段差部分が露出されたかを検出することができる。これにより、第3絶縁膜90の厚みを制御することができる。例えば、ダミー部材80の最上段から4段目の上面が露出した時点で研磨を停止する場合、ダミー部材80の最上段から3段目が研磨された後、4段目の上面が露出された時点で研磨装置は研磨を停止する。これにより、図16に示すように、第3絶縁膜90の厚みは、4段目以下のダミー部材80および樹脂層70の合計の厚みにほぼ等しくなるように制御され得る。このとき、例えば、Hstは、 $10\mu\text{m}$ となる。

40

【0056】

次に、柱状電極60上にフラックスを塗布し、金属バンプ100を形成する。次に半導体ウェハWをダイシングして、半導体チップ10に個片化する。これにより、図16に示す半導体装置1が完成する。

【0057】

研磨を停止させる段差は、特に限定しない。研磨は、ダミー部材80の最上段から3段目が露出された時点で、停止してもよい。段差STの段数も、特に限定しない。また、各段差STの高さは、予め判明している限りにおいて、互いに異なってもよい。

【0058】

50

このように、第3実施形態によれば、ダミー部材80は、第3絶縁膜90から露出された第3面(研磨面)F80a__1と、半導体チップの第1面F10aに対応する第4面F80bと、第3面F80a__1と第4面F80bとの間にある側面F80cとを備え、側面F80cは、階段状に段差STを有する。そして、段差STの高さ(厚み)は予め設定されている。これにより、第3絶縁膜90の膜厚の制御が容易になる。第3実施形態のその他の構成は、第1実施形態と同様でよい。従って、第3実施形態は、第1実施形態と同様の効果も得ることができる。

【0059】

(第4実施形態)

図17および図18は、第4実施形態による半導体装置1の製造方法および構成の一例を示す断面図である。図17は、半導体装置1の製造途中の構成を示し、第1実施形態の図9に対応した状態を示している。図18は、完成後の半導体装置1の構成を示している。

10

【0060】

第4実施形態において、ダミー部材80は、その上面F80aの中心部に凹部を有し、その凹部の両側に階段状の段差STを有する。段差STによって、第1面F10aの上方から見たときの各段差STにおけるダミー部材80の面積が相違し、それにより、ダミー部材80の研磨面積が変化する。研磨装置は、ダミー部材80の研磨面積の変化に基づき研磨抵抗が変化するのを、研磨しているダミー部材80の段差STの高さを特定することができる。ダミー部材80の各段差STの厚み(高さ)を予め設定しておけば、第3実施形態と同様に、研磨におけるダミー部材80の残膜厚(第3絶縁膜90の残膜厚)を制御することができる。

20

【0061】

第4実施形態によれば、段差STは、上面F80aの中心部に凹部の両側に設けられている。段差STの段数、高さ、形成方法を含む第4実施形態のその他の構成および製造方法は、第3実施形態と同様でよい。従って、第4実施形態は、第3実施形態と同様の効果を得ることができる。

【0062】

(第5実施形態)

図19および図20は、第5実施形態による半導体装置1の製造方法および構成の一例を示す断面図である。図19は、半導体装置1の製造途中の構成を示し、第1実施形態の図9に対応した状態を示している。図20は、完成後の半導体装置1の構成を示している。

30

【0063】

第5実施形態において、ダミー部材80は、その側面F80cに傾斜を有する。側面F80cは、第1面F10aに対して垂直方向から傾斜している。ダミー部材80の側面F80cの傾斜によって、第1面F10aの上方から見たときの面積がダミー部材80の研磨面の高さ位置によって相違し、それにより、ダミー部材80の研磨面積が変化する。研磨装置は、ダミー部材80の研磨面積の変化に基づき研磨抵抗が変化するのを、研磨しているダミー部材80の研磨面の高さを特定することができる。ダミー部材80の上面F80aの面積および側面F80cの傾斜を予め設定しておけば、研磨におけるダミー部材80の残膜厚(第3絶縁膜90の残膜厚)を制御することができる。

40

【0064】

第5実施形態では、ダミー部材80の側面F80cが連続した傾斜面となっているので、第3絶縁膜90の厚みをより細かく制御することができる。第5実施形態のその他の構成および製造方法は、第3または第4実施形態と同様でよい。従って、第5実施形態は、第3または第4実施形態と同様の効果を得ることができる。

【0065】

尚、ダミー部材80は、例えば、三角錐、四角錐、多角錐、円錐等のいずれかの上部を平坦にした形状でよい。ダミー部材80は、例えば、半導体ウェハをその表面に対して傾斜方向からダイシングすることによって形成することができる。

【0066】

50

(第6実施形態)

図21は、第6実施形態による半導体装置1の構成の一例を示す断面図である。第6実施形態では、再配線層(RDL (Redistribution Layer))120が第3絶縁膜90上に設けられている。再配線層120は、第3絶縁膜90、柱状電極60およびダミー部材80上に設けられており、配線層121と絶縁層122とを積層した多層配線構造を有する。配線層121には、例えば、Ti、TiN、Cr、CrN、Cu、Ni、Au、Pd、W、Al、Ag等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金が用いられる。絶縁層122には、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO系、シリコン系、ベンゾシクロブテン系等の樹脂、それらのうち2種以上の複合膜、または、それらのうち2種以上の化合物が用いられる。柱状電極60は、配線層121の一部に電氣的に接続されている。金属バンプ100は、配線層121の電極パッド上に設けられており、配線層121の一部に電氣的に接続されている。これにより、電極バンプ100は、再配線層120を介して柱状電極60および半導体素子のいずれかに電氣的に接続されている。再配線層120を用いることにより、柱状電極60の配置の自由度を高めることができる。さらに、図12に示す構造と同様に、第6実施形態による半導体装置1は、配線基板200上に搭載されてもよい。

10

【0067】

第6実施形態のその他の構成は、第1実施形態の対応する構成と同様でよい。これにより、第6実施形態は、第1実施形態と同様の効果を得ることができる。また、第6実施形態は、第2～第5実施形態のいずれかと組み合わせてもよい。

20

【0068】

(第7実施形態)

図22～図24は、第7実施形態による半導体装置1の製造方法および構成の一例を示す断面図である。図22および図23は、半導体装置1の製造途中の構成を示す。図24は、完成後の半導体装置1の構成を示している。

【0069】

第6実施形態では、再配線層120は、柱状電極60およびダミー部材80上に設けられている。これに対し、第7実施形態では、再配線層120が、柱状電極60およびダミー部材80の下に設けられている。

【0070】

第7実施形態の製造方法をより詳細に説明する。

30

【0071】

図2～図7に示す工程を経た後、絶縁膜85で電極55および第2絶縁膜40を被覆する。尚、第7実施形態において、バリアメタル50および柱状電極60は、再配線層120上に形成されるので、図7のバリアメタル50および柱状電極60は、ここではそれぞれバリアメタル45および電極55と呼ぶ。また、この段階では、ダミー部材80は形成されない。絶縁膜85は、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO(p-phenylenebenzobisoxazole)系、シリコン系、ベンゾシクロブテン系等の樹脂、または、これらの混合材料、複合材料等を使用する第3絶縁膜90。また、バリアメタル45および電極55の材料は、それぞれバリアメタル50および柱状電極60の材料と同じでよい。

40

【0072】

絶縁膜85で電極55および第2絶縁膜40を被覆した後、露光・現像などのリソグラフィにより、電極55を露出させる。これにより、図22の構造が得られる。

【0073】

次に、図23に示すように、電極55および絶縁膜85上に、再配線層120を形成する。

【0074】

その後、第1実施形態で説明したように、バリアメタル50、柱状電極60を配線層121上に形成し、絶縁層122上にダミー部材80を樹脂層70で接着する。柱状電極60

50

およびダミー部材 80 を第 3 絶縁膜 90 で埋め込み、第 3 絶縁膜 90 をダミー部材 80 が露出されるまで研磨する。金属バンプ 100 が柱状電極 60 上に形成される。これにより、図 24 に示す半導体装置 1 が完成する。

【0075】

このように、再配線層 120 は、柱状電極 60 およびダミー部材 80 の下に設けられていてもよい。金属バンプ 100 および柱状電極 60 は、再配線層 120 を介して半導体チップ 10 の半導体素子のいずれかと電気的に接続される。この場合、柱状電極 60、ダミー部材 80 および金属バンプ 100 のレイアウト配置の自由度が高くなる。

【0076】

第 7 実施形態のその他の構成および製造方法は、第 6 実施形態の対応する構成および製造方法と同様でよい。これにより、第 7 実施形態は、第 6 実施形態の効果も得ることができる。また、第 7 実施形態は、第 2 ~ 第 5 実施形態のいずれかと組み合わせてもよい。

【0077】

(第 8 実施形態)

図 25 は、第 8 実施形態による半導体装置 1 の構成の一例を示す断面図である。第 8 実施形態では、柱状電極 60 が、金属ワイヤを用いてワイヤボンディング法で形成されている点で第 1 実施形態と異なる。以下、柱状電極 60 を金属ワイヤ 60 とも呼ぶ。柱状電極 60 を金属ワイヤで構成する場合、金属ワイヤ 60 は、ワイヤボンディング法で電極パッド 30 上にボンディングされる。この場合、金属ワイヤ 60 の径(幅) 3 は、第 1 絶縁膜 20、40 から露出されている電極パッド 30 の開口径 1 よりも小さい。また、第 3 絶縁膜 90 から露出されている金属ワイヤ 60 の面積は、半導体チップ 10 に対する金属ワイヤ 60 のコンタクト面積(ボンディング面積)よりも小さい。さらに、金属ワイヤ 60 は、ワイヤボンディング法で形成可能であるので、めっき法により形成される電極に比べて製造コストにおいて低廉である。柱状電極 60 に金属ワイヤを用いた場合、このような特徴が得られる。金属ワイヤ 60 の材料には、Cu、Ni、W、Au、Ag、Pd、Sn、Bi、Zn、Cr、Al 等の単体、それらのうち 2 種以上の複合膜、または、それらのうち 2 種以上の合金等の低抵抗金属が用いられる。例えば Cu に Pd が被覆した材料でもよい。第 3 絶縁膜 90 の形成の際に金属ワイヤ 60 を倒壊させないように、金属ワイヤ 60 には、比較的硬い Cu、CuPd 合金、Cu に Pd が被覆した材料を用いることが好ましい。

【0078】

第 8 実施形態の製造方法を説明する。

【0079】

図 2 に示す工程を経た後、ワイヤボンドを用いて、電極パッド 30 に金属ワイヤ 60 の一端をボンディングする。次に、金属ワイヤ 60 は、第 1 面 F10a の上方へ略垂直方向へ引き出され切断される。これにより、金属ワイヤ 60 は、第 1 面 F10a に対して略垂直方向に直立する柱状電極として形成される。その後、第 1 実施形態と同様に、ダミー部材 80、第 3 絶縁膜 90 および金属バンプ 100 を形成する。金属ワイヤ 60 の露出後に、露出面よりも大きい電極パッドを形成したのちに、金属バンプ 100 を形成してもよい。これにより、図 25 に示す半導体装置 1 が完成する。

【0080】

第 8 実施形態では、柱状電極 60 は、金属ワイヤを用いてワイヤボンディング法で形成されるので、めっき法よりも低廉かつ簡単に形成することができる。第 8 実施形態のその他の構成および製造方法は、第 1 実施形態の対応する構成および製造方法と同様でよい。従って、第 8 実施形態は、第 1 実施形態と同様の効果も得ることができる。第 8 実施形態は、第 1 ~ 第 7 実施形態のいずれかと組み合わせてもよい。

【0081】

(第 9 実施形態)

図 26 は、第 9 実施形態による半導体装置 1 の構成の一例を示す断面図である。第 9 実施形態では、柱状電極 60 が、めっき法による柱状電極 60a およびワイヤボンディング法

による柱状電極（金属ワイヤ）60bの両方を含む点で第1実施形態と異なる。即ち、柱状電極60には、めっき法による柱状電極60aと、ワイヤボンディング法による柱状電極60bとが混在する。

【0082】

第3絶縁膜90から露出された柱状電極60aの面積は、半導体チップ10に対する柱状電極60aのコンタクト面積よりも大きくてもよい。一方、第3絶縁膜90から露出された柱状電極60bの面積は、半導体チップ10に対する柱状電極60bのコンタクト面積よりも小さくてもよい。

【0083】

即ち、めっき法による柱状電極60aの径2は、第1絶縁膜20、40から露出されている電極パッド30の開口径1よりも大きくてもよい。ボンディング法による金属ワイヤ60bの径3は、第1絶縁膜20、40から露出されている電極パッド30の開口径1よりも小さくてもよい。

10

【0084】

第9実施形態のその他の構成および製造方法は、第1実施形態の対応する構成および製造方法と同様でよい。従って、第9実施形態は、第1実施形態と同様の効果も得ることができる。第9実施形態は、第1～第7実施形態のいずれかと組み合わせてもよい。

【0085】

（第10実施形態）

図27は、第10実施形態による半導体装置1の構成の一例を示す断面図である。第10実施形態では、ダミー部材80が導電体であり、ダミー部材80の下に電極パッド30およびバリアメタル50が設けられている。ダミー部材80は、バリアメタル50に接触しており、バリアメタル50を介して電極パッド30および半導体チップ10の半導体素子のいずれかに電氣的に接続されている。

20

【0086】

第10実施形態では、ダミー部材80は、研磨ストップパとしての機能および電極としての機能を兼ね備える。ダミー部材80は、電源電極として電力を半導体チップ10に供給してもよい。例えば、ダミー部材80をはんだや導電ペーストなどを用いて接続してもよい。あるいは、ダミー部材80は、グランド電極として半導体チップ10に接地電圧を供給してもよい。さらに、ダミー部材80は、半導体チップ10の熱を吸収し放出する放熱板としての機能も有してもよい。

30

【0087】

第10実施形態のその他の構成および製造方法は、第1実施形態の対応する構成および製造方法と同様でよい。従って、第10実施形態は、第1実施形態と同様の効果も得ることができる。第10実施形態は、第1～第9実施形態のいずれかと組み合わせてもよい。

【0088】

以降、半導体チップ10の積層体のパッケージの実施形態について説明する。

【0089】

（第11実施形態）

図28は、第11実施形態による半導体装置1の構成の一例を示す断面図である。第11実施形態では、複数の半導体チップ10が積層されており、それぞれの半導体チップ10から柱状電極60が半導体チップ10の表面に対して略垂直方向に延伸している。半導体チップ10の積層体上にダミー部材80が配置され、ダミー部材80の上面は、最上段の半導体チップ10の表面よりも高い位置にある。よって、最上段の半導体チップ10の表面は、第3絶縁膜90から露出されず、第3絶縁膜90で被覆されている。

40

【0090】

複数の半導体チップ10は、例えば、NAND型フラッシュメモリのメモリチップあるいは任意のLSIを搭載した半導体チップでもよい。複数の半導体チップ10は、同一構成を有する半導体チップでもよく、それぞれ異なる構成を有する半導体チップでもよい。例えば、複数の半導体チップ10のうち、最上段の半導体チップ10は、メモリチップを制

50

御するコントローラチップであり、その他の半導体チップ10は、メモリチップでよい。半導体チップ10は、接着層12によって互いに接着されている。半導体チップ10において、表面F10aが半導体素子を形成した素子形成面となっている。表面F10aの反対側の裏面F10bが接着層12で他の半導体チップ10に接着されている。

【0091】

接着層12は、複数の半導体チップ10を積層するために、半導体チップ10間に設けられている。接着層12には、例えば、フェノール系、ポリイミド系、ポリアミド系、アクリル系、エポキシ系、PBO(p-phenylenebenzobisoxazole)系、シリコーン系、ベンゾシクロブテン系等の樹脂、または、これらの混合材料、複合材料を含むDAF(Die Attach Film)またはDAP(Die Attach Paste)が用いられる。

10

【0092】

柱状電極60は、半導体チップ10の表面F10aに対して略垂直方向に延伸しており、各半導体チップ10に接続されている。柱状電極60の一端は、半導体チップ10の電極パッドP10に接続されており、その他端は金属バンプ100に接続されている。例えば、半導体チップ10は、階段状にずれて積層されており、柱状電極60は、複数の半導体チップ10の端部の段差部分に設けられた電極パッドP10のそれぞれから延伸している。これにより、各半導体チップ10は、柱状電極60を介して金属バンプ100に接続され、他の半導体チップ10を介することなく、再配線層や外部装置と信号を直接やり取りすることができる。その結果、半導体チップ10とコントローラ等との間の通信データ量や通信速度を増大させることができる。柱状電極60は、例えば、ボンディングワイヤに用いられる金属ワイヤでもよく、めっき法で形成された柱状電極でもよい。例えば、後述のように、最上段の半導体チップ10の柱状電極60は、めっき法による柱状電極であり、それより下の半導体チップ10の柱状電極60は、ボンディングワイヤに用いられる金属ワイヤで構成されてもよい。柱状電極60には、例えば、Cu、Ni、W、Au、Ag、Pd、Sn、Bi、Zn、Cr、Al等の単体、それらのうち2種以上の複合膜、または、それらのうち2種以上の合金等の低抵抗金属が用いられる。

20

【0093】

ダミー部材80は、複数の半導体チップ10の積層体上に樹脂層70によって貼付されており、最上段の半導体チップ10の隣に配置されている。ダミー部材80の上面は、最上段の半導体チップ10の表面よりも高い位置にあり、第3絶縁膜90の研磨ストッパとして機能する。

30

【0094】

第3絶縁膜90は、半導体チップ10および柱状電極60を被覆し保護している。第3絶縁膜90は、最上段の半導体チップ10の表面を露出せずに被覆している。

【0095】

金属バンプ100は、柱状電極60上に設けられており、他のデバイスとの電気的な接続を得るために設けられている。金属バンプ100には、例えば、Snを主成分とするはんだ等の低抵抗金属が用いられている。金属ワイヤ60の露出後に、露出面よりも大きい電極パッドを形成したのちに、金属バンプ100を形成してもよい。

【0096】

次に、第11実施形態による半導体装置1の製造方法を説明する。

40

【0097】

図29～図31は、第11実施形態による半導体装置1の製造方法の一例を示す断面図である。

【0098】

まず、図29に示すように、支持基板5上に複数の半導体チップ10を積層する。このとき、半導体チップ10は、接着層12で他の半導体チップ10上に接着される。

【0099】

次に、半導体チップ10の積層体の上に、ダミー部材80を樹脂層70で接着する。このとき、ダミー部材80の上面は、最上層の半導体チップ10の上面よりも高く位置づけら

50

れる。

【0100】

次に、図30に示すように、半導体チップ10の電極パッドP10上にワイヤボンディング法で金属ワイヤをボンディングし、第1面F10aに対して略垂直方向に引き出して柱状電極60を形成する。なお、いくつかの金属ワイヤによる柱状電極60の材料を変えて、ダミー部材80の代わりに使用してもよい。

【0101】

次に、図31に示すように、第3絶縁膜90で半導体チップ10の積層体、ダミー部材80および柱状電極60を被覆する。例えば、第3絶縁膜90は、モールド樹脂であり、半導体チップ10の積層体、ダミー部材80および柱状電極60をこの樹脂で封止する。次に、第3絶縁膜90を硬化させる。

10

【0102】

次に、機械的研磨法、CMP法等を用いて、ダミー部材80が露出されるまで第3絶縁膜90を研磨する。次に、支持基板5を除去した後、柱状電極60上に金属バンプ100を形成する。金属バンプ100は、例えば、ボール搭載、めっき法、印刷法を用いればよい。これにより、図28に示す半導体装置1が完成する。また金属バンプ100を形成後に支持基板5を除去してもよい。

【0103】

尚、柱状電極60は、後述のように、めっき法で形成してもよい。この場合、第3絶縁膜90の形成後、リソグラフィ技術およびエッチング技術を用いて、第3絶縁膜90に電極パッド30に達する穴を形成する。さらに、その穴にめっき法で金属を埋め込む。このように、柱状電極60を形成してもよい。また半導体チップ10に柱状電極60をあらかじめ、めっき法などで形成してから、半導体チップ10を搭載してもよい。また、支持基板5は、半導体装置1から除去してもよいが、半導体装置1に放熱板として残してもよい。

20

【0104】

また、半導体装置1は、配線基板200に搭載されてもよい。図32は、第11実施形態による半導体装置1を配線基板200上に実装した状態を示す断面図である。半導体装置1は、金属バンプ100を配線基板200に向けて実装され、金属バンプ100を介して配線基板200の配線の一部と電気的に接続される。これにより、半導体装置1は、他の半導体装置とともにモジュール化され得る。金属バンプ100は配線基板200上に形成してもよい。その場合は柱状電極60の露出面と配線基板200に形成した金属バンプ100を接続する。

30

【0105】

(第12実施形態)

図33は、第12実施形態による半導体装置1の構成の一例を示す断面図である。第12実施形態では、ダミー部材80が導電体であり、ダミー部材80上に金属バンプ100が設けられている。ダミー部材80は、金属バンプ100を介して配線基板200の配線の一部に電気的に接続されている。ダミー部材80は、研磨ストッパとしての機能および電極としての機能を兼ね備える。ダミー部材80は、電源電極として電力を半導体チップ10に供給してもよい。あるいは、ダミー部材80は、グランド電極として半導体チップ10に接地電圧を供給してもよい。さらに、ダミー部材80は、半導体チップ10の熱を吸収し放出する放熱板としての機能も有する。

40

【0106】

さらに、半導体チップ10の積層体のうち最下段の半導体チップ10(図33では最上に示されている半導体チップ10)の裏面F10bに支持基板5が残置されている。支持基板5は、最下段の半導体チップ10の裏面F10bに接触しており、放熱板として機能する。また、支持基板5は、グランド電極として半導体チップ10に接地電圧を供給してもよい。支持基板5には、例えば、金属等の導電体または熱伝導性の材料を含むリードフレームでもよい。

【0107】

50

第 1 2 実施形態のその他の構成および製造方法は、第 1 1 実施形態の対応する構成および製造方法と同様でよい。従って、第 1 2 実施形態は、第 1 1 実施形態と同様の効果も得ることができる。

【 0 1 0 8 】

(第 1 3 実施形態)

図 3 4 は、第 1 3 実施形態による半導体装置 1 の構成の一例を示す断面図である。第 1 3 実施形態では、ダミー部材 8 1 がさらに設けられている点で第 1 1 実施形態と異なる。ダミー部材 8 1 は、半導体チップ 1 0 の積層方向に第 3 絶縁膜 9 0 を貫通して設けられており、半導体チップ 1 0 の積層体に隣接して設けられている。ダミー部材 8 1 は、ダミー部材 8 0 と同じ材料で構成されており、第 3 絶縁膜 9 0 および柱状電極 6 0 よりも硬い。ダミー部材 8 1 を追加することによって、半導体装置 1 のパッケージの反りをさらに抑制することができる。

【 0 1 0 9 】

ダミー部材 8 1 は、第 3 絶縁膜 9 0 を形成する前の図 2 9 または図 3 0 の工程において、支持基板 5 上に直立させるようにダミー部材 8 1 を配置する。ダミー部材 8 0、8 1 の高さはほぼ等しいことが好ましい。その後、第 1 1 実施形態で説明したように、第 3 絶縁膜 9 0 で半導体チップ 1 0 を埋込み、第 3 絶縁膜 9 0 を研磨する。このとき、ダミー部材 8 0、8 1 が研磨ストッパとなる。第 1 3 実施形態のその他の構成および製造方法は、第 1 1 実施形態の対応する構成および製造方法と同じでよい。第 1 3 実施形態は、第 1 ~ 第 1 2 実施形態のいずれかと組み合わせてもよい。

【 0 1 1 0 】

(変形例 1)

溶融した樹脂を金型に流し込んで第 3 絶縁膜 9 0 を形成する場合、樹脂は、図 3 1 の矢印 A 1 で示す方向から流し込むことが好ましい。矢印 A 1 の方向は、半導体チップ 1 0 の積層体から見て柱状電極 6 0 が存在する方向であり、樹脂の流れが半導体チップ 1 0 の積層体によって緩和され、柱状電極 6 0 に直接影響することを抑制する。これにより、樹脂の流動によって、柱状電極 6 0 が倒壊したり、屈曲することを抑制できる。

【 0 1 1 1 】

図 3 5 は、変形例 1 による樹脂封止工程の様子を示す図である。溶融された樹脂が挿入口 4 1 0 から矢印 A 1 方向へ導入され、金型 4 0 0、4 0 1 内に封入される。このとき、封止される半導体チップ 1 0 の積層体は、柱状電極 6 0 を保護するように柱状電極 6 0 よりも上流側に位置し、柱状電極 6 0 が倒壊または屈曲することを抑制する。

【 0 1 1 2 】

(変形例 2)

図 3 6 は、変形例 2 による樹脂封止工程の様子を示す図である。溶融した樹脂を金型 4 0 0、4 0 1 に流し込んで第 3 絶縁膜 9 0 を形成する場合、金型 4 0 0、4 0 1 の内面に離型フィルム 4 2 0 が設けられている。離型フィルム 4 2 0 は、樹脂封止された半導体チップ 1 0 を金型から取り外しやすくするために設けられ、樹脂等で構成されている。

【 0 1 1 3 】

変形例 2 では、圧縮成形法による樹脂封止による例を示している。金型 4 0 0、4 0 1 内に離型フィルム 4 2 0 を配置し、その中に樹脂を塗布する。その後、柱状電極 6 0 の形成された半導体チップ 1 0 を反転して樹脂内に入れて、圧縮成形をする。柱状電極 6 0 は、金型 4 0 0、4 0 1 内の離型フィルム 4 2 0 に物理的に突き刺さっている。柱状電極 6 0 は、離型フィルム 4 2 0 に押し込まれていてもよく、あるいは、貫通していてもよい。これにより、樹脂封止工程において、柱状電極 6 0 の両端が固定され、柱状電極 6 0 が、樹脂の流動によって倒壊したり、屈曲することを抑制できる。

【 0 1 1 4 】

離型フィルム 4 2 0 の引張強度は、例えば、1 MPa ~ 100 MPa であることが好ましい。離型フィルム 4 2 0 の引張強度が 1 MPa よりも低いと、離型フィルム 4 2 0 は柱状電極 6 0 を固定することが困難となる。離型フィルム 4 2 0 の引張強度が 100 MPa よ

10

20

30

40

50

りも高いと、柱状電極 60 を離型フィルム 420 に突き刺すことが困難となる。従って、離型フィルム 420 の引張強度が、1 MPa ~ 100 MPa であることによって、樹脂封止工程において、離型フィルム 420 が柱状電極 60 の倒壊や屈曲を抑制することができる。

【0115】

(第14実施形態)

図37は、第14実施形態による半導体装置1の構成例を示す断面図である。第14実施形態では、柱状電極60が、ボンディングワイヤによる柱状電極60aと、めっき法で形成された柱状電極60bとの両方を含む。例えば、最上段の半導体チップ10b上には、めっき法で柱状電極60bを形成する。それ以外の半導体チップ10a上には、ワイヤボンディング法で柱状電極60aを形成する。半導体チップ10aは、例えば、メモリチップであり、半導体チップ10bは、例えば、コントローラチップである。

10

【0116】

図38~図40は、第14実施形態による半導体装置1の製造方法の一例を示す断面図である。柱状電極60aは、図29~図31を参照して説明したように形成される。これにより、図38に示す構造が得られる。その後、図39に示すように、レーザ加工技術等を用いて、第3絶縁膜90の柱状電極60bの形成位置を削る。これにより、第3絶縁膜90に穴H60bが形成される。穴H60bは、第3絶縁膜90の上面から半導体チップ10bの電極パッドP10まで形成される。

【0117】

次に、バリアメタルを半導体チップ10bの電極パッドP10上に形成した後、図40に示すように、めっき法を用いて、柱状電極60bの金属材料を穴H60bに埋め込む。これにより、柱状電極60bが形成される。また半導体チップ10に柱状電極60をあらかじめ、めっき法などで形成してから、半導体チップ10を搭載してもよい。

20

【0118】

その後、機械的研磨法、CMP法を用いて、ダミー部材80が露出されるまで、第3絶縁膜90および柱状電極60a、60bを研磨する。さらに、金属バンプ100を柱状電極60a、60b上に形成することによって、図37に示す半導体装置1が完成する。

【0119】

(第15実施形態)

図41は、第15実施形態による半導体装置1の構成例を示す断面図である。変形例3では、柱状電極60a、60bが第3絶縁膜90の表面から金属バンプ100へ突出している。柱状電極60a、60bが金属バンプ100へ突き刺さることによって、半導体装置1を配線基板200へフリップチップ接続したときに、半導体装置1が配線基板200に対して安定して接続され、不良の抑制につながる。

30

【0120】

柱状電極60a、60bの突出形状は、第3絶縁膜90を研磨後、さらに第3絶縁膜90のみをプラズマ等でエッチングすることにより形成することができる。ダミー部材80も突出する形状となる。

【0121】

第15実施形態のその他の構成は、第14実施形態の対応する構成と同様でよい。第15実施形態は、第12~第13実施形態のいずれかと組み合わせてもよい。

40

【0122】

(第16実施形態)

図42は、第16実施形態による半導体装置1の構成例を示す断面図である。第16実施形態による半導体装置1は、ダミー柱状電極60c、60dをさらに備えている。ダミー柱状電極60cは、一端が支持基板5にボンディングされており、他端が第3絶縁膜90の表面まで設けられている。ダミー柱状電極60dは、一端が半導体チップ10のいずれかにボンディングされており、他端が第3絶縁膜90の表面まで設けられている。ダミー柱状電極60c、60dの他端には、金属バンプ100が設けられており、配線基板20

50

0に接続されている。ダミー柱状電極60c、60dは、柱状電極60が半導体装置1の一方側に偏在している場合に、その他方側に設けられる。これにより、半導体装置1と配線基板200との間の金属バンプ100の配置位置が比較的均一化され、温度サイクル試験における応力が緩和される。その結果、信頼性の向上につながる。尚、ダミー柱状電極60c、60dは、半導体チップ10および配線基板200に電氣的に接続されていても、あるいは、接続されていなくてもよい。

【0123】

ダミー柱状電極60c、60dのレイアウト配置、数は、半導体装置1と配線基板200との間の金属バンプ100の配置位置が比較的均一化されるように設定される。また、ダミー柱状電極60c、60dの径、材質は、柱状電極60a、60bのそれと同じでもよいし、相違させてもよい。例えばダミー柱状電極60c、60dの材料を柱状電極60a、60bの材料と変えて、ダミー部材80の役割をさせてもよい。第16実施形態のその他の構成は、第15実施形態の対応する構成と同様でよい。第16実施形態も、第12～第13実施形態のいずれかと組み合わせてもよい。

【0124】

(第17実施形態)

図43は、第17実施形態による半導体装置1の構成例を示す断面図である。図44は、第17実施形態による半導体装置1の構成例を示す平面図である。第17実施形態によれば、複数のダミー柱状電極60cが半導体装置1の両側あるいはコーナー部に設けられている。ダミー柱状電極60cの構成は、第16実施形態のそれと同様でよい。これにより、第16実施形態と同様に、半導体装置1と配線基板200との間の金属バンプ100の配置位置が比較的均一化され、温度サイクル試験における応力が緩和される。その結果、信頼性の向上につながる。また、ダミー柱状電極60cは、半導体装置1を配線基板200へフリップチップ接続するとき、アライメントマークになり得る。

【0125】

ダミー柱状電極60cのレイアウト配置、数は、これに限定されず、半導体装置1と配線基板200との間の金属バンプ100の配置位置が比較的均一化されるように設定されればよい。また、複数のダミー柱状電極60cの径、材質は、互いに同じでもよいし、相違させてもよい。第17実施形態のその他の構成は、第14実施形態の対応する構成と同様でよい。第17実施形態も、第12～第13実施形態のいずれかと組み合わせてもよい。

【0126】

(第18実施形態)

図45は、第18実施形態による半導体装置1の構成例を示す断面図である。第18実施形態によれば、第3絶縁膜90の表面に凹部130が設けられており、凹部130内に金属バンプ100が設けられている。金属バンプ100が凹部130内に形成されることによって、金属バンプ100がリフロー等によって溶融しても、凹部130内に金属バンプ100を滞留させることができる。よって、金属バンプ100は、柱状電極60と配線基板200との間を確実に接続することができる。第18実施形態のその他の構成は、第14実施形態の対応する構成と同様でよい。また、凹部130は、図31の工程を経た後、第3絶縁膜90を研磨し、リソグラフィ技術およびエッチング技術あるいはレーザ加工技術を用いて、柱状電極60の周囲の第3絶縁膜90を除去すればよい。第18実施形態は、第12～第17実施形態のいずれかと組み合わせてもよい。

【0127】

(第19実施形態)

図46は、第19実施形態による半導体装置1の構成例を示す断面図である。第19実施形態によれば、柱状電極60は、第3絶縁膜90内において、第1面F10aに対して垂直方向から傾斜して設けられている。柱状電極60は、半導体チップ10に対する接続部から第3絶縁膜90の表面に近づくに従って、半導体装置1の中心部から外側に向かって広がっており、柱状電極60間の間隔も広がっている。これにより、配線基板200における配線間隔を広げ、配線基板200の配線の設計の自由度が高くなる。第19実施形態

のその他の構成は、第 14 実施形態の対応する構成と同様でよい。第 19 実施形態は、第 12 ~ 第 18 実施形態のいずれかと組み合わせてもよい。

【0128】

(第 20 実施形態)

図 47 は、第 20 実施形態による半導体装置 1 の構成例を示す断面図である。第 20 実施形態によれば、柱状電極 60 は、第 3 絶縁膜 90 内において、第 1 面 F10a に対して垂直方向から傾斜して設けられている点で第 19 実施形態と同様である。しかし、第 20 実施形態では、柱状電極 60 は、半導体チップ 10 に対する接続部から第 3 絶縁膜 90 の表面に近づくに従って、半導体装置 1 の中心部から内側に向かって狭まっており、柱状電極 60 間の間隔も狭くなっている。これにより、例えば、コントローラとしての半導体チップ 10b とメモリチップとしての他の半導体チップ 10a との間の配線距離が短くなり、半導体装置 1 の電気的特性が改善される。第 20 実施形態のその他の構成は、第 14 実施形態の対応する構成と同様でよい。第 20 実施形態は、第 12 ~ 第 18 実施形態のいずれかと組み合わせてもよい。

10

【0129】

(第 21 実施形態)

図 48 は、第 21 実施形態による半導体装置 1 の構成例を示す断面図である。第 21 実施形態によれば、柱状電極 60 は、第 3 絶縁膜 90 内において、第 1 面 F10a に対して垂直方向から傾斜しており、かつ、屈曲して設けられている点で第 19 実施形態と異なる。柱状電極 60 の屈曲は、第 3 絶縁膜 90 の導入時に柱状電極 60 が影響を受けないように、柱状電極 60 を補強可能な形状に屈曲することが好ましい。例えば、柱状電極 60 は、図 31 の A1 方向と略平行方向に折り返して Z 型に成形してもよい。これにより、柱状電極 60 は、ばね状になり、第 3 絶縁膜 90 の流れに対して機械的な耐性を得ることができる。第 21 実施形態のその他の構成は、第 19 実施形態の対応する構成と同様でよい。第 21 実施形態は、第 12 ~ 第 18 実施形態のいずれかと組み合わせてもよい。

20

【0130】

(第 22 実施形態)

図 49 ~ 図 52 は、第 22 実施形態による半導体装置 1 の構成例を示す断面図である。図 49 および図 50 の第 22 実施形態によれば、半導体装置 1 は、配線基板 200 上において、アンダーフィル 510 および絶縁材 500 で被覆されている。アンダーフィル 510 は、半導体装置 1 と配線基板 200 との間に充填されており、金属バンプ 100 の周囲を被覆し保護している。これにより、半導体装置 1 と配線基板 200 との接続部の信頼性が向上する。アンダーフィル 510 には、例えば、樹脂が用いられる。絶縁材 500 は、半導体装置 1 およびアンダーフィル 510 の全体を被覆するように設けられている。絶縁材 500 は、半導体装置 1 およびアンダーフィル 510 を保護している。絶縁材 500 には、例えば、第 3 絶縁膜 90 と同様に樹脂が用いられる。これにより、半導体装置 1 の信頼性がさらに向上する。第 22 実施形態のその他の構成は、第 14 実施形態の対応する構成と同様でよい。

30

【0131】

また、絶縁材 500 は、図 49 のように、支持基板 5 の上まで設けられ、支持基板 5 を被覆してもよいが、図 50 のように、支持基板 5 の上面を露出するように設けられてもよい。この場合、支持基板 5 の放熱性を向上させることができる。

40

【0132】

絶縁材 500 およびアンダーフィル 510 は、いずれか一方だけ設けられてもよい。例えば、図 51 および図 52 のように、アンダーフィル 510 を省略して、絶縁材 500 が半導体装置 1 を被覆してもよい。この場合、アンダーフィルに代わって絶縁材 500 が半導体装置 1 と配線基板 200 との間に埋め込まれ、金属バンプ 100 を被覆し保護する。第 22 実施形態は、上記実施形態のいずれかと組み合わせてもよい。

【0133】

図 28 から図 52 では柱状電極 60 としてワイヤを用いた例を示した。もちろん通常のワ

50

イヤボンディング法を用いた製品のように、チップ間を直接接続するワイヤと、ワイヤを使用した柱状電極 60 が混在していてもよい。またチップ間を直接接続するワイヤと、ワイヤを用いた柱状電極 60、めっき法などを適用した柱状電極 60 が混在していてもよい。

【 0 1 3 4 】

(第 2 3 実施形態)

図 5 3 は、第 2 3 実施形態における半導体装置 1 の構成例を示す断面図である。第 2 3 実施形態は、複数のダミー部材 80 が一つの半導体チップ 10 内に配置されている点で第 1 実施形態と異なる。第 2 3 実施形態のその他の構成は、第 1 実施形態の対応する構成と同様でよい。複数のダミー部材 80 が配置されることにより、複数のダミー部材 80 は、よりストッパとしての役目を果たすことができるとともに、半導体装置 1 の反りの調整をす

10

【 0 1 3 5 】

(第 2 4 実施形態)

図 5 4 は、第 2 4 実施形態における半導体装置 1 の構成例を示す断面図である。第 2 4 実施形態は、再配線層 120 内に配置されたダミー部材 80 をさらに備える点で第 6 実施形態と異なる。第 2 4 実施形態のその他の構成は、第 6 実施形態の対応する構成と同様でよい。ダミー部材 80 のほかに、ダミー部材 80 を再配線層 120 内に配置することにより、半導体装置 1 の反りの調整をすることができる。その結果、信頼性を向上させることができる。複数のダミー部材 80 を、再配線層 120 内の複数の配線層間配置してもよい。これにより、さらに、半導体装置 1 の反りの調整をすることができる。

20

【 0 1 3 6 】

(第 2 5 実施形態)

図 5 5 は、第 2 5 実施形態における半導体装置 1 の構成例を示す断面図である。第 2 5 実施形態は、半導体装置 1 の柱状電極 60 上に再配線層 120 を備えている点で第 1 1 実施形態と異なる。再配線層 120 は、第 3 絶縁膜 90 を研磨した後に、第 3 絶縁膜 90 および柱状電極 60 上に形成される。金属パンプ 100 は、再配線層 120 上に形成される。再配線層 120 が設けられることにより、柱状電極 60 間のピッチが狭い場合であっても、金属パンプ 100 間のピッチを広げることが可能となる。さらに、再配線層 120 は、半導体チップ 10 間を再配線層 120 内の配線を介して電氣的に接続することが可能となる。再配線層 120 内にダミー部材 80 を形成してもよい。また、複数の再配線層 120

30

【 0 1 3 7 】

(第 2 6 実施形態)

図 5 6 は、第 2 6 実施形態における半導体装置 1 の構成例を示す断面図である。本実施形態は、半導体装置 1 を、いわゆるファンアウトウエハレベル C S P (Chip Size Package) に応用した例である。ファンアウトウエハレベル C S P のプロセスには大きく分けて、R D L L a s t と R D L F i r s t とがある。R D L L a s t は、半導体チップを第 4 絶縁膜 (絶縁材) 150 で覆った後に、再配線層 120 を形成する方式であり、R D L F i r s t は、半導体チップを第 4 絶縁膜 150 で覆う状態の前に再配線層 120 を形成する方式である。第 4 絶縁膜 150 は、エポキシ系、フェノール系、ポリイミド系、ポリアミド系、アクリル系、P B O 系、シリコン系、ベンゾシクロブテン系などの樹脂、これらの混合材料、複合材料を使用する。エポキシ樹脂の例としては特に限定されず、例えば、ビスフェノール A 型、ビスフェノール F 型、ビスフェノール A D 型、ビスフェノール S 型等のビスフェノール型エポキシ樹脂、フェノールノボラック型、クレゾールノボラック型等のノボラック型エポキシ樹脂、レゾルシノール型エポキシ樹脂、トリスフェノールメタントリグリシジルエーテル等の芳香族エポキシ樹脂、ナフタレン型エポキシ樹脂、フルオレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、ポリエーテル変性エポキシ樹脂、ベンゾフェノン型エポキシ樹脂、アニリン型エポキシ樹脂、N B R 変性エポキシ樹脂、C T B N 変性エポキシ樹脂、及び、これらの水添化物等が挙げられる。なかでも、S i との密着性が良い点から、ナフタレン型エポキシ樹脂、ジシクロペンタジ

40

50

エン型エポキシ樹脂が好ましい。また、速硬化性が得られやすいことから、ベンゾフェノン型エポキシ樹脂も好ましい。これらのエポキシ樹脂は、単独で用いられてもよく、2種以上が併用されてもよい。また第3絶縁膜90の中にシリカなどのフィラーが含まれていてもよい。

【0138】

図56には、RDL Lastにおいて、再配線層120にダミー部材80を形成した例を示す。RDL Last方式では、支持基板上に剥離層を形成した上に半導体チップ10を搭載し、第4絶縁膜150で半導体チップ10を覆う。その後支持基板を剥離し、再配線層120を半導体チップ10の素子面に形成する。柱状電極60を形成後、第3絶縁膜90を形成し、第3絶縁膜90を機械的研磨法、CMPなどで平坦化する。この場合、柱状電極60を露出するまで第3絶縁膜90を研磨するが、このとき、ダミー部材80がストッパとして機能する。半導体チップ10の周りに第4絶縁膜150があり、半導体チップ10の素子面には再配線層120が形成される。再配線層120は、半導体チップ10の第1面F10aと、該第1面F10aと面一の第4絶縁膜150上に設けられている。再配線層120内にダミー部材80が形成され、再配線層120上に金属バンプ100が形成されている。金属バンプ100は、配線基板200に電氣的に接続されている。ファンアウトウエハレベルCSPの第3絶縁膜を含む再配線層120内にダミー部材80が設けられていることにより、半導体装置1の反りの矯正を行うことができ、信頼性を向上させることができる。

10

【0139】

(第27実施形態)

図57は、第27実施形態における半導体装置1の構成例を示す断面図である。図56の形態において、第3絶縁膜90内に複数のダミー部材80が設けられている。第27実施形態の他の構成は、第26実施形態の対応する構成と同様でよい。ダミー部材80を増やすことにより、半導体装置1の反りを調整することができ、さらに信頼性を向上させることができる。また複数の再配線層120内にダミー部材80を形成してもよい。第27実施形態は、他の実施形態と組み合わせてもよい。

20

【0140】

(第28実施形態)

図58は、第28実施形態における半導体装置1の構成例を示す断面図である。本実施形態は、半導体装置1を、いわゆるファンアウトウエハレベルCSPに応用した例である。図56には、RDL Firstにおいて、第3絶縁膜90にダミー部材80を形成した例を示す。RDL First方式では、支持基板上に剥離層を形成し、柱状電極60を形成する。ダミー部材80を剥離層上に搭載後、柱状電極60、ダミー部材80を覆うように第3絶縁膜90を形成し、機械的研磨法、CMPなどで平坦化する。この場合、柱状電極60を露出するまで第3絶縁層90を研磨するが、このとき、ダミー部材80がストッパとして機能する。ダミー部材80上にさらに再配線層120があり、半導体チップ10の周りに第4絶縁膜150がある。半導体チップ10は、金属バンプ100Aを有し、再配線層120にリップチップ実装されている。第3絶縁膜90にはダミー部材80が形成され、金属バンプ100Bが形成されている。金属バンプ100Bは、配線基板200に電氣的に接続されている。ファンアウトウエハレベルCSPの第3絶縁膜90を含む再配線層120内にダミー部材80が設けられていることにより、半導体装置1の反りの矯正を行うことができ、信頼性を向上させることができる。なお支持基板から再配線層を剥離後、第3絶縁膜90を研磨して、柱状電極60を露出させる。ダミー部材80は上下両方から研磨されるため、両方からの研磨のストッパとしての役目をする。

30

40

【0141】

(第29実施形態)

図59は、第29実施形態における半導体装置1の構成例を示す断面図である。第29実施形態は、半導体チップ10と再配線層120との間にアンダーフィル510を備えている点で第28実施形態と異なる。アンダーフィル510は、半導体チップ10と再配線層

50

120との間の金属バンプ100Aの周囲を被覆し保護している。これにより、半導体チップ10と再配線層120との接続部の信頼性が向上する。

【0142】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

10

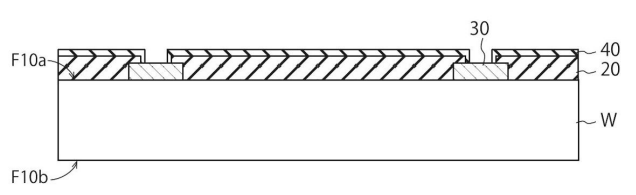
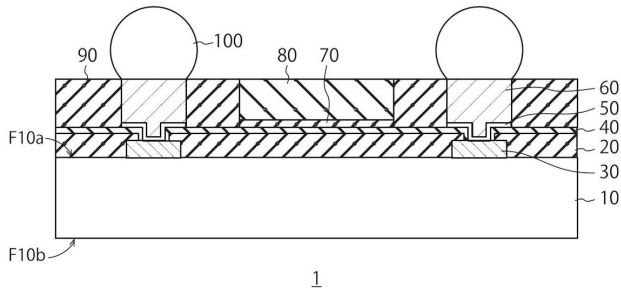
【0143】

1 半導体装置、10 半導体チップ、20 第1絶縁膜、30 電極パッド、40 第2絶縁膜、50 バリアメタル、60 柱状電極、70 樹脂層、80 ダミー部材(第1部材)、90 第3絶縁膜(絶縁材)、100 金属バンプ、150 第4絶縁膜

【図面】

【図1】

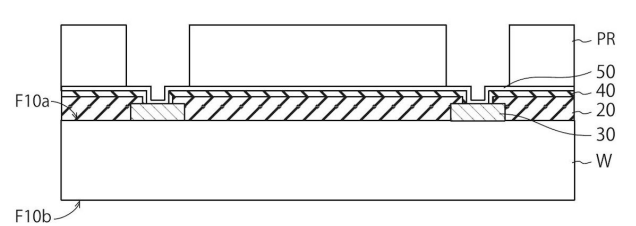
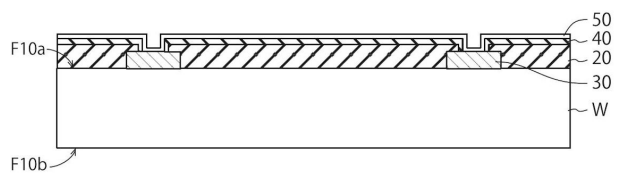
【図2】



20

【図3】

【図4】

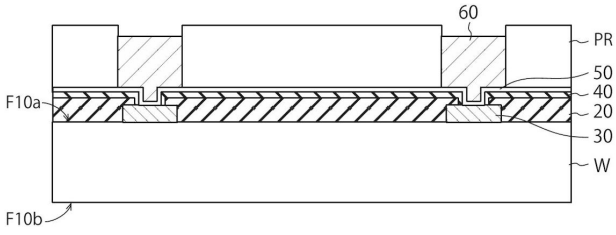


30

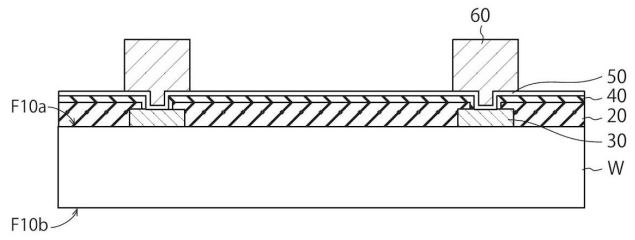
40

50

【 図 5 】

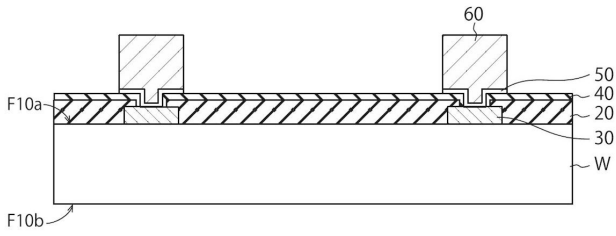


【 図 6 】

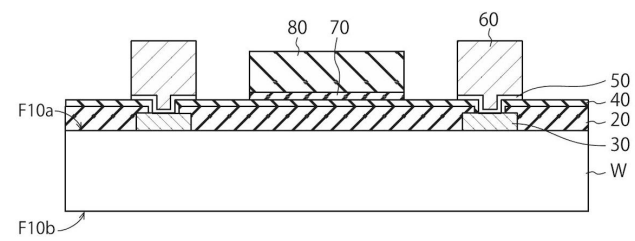


10

【 図 7 】

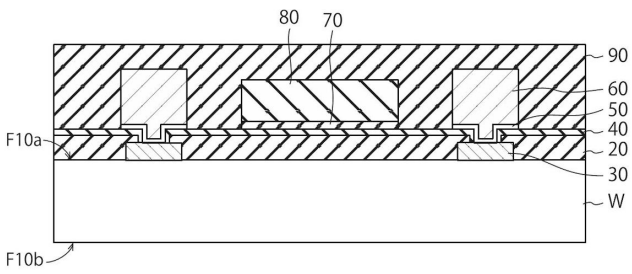


【 図 8 】

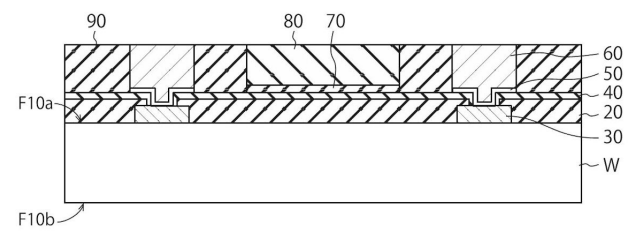


20

【 図 9 】



【 図 10 】

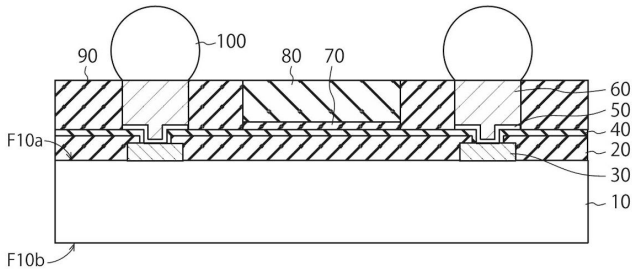


30

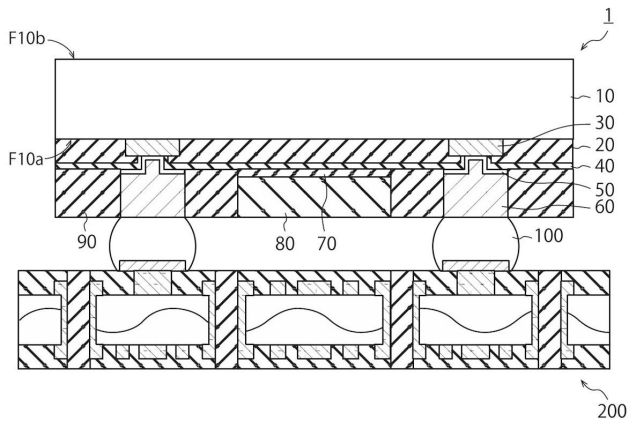
40

50

【 図 1 1 】

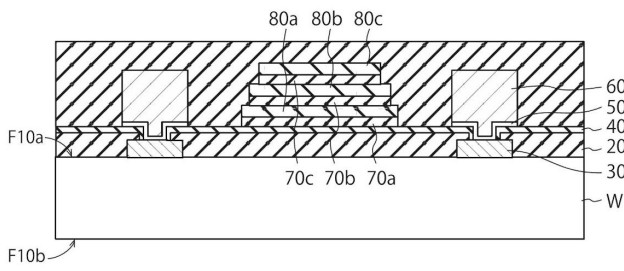


【 図 1 2 】

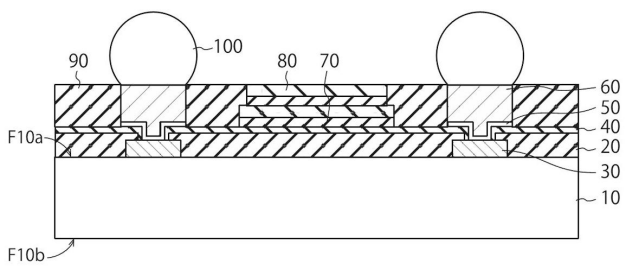


10

【 図 1 3 】

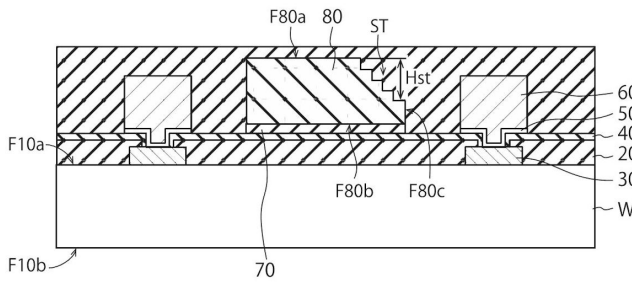


【 図 1 4 】

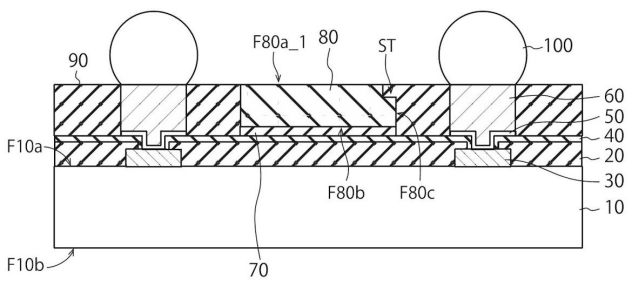


20

【 図 1 5 】



【 図 1 6 】

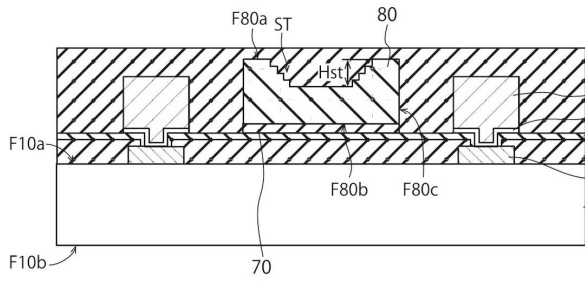


30

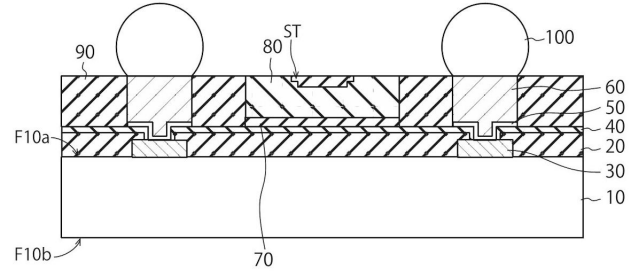
40

50

【 図 1 7 】

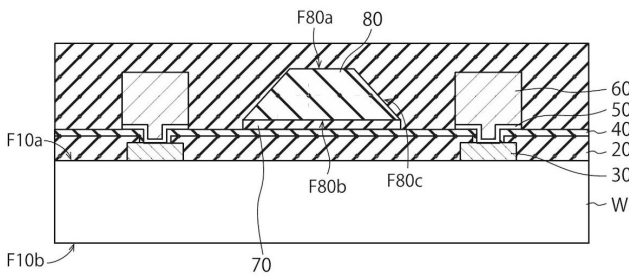


【 図 1 8 】

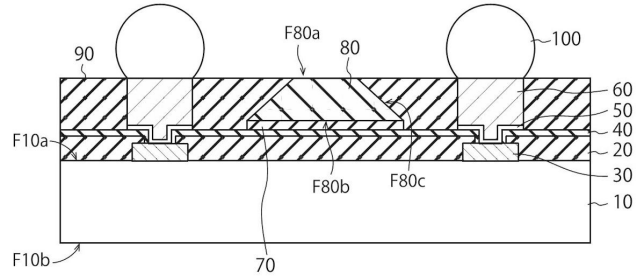


10

【 図 1 9 】

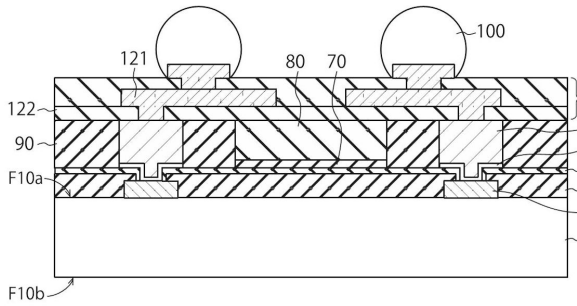


【 図 2 0 】

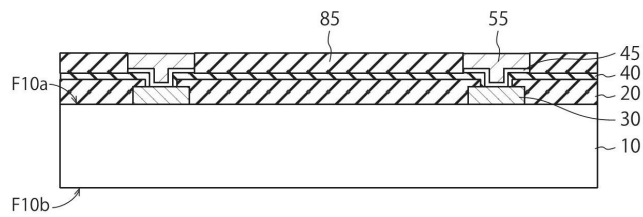


20

【 図 2 1 】



【 図 2 2 】

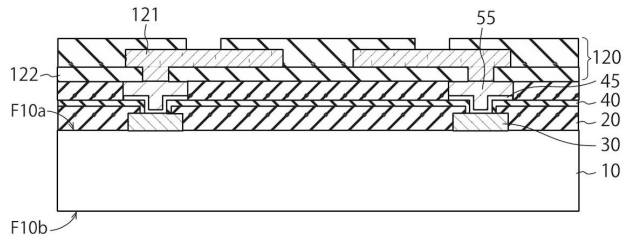


30

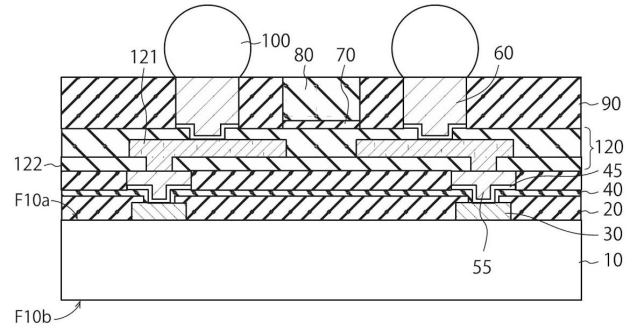
40

50

【 図 2 3 】

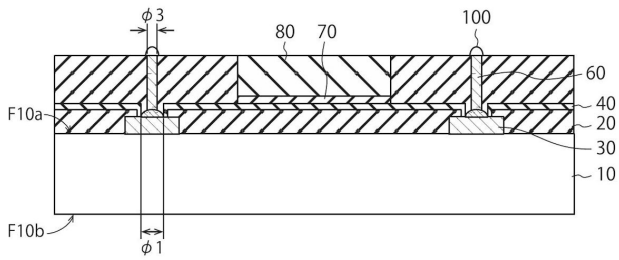


【 図 2 4 】

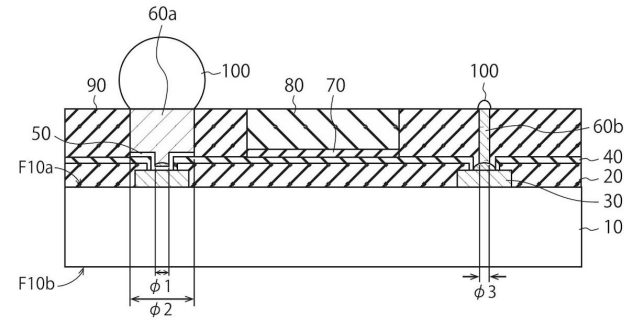


10

【 図 2 5 】

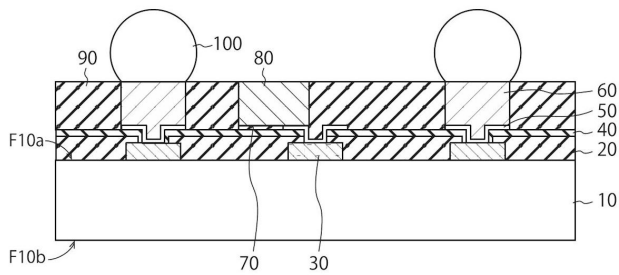


【 図 2 6 】

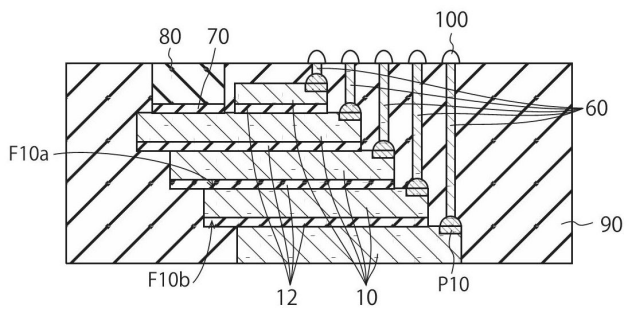


20

【 図 2 7 】



【 図 2 8 】

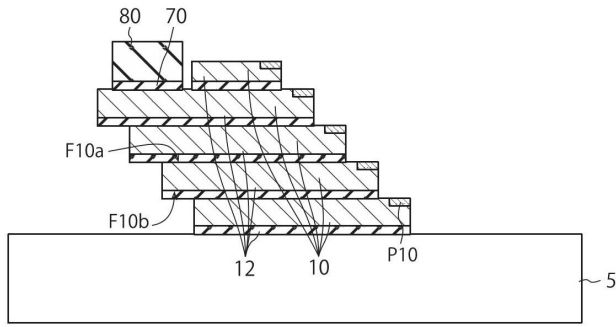


30

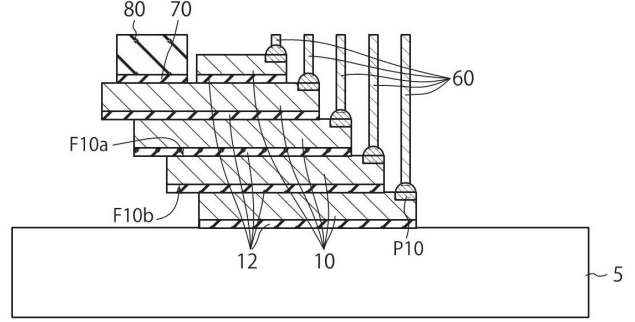
40

50

【 図 2 9 】

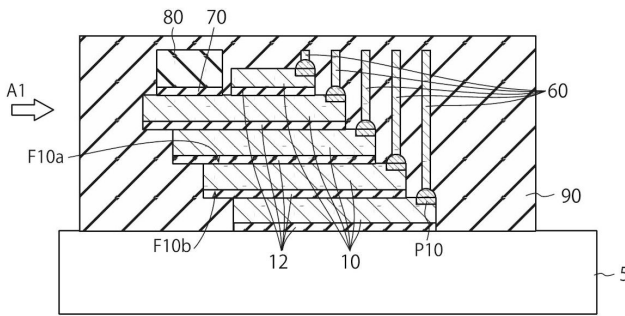


【 図 3 0 】

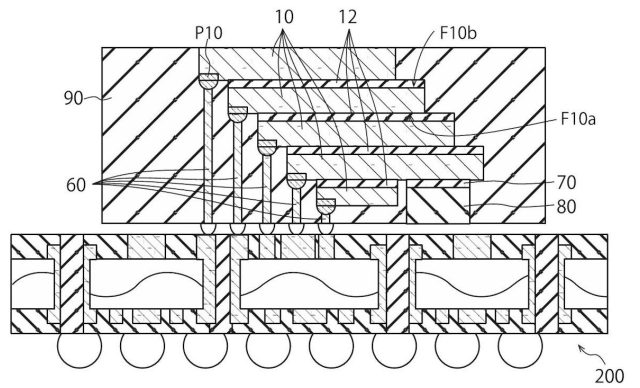


10

【 図 3 1 】

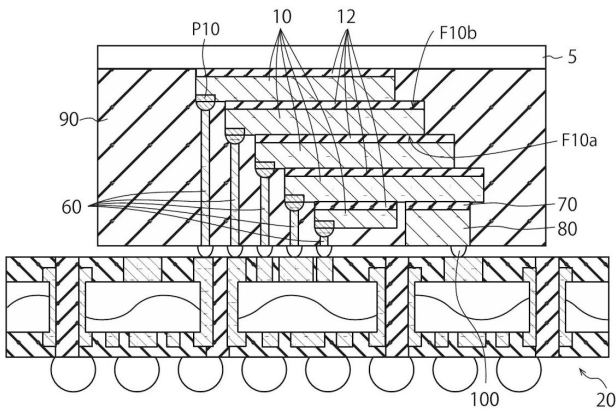


【 図 3 2 】

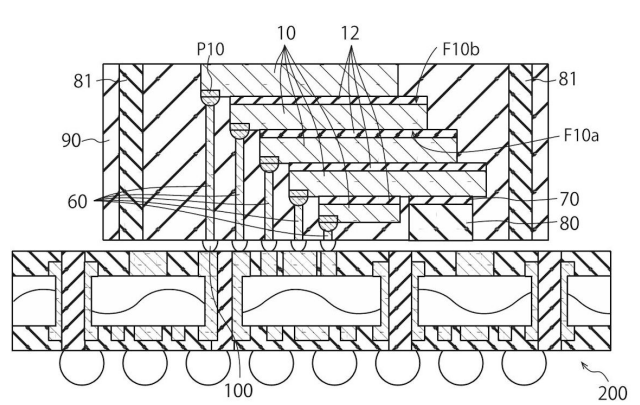


20

【 図 3 3 】



【 図 3 4 】

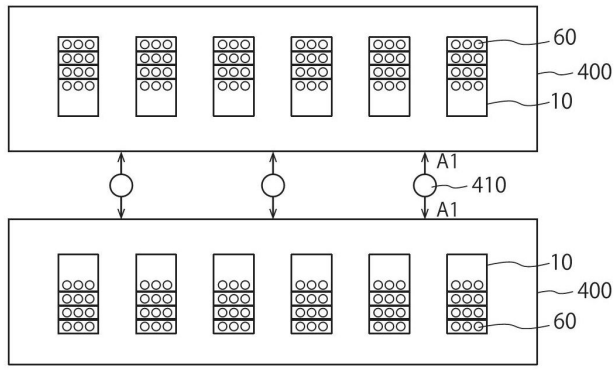


30

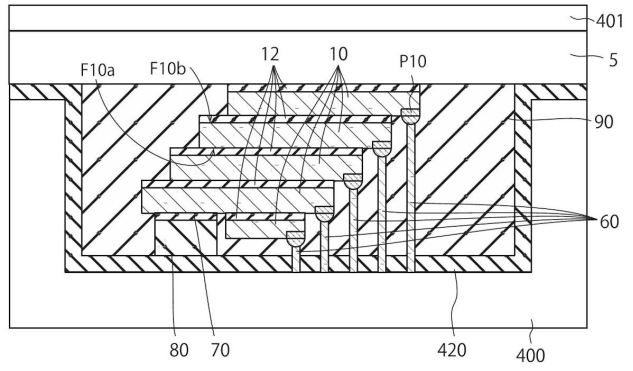
40

50

【 図 3 5 】

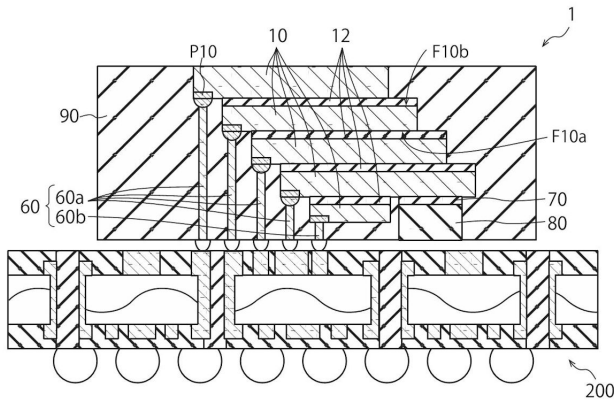


【 図 3 6 】

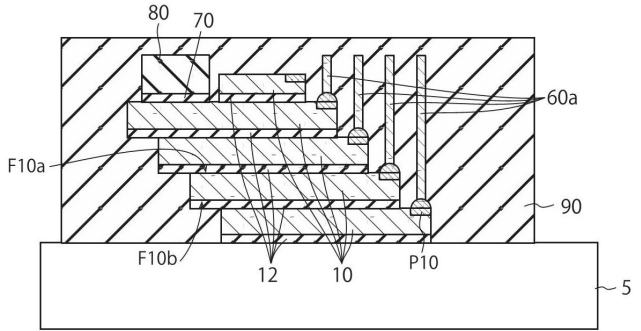


10

【 図 3 7 】

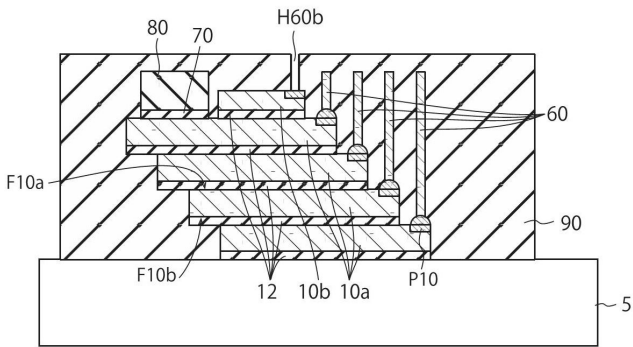


【 図 3 8 】

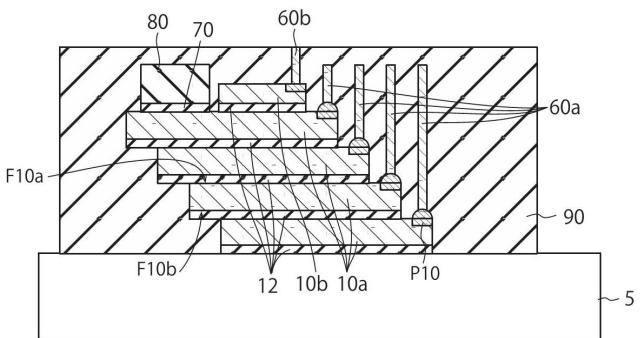


20

【 図 3 9 】



【 図 4 0 】

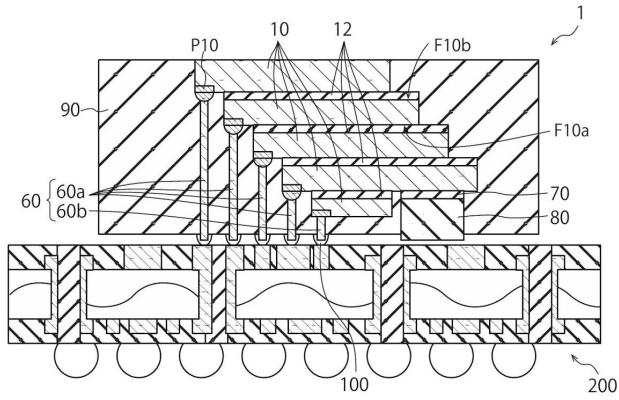


30

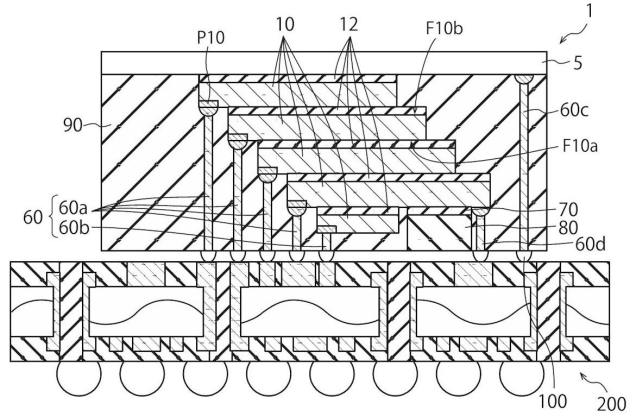
40

50

【 図 4 1 】

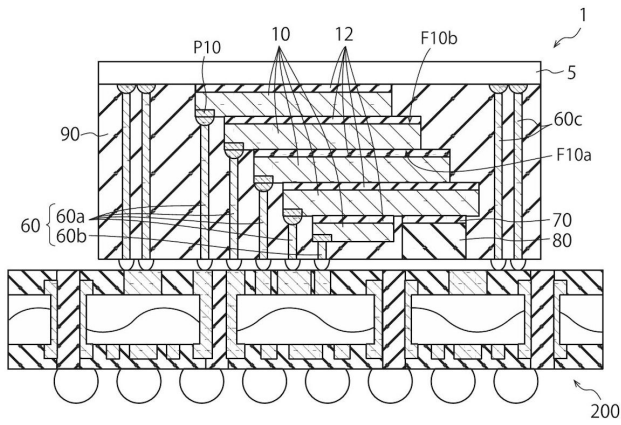


【 図 4 2 】

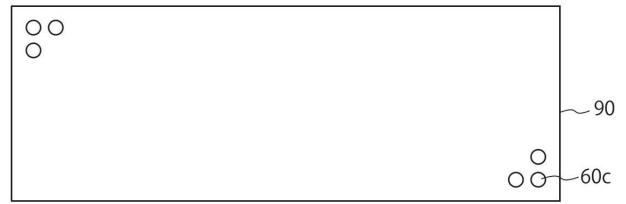


10

【 図 4 3 】



【 図 4 4 】



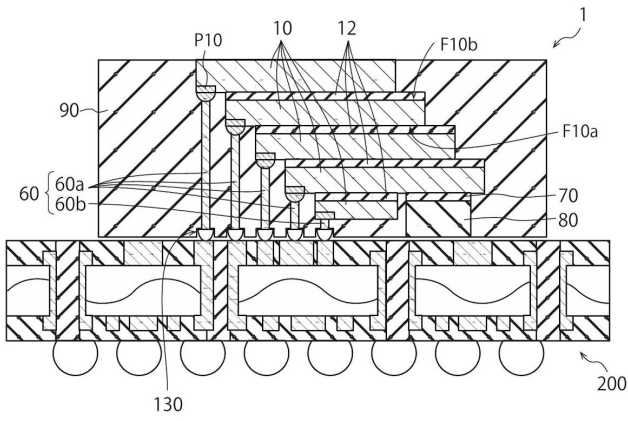
20

30

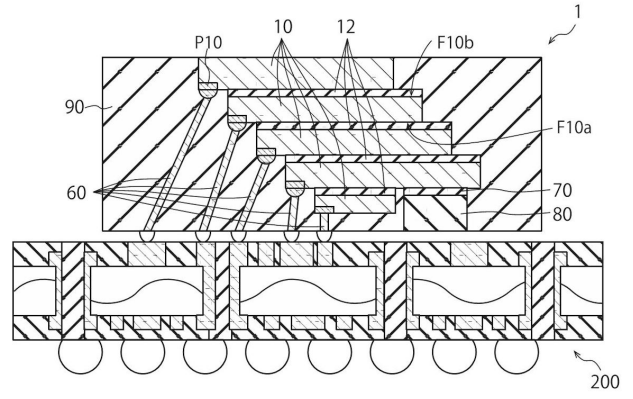
40

50

【 図 4 5 】

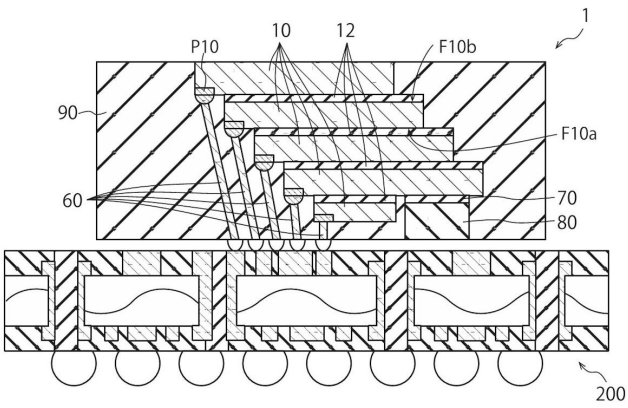


【 図 4 6 】

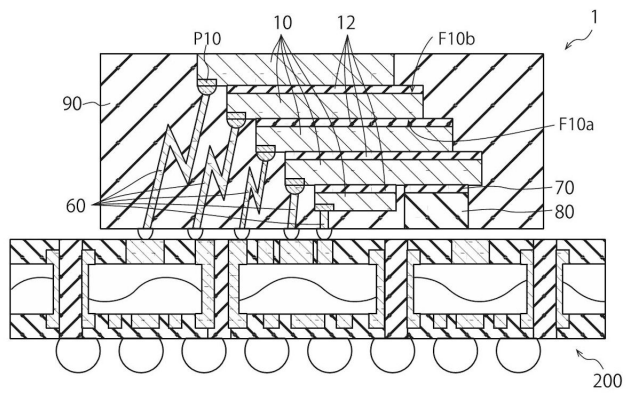


10

【 図 4 7 】



【 図 4 8 】



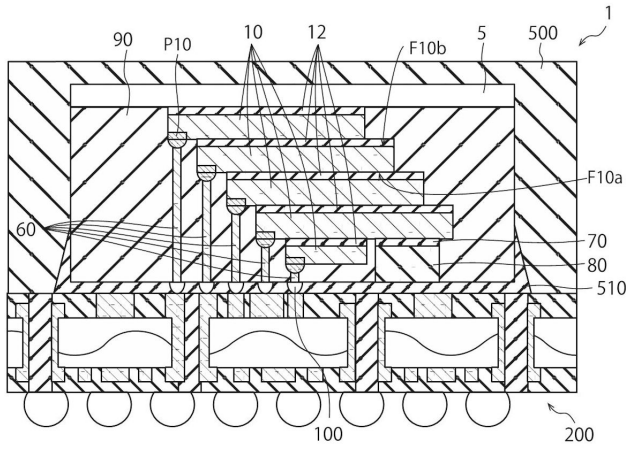
20

30

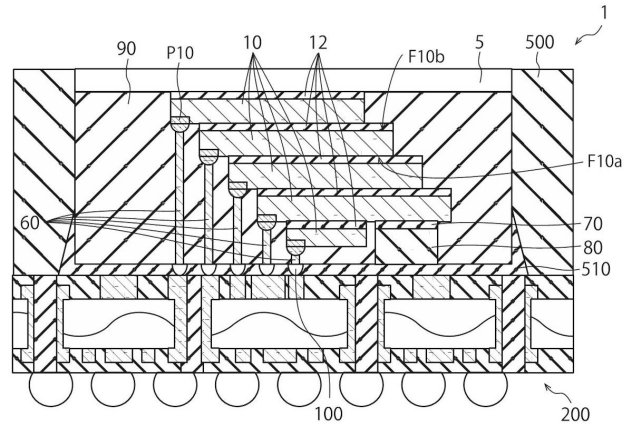
40

50

【 図 4 9 】

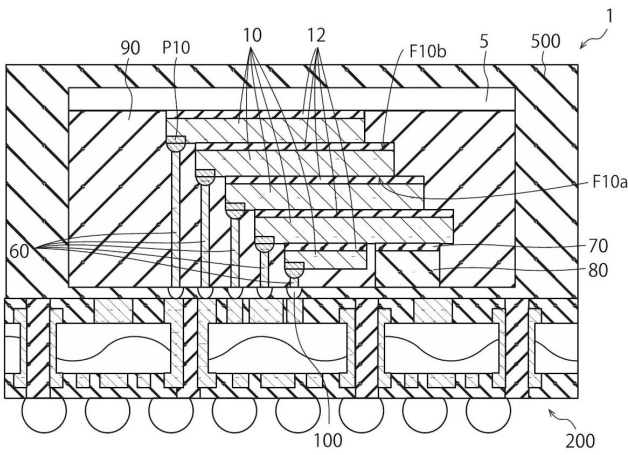


【 図 5 0 】

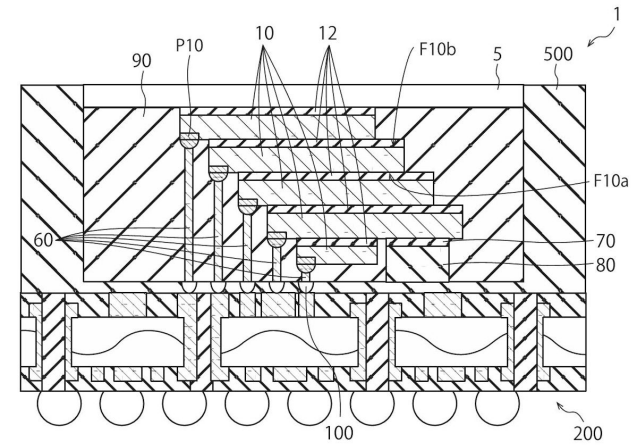


10

【 図 5 1 】



【 図 5 2 】



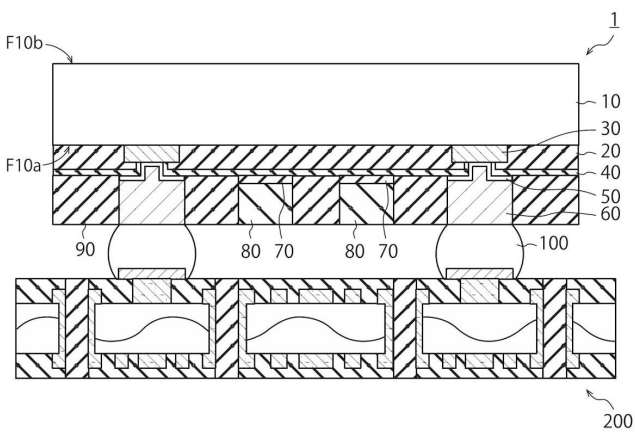
20

30

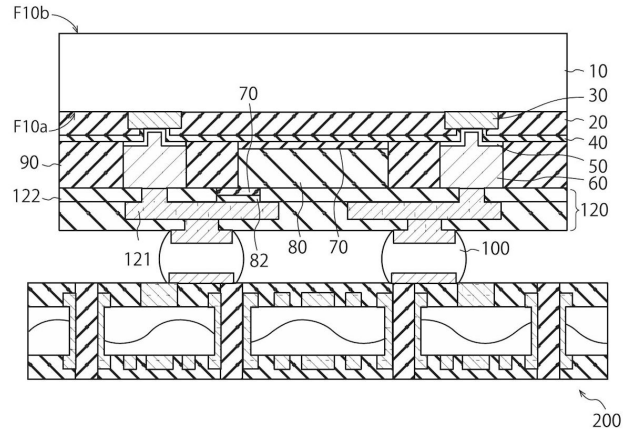
40

50

【 図 5 3 】

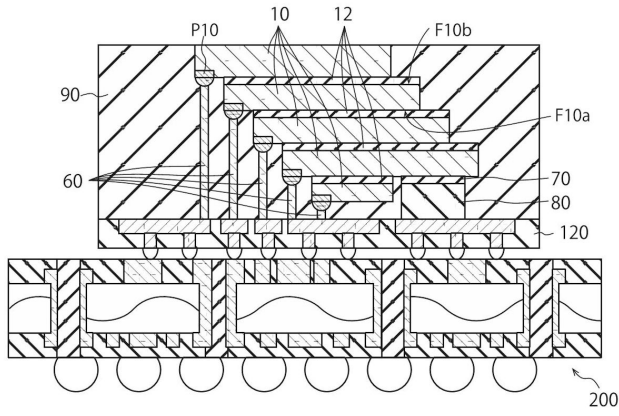


【 図 5 4 】

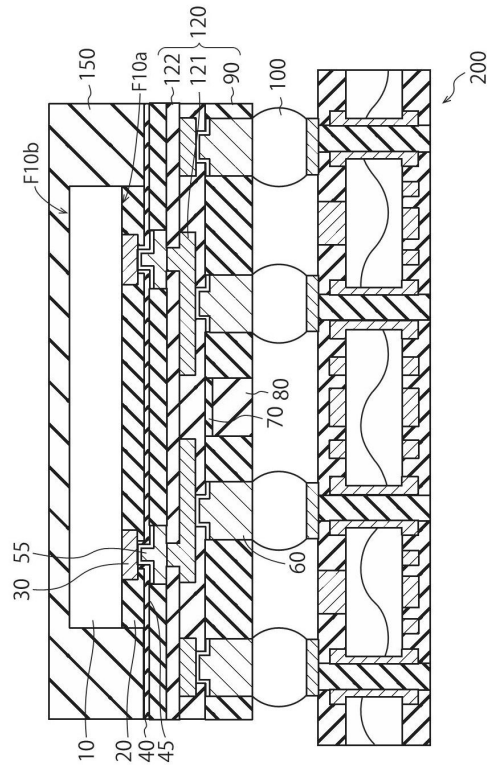


10

【 図 5 5 】



【 図 5 6 】



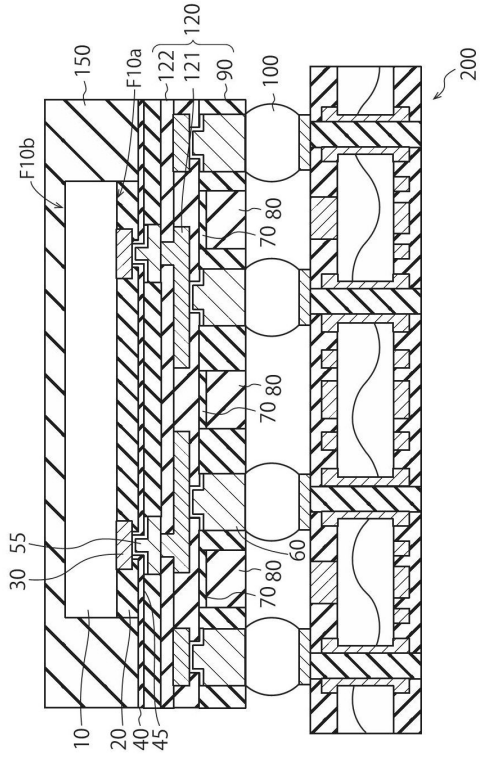
20

30

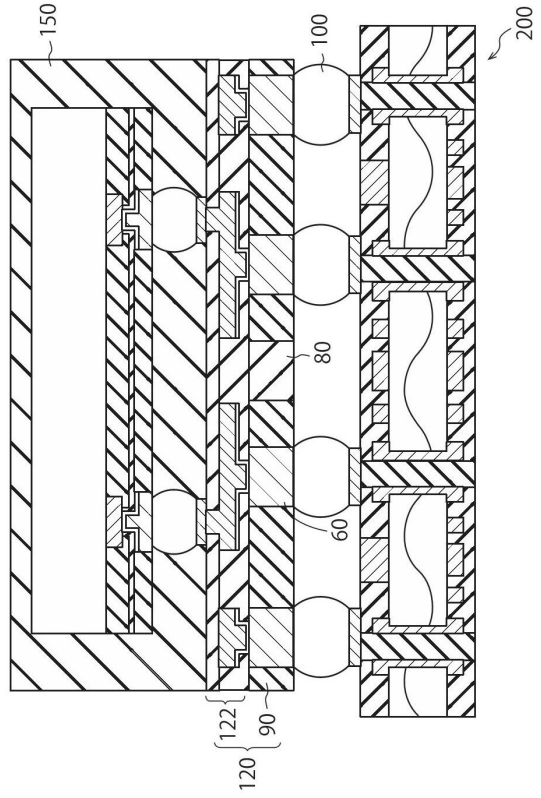
40

50

【 図 5 7 】



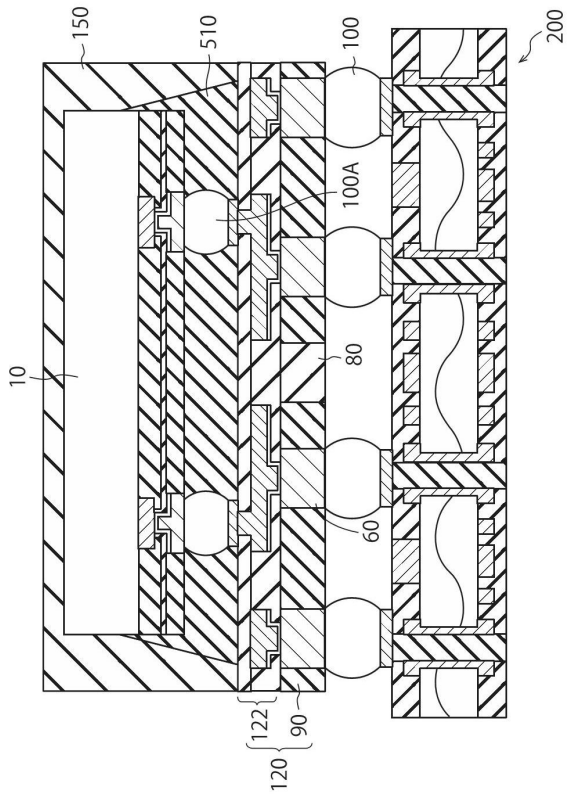
【 図 5 8 】



10

20

【 図 5 9 】



30

40

50

フロントページの続き

- (72)発明者 東京都港区芝浦三丁目1番2-1号 キオクシア株式会社内
三浦 正幸
- (72)発明者 東京都港区芝浦三丁目1番2-1号 キオクシア株式会社内
前田 竹識
- (72)発明者 東京都港区芝浦三丁目1番2-1号 キオクシア株式会社内
加藤 和弘
- 東京都港区芝浦三丁目1番2-1号 キオクシア株式会社内