

# 發明專利說明書 200406812

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92116877

※申請日期：092-06-20 ※IPC 分類：H01L 21/00

壹、發明名稱：(中文/英文)

形成基板之隆起接觸點之方法

METHOD OF FORMING A RAISED CONTACT FOR A SUBSTRATE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

DAVID SIMON

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路 2200 號

2200 MISSION COLLEGE BLVD. SANTA CLARA, CA 95052, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 保羅 B. 費雪

PAUL B. FISCHER

2. 詹姆士 A. 伯德曼

JAMES A. BOARDMAN

3. 安 E. 米勒

ANNE E. MILLER

住居所地址：(中文/英文)

1. 美國奧勒岡州波特蘭市西北第 129 廣場 1558 號

1558 NW 129TH PLACE, PORTLAND, OREGON 97229, U.S.A.

2. 美國奧勒岡州西爾斯保羅市東南第 65 廣場 724 號

724 SE 65TH PLACE, HILLSBORO, OREGON 97123, U.S.A.

3. 美國奧勒岡州波特蘭市西北溫帝路 15021 號

15021 NW WENDY LANE, PORTLAND, OREGON 97229, U.S.A.

國 籍：(中文/英文)

1.~3. 美國 U.S.A.

### 肆、聲明事項：

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年06月21日；10/177,539

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年06月21日；10/177,539

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明與半導體積體電路(integrated circuit; IC)製造有關，更特定言之，本發明與形成基板之隆起接觸點的一種方法有關。

### 【先前技術】

1965年Gordon Moore首先發現一晶片上每單位面積電晶體數量約每18個月就出現兩倍。自那以後，半導體行業就設法及時引入新設計及處理以取得由所稱摩爾定律設計出的裝置密度方面之改良。特定言之，在光學及微影蝕刻方面的主要增強已減小可在一晶片或其他基板上的特徵中成功圖案化之關鍵尺寸(critical dimension; CD)。同時，在摻雜、沈積及蝕刻方面的巨大改良已降低可橫跨該基板而精確達到的濃度、深度及厚度。

因為裝置尺寸接近原子尺寸，所以物理方面的基本限制將在決定該基板上的該等裝置之性能及可靠性方面起越來越大的作用。以往，縮放問題總體包括半導體處理之前端中的電晶體或半導體處理之後端中的接線。但是，更為重要的係平衡該基板上的電晶體及互連之縮放與多基板之間的互連之縮放。

因此，所需要的係形成隆起接觸點的一種方法，該等接觸點係用於基板與具有此類隆起接觸點的一結構之間的互連。

### 【發明內容】

在以下說明中提出許多細節，例如特定材料、尺寸及處理以提供對本發明的完全理解。但是，熟悉技術人士應明白，在沒有該等特定細節的情況下仍可實施本發明。另外，為了避免使本發明晦澀難懂，並未特定詳細說明熟知的半導體設備及處理。

一裝置可藉由反覆執行單元處理之某結合(例如摻雜、沈積、圖案化及蝕刻)而在一基板上形成。積體電路(IC)在一晶片或基板上製造期間，電晶體可在半導體材料中形成並由一電性絕緣材料分離。然後該等電晶體可與一互連系統連接，該互連系統具有由該電性絕緣材料分離的多層導電材料。

每單位容量一較高裝置密度可藉由堆疊二個或多個基板而達到。該等基板可與三維互連連接。該等三維互連可包括該等基板上的隆起接觸點。本發明說明形成用於基板之間的互連之隆起接觸點的一種方法。

圖1(g)及圖2表示依據本發明的一結構之某等具體實施例。

#### 【實施方式】

圖1(g)表示包括一基板100上的一插塞135之一結構1000的一項具體實施例。該插塞135可形成一隆起接觸點以使一信號可輸入一焊墊104或從該焊墊輸出，該焊墊與該基板100之一底層102中的一裝置之一作用區域連接。

圖2表示包括依據本發明的二互連基板210、220之一結構2000的一項具體實施例。該結構2000包括用於一第一基板210的一第一隆起接觸點211，該第一隆起接觸點與用於一第

二基板220的一第二隆起接觸點221互連。在一項具體實施例中，該隆起接觸點211使一信號可輸入一焊墊204或從該焊墊輸出，該焊墊與該基板210之一底層202中的一裝置之一作用區域連接。

圖1(a)至(g)及圖2表示形成用於依據本發明的一基板100之隆起接觸點的一方法之各種具體實施例。一基板100可包括具有多晶片的一晶圓、具有多晶粒的一晶片或具有多裝置的一晶粒。

該基板100可與一封包整合。某等情況下可採用插板。該基板100一般包括一底層102。該底層102包括一焊墊104，該焊墊使一信號可輸入一裝置之一作用區域或從該作用區域輸出。該裝置可以為主動或被動形式。該焊墊104可以採用一導電材料形成，該導電材料具有選自範圍約2,500.0至12,000.0埃的一厚度。該導電材料可包括一種金屬，例如鋁或銅。

該底層102可由採用一電性絕緣材料形成的一絕緣體103覆蓋，該絕緣材料具有選自範圍約5,000.0至24,000.0埃的一厚度。一電性絕緣材料之介電常數(k)可採用在平行板電性結構上測量電容的方法決定。該電性絕緣材料可包括k值約為3.9至4.2的二氧化矽。在一項具體實施例中，可將一未摻雜矽玻璃(undoped Silica glass; USG)用於設計規則約為250奈米(nm)的一裝置。可用以形成該絕緣體103的一種工具包括由Applied Materials公司生產的一Ultima X™系統。

該絕緣體103可作為一層間位準、夾層或介電層(ILD)，用

以將該焊墊104與可能呈現在該底層102之相同或不同位準或層中的其他導電材料分離。相鄰導電線路之間的過多電容可能降低與該等線路連接的該底層102中的該等裝置之性能。若該等裝置包括電晶體，則線路間電容可引起串音並在該等電晶體運行時增加電阻電容(resistance-capacitance; RC)產物延遲，從而降低其交換速度。

該基板100之接線中的線路間電容可藉由將一低k材料用於該等導電材料之間的該絕緣體103而減少。低k指低於二氧化矽之k值的一k值。對於具有設計規則約為180 nm的一裝置，二氧化矽可摻雜氟以形成k值約為3.3至3.7的一種氟矽玻璃(Fluorinated Silicate glass; FSG或SiOF)。FSG及二氧化矽具有許多類似的特性，因此處理整合相對比較簡單。

FSG之k值對於具有較小設計規則的裝置而言不夠低，因此必須採用其他低k材料。一低k介電質可包括有機材料、矽酸鹽材料或有機材料與矽酸鹽材料之一混合物，例如有機矽玻璃(organosilicate glass; OSG)。對於具有設計規則約為130 nm的一裝置，二氧化矽可摻雜甲基(-CH<sub>3</sub>)群組以形成k值約為2.4至3.3的一種含碳二氧化矽(Carbon-doped Silicon Oxide; CDO或SiOC)。

對於具有設計規則約為90 nm的一裝置，該絕緣體103可採用具有一超低k的一低k材料形成。超低k指低於約2.2的一k值。對於具有設計規則約為70 nm小至50 nm的一裝置，該絕緣體103可採用k值低於1.5的一種材料形成。具有超低k的材

料通常為多孔型而且可包括氣凝膠及乾凝膠。在某等情況下，該低k或超低k材料可能要求採用一阻障層以防止擴散、混合或與其他材料反應。在一項具體實施例中，一覆蓋層(例如氮化矽(SiN)或氧氮化矽(SiON))可形成於該低k或超低k材料上。

該絕緣體 103 可採用一化學氣相沈積(chemical vapor deposition; CVD)處理而形成。可採用一電漿輔助化學氣相沈積(plasma-enhanced CVD; PECVD)處理形成的一種低k材料包括由 Applied Materials 公司生產的 Black Diamond™(一種k值約為 2.4 至 3.1 的 CDO)、由 Novellus Systems 生產的 CORAL™(一種k值約為 2.4 至 2.8 的 CDO)及由 Trikon Technologies 公司生產的 Flowfill®(一種k值約為 2.5 至 2.8 的 CDO)。可採用 PECVD 形成的一種超低k材料包括由 Trikon Technologies 公司生產的 Orion™(一種k值約為 2.0 至 2.2 的 CDO)。可用以形成該低k或超低k材料的一種工具包括由 Applied Materials 公司生產的一 Producer®系統。也可採用由 Novellus Systems 公司生產的一 SEQUEL Express™系統或一 VECTOR™系統。

另外，該絕緣體 103 可採用一旋塗式介電質 (spin-on dielectric; SOD) 形成。在某等情況下，該 SOD 可能要求採用一黏著層。可採用利用一液體源的一旋塗式處理形成的低k材料包括由 Dow Chemical 公司生產的 SiLK™(一種k值約為 2.65 的芬芳碳氫聚合物)及由 Honeywell Electronic Materials (HEM) 公司生產的 HOSP™(一種k值約為 2.5 的混合

有機矽氧烷聚合物或OSG)。可旋塗的一超低k材料包括由HEM生產的NANOGLASS®(一種k值約為1.3至2.2的多孔矽)。可用以形成該低k或超低k材料的一種工具包括由Tokyo Electron Ltd.(TEL)公司生產的一旋塗磁軌。

一光罩係藉由一種感光材料定義，該材料在一微影蝕刻處理中稱為光阻101。首先該光阻101係塗敷在該基板100之該絕緣體103上。如圖1(a)中的一項具體實施例所示，一特徵99係藉由曝光於適當波長及劑量之輻射而圖案化在該光阻101中，其由一標線調變，然後顯影以形成該光罩。該曝光可在一成像工具(例如一步進機或一掃描機)中完成。

在該光阻101光罩中的該特徵99然後藉由一蝕刻處理傳送進入該絕緣體103中的一開口105。形成該開口105的該蝕刻處理可包括一電漿蝕刻處理或一反應性離子蝕刻(reactive ion etch; RIE)處理。該開口105揭開該底層102中的該裝置之該焊墊104的一部分，如圖1(b)中的一項具體實施例所示。

該開口105可包括得自於該標線(例如一通道、一溝渠或一通道上的一溝渠)之一形狀。該開口105可以具有大於約1.00微米( $\mu\text{m}$ )的一垂直尺寸或深度及小於約0.10  $\mu\text{m}$ 的一橫向尺寸(例如一寬度)。若該開口105具有約6:1或更大的一縱橫比(深度:寬度)，則該蝕刻需要高度的方向性。在一項具體實施例中，可採用一種高密度電漿，例如感應耦合射頻電漿(inductively-coupled Radio Frequency plasma; ICP)。

形成該開孔105的該蝕刻可採用一種氣體混合物執行。該

氣體混合物可包括一種蝕刻氣體(例如 $\text{CF}_4$ )及一種聚合氣體(例如 $\text{CH}_2\text{F}_2$ )。該蝕刻氣體為用於蝕刻該絕緣體103的氟之主要來源，而該聚合氣體使該開孔105之側壁鈍化以改善選擇性。其他可以採用的氣體包括 $\text{CHF}_3$ 及 $\text{C}_3\text{F}_6$ 。該絕緣體103之蝕刻速率可以為每分鐘約1,500.0至12,000.0埃。

可用以形成該開口105的一種工具包括由Trikon Technologies公司生產的一Omega® MORI™系統。若需要，則該絕緣體103之蝕刻、任一底下阻障層或蝕刻終止層之移除及該光阻101之剝離均可採用一整合工具(例如由Lam Research公司生產的一Exelan®系統或由Applied Materials公司生產的一eMax™ EnTek™ Centura®系統)相繼完成。

該絕緣體103與一光阻101之蝕刻選擇性可為約2:1至7:1。若該絕緣體103與該光阻101之蝕刻選擇性太低，則稱為一硬光罩的一中間光罩可包括在該絕緣體103與該光阻101之間。在此情況下，一第一蝕刻處理係用以傳送在該光阻101中圖案化的一第一特徵99至該硬光罩中的一第二特徵。然後一第二蝕刻處理傳送來自該硬光罩的該第二特徵至該絕緣體103中的該開口105。該絕緣體103與該硬光罩之蝕刻選擇性可以高於約20:1。一硬光罩處理可包括一種材料，例如SiN或SiON。在一項具體實施例中，可採用包括二個或多個硬光罩的一堆疊。

若該絕緣體103與該底下焊墊104之蝕刻選擇性太低，則一埋式蝕刻終止(buried etch stop; BES)層可包括在該焊墊104與該絕緣體103之間。該蝕刻終止層可包括SiN或金剛砂

(SiC)。但是，SiN的k值為6.5，該值相對較高，因此可採用另一種材料，例如由Applied Materials公司生產的k值約為4.5至5.0之BLOk™。若需要，則可採用k值甚低的一蝕刻終止層以最小化整個介電堆疊結構之電容。一範例為由HEM公司生產的k值約為2.6之HOSP BEST™。

若種層120或導體130採用某等材料，則可能需要一阻障層115來保護該絕緣體103及該底層102，包括該焊墊104。例如銅的高擴散率及銅當中呈現的中間間隙狀態就導致必須使用一阻障層115。否則，銅可能擴散進入該絕緣體103或底層102並降低一半導體材料(例如矽)的載子生命期。

一阻障層115係形成於該絕緣體103上及該開口105中。該阻障層115可以具有選自範圍約50.0至600.0埃的一厚度。該阻障層115應在該開口105內側及外側提供良好的覆蓋。在某等情況下，該開孔內側阻障層115之厚度可能不同於該開孔外側阻障層115之厚度。

該阻障層115應有效阻止該種層120或一導體130擴散進入該絕緣體103或底層102。作為一底層或內襯，該阻障層115應能較好地與該種層120、導體130、絕緣體103及底層102，包括焊墊104黏著。但是，該阻障層115還應具有與該種層120、導體130、絕緣體103或底層102，包括焊墊104最小的交互作用，例如化學或電化學反應。

該阻障層115可採用一種金屬形成，包括一種折射金屬(例如鈹(Ta))或一種合金(例如鈦鎢(TiW))或一種陶瓷(例如氮化鈹(TaN)、氮化鈹矽(TaSiN)、氮化鈦(TiN)或氮化鎢

(WN))。

在一項具體實施例中，該阻障層115可包括與該底下絕緣體103黏著的一下Ta<sub>2</sub>N層及與該覆蓋種層120黏著的一上Ta層。此類雙層可具有總厚度約150.0至350.0埃。

該阻障層115之沈積需要高度的方向性，尤其在該開口105具有約6:1或更大的一縱橫比(深度:寬度)時。離子化物理汽相沈積(ionized physical vapor deposition; I-PVD)技術沈積一種材料時能獲得好於其他技術(例如準直濺鍍或長距離拋鍍(long-throw sputtering; LTS))的階梯覆蓋。可用於I-PVD的一種工具包括由Novellus Systems公司生產的一INOVA™系統、由Trikon Technologies公司生產的一Sigma®系統及由Ulvac Technologies公司生產的一Entron系統。

在某等情況下，一金屬有機化學汽相沈積(metal-organic CVD; MOCVD)處理可用以形成該阻障層115。用於MOCVD的先驅物在該開口105之曝光表面而非如CVD中在該汽相中起反應，因此覆蓋一般都較佳。可用於MOCVD的一種工具包括由Veeco Instruments公司生產的一NEXUS™系統。

另外，若需要厚度為約100.0埃或以下，則該阻障層115可採用原子層沈積(atomic layer deposition; ALD)形成。ALD可提供良好的階梯覆蓋及良好的均勻性，即使在允許使用約200.0至400.0攝氏度的一較低沈積溫度時。可用於ALD的一種工具包括由Veeco Instruments公司生產的一NEXUS™系統或由Genus公司生產的一LYNX2®或LYNX3™系

統。

若該導體130係藉由電鍍形成，則一種層120係首先形成於該阻障層115上，如圖1(c)之一項具體實施例所示。為了作為電鍍的基礎，該種層120必須具有導電性而且在該阻障層115上呈連續狀態。應防止該種層120失去黏性或與該阻障層115起分介面反應。

該種層120可包括一種金屬(例如銅)或一種合金。該種導體120具有選自範圍約20.0至2,500.0埃的一厚度。

該種層120可採用I-PVD沈積，尤其在該導體130隨後係採用電鍍形成時。若需要，則該阻障層115及該種層120可隨後採用一種工具(例如由Applied Materials公司生產的一Endura® Electra™系統)在真空下沈積。

若該種層120係採用CVD形成而且該導體130係隨後採用PVD形成，則可達到較佳的材料性能及表面特徵。該種層120還可採用ALD或非電鍍方法形成。

一導體130係形成於該種層120上，如圖1(d)之一項具體實施例所示。該導體130包括一種導電材料。該種層120及該導體130可採用相同或不同材料形成。該導體130應從下至上填充該開孔105。完全填充後中，該開口105不應有缺陷，例如空隙、縫隙或裂縫。應防止該導體130失去黏性或與該種層120起分介面反應。

該導體130可包括一種金屬(例如銅)或一種合金。該導體130一般具有約0.2至2.8  $\mu\text{m}$ 的一厚度。與鋁相比，銅的優點包括較高固有導電性、較低電移敏感性並能較佳地填充具

有一縱橫比(高度:寬度)約3:1或更大的一開口105。與鋁相比，銅的缺點包括難以採用一RIE處理方法進行蝕刻、具有易腐蝕之弱點以及在矽中較高的擴散率。

該導體130可採用一電化學處理(例如電鍍)形成。該導體130之電鍍可在沐浴或含有要沈積的材料之離子的溶液中執行。該種層120作為一電池之一負電極。電鍍可在該溶液中完成，採用一恆定電流、恆定電壓或電流或電壓之可變波形，取決於所需厚度及膜的特性。通電後，該電鍍溶液中的正離子就與在該種層120之表面產生的電子結合。因此該等離子以化學方法減小至原子，該等原子在該種層120上形成該導體130。可用於電鍍的一種工具包括由Applied Materials公司生產的一Electra Cu<sup>TM</sup>系統、由Novellus Systems公司生產的一SABRE<sup>TM</sup> Electrofill系統及由SEMITOOL公司生產的一Paragon<sup>TM</sup>系統。

該導體130之成功電鍍可能需要採用表面呈活性的各種添加劑。加入該電鍍溶液的該等添加劑一般為有機物而且可包括具有硫磺或氮的功能群組。具有一較大縱橫比的一開口105之正確填充可能需要適當平衡該電鍍溶液中的抑制劑與催化劑。否則，缺陷(例如空隙、縫隙及裂縫)就可能在該導體130內形成並在隨後平面化期間發現。該導體130之基板間良好的厚度均勻性及平滑表面精工可能還需要在該電鍍溶液中採用整平劑及光亮劑。

該電鍍溶液中的各種離子(例如銅、氯化物及氫)之濃度可以調整以回應對參數(例如pH、導電率及電磁波頻譜之可見

部分中的吸光率)的監看。循環式伏特剝離法(Cyclic Voltammetric Stripping; CVS)分析可用以測量該電鍍溶液中的該等添加劑之濃度。

在其他具體實施例中，該導體130可採用一PVD處理或一CVD處理形成，有時無需首先形成該種層120。在填充具有一縱橫比(高度:寬度)約6:1或更大的一開孔105時，一PVD處理或一CVD處理可能具有特定的優點。在某等情況下，也可採用一MOCVD處理。

形成該導體130期間或之後，可採用一處理來修改該導體130之材料特性或表面特徵。該導體130之該處理可包括沈積後的一快速退火(rapid thermal anneal; RTA)處理以修改或穩定該導體130之顆粒尺寸。已採用電鍍形成的銅可具有約0.1至1.0毫米(mm)的一顆粒尺寸，取決於該厚度、沈積狀況及退火狀況。該導體130中的一較大顆粒尺寸一般對應一較低電阻率。例如，銅可具有約1.0至4.0微歐公分的一電阻率。

用於該基板100的一隆起接觸點可採用對該導體130進行平面化形成以形成一插塞135，隨後在該插塞135周圍使該絕緣體103凹進。結合磨耗(機械力)及溶解(化學或電化學反應)的一化學機械研磨(chemical-mechanical polishing; CMP)處理可最優化以平面化或凹進不同材料。

該基板100可包含在附於一CMP系統之一頭部的一載子中。一襯墊可附於該CMP系統之一工作臺或一壓盤。在該頭部及該壓盤移動時，該襯墊可施加機械力至該基板100上

的該導體130。該頭部之運動及該壓盤之運動可以為旋轉式、軌道式或線性。另外，該襯墊可就該壓盤(如就一研磨帶)而移動。一種研磨漿可分配在該襯墊上以便與該基板100上的該導體130產生化學反應。該研磨漿中的磨料還可施加機械力至與該襯墊併合的該基板100上的該導體130。

一CMP處理之選擇性可藉由改變用於不同材料的研磨率而調整。使研磨選擇性最佳化可藉由改變該研磨墊之特性(例如硬度、勁度、磨損性、孔隙率及溝渠或通道之配置)、該研磨漿之特性(例如化學成份、化學濃度、pH、磨料類型、磨料品質及磨料顆粒尺寸分佈)以及該研磨系統之參數(例如相對於該壓盤的該載子之下壓力或壓力、相對於該壓盤的該載子之線速度、研磨漿流量及壓盤溫度)。

用於一CMP處理的關鍵處理參數(例如該研磨移除率及該研磨選擇性)可採用適當感測器而橫跨該基板100監看。然後該等處理參數可藉由調整相關設備參數而採用適當致動器控制。該CMP系統可包括一控制單元，該單元包括一電腦及一操作員介面。若需要，則可實施該CMP處理及設備之閉路控制。一閉路可包括採用以下控制方法之一個或多個的前置或回授控制：比例、差動或積體。

用於一CMP處理的度量衡係在線、在板、在原處及即時執行之範圍取決於合格的所有權成本(cost-of-ownership; CoO)之位準。若需要，則一度量衡工具可與一CMP工具整合。例如，碟壓及腐蝕之光結果可採用一種工具(包括由Nova Measuring Instruments公司生產的一NovaScan系統或由

NanoMetrics公司生產的一NanoSpec®系統)測量。

用於CMP的一種卓越工具包括由Applied Materials公司生產的一Mirra®系統。另外，可採用一積體工具，例如由Applied Materials公司生產的一Reflexion™系統或由Lam Research公司生產的一Teres™系統。一積體工具可結合CMP與相關處理步驟，例如一預先清理及一後續清理以導致該基板100之內乾/外乾。用於CMP的消費器(包括襯墊及研磨漿)可從各種來源(例如Rodel及Cabot)獲得。

依據本發明之一項具體實施例，一第一CMP處理與一第二CMP處理之一結合可用以形成基板100之隆起接觸點。該第一CMP處理執行該平面化，而第二CMP處理執行該凹進。

該第一CMP處理具有用於相對於該底下阻障層115的該導體130之一較高研磨選擇性。因此，該第一CMP處理可橫跨該基板100移除該導體130並且揭開該阻障層115之該上表面108，如圖1(e)之一項具體實施例所示。該阻障層115可作為一研磨終止層，因為該導體130一般較柔軟。一研磨終止層藉由減小橫跨該基板100存在的任一較大或非均勻地形而改善平面化。

可選擇一種適用研磨漿以達到用於相對於該阻障層115的該導體130之一較高研磨選擇性。相對於該阻障層115的該導體130之該研磨選擇性可具有約50:1至250:1的一平均值。一較高研磨選擇性允許採用一較薄阻障層115。一較薄阻障層115將導致該焊墊104與該導體130之間的電阻之

較小增加。

在一項具體實施例中，該研磨漿可包括一磨料(例如氧化鋁或矽石)、一氧化劑(例如過氧化氫( $H_2O_2$ ))、一鈍化或成膜劑(腐蝕抑制劑)(例如苯並三唑)及可以為一氨基酸(例如氨基乙酸)或有機酸/鹽系統(例如檸檬酸/檸檬酸鉀)的一錯合劑。

用以平面化該導體130的該第一CMP處理之典型參數包括約5.0至9.0的一研磨漿pH、每分鐘約100.0至350.0毫升的一研磨漿流量、每分鐘約15.0至100.0轉(rpm)的一壓盤轉速、約15.0至100.0 rpm的一載子轉速及每平方英寸約1.0至7.0磅(psi)的一研磨壓力。用於該導體130的移除速率可為每分鐘約1,000.0至14,000.0埃。

該第一CMP處理可包括二個或多個步驟。在一項具體實施例中，具有一較高移除速率的一第一步驟可用以移除該導體130之大部分過重負擔。該第一步驟可以為一定時研磨或可藉由原處監看一參數(例如厚度或旋轉電流)而控制。然後具有一較低移除速率(例如每分鐘約1,000.0至2,500.0埃)的一第二步驟可用以清理該導體130以揭開該阻障層115之該上表面108而無需突破該絕緣體103。該第二步驟可以為一定時研磨或一端點研磨。在一項具體實施例中，在偵測該阻障層115上的端點之後該第二步驟可包括一過研磨時間或一過研磨百分比(例如15.0%)。若需要，則每個步驟可在一分離壓盤或在一分離CMP系統上完成。

橫跨該基板100的該導體130之塊料移除及該阻障層之該

上表面108揭開將留下插入或嵌入該開口105內的一插塞135，如圖1(e)之一項具體實施例所示。該插塞包括導體130、種層120及阻障層115。該插塞135之形狀係受該開口105之形狀的影響。例如，若該開口105為一通道，則該插塞135可以為一柱或桿。若該開口105為一溝渠，則該插塞135可以為一線。

可由該第一CMP處理而導致的一不想要地形變化為該插塞135之碟壓。碟壓在相對於週圍絕緣體103(在該開口105外側)的該插塞135(在該開口105內側)內之該導體130的該上表面107上造成一低壓。

碟壓對於具有一較大橫向尺寸的一插塞135而言可能更為嚴重。該第一CMP處理之適當最佳化將產生該插塞之一第一研磨上表面107，其與已曝光的該阻障層115之該上表面108接近處於相同平面及位準，如圖1(e)之一項具體實施例所示。

可由該第一CMP處理而導致的另一不想要地形變化為插塞之一群集或陣列137內的插塞之間的間隔中之材料腐蝕，該材料相對於遠離插塞之該群集或陣列137的欄位區域中之材料。腐蝕造成相對於該欄位區域(在該群集或陣列137外側)中的材料之插塞(在該群集或陣列137內側)之間的該等間隔中之一低壓。腐蝕可能導致該等插塞之間的該等間隔中的該阻障層115之部分或完全移除。在該阻障層115已移除的區域，腐蝕可能進一步導致該等插塞之間的該等間隔中之該底下絕緣體103之部分移除。

腐蝕對於具有密集封包插塞(該等插塞之間的間隔較小)之一群集或陣列137而言可能更為嚴重。該第一CMP處理之適當最佳化將最小化插塞之一群集或陣列137內的插塞之間的間隔中的材料之移除速率與插塞之該群集或陣列137外側的材料之移除速率之間的差別。

該第一CMP處理完成後，一第二CMP處理係用以移除該開口105外側的該阻障層115並凹進該插塞135之該上表面109下面的該絕緣體103之未覆蓋部分，如圖1(g)之一項具體實施例所示。在一項具體實施例中，該阻障層115也可由該插塞135之一部分側壁移除。

圖1(g)還表示依據本發明的一結構1000之一項具體實施例。該結構1000包括用於一基板100的一插塞135。在一項具體實施例中，該插塞135可形成一隆起接觸點以使一信號可輸入一焊墊104或從該焊墊輸出，該焊墊與該基板100之一底層102中的一裝置之一作用區域連接。

可選擇一種適用研磨漿以達到用於該阻障層115及相對於該導體130的該絕緣體103之一較高研磨選擇性。相對於該導體130的該絕緣體103之該研磨選擇性可具有約5:1或更大的一平均值。在一具體實施例中，這研磨漿可包括一磨料(例如砂石)及一錯合劑。該錯合劑可以為氫氧化銨( $\text{NH}_4\text{OH}$ )或一有機酸/鹽系統，例如檸檬酸/檸檬酸鉀。若需要，則也可包括一生物殺生物劑。一相對較軟襯墊係用以最小化該導體130之移除並防止缺陷的產生。

用以凹時該絕緣體103的該第二CMP處理之典型參數包括

約6.0至12.0的一研磨漿pH、每分鐘約100.0至350.0毫升的一研磨漿流量、約5.0至85.0 rpm的一壓盤轉速、約5.0至85.0 rpm的一載子轉速及約1.0至7.0 psi的一研磨壓力。該壓盤之線速度可為每分鐘約20.0至350.0英尺。在一項具體實施例中，該研磨漿pH可以為約9.0至11.0；該研磨壓力可以為約4.0至6.0 psi及該壓盤之該線速度可以為每分鐘約20.0至140.0英尺。若該絕緣體103係由一低k材料形成，則該第二CMP處理可以修改以避免使採用該低k材料形成的該絕緣體103破裂或分層。

在某等情況下，該第二CMP處理後可在具有一有機酸或有機酸緩衝區的一非氧化環境中進行一後續清理，例如擦洗。該pH可選自約2.0至6.0的範圍。

在本發明之另一項具體實施例中，若採用CMP來平面化該導體130以形成該插塞135，則圖1(f)所示的該絕緣體103而非圖1(e)所示的該阻障層115可作為一研磨終止層。然後，該絕緣體103可直接凹進以形成用於該基板100的該隆起接觸點。該研磨漿化學性與該等研磨狀況及參數可能必須最佳化以達到所需的研磨選擇性及研磨移除速率。

該絕緣體103之凹進速率在遠離插塞之該群集或陣列137的欄位區域中可以為每分鐘約300.0至2,500.0埃。該絕緣體103之內部上表面110的高度可不同於該絕緣體103之外部上表面112。內部指插塞之一群集或陣列137內的一位置。外部指插塞之該群集或陣列137外的一位置。在大多數情況下，該絕緣體103之該內部上表面110係高於該絕緣體103之該外

部上表面112。

採用該第二CMP處理凹進該絕緣體103可減小該導體130之厚度。該插塞135之該第一研磨上表面107與該插塞135之該第二研磨上表面109的高度區別對應於導體130之稀釋。應避免導體130之稀釋，平面化插塞之該群集或陣列137中的該等插塞之該上表面107所需要的範圍除外。

該絕緣體103之凹進結合該導體130之最小稀釋使該插塞135可在該絕緣體103上獲得淨餘突出。該插塞高差122為相對於該絕緣體103之該內部上表面110的該插塞135之該第二研磨上表面109之突出量。內部指插塞之一群集或陣列137內的一位置。該段差高度124為相對於該絕緣體103之該外部上表面112的該插塞135之該第二研磨上表面109之突出量。外部指插塞之該群集或陣列137外的一位置。該欄位區域包括遠離插塞之該群集或陣列137的該等外部位置。氧化物高差為該段差高度124與該插塞高差122之間的差別。

該插塞高差122及該段差高度124可受到各種因素的影響，該等因素包括當地圖案密度(插塞之每個群集或陣列137內的插塞之間的間隔)及總體圖案密度(橫跨該基板100的插塞之分離群集或陣列137之間的間隔)。通常，較窄插塞135及插塞135之間的較窄間隔減小該導體130之稀釋並產生一較小插塞高差122。

該插塞122及該段差高度124可藉由一原子力顯微儀(AFM)或一高解析度測面儀(HRP)測量並形象化。可採用一種工具，例如由Veeco Instruments公司生產的一Dimension™系統。

用於該插塞高差122的標稱值可選自約300.0至3,200.0埃的範圍，而用於該段差高度124的標稱值可選自約400.0至5,700.0埃的範圍。在本發明之一項具體實施例中，該插塞高差122可以為約700.0至2,200埃，其具有小於8.0%的橫跨該基板100之一範圍；而該段差高度124可以為約1,100.0至3,800.0埃，其具有小於約12.0%的橫跨該基板100之一範圍。

大多數情況下，該插塞高差122應比該段差高度124控制得更嚴格。通常，該段差高度124不應超過該絕緣體103之原始厚度的約50.0%。因此，最小化該氧化物高差(該插塞高差122與該段差高度124之間的差別)潛在地使一所需要的插塞高差122可採用一較薄絕緣體103達到。

在一基板100上的一CMP處理完成後，就可進行缺陷檢驗。可採用一種工具，例如由KLA-Tencor公司生產的一AIT系統。若需要，則可將一掃描電子顯微鏡(scanning electron microscope; SEM)用於特定缺陷之描述及識別。可採用的一種工具包括由Applied Materials公司生產的一SEMVision™系統。自動缺陷分類(automated defect classification; ADC)可由後續處理軟體提供。

執行CMP之後所發現的缺陷可能並非由該CMP處理直接引起。相反，某等缺陷可能源於一較早處理，例如在該絕緣體103、開口105、阻障層115、種層120或導體130之形成期間。

該第二CMP處理完成後，突出插塞可用以形成基板之隆

起接觸點。例如，用於一第一基板210的一第一隆起接觸點211可與用於一第二基板220的一第二隆起接觸點221互連，如圖2之一項具體實施例所示。

圖2還表示依據本發明的一結構2000之一項具體實施例。該結構2000包括用於一第一基板210的一第一隆起接觸點211，該第一隆起接觸點與用於一第二基板220的一第二隆起接觸點221互連。在一項具體實施例中，該隆起接觸點211使一信號可輸入一焊墊204或從該焊墊輸出，該焊墊與該基板210之一底層202中的一裝置之一作用區域連接。

二個或多個基板210、220之該等隆起接觸點211、221之間的互連可由地形變化而降低。此類不想要的地形變化可由碟壓、腐蝕或導體130稀釋而引起。碟壓及腐蝕之地形結果可採用一AFM或一HRP測量並形象化。可採用一種工具，例如由Veeco Instruments公司生產的一Dimension<sup>TM</sup>系統。也可測量表面粗糙度及未發現的缺陷(例如殘餘物、刮痕及空隙)之地形結果。

橫跨該基板100的插塞高差122及段差高度124之標稱值及均勻性可能受到腐蝕的影響。腐蝕可藉由在插塞之該群集或陣列137外添加虛設插塞而最小化。該等虛設插塞可能在尺寸、形狀或配置方面不同於該等功能性插塞(在該等隆起接觸點211、221中)。在一項具體實施例中，該等虛設插塞寬於該等功能性插塞(在該等隆起接觸點211、221中)以便該等虛設插塞之高度可藉由碟壓而有意減小。

虛設插塞之群集或陣列137可策略性插在該欄位區域中

的某等位置以修改並控制橫跨該基板100的該絕緣體103之凹進。該等虛設插塞之位置可取決於各種參數，包括該基板100之尺寸(例如長度、寬度、厚度)、該基板100之平整度、該基板100之共同平面性及該等功能性插塞(在該等隆起接觸點211、221中)之該等位置。

在一第一具體實施例中，該等虛設插塞係僅與該等功能性插塞(在該等隆起接觸點211、221中)包括在該基板100之最終(頂部)層中。在一第二具體實施例中，該等虛設插塞係與該基板100之一個或多個底層中的其他結構及特徵連接以造成所想要的地形。在一第三具體實施例中，包括在二個或多個層中的虛設插塞可垂直堆疊。否則，可能電性漂浮的虛設插塞可以接地以防止該底層102中的裝置之運行期間的寄生電容。

以上已提出許多具體實施例及細節以提供對本發明的全面瞭解。熟悉技術人士應明白在一項具體實施例中的許多特徵可同等應用於其他具體實施例。熟悉技術人士還應明白可將各種同等替代物用於在此所說明的該等特定材料、處理、尺寸、濃度等。應瞭解本發明之詳細說明應看作說明性而非限制性，其中本發明之範疇應由以下申請專利範圍決定。

因此，本發明已說明形成隆起接觸點的一種方法，該等接觸點係用於基板與具有此類隆起接觸點的一結構之間的互連。

#### 【圖式簡單說明】

圖 1(a)至 (g)說明形成依據本發明的基板之隆起接觸點的一方法之各種具體實施例之一斷面圖。

圖 1(g)還說明包括依據本發明的一基板上之一插塞的一結構之一斷面圖。

圖 2說明依據本發明的基板之間的互連隆起接觸點之一方法的一項具體實施例之一斷面圖。

圖 2還說明包括與依據本發明的隆起接觸點互連之二個基板的一結構之一斷面圖。

**【圖式代表符號說明】**

99	特徵
100	基板
101	光阻
102	底層
103	絕緣體
104	焊墊
105	開口
107	第一研磨上表面
108	上表面
109	第二研磨上表面
110	內部上表面
112	外部上表面
115	阻障層
120	種層
122	插塞高差

130	導體
135	插塞
202	底層
204	焊墊
210	第一基板
211	第一隆起接觸點
220	第二基板
221	第二隆起接觸點
1000	結構
2000	結構

### 伍、中文發明摘要：

本發明揭示一種方法，包括提供一第一基板；在該第一基板上形成一絕緣體；在該絕緣體中形成一開孔；在該絕緣體上及該開孔中形成一導體；以一第一化學機械研磨處理移除該絕緣體上的該導體俾將該導體留在該開口中；以及以一第二化學機械處理減小該絕緣體之厚度俾使該開口中的該導體可突出。

本發明進一步包括具有突出的此類導體之一結構。

### 陸、英文發明摘要：

The present invention includes a method of providing a first substrate; forming an insulator over the first substrate; forming an opening in the insulator; forming a conductor over the insulator and in the opening; removing the conductor over the insulator with a first chemical-mechanical polish process to leave the conductor in the opening; and reducing thickness of the insulator with a second chemical-mechanical process to permit the conductor in the opening to protrude.

The present invention further includes a structure having such a conductor that protrudes.

拾、申請專利範圍：

1. 一種方法，包括：
  - 提供一第一基板；
  - 在該第一基板上形成一絕緣體；
  - 在該絕緣體中形成一開口；
  - 在該絕緣體上及該開口中形成一導體；
  - 以一第一化學機械研磨處理移除該絕緣體上的該導體俾將該導體留在該開口中；及
  - 以一第二化學機械研磨處理減小該絕緣體之厚度俾使該開口中的該導體可突出。
2. 如申請專利範圍第1項之方法，其中該絕緣體包括一二氧化矽。
3. 如申請專利範圍第1項之方法，其中該絕緣體包括一低k材料。
4. 如申請專利範圍第1項之方法，其中該絕緣體包括一超低k材料。
5. 如申請專利範圍第1項之方法，其中該導體包括銅。
6. 一種方法，包括：
  - 在一第一基板上提供一焊墊；
  - 在該焊墊上形成一介電質；
  - 在該介電質中形成一通道以揭開該焊墊；
  - 在該介電質上形成一金屬以填充該通道；
  - 以一第一化學機械研磨處理移除該介電質上的該金屬俾在該通道中形成一插塞；以及

以一第二化學機械處理凹進該介電質俾從該插塞形成一第一隆起接觸點。

7. 如申請專利範圍第6項之方法，進一步包括：

在形成該通道後並在形成該金屬前形成一阻障層；及在移除該金屬後並在凹進該介電質前移除該介電質上的該阻障層。

8. 如申請專利範圍第7項之方法，其中該第一化學機械研磨處理包括用以移除該絕緣體上的該導體之大部分過重負擔的一第一步驟。

9. 如申請專利範圍第8項之方法，其中該第一步驟可以為一定時研磨或可藉由原處監看一參數而控制，該參數如厚度或旋轉電流。

10. 如申請專利範圍第8項之方法，其中該第一化學機械研磨處理進一步包括用以清理該導體以揭開該阻障層的一第二步驟。

11. 如申請專利範圍第10項之方法，其中該第二步驟可以為一定時研磨或一端點研磨。

12. 如申請專利範圍第7項之方法，進一步包括：

在形成該阻障層後並在形成該金屬前形成一種層。

13. 如申請專利範圍第12項之方法，進一步包括：

採用電鍍在該種層上形成該金屬。

14. 如申請專利範圍第6項之方法，其中該第二化學機械研磨處理包括：

每平方英寸約4.0至6.0磅的一研磨壓力。

15. 如申請專利範圍第14項之方法，其中該第二化學機械研磨處理包括：

每分鐘約20.0至140.0英尺的一壓盤之一線速度。

16. 一種方法，包括：

提供一第一基板；

在該第一基板上形成一介電質；

在該介電質中形成一通道以揭開該第一基板；

在該介電質上形成一金屬以填充該通道；

採用一第一化學機械研磨處理移除該介電質上的該金屬以在該通道中形成一插塞；

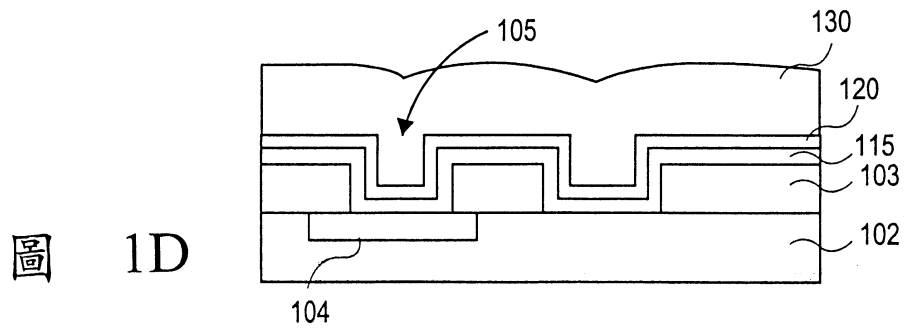
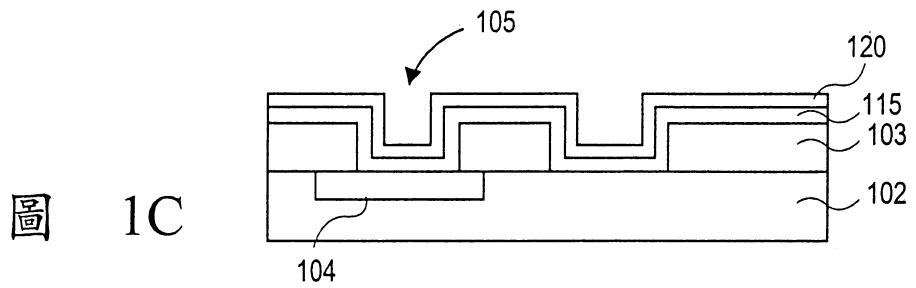
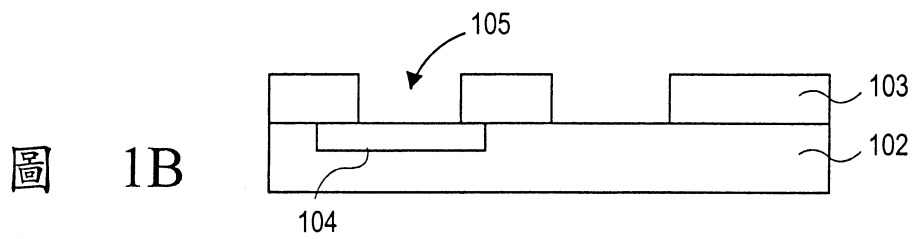
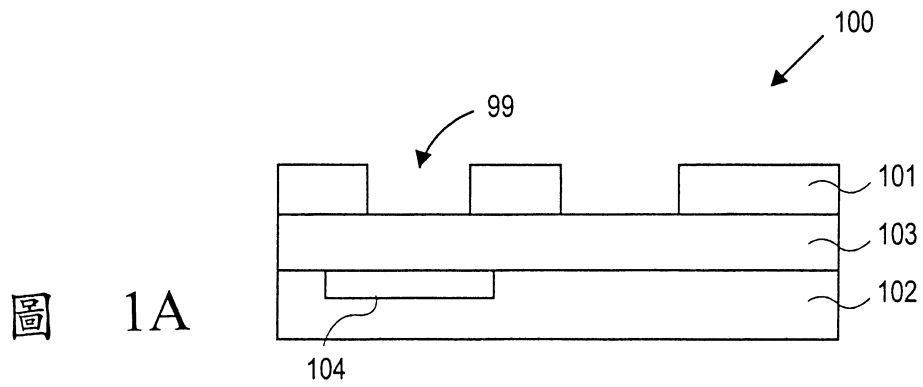
採用一第二化學機械處理凹進該介電質以從該插塞形成一第一隆起接觸點；以及

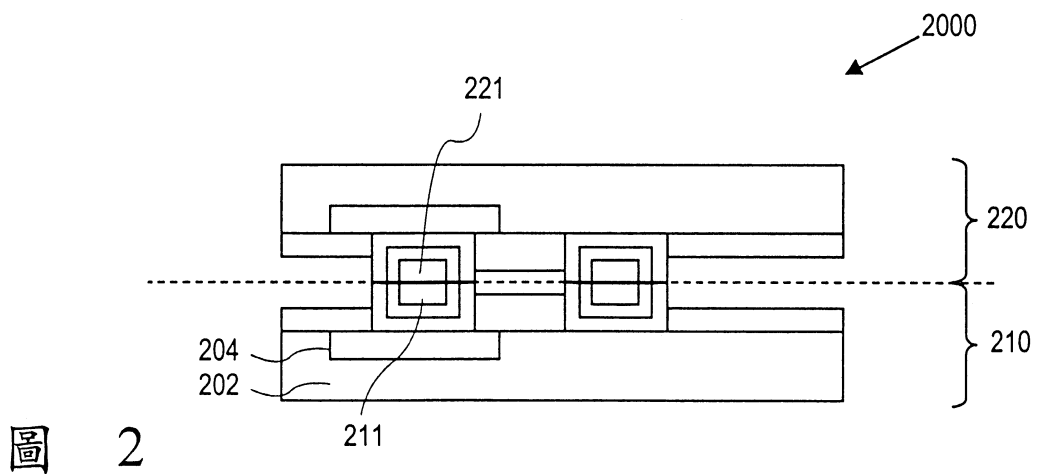
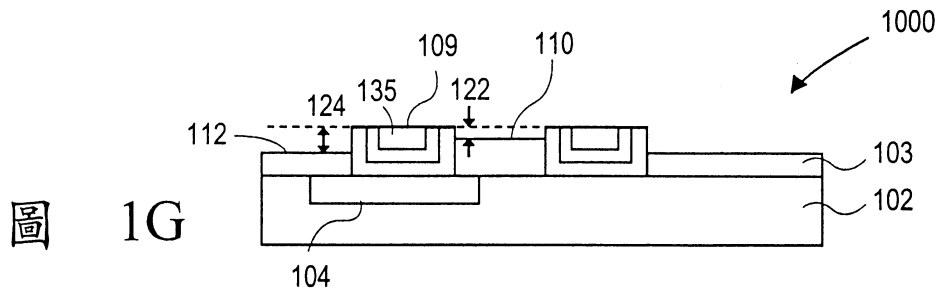
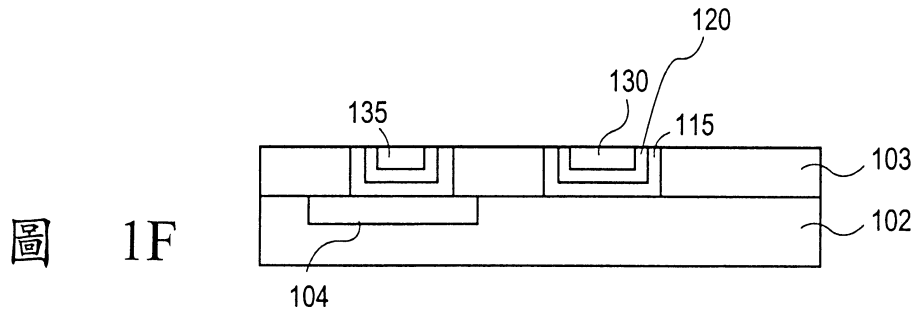
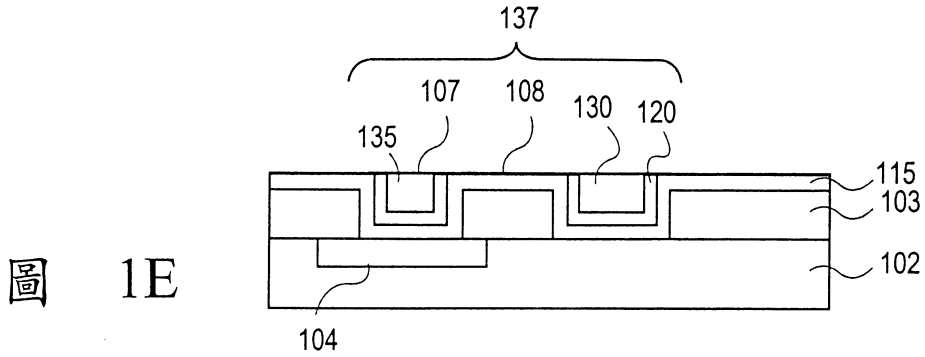
將該第一隆起接觸點與一第二基板上的一第二隆起接觸點互連。

17. 如申請專利範圍第16項之方法，其中凹進該介電質導致約700.0至2,200.0埃的一插塞高差。

18. 如申請專利範圍第16項之方法，其中凹進該介電質導致約1,100.0至3,800.0埃的一段差高度。

拾壹、圖式：





**柒、指定代表圖：**

(一)本案指定代表圖為：第 ( 1a ) 圖。

(二)本代表圖之元件代表符號簡單說明：

99	特徵
100	基板
101	光阻
102	底層
103	絕緣體
104	焊墊

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**