



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0036866
(43) 공개일자 2009년04월15일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0102152

(22) 출원일자 2007년10월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

신동수

경기 안양시 동안구 호계동 1057번지 무궁화아파트 305동 602호

이재균

경기 수원시 장안구 정자3동 풍림2차아파트 412동 404호

(뒷면에 계속)

(74) 대리인

박장원

전체 청구항 수 : 총 11 항

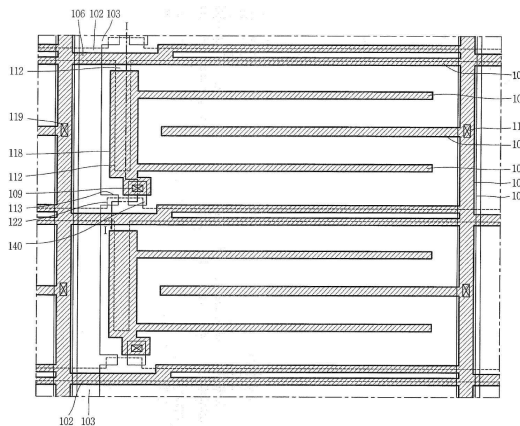
(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히 화소의 형상 및 스토리지 커패시터 구조를 변경하여 개구율이 향상된 액정표시장치에 관한 것이다.

이러한 본 발명은, 제 1 기판; 상기 제 1 기판 상에 중횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인은 데이터 라인보다 길게 형성된 게이트 라인 및 데이터 라인; 상기 각 화소마다 마련되며, 인접 화소의 게이트 라인과 연결되는 제 1 스토리지 전극; 상기 데이터 라인과 평행하고 게이트 라인과 교차하도록 형성된 공통전압 라인; 상기 공통전압 라인과 연결되며, 공통전압 라인에 오버랩되는 공통전압 부분 라인; 상기 공통전압 부분 라인에서 다수 개로 분기되어 상기 게이트 라인과 평행하게 형성되며, 그 일부는 게이트 라인에 오버랩되는 공통전극; 상기 공통전극과 엇갈리게 형성되어 공통전극과 함께 수평 전계를 형성하는 화소전극; 및 상기 화소전극과 연결되며 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극; 에 의해 달성된다. 그리고, 상기 각 화소에는 공통전압 부분 라인과 연결되고 제 2 스토리지 전극과 오버랩되는 제 3 스토리지 전극이 추가로 형성된다.

대표도 - 도2



(72) 발명자

오금미

서울 서대문구 홍제3동 270-69

오재영

서울 영등포구 대림3동 현대3차아파트 303동 1204호

특허청구의 범위

청구항 1

제 1 기관;

상기 제 1 기관 상에 중횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인은 데이터 라인보다 길게 형성된 게이트 라인 및 데이터 라인;

상기 각 화소마다 마련되며, 인접 화소의 게이트 라인과 연결되는 제 1 스토리지 전극;

상기 데이터 라인과 평행하고 게이트 라인과 교차하도록 형성된 공통전압 라인;

상기 공통전압 라인과 연결되며, 공통전압 라인에 오버랩되는 공통전압 부분 라인;

상기 공통전압 부분 라인에서 다수 개로 분기되어 상기 게이트 라인과 평행하게 형성되며, 그 일부는 게이트 라인에 오버랩되는 공통전극;

상기 공통전극과 엇갈리게 형성되어 공통전극과 함께 수평 전계를 형성하는 화소전극; 및

상기 화소전극과 연결되며 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극;

을 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서, 서로 연결된 공통전압 부분 라인과 공통전극은 각 화소의 경계에 형성되어 그물 형상의 페루프를 이루는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서, 상기 제 1 스토리지 전극은 인접 게이트 라인에서 분기되어 각 화소 내에 배치되며, 데이터 라인과 인접하여 평행하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서, 상기 제 2 스토리지 전극은 데이터 라인과 인접하되 평행하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서, 상기 제 2 스토리지 전극은 게이트 라인과 인접하되 평행하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서, 상기 각 화소에는 공통전압 부분 라인과 연결되고 제 2 스토리지 전극과 오버랩되는 제 3 스토리지 전극이 추가로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 기관;

상기 제 1 기관 상에 중횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인은 데이터 라인보다 길게 형성된 게이트 라인 및 데이터 라인;

상기 데이터 라인과 평행하며 게이트 라인과 교차하도록 형성된 공통전압 라인;

상기 공통전압 라인과 연결되어 형성된 복수 개의 공통전극;

상기 공통전극과 엇갈리게 형성되어 공통전극과 함께 수평 전계를 형성하는 화소전극;

상기 화소전극과 연결되며 상기 공통전압 라인의 일부와 오버랩되는 스토리지 전극;

을 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서, 상기 공통전극과 공통전압 라인은 공통전압 부분 라인에 의해 연결되며, 상기 공통전극은 게이트 라인과 평행하게 형성된 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서, 상기 공통전극과 공통전압 라인은 공통전압 부분 라인에 의해 연결되며, 상기 공통전극은 데이터 라인과 평행하게 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서, 상기 공통전압 라인은 각 화소의 중앙 부근에 데이터 라인과 평행하게 형성되며, 상기 공통전극과 공통전압 라인은 공통전압 부분 라인에 의해 연결되는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서, 각 화소에 형성된 공통전극은 공통전압 부분 라인으로부터 양 방향으로 연장된 가지 형상으로 형성된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치에 관한 것으로서, 특히 화소의 형상 및 스토리지 커패시터의 구조를 변경하여 개구율이 향상된 액정표시장치에 관한 것이다.

배경 기술

- <2> 일반적으로 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이에 따라 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 널리 이용되고 있다.
- <3> 통상적으로 액정표시장치는 매트릭스 형태로 배열되어진 다수의 제어용 스위칭 소자에 인가되는 영상신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.
- <4> 상기 액정표시장치는 상부기관인 컬러필터(color filter)기관과 하부기관인 박막 트랜지스터 어레이(Thin film Transistor Array)기관이 서로 대향하고 그 사이에는 액정층이 충전된 액정패널과, 상기 액정패널에 주사신호 및 화상정보를 공급하여 액정패널을 동작시키는 액정패널 구동부를 포함하여 구성된다.
- <5> 이와 같은 구성을 가지는 액정표시장치는, 액정의 배열과 액정에 전계를 인가하는 전극의 배열 형태에 따라 여러 가지 모드로 분류되며, 주로 사용되는 모드로는 TN(twisted nematic)모드 및 IPS(in plane switching)모드가 있다.
- <6> TN 모드의 액정표시장치는 액정의 초기 배향이 하부에서 상부로 진행하면서 나선형으로 트위스트 되도록 배열된 형태이며 전극이 상, 하부 기관에 각각 형성되어 액정에 수직 전계를 인가한다. 그리고, IPS 모드의 액정표시장치는 액정의 초기배향이 기관에 수평하게 배열된 형상이며, 전극이 하부 기관에 모두 형성되어 액정에 수평 전계를 인가한다.
- <7> 상기와 같은 다양한 모드의 액정표시장치 중에서 가장 보편적으로 사용되고 있는 TN 모드의 액정표시장치는 시야각이 좁다는 큰 단점이 존재하여, 최근에는 시야각이 넓은 장점이 있는 IPS 모드의 액정표시장치의 사용이 늘고 있는 추세에 있다.
- <8> 이하, 도 1을 참조하여 종래의 일반적인 IPS 모드의 액정표시장치에 대하여 설명하면 다음과 같다.

- <9> 도 1은 종래의 일반적인 액정표시장치를 도시한 평면도이다.
- <10> 도 1에 도시한 바와 같이 일반적인 액정표시장치는, 박막 트랜지스터 어레이 기관인 제 1 기관(1)과 컬러필터 기관인 제 2 기관(미도시)이 구비되며, 상기 제 1 기관(1) 상에는 종횡으로 교차되어 복수의 화소를 정의하는 게이트 라인(2) 및 데이터 라인(3)이 형성된다.
- <11> 그리고, 상기 각 화소의 게이트 라인(2)과 데이터 라인(3)이 교차하는 지점에는 박막 트랜지스터가 구비되며, 상기 박막 트랜지스터의 드레인 단자는 데이터 라인(3)과 평행한 방향으로 형성된 화소전극(8)과 연결된다.
- <12> 그리고, 상기 제 1 기관(1) 상에는 상기 게이트 라인(2)과 평행하게 배치된 공통전압 라인(5)이 형성되며, 상기 공통전압 라인(5)으로부터 분기되어 데이터 라인(3)과 평행하게 형성된 공통전극(7) 또한 구비된다.
- <13> 상기 화소전극(8)은 상기와 같이 데이터 라인(3)과 평행하게 형성된 제 1 영역과, 상기 게이트 라인(2)과 평행하게 형성되어 제 1 및 제 2 스토리지 커패시터(Cst1, Cst2)를 형성하는 제 2 영역 및 제 3 영역으로 구분된다.
- <14> 그리고, 상기 공통전극(7)은 상기와 같이 데이터 라인(3)과 평행하게 형성된 제 1 영역과, 상기 화소전극(8)의 제 1 영역 또는 제 2 영역과 오버랩되어 제 1 스토리지 커패시터(Cst1) 또는 제 2 스토리지 커패시터(Cst2)를 형성하는 제 2 영역과 제 3 영역으로 구분된다.
- <15> 상기와 같은 구성을 가지는 종래의 일반적인 액정표시장치는, 데이터 라인(3)을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 문제점을 방지하기 위하여 상기 공통전극(7)의 제 1 영역 중 일부를 데이터 라인(3)의 좌, 우에 인접하도록 두겹게 형성하는데, 이로 인해 액정표시장치의 개구율이 낮아지게 되므로 액정표시장치의 화면 품질이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <16> 이에 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 화소의 형상 및 스토리지 커패시터의 구조를 변경하여 개구율이 향상된 액정표시장치를 제공하는 것이다.

과제 해결수단

- <17> 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 액정표시장치는, 제 1 기관; 상기 제 1 기관 상에 종횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인은 데이터 라인보다 길게 형성된 게이트 라인 및 데이터 라인; 상기 각 화소마다 마련되며, 인접 화소의 게이트 라인과 연결되는 제 1 스토리지 전극; 상기 데이터 라인과 평행하고 게이트 라인과 교차하도록 형성된 공통전압 라인; 상기 공통전압 라인과 연결되며, 공통전압 라인에 오버랩되는 공통전압 부분 라인; 상기 공통전압 부분 라인에서 다수 개로 분기되어 상기 게이트 라인과 평행하게 형성되며, 그 일부는 게이트 라인에 오버랩되는 공통전극; 상기 공통전극과 엇갈리게 형성되어 공통전극과 함께 수평 전계를 형성하는 화소전극; 및 상기 화소전극과 연결되며 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극; 을 포함하여 구성된다. 그리고, 상기 각 화소에는 공통전압 부분 라인과 연결되고 제 2 스토리지 전극과 오버랩되는 제 3 스토리지 전극이 추가로 형성된다.
- <18> 그리고, 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 다른 실시예에 따른 액정표시장치는, 제 1 기관; 상기 제 1 기관 상에 종횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인은 데이터 라인보다 길게 형성된 게이트 라인 및 데이터 라인; 상기 데이터 라인과 평행하며 게이트 라인과 교차하도록 형성된 공통전압 라인; 상기 공통전압 라인과 연결되어 형성된 복수 개의 공통전극; 상기 공통전극과 엇갈리게 형성되어 공통전극과 함께 수평 전계를 형성하는 화소전극; 상기 화소전극과 연결되며 상기 공통전압 라인의 일부와 오버랩되는 스토리지 전극; 을 포함하여 구성된다.

효과

- <19> 상기와 같은 구성을 가지는 본 발명의 바람직한 실시예에 따른 액정표시장치는, 화소의 형상 및 스토리지 커패시터를 변경함으로써 개구율이 향상되어 액정표시장치의 표시 품질이 향상되는 효과가 있다.
- <20> 더욱 상세히 언급하면, 본 발명에 따른 액정표시장치는 각 화소를 게이트 라인과 평행한 방향으로 긴 형상을 가지도록 형성함으로써, 각 화소 내에서 데이터 라인에 인접하게 배치되는 공통전압 라인 및 공통전압 부분 라인 및 공통전극이 차지하는 면적이 최소화되어 개구율이 향상된다.

- <21> 여기서, 각 화소에서 공통전압 라인 및 공통전압 부분 라인 및 공통전극의 일부가 데이터 라인에 인접하게 배치되는 이유는, 데이터 라인을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상을 방지하기 위한 것이다.
- <22> 또한, 각 화소가 게이트 라인과 평행한 방향으로 긴 형상을 가지도록 형성됨으로써 게이트 라인의 수는 많아지지만 데이터 라인의 수는 감소하므로, 복잡한 구성을 가지는 데이터 드라이브 집적회로의 수를 감소할 수 있는 장점이 있다.
- <23> 그리고, 본 발명에 따른 액정표시장치는 제 1 기관, 즉 박막 트랜지스터 어레이 기관의 공통전압 부분 라인에서 분기된 공통전극의 일부가 상기 게이트 라인과 오버랩되도록 형성함으로써, 게이트 라인을 통해 전달되는 게이트 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상이 방지되는 장점이 있다.
- <24> 이에 따라, 게이트 라인의 상부에 오버랩되도록 제 2 기관 상에 형성되는 블랙 매트릭스의 영역을 최소화하거나 블랙 매트릭스를 형성하지 않을 수 있게 된다.
- <25> 그리고, 본 발명에 따른 액정표시장치는 인접하는 화소의 게이트 라인과 연결되는 제 1 스토리지 전극 및, 화소 전극과 연결되며 상기 제 1 스토리지 전극과 게이트 절연막을 사이에 두고 오버랩되는 제 2 스토리지 전극 및, 공통전압 부분 라인과 연결되며 상기 제 2 스토리지 전극과 보호막을 사이에 두고 오버랩되는 제 3 스토리지 전극을 마련함으로써 이중 스토리지 커패시터가 형성되므로, 각 화소에 마련하는 스토리지 커패시터의 면적이 최소화되므로 액정표시장치의 개구율이 향상되는 장점이 있다.
- <26> 그리고, 본 발명에 따른 액정표시장치는 공통전압 라인을 화소의 중앙에 데이터 라인과 평행하도록 형성함으로써, 제조 공정 시에 공통전압 라인과 데이터 라인이 동일 층에 동일 물질로 형성되는 경우에 공통전압 라인과 데이터 라인이 쇼트되어 불량을 발생시키는 현상이 최소화되는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <27> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 상세히 설명한다.
- <28> <제 1 실시예>
- <29> 먼저, 본 발명의 제 1 실시예에 따른 액정표시장치에 대하여 도 2 및 도 3을 참조하여 설명하면 다음과 같다.
- <30> 도 2는 본 발명의 바람직한 제 1 실시예에 따른 액정표시장치를 도시한 평면도이며, 도 3은 도 2의 I-I' 선을 따라 절단한 면을 도시한 단면도이다.
- <31> 도 2 및 도 3에 도시한 바와 같이 본 발명의 제 1 실시예에 따른 액정표시장치는, 제 1 기관(101); 상기 제 1 기관(101) 상에 중첩으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인(102)은 데이터 라인(103)보다 길게 형성된 게이트 라인(102) 및 데이터 라인(103); 상기 각 화소마다 마련되며, 인접 화소의 게이트 라인(102)과 연결되는 제 1 스토리지 전극(112); 상기 데이터 라인(103)과 평행하고 게이트 라인(102)과 교차하도록 형성된 공통전압 라인(105); 상기 공통전압 라인(105)과 연결되며 공통전압 라인(105)에 오버랩되는 공통전압 부분 라인(106); 상기 공통전압 부분 라인(106)에서 다수 개로 분기되어 상기 게이트 라인(102)과 평행하게 형성되며 그 일부는 게이트 라인(102)에 오버랩되는 공통전극(107); 상기 공통전극(107)과 엇갈리게 형성되어 공통전극(107)과 함께 수평 전계를 형성하는 화소전극(108); 상기 화소전극(108)과 연결되며 상기 제 1 스토리지 전극(112)과 오버랩되는 제 2 스토리지 전극(118); 을 포함하여 구성된다.
- <32> 본 발명에 따른 액정표시장치는 박막 트랜지스터 어레이 기관인 제 1 기관(101)과 컬러필터 기관인 제 2 기관(미도시)으로 구성되며, 상기 제 1 기관(101)과 제 2 기관 사이에는 액정층(미도시)이 형성된다.
- <33> 도 2 를 참조하면, 상기 제 1 기관(101) 상에는 중첩으로 교차되어 복수의 화소를 정의하는 게이트 라인(102) 및 데이터 라인(103)이 형성되며, 상기 각 화소에는 게이트 라인(102)과 데이터 라인(103)이 교차하는 영역에 박막 트랜지스터가 형성된다.
- <34> 도 3을 참조하면, 상기 박막 트랜지스터는 제 1 기관(101) 상에 형성된 게이트 전극(122) 및 상기 게이트 전극(122) 상에 형성된 게이트 절연막(150) 및 상기 게이트 절연막(150) 상에 상기 게이트 전극(122)과 오버랩되도록 형성된 반도체 층(160) 및 상기 반도체 층(160) 상에 형성된 소스 전극(113) 및 드레인 전극(140)으로 구성되며, 상기 소스 전극(113) 및 드레인 전극(140) 상에는 보호층(170)이 추가로 형성된다.
- <35> 여기서, 상기 박막 트랜지스터의 게이트 전극(122)은 게이트 라인(102)과 연결되고, 소스 전극(113)은 데이터

라인(103)과 연결되며, 드레인 전극(140)은 콘택홀(109)을 통해 화소전극(108)과 연결된다.

- <36> 상기 게이트 라인(102)이 형성된 방향을 가로 방향이라 하면, 상기 각 화소는 가로 방향으로 긴 형상을 가지며, 적색, 녹색, 청색을 표시하는 화소가 세로 방향으로 반복 형성된다. 즉, 세로 방향으로 형성된 적색, 녹색, 청색의 세 화소가 하나의 컬러를 표시하게 된다.
- <37> 도 2를 참조하면, 상기 각 화소에는 인접 화소의 게이트 라인(102)에서 분기되어 데이터 라인(103)과 평행하게 형성되며 제 2 스토리지 전극(118)에 오버랩되는 제 1 스토리지 전극(112)이 마련된다. 여기서, 인접 화소는 해당 화소의 전단에 형성된 화소이다.
- <38> 도 3을 참조하면, 상기 제 1 스토리지 전극(112)은 박막 트랜지스터의 게이트 전극(122)과 게이트 라인(102)의 형성 시에 동일 물질로 동시에 형성된다.
- <39> 도 2 및 도 3에서, 상기 제 1 스토리지 전극(112)은 박막 트랜지스터의 게이트 전극(122)과 게이트 라인(102)의 형성 시에 동일 물질로 동시에 형성되어 일체를 이루는 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 상기 제 1 스토리지 전극(112)은 상기 박막 트랜지스터의 게이트 전극(122) 및 게이트 라인(102)과 별개로 마련되어 서로 연결되는 등 다양한 예가 가능할 것이다.
- <40> 그리고, 도 2를 참조하면, 상기 제 1 기관(101) 상에는 데이터 라인(103)과 평행하고 게이트 라인(102)과 교차하도록 각 화소의 일측에 배치되는 공통전압 라인(105)이 형성된다.
- <41> 그리고, 상기 제 1 기관(101) 상에는 상기 공통전압 라인(105)과 콘택홀(119)을 통해 연결됨과 동시에 공통전압 라인(105)과 오버랩되는 공통전압 부분 라인(106)이 형성된다.
- <42> 그리고, 상기 제 1 기관(101) 상의 각 화소에는 상기 공통전압 부분 라인(106)에서 분기되어 게이트 라인(102)과 평행하게 형성된 공통전극(107)이 마련된다.
- <43> 상기 공통전압 부분 라인(106)에서 분기된 공통전극(107)의 일부는 상기 게이트 라인(102)과 오버랩되도록 형성되며, 게이트 라인(102)과 오버랩되는 일부 공통전극(107)은 화소의 양쪽에 배치된 공통전극 부분 라인(106)과 함께 페루프를 이룬다. 즉, 도 2를 참조하면, 게이트 라인(102)과 오버랩되는 일부 공통전극(107)은 공통전압 부분 라인(106)과 함께 그물 형상과 같은 페루프를 이루도록 각 화소의 경계에 배치되므로, 각 화소에 안정되고 동일한 공통전압을 공급할 수 있다.
- <44> 그리고, 상기와 같이 공통전압 부분 라인(106)에서 분기된 공통전극(107)의 일부가 게이트 라인(102)과 오버랩 되도록 형성되어 게이트 라인(102)을 가림으로써, 게이트 라인(102)을 통해 전달되는 게이트 신호가 액정층에 미치는 영향을 최소화하게 된다. 이에 따라, 게이트 라인(102)을 통해 전달되는 게이트 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상이 방지된다.
- <45> 따라서, 게이트 라인(102)과 오버랩되도록 제 2 기관(미도시) 상에 형성되는 블랙 매트릭스의 영역을 최소화하거나 블랙 매트릭스를 형성하지 않을 수 있게 된다.
- <46> 그리고, 상기와 같이 가로 방향으로 긴 형상을 갖는 상기 화소는, 각 화소 내에서 데이터 라인(103)에 인접하게 배치되는 공통전압 라인(105) 및 공통전압 부분 라인(106) 및 공통전극(107)이 차지하는 면적이 최소화되어 개구율이 향상된다. 여기서, 각 화소에서 공통전압 라인(105) 및 공통전압 부분 라인(106) 및 공통전극(107)의 일부가 데이터 라인(103)에 인접하게 배치되는 이유는, 데이터 라인(103)을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상을 방지하기 위한 것이다.
- <47> 그리고, 도 2를 참조하면, 상기 제 1 기관(101) 상의 각 화소에는 상기 공통전극(107)과 엇갈리도록 배치되어 공통전극(107)과 함께 수평 전계를 형성하는 화소전극(108)이 형성되는데, 상기 화소전극(108)은 상기에서 언급한 바와 같이 콘택홀(109)을 통해 박막 트랜지스터의 드레인 전극(140)과 연결된다.
- <48> 또한, 각 화소에는 상기 화소전극(108) 및, 박막 트랜지스터의 드레인 단자(140)와 연결되며 상기 제 1 스토리지 전극(112)과 오버랩되는 제 2 스토리지 전극(118)이 형성된다.
- <49> 이와 같은 제 2 스토리지 전극(118)은, 상기에 언급한 바와 같이 상기 제 1 스토리지 전극(112)과 오버랩되어 스토리지 커패시터(Cst)를 형성한다.
- <50> 도 2 및 도 3에 도시한 바와 같이, 상기 제 2 스토리지 전극(118)은 상기 박막 트랜지스터의 드레인 단자(140)와 연결된 화소전극(108)의 일부 영역이 상기 제 1 스토리지 전극(112)과 오버랩됨으로써 마련되어, 화소전극

(108)의 일부가 제 2 스토리지 전극(118)의 역할을 하는 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 본 발명의 요지를 벗어나지 않는 범위 내에서 상기 제 2 스토리지 전극(118)은 상기 화소전극(108)과 별개로 마련되어 서로 연결됨으로써 마련되는 등 다양한 예가 가능할 것이다.

- <51> <제 2 실시예>
- <52> 이하, 본 발명의 제 2 실시예에 따른 액정표시장치에 대하여 도 4 및 도 5를 참조하여 설명하면 다음과 같다.
- <53> 도 4는 본 발명의 바람직한 제 2 실시예에 따른 액정표시장치를 도시한 평면도이며, 도 5는 도 4의 II-II' 선을 따라 절단한 면을 도시한 단면도이다.
- <54> 도 4 및 도 5에 도시한 바와 같이 본 발명의 제 2 실시예에 따른 액정표시장치는, 제 1 기관(201); 상기 제 1 기관(201) 상에 중첩으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인(202)은 데이터 라인(203)보다 길게 형성된 게이트 라인(202) 및 데이터 라인(203); 상기 각 화소마다 마련되며, 인접 화소의 게이트 라인(202)과 연결되는 제 1 스토리지 전극(212); 상기 데이터 라인(203)과 평행하고 게이트 라인(202)과 교차하도록 형성된 공통전압 라인(205); 상기 공통전압 라인(205)과 연결되며, 공통전압 라인(205)에 오버랩되는 공통전압 부분 라인(206); 상기 공통전압 부분 라인(206)에서 다수 개로 분기되어 상기 게이트 라인(202)과 평행하게 형성되며, 그 일부는 게이트 라인(202)에 오버랩되는 공통전극(207); 상기 공통전극(207)과 엇갈리게 형성되어 공통전극(207)과 함께 수평 전계를 형성하는 화소전극(208); 상기 화소전극(208)과 연결되며 상기 제 1 스토리지 전극(212)과 오버랩되는 제 2 스토리지 전극(218); 을 포함하여 구성된다.
- <55> 그리고, 상기 각 화소에는 공통전압 부분 라인(206)과 연결되고 제 2 스토리지 전극(218)과 오버랩되는 제 3 스토리지 전극(217)이 추가로 형성된다.
- <56> 본 발명에 따른 액정표시장치는 박막 트랜지스터 어레이 기관인 제 1 기관(201)과 컬러필터 기관인 제 2 기관(미도시)으로 구성되며, 상기 제 1 기관(201)과 제 2 기관 사이에는 액정층(미도시)이 형성된다.
- <57> 도 4를 참조하면, 상기 제 1 기관(201) 상에는 중첩으로 교차되어 복수의 화소를 정의하는 게이트 라인(202) 및 데이터 라인(203)이 형성되며, 상기 각 화소에는 게이트 라인(202)과 데이터 라인(203)이 교차하는 영역에 박막 트랜지스터가 형성된다.
- <58> 도 5를 참조하면, 상기 박막 트랜지스터는 제 1 기관(201) 상에 형성된 게이트 전극(222) 및 상기 게이트 전극(222) 상에 형성된 게이트 절연막(250) 및 상기 게이트 절연막(250) 상에 상기 게이트 전극(222)과 오버랩되도록 형성된 반도체 층(260) 및 상기 반도체 층(260) 상에 형성된 소스 전극(213) 및 드레인 전극(240)으로 구성되며, 상기 소스 전극(213) 및 드레인 전극(240) 상에는 보호층(270)이 추가로 형성된다.
- <59> 여기서, 상기 박막 트랜지스터의 게이트 전극(222)은 게이트 라인(202)과 연결되고, 소스 전극(213)은 데이터 라인(203)과 연결되며, 드레인 전극(240)은 콘택홀(209)을 통해 화소전극(208)과 연결된다.
- <60> 상기 게이트 라인(202)이 형성된 방향을 가로 방향이라 하면, 상기 각 화소는 가로 방향으로 긴 형상을 가지며, 적색, 녹색, 청색을 표시하는 화소가 세로 방향으로 반복 형성된다. 즉, 세로 방향으로 형성된 적색, 녹색, 청색의 세 화소가 하나의 컬러를 표시하게 된다. 특히, 각 화소는 게이트 라인(202)의 길이가 데이터 라인(203)의 길이보다 길게 형성된다.
- <61> 도 4를 참조하면, 상기 각 화소에는 인접 화소의 게이트 라인(202)의 일부 영역으로서 제 2 스토리지 전극(218)과 오버랩되는 제 1 스토리지 전극(212)이 마련된다.
- <62> 이 경우, 상기 게이트 라인(202)은 게이트 신호를 전달하는 게이트 라인(202)의 역할을함과 동시에, 인접 화소의 제 2 스토리지 전극(218)과 오버랩됨으로써 인접 화소의 제 1 스토리지 전극(212)의 역할도 한다.
- <63> 이와 같은 상기 제 1 스토리지 전극(212)은 상기 제 2 스토리지 전극(218)과 오버랩되어 제 1 스토리지 커패시터(Cst1)를 형성한다.
- <64> 여기서, 상기 제 2 스토리지 전극(218)에 대한 상세한 설명은 화소전극(208)에 대한 상세한 설명과 함께 아래에서 하도록 한다.
- <65> 도 4 및 도 5에 도시한 바와 같이, 상기 제 1 스토리지 전극(212)은 인접 화소의 게이트 라인(202)의 일부 영역이 해당 화소의 제 2 스토리지 전극(218)과 오버랩됨으로써 마련된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 제 1 스토리지 전극(212)은 본 발명의 요지를 벗어나지 않는 범위 내에서 상기 게이트

라인(202)과 별개로 마련되어 연결되는 등 다양한 예가 가능할 것이다.

- <66> 도 4를 참조하면, 상기 제 1 기관(201) 상에는 데이터 라인(203)과 평행하고 게이트 라인(202)과 교차하도록 각 화소의 일측에 배치된 공통전압 라인(205)이 형성된다.
- <67> 그리고, 상기 제 1 기관(201) 상에는 상기 공통전압 라인(205)과 콘택홀(219)을 통해 연결됨과 동시에 공통전압 라인(205)과 오버랩되는 공통전압 부분 라인(206)이 형성된다.
- <68> 그리고, 상기 제 1 기관(201) 상의 각 화소에는 상기 공통전압 부분 라인(206)에서 분기되어 게이트 라인(203)과 평행하게 형성된 다수 개의 공통전극(207)이 마련된다.
- <69> 상기 공통전압 부분 라인(206)에서 분기된 공통전극(207)의 일부는 상기 게이트 라인(202)과 오버랩되도록 형성되며, 게이트 라인(202)과 오버랩되는 일부 공통전극(207)은 화소의 양측에 배치된 공통전극 부분 라인(206)과 함께 페루프를 이룬다. 즉, 도 4를 참조하면, 게이트 라인(202)과 오버랩되는 일부 공통전극(207)은 공통전압 부분 라인(206)과 함께 그물 형상과 같은 페루프를 이루도록 각 화소의 경계에 배치되므로, 각 화소에 안정되고 동일한 공통전압을 공급할 수 있다.
- <70> 그리고, 상기와 같이 공통전압 부분 라인(206)에서 분기된 공통전극(207)의 일부가 게이트 라인(202)과 오버랩되도록 형성되어 게이트 라인(202)을 가림으로써, 게이트 라인(202)을 통해 전달되는 게이트 신호가 액정층에 미치는 영향을 최소화하게 된다. 이에 따라, 게이트 라인(202)을 통해 전달되는 게이트 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상이 방지된다.
- <71> 따라서, 게이트 라인(202)과 오버랩되도록 제 2 기관(미도시) 상에 형성되는 블랙 매트릭스의 영역을 최소화하거나 블랙 매트릭스를 형성하지 않을 수 있게 된다.
- <72> 상기와 같이 가로 방향으로 긴 형상을 갖는 상기 화소는, 각 화소 내에서 데이터 라인(203)에 인접하게 배치되는 공통전압 라인(205) 및 공통전압 부분 라인(206) 및 공통전극(207)이 차지하는 면적이 최소화되어 개구율이 향상된다.
- <73> 여기서, 각 화소에서 공통전압 라인(205) 및 공통전압 부분 라인(206) 및 공통전극(207)의 일부가 데이터 라인(203)에 인접하게 배치되는 이유는, 데이터 라인(203)을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상을 방지하기 위한 것이다.
- <74> 그리고, 도 4를 참조하면, 상기 제 1 기관(201) 상의 각 화소에는 상기 공통전극(207)과 엇갈리도록 배치되어 공통전극(207)과 함께 수평 전계를 형성하는 화소전극(208)이 형성되는데, 상기 화소전극(208)은 상기에 언급한 바와 같이 박막 트랜지스터의 드레인 전극(240)과 연결된다.
- <75> 상기 각 화소에는 상기 화소전극(208) 및 박막 트랜지스터의 드레인 전극(240)과 연결되어 상기 제 1 스토리지 전극(212) 및 제 3 스토리지 전극(217)과 오버랩되는 제 2 스토리지 전극(218)이 형성된다.
- <76> 이에 대해 도 5를 참조하여 더욱 상세히 설명하면, 상기 제 2 스토리지 전극(218)은 박막 트랜지스터의 소스 전극(213)과 드레인 전극(240) 형성 시에 동일 층에 동일 물질로 형성되며, 콘택홀(229)을 통해 상기 화소전극(208)과 연결되고, 하부로는 게이트 절연막(250)을 사이에 두고 제 1 스토리지 전극(212)과 오버랩되며, 상부로는 보호막(270)을 사이에 두고 제 3 스토리지 전극(217)과 오버랩된다.
- <77> 즉, 이와 같은 제 2 스토리지 전극(218)은 제 1 스토리지 전극(212)과 오버랩되어 제 1 스토리지 커패시터(Cst1)를 형성하며, 제 3 스토리지 전극(217)과 오버랩되어 제 2 스토리지 커패시터(Cst2)를 형성한다.
- <78> 여기서, 도 4 및 도 5를 참조하여 상기 제 3 스토리지 전극(217)에 대해 상세히 설명하면 다음과 같다.
- <79> 상기 제 1 기관(101) 상에 형성된 제 3 스토리지 전극(217)은 공통전압 부분 라인(206)의 형성 시에 공통전압 부분 라인(206)과 연결되도록 동일 층에 동일 물질로 형성되며, 상기에 언급한 바와 같이 보호막(270)을 사이에 두고 제 2 스토리지 전극(218)과 오버랩되어 제 2 스토리지 커패시터(Cst2)를 형성한다.
- <80> 도 4에 도시된 바와 같이, 상기 제 3 스토리지 전극(217)은 공통전압 부분 라인(206)과 연결되는 공통전극(207)의 일부가 제 2 스토리지 전극(218)과 오버랩되도록 형성됨으로써 마련된 것을 그 예로 하였지만, 본 발명은 이에 한정되는 것은 아니며 상기 제 3 스토리지 전극(217)은 상기 공통전압 부분 라인(206)과 별개로 마련되어 연결되는 등 다양한 예가 가능하다.
- <81> 따라서, 본 발명의 제 2 실시예에 따른 액정표시장치는 제 1 스토리지 전극(212)과 제 2 스토리지 전극(218)이

게이트 절연막(250)을 사이에 두고 형성하는 제 1 스토리지 커패시터(Cst1) 및 제 2 스토리지 전극(218)과 제 3 스토리지 전극(217)이 보호막(207)을 사이에 두고 형성하는 제 2 스토리지 커패시터(Cst2)가 마련됨으로써 이중 스토리지 커패시터가 형성되므로, 각 화소에 마련하는 스토리지 커패시터의 면적을 최소화할 수 있으므로 액정 표시장치의 개구율을 최대화할 수 있다.

- <82> <제 3 실시예>
- <83> 이하, 본 발명의 제 3 실시예에 따른 액정표시장치에 대하여 도 6 및 도 7을 참조하여 설명하면 다음과 같다.
- <84> 본 발명의 제 3 실시예에 따른 액정표시장치를 설명함에 있어서 제 1 실시예 및 제 2 실시예와 동일한 설명은 생략하겠다.
- <85> 도 6은 본 발명의 바람직한 제 3 실시예에 따른 액정표시장치를 도시한 평면도이며, 도 7은 도 6의 액정표시장치에서 화소전극과 공통전극의 다른 배치 예를 도시한 평면도이다.
- <86> 도 6에 도시한 바와 같이 본 발명의 제 3 실시예에 따른 액정표시장치는, 제 1 기관(301); 상기 제 1 기관(301) 상에 중첩으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인(302)은 데이터 라인(303)보다 길게 형성된 게이트 라인(302) 및 데이터 라인(303); 상기 데이터 라인(303)과 평행하며 게이트 라인(302)과 교차하도록 형성된 공통전압 라인(305); 상기 공통전압 라인(305)과 연결되어 형성된 복수 개의 공통전극(307); 상기 공통전극(307)과 엇갈리게 형성되어 공통전극(307)과 함께 수평 전계를 형성하는 화소전극(308); 상기 화소전극(308)과 연결되며 상기 공통전압 라인(305)의 일부와 오버랩되는 스토리지 전극(318); 을 포함하여 구성된다.
- <87> 도 6을 참조하면, 상기 제 1 기관(301) 상에는 중첩으로 교차되어 복수의 화소를 정의하는 게이트 라인(302) 및 데이터 라인(303)이 형성되며, 상기 각 화소에는 게이트 라인(302)과 데이터 라인(303)이 교차하는 영역에 박막 트랜지스터가 형성된다.
- <88> 상기 제 1 기관(301)에 게이트 라인(302)이 형성된 방향을 가로 방향이라 하면, 상기 각 화소는 가로 방향으로 긴 형상을 가지며, 적색, 녹색, 청색을 표시하는 화소가 세로 방향으로 반복 형성된다. 즉, 세로 방향으로 형성된 적색, 녹색, 청색의 세 화소가 하나의 컬러를 표시하게 된다.
- <89> 도 6을 참조하면, 상기 제 1 기관(301) 상에는 데이터 라인(303)과 평행하고 게이트 라인(302)과 교차하도록 화소의 일측에 배치된 공통전압 라인(305)이 형성된다.
- <90> 그리고, 상기 제 1 기관(301) 상에는 상기 공통전압 라인(305)과 콘택홀(319)을 통해 연결되며 화소의 가장자리에 배치된 공통전압 부분 라인(306)이 형성된다. 여기서, 상기 공통전압 부분 라인(306)은 공통전압 라인(305)과 공통전극(307)을 연결하는 수단이지만, 화소전극(308)과 평행하게 형성되는 영역은 공통전극(307)의 역할을 동시에 담당한다.
- <91> 그리고, 상기 제 1 기관(301) 상의 각 화소에는 상기 공통전압 부분 라인(306)에서 분기되어 게이트 라인(302)과 평행하게 형성된 공통전극(307)이 마련된다.
- <92> 도 6에는 상기 공통전극(307)이 게이트 라인(302)과 평행하게 형성된 경우를 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 도 7에 도시한 바와 같이 공통전극(407)은 데이터 라인(403)과 평행하게 형성되는 등 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 예가 가능하다.
- <93> 상기와 같이 가로 방향으로 긴 형상을 갖는 상기 화소는, 각 화소 내에서 데이터 라인(303)에 인접하게 배치되는 공통전압 라인(305) 및 공통전압 부분 라인(306) 및 공통전극(307)이 차지하는 면적이 최소화되어 개구율이 향상된다.
- <94> 여기서, 각 화소에서 공통전압 라인(305) 및 공통전압 부분 라인(306) 및 공통전극(307)의 일부가 데이터 라인(303)에 인접하게 배치되는 이유는, 데이터 라인(303)을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡되어 화면 불량으로 관찰되는 현상을 방지하기 위한 것이다.
- <95> 도 6을 참조하면, 상기 제 1 기관(301) 상의 각 화소에는 상기 공통전극(307)과 엇갈리도록 배치되어 공통전극(307)과 함께 수평 전계를 형성하는 화소전극(308)이 형성되는데, 이러한 화소전극(308)은 각 화소에 마련된 박막 트랜지스터의 드레인 단자(340)와 콘택홀(309)을 통해 연결된다.
- <96> 그리고, 상기 제 1 기관(301) 상의 각 화소에는 화소전극(308)과 연결되어 상기 공통전압 라인(305)의 일부와

오버랩됨으로써 스토리지 커패시터(Cst)를 형성하는 스토리지 전극(318)이 마련된다.

- <97> 도 6에 도시한 바와 같이, 상기 스토리지 전극(318)은 화소전극(308)의 일부 영역이 공통전압 라인(305)의 일부 영역과 오버랩되도록 형성됨으로써 마련되는 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 스토리지 전극(318)은 본 발명의 요지를 벗어나지 않는 범위 내에서 상기 화소전극(308)과 별개로 마련되어 연결되는 등 다양한 예가 가능하다.
- <98> 도 6에는 상기 화소전극(308)이 게이트 라인(302)과 평행하게 형성된 경우를 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며, 도 7에 도시한 바와 같이 화소전극(408)은 공통전극(407)과 함께 데이터 라인(403)과 평행하게 형성되는 등 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 예가 가능하다.
- <99> <제 4 실시예>
- <100> 이하, 본 발명의 제 4 실시예에 따른 액정표시장치에 대하여 도 8 및 도 9를 참조하여 설명하면 다음과 같다.
- <101> 본 발명의 제 4 실시예에 따른 액정표시장치를 설명함에 있어서 제 1 실시예 내지 제 3 실시예와 동일한 설명은 생략하겠다.
- <102> 도 8은 본 발명의 바람직한 제 4 실시예에 따른 액정표시장치를 도시한 평면도이며, 도 9는 도 8의 액정표시장치에서 화소전극과 공통전극의 다른 배치 예를 도시한 평면도이다.
- <103> 도 8에 도시한 바와 같이 본 발명의 제 4 실시예에 따른 액정표시장치는, 제 1 기판(501); 상기 제 1 기판(501) 상에 종횡으로 교차되어 복수의 화소를 정의하고, 각 화소에 배치된 게이트 라인(502)은 데이터 라인(503)보다 길게 형성된 게이트 라인(502) 및 데이터 라인(503); 상기 데이터 라인(503)과 평행하며 게이트 라인(502)과 교차하도록 형성된 공통전압 라인(505); 상기 공통전압 라인(505)과 연결되어 형성된 복수 개의 공통전극(507); 상기 공통전극(507)과 엇갈리게 형성되어 공통전극(507)과 함께 수평 전계를 형성하는 화소전극(508); 상기 화소전극(508)과 연결되며 상기 공통전압 라인(505)의 일부와 오버랩되는 스토리지 전극(518); 을 포함하여 구성된다.
- <104> 여기서, 상기 공통전압 라인(505)은 각 화소의 중앙 부근에 데이터 라인(503)과 평행하게 형성된다.
- <105> 도 8을 참조하면, 상기 제 1 기판(501) 상에는 종횡으로 교차되어 복수의 화소를 정의하는 게이트 라인(502) 및 데이터 라인(503)이 형성되며, 상기 각 화소에는 게이트 라인(502)과 데이터 라인(503)이 교차하는 영역에 박막 트랜지스터가 형성된다.
- <106> 상기 제 1 기판(501)에 게이트 라인(502)이 형성된 방향을 가로 방향이라 하면, 상기 각 화소는 가로 방향으로 긴 형상을 가지며, 적색, 녹색, 청색을 표시하는 화소가 세로 방향으로 반복 형성된다. 즉, 세로 방향으로 형성된 적색, 녹색, 청색의 세 화소가 하나의 컬러를 표시하게 된다.
- <107> 도 8을 참조하면, 상기 제 1 기판(501) 상에는 데이터 라인(503)과 평행하고 게이트 라인(502)과 교차하도록 화소의 중앙에 배치된 공통전압 라인(505)이 형성된다.
- <108> 그리고, 상기 제 1 기판(501) 상에는 콘택홀(519)을 통해 상기 공통전압 라인(505)과 연결되며 화소의 가장자리에 배치된 공통전압 부분 라인(506)이 형성된다. 여기서, 공통전압 부분 라인(506)은 공통전압 라인(505)과 공통전극(507)을 연결하는 수단이지만, 화소전극(508)과 평행하게 형성된 영역은 공통전극(507)의 역할을 동시에 담당한다.
- <109> 그리고, 상기 제 1 기판(501) 상의 각 화소에는 상기 공통전압 부분 라인(506)에서 분기되어 게이트 라인(502)과 평행하게 형성된 공통전극(507)이 형성된다. 즉, 도 8을 참조하면, 각 화소에 형성된 공통전극(507)은 공통전압 부분 라인(506)으로부터 양 방향으로 연장되도록 형성된다.
- <110> 도 8에는 상기 공통전극(507)이 게이트 라인(502)과 평행하게 형성된 경우를 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며, 도 9에 도시한 바와 같이 공통전극(607)은 데이터 라인(603)과 평행하게 형성되는 등 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 예가 가능하다.
- <111> 상기와 같이 가로 방향으로 긴 형상을 갖는 상기 화소는, 각 화소 내에서 데이터 라인(503)에 인접하게 배치되는 공통전압 라인(505) 및 공통전압 부분 라인(506) 및 공통전극(507)이 차지하는 면적이 최소화되어 개구율이 향상된다.
- <112> 여기서, 각 화소에서 공통전압 라인(505) 및 공통전압 부분 라인(506) 및 공통전극(507)의 일부가 데이터 라인

(503)에 인접하게 배치되는 이유는, 데이터 라인(503)을 통해 전달되는 데이터 신호에 의해 액정의 구동이 왜곡 되어 화면 불량으로 관찰되는 현상을 방지하기 위한 것이다.

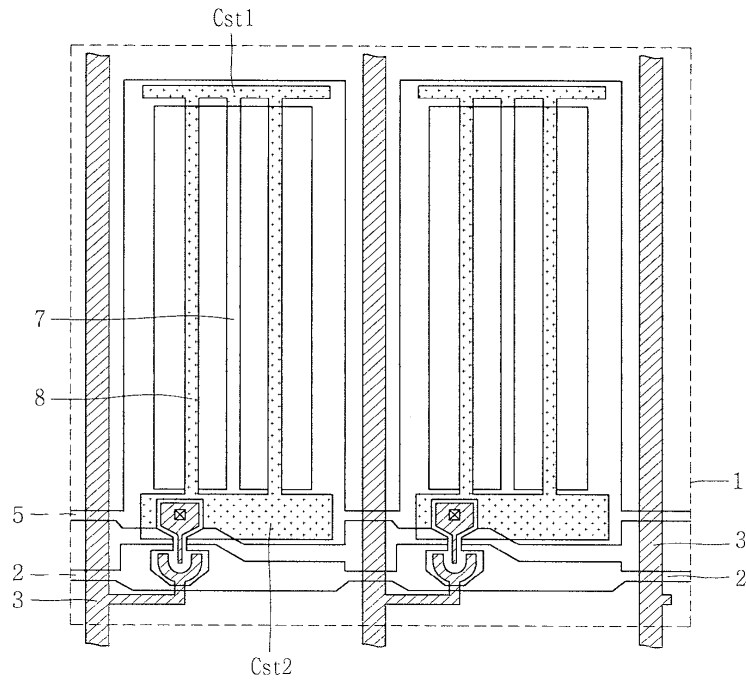
- <113> 그리고, 상기와 같이 공통전압 라인(505)이 화소의 중앙에 데이터 라인(503)과 평행하도록 형성된 경우는, 제조 공정 시에 동일 물질로 동일 층에 형성되는 공통전압 라인(505)과 데이터 라인(503) 사이의 충분한 거리가 확보 되므로 제조 공정 시에 상기 공통전압 라인(505)과 데이터 라인(503)이 쇼트되어 불량을 발생시키는 현상이 최소화된다.
- <114> 도 8을 참조하면, 상기 제 1 기관(501) 상의 각 화소에는 상기 공통전극(507)과 엇갈리도록 배치되어 공통전극(507)과 함께 수평 전계를 형성하는 화소전극(508)이 형성되는데, 이러한 화소전극(508)은 각 화소에 마련된 박막 트랜지스터의 드레인 단자(540)와 콘택홀(509)을 통해 연결된다.
- <115> 그리고, 상기 제 1 기관(501) 상의 각 화소에는 화소전극(508)과 연결되어 상기 공통전압 라인(505)의 일부와 오버랩됨으로써 스토리지 커패시터(Cst)를 형성하는 스토리지 전극(518)이 마련된다.
- <116> 도 8에 도시된 바와 같이, 상기 스토리지 전극(518)은 화소전극(508)의 일부 영역이 공통전압 라인(505)의 일부 영역과 오버랩되도록 형성됨으로써 마련되는 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 스토리지 전극(518)은 본 발명의 요지를 벗어나지 않는 범위 내에서 상기 화소전극(508)과 별도로 마련되어 연결되는 등 다양한 예가 가능하다.
- <117> 그리고, 도 8에는 상기 화소전극(508)이 게이트 라인(502)과 평행하게 형성된 경우를 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 도 9에 도시한 바와 같이 화소전극(608)은 공통전극(607)과 함께 데이터 라인(603)과 평행하게 형성되는 등 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 예가 가능하다.

도면의 간단한 설명

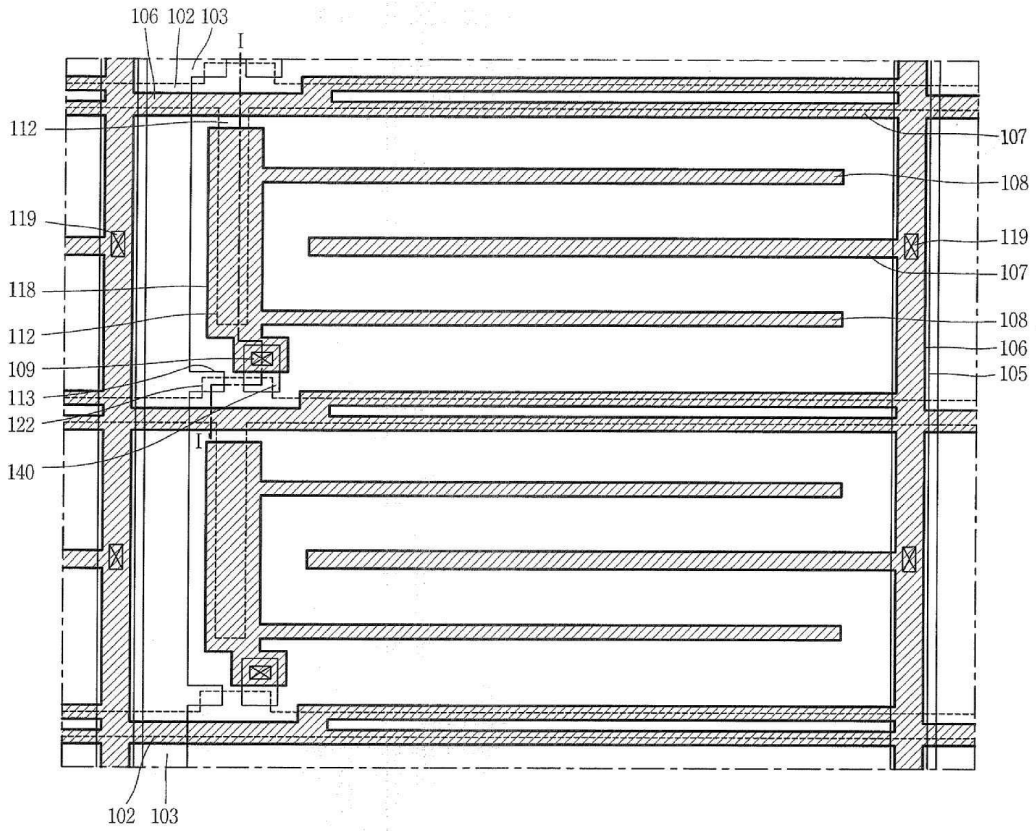
- <118> 도 1은 종래의 일반적인 액정표시장치를 도시한 평면도.
- <119> 도 2는 본 발명의 바람직한 제 1 실시예에 따른 액정표시장치를 도시한 평면도.
- <120> 도 3은 도 2의 I-I' 선을 따라 절단한 면을 도시한 단면도.
- <121> 도 4는 본 발명의 바람직한 제 2 실시예에 따른 액정표시장치를 도시한 평면도.
- <122> 도 5는 도 4의 II-II' 선을 따라 절단한 면을 도시한 단면도.
- <123> 도 6은 본 발명의 바람직한 제 3 실시예에 따른 액정표시장치를 도시한 평면도.
- <124> 도 7은 도 6의 액정표시장치에서 화소전극과 공통전극의 다른 배치 예를 도시한 평면도.
- <125> 도 8은 본 발명의 바람직한 제 4 실시예에 따른 액정표시장치를 도시한 평면도.
- <126> 도 9는 도 8의 액정표시장치에서 화소전극과 공통전극의 다른 배치 예를 도시한 평면도.
- <127> **도면의 주요 부분에 대한 부호의 설명**
- <128> 102, 202, 302, 502: 게이트 라인 103, 203, 303, 403, 503, 603: 데이터 라인
- <129> 105, 205, 305, 505: 공통전압 라인 107, 207, 307, 407, 507, 607: 공통전극
- <130> 108, 208, 308, 408, 508, 608: 화소전극 112, 212: 제 1 스토리지 전극
- <131> 118, 218: 제 2 스토리지 전극 217: 제 3 스토리지 전극
- <132> 318, 518: 스토리지 전극

도면

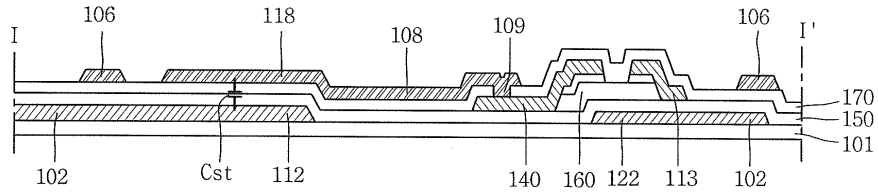
도면1



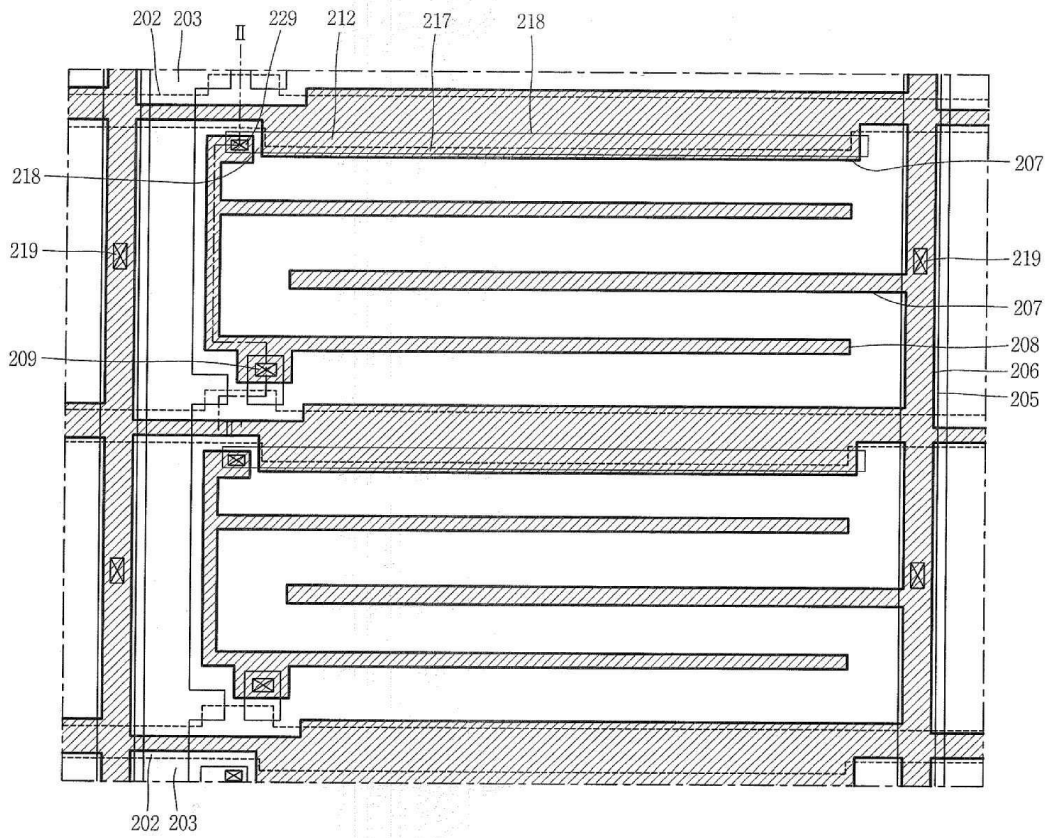
도면2



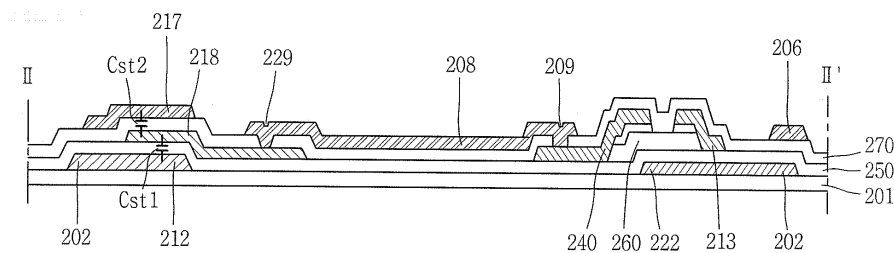
도면3



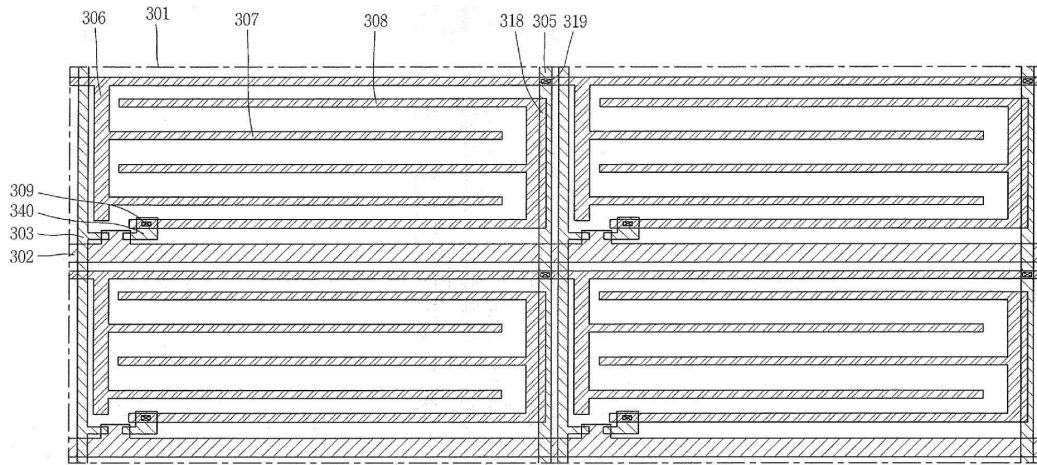
도면4



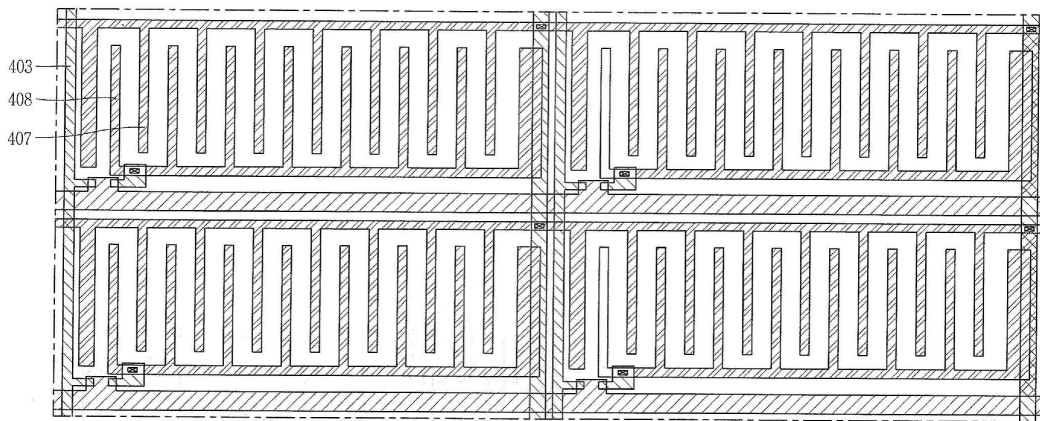
도면5



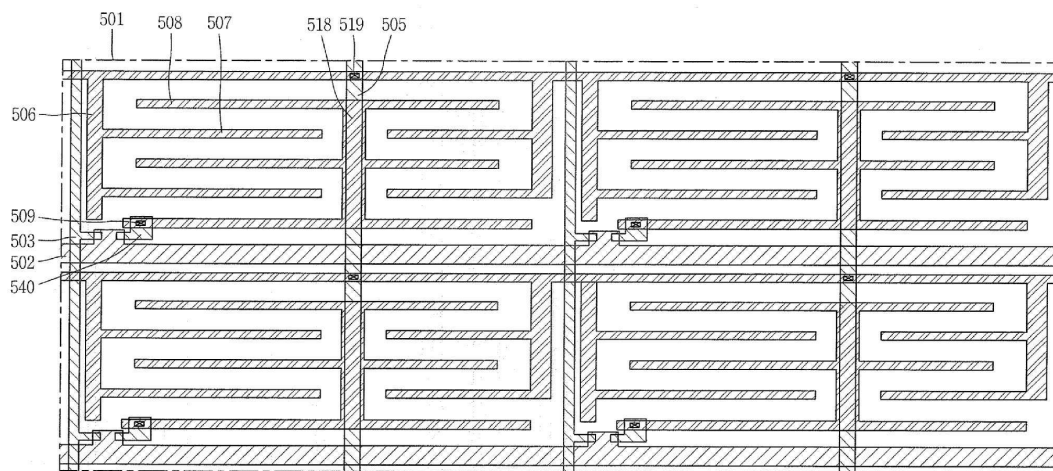
도면6



도면7



도면8



도면9

