



(12) 发明专利

(10) 授权公告号 CN 113228292 B

(45) 授权公告日 2024. 11. 29

(21) 申请号 201980085614.5

(22) 申请日 2019.12.04

(65) 同一申请的已公布的文献号
申请公布号 CN 113228292 A

(43) 申请公布日 2021.08.06

(30) 优先权数据
16/362,857 2019.03.25 US
16/362,895 2019.03.25 US

(85) PCT国际申请进入国家阶段日
2021.06.23

(86) PCT国际申请的申请数据
PCT/US2019/064411 2019.12.04

(87) PCT国际申请的公布数据
W02020/197597 EN 2020.10.01

(73) 专利权人 桑迪士克科技有限责任公司
地址 美国德克萨斯州

(72) 发明人 崔志欣 周非 R·S·马卡拉

(74) 专利代理机构 北京市柳沈律师事务所
11105
专利代理师 邱军

(51) Int.Cl.
H01L 29/06 (2006.01)
H01L 27/06 (2006.01)
H10B 41/27 (2023.01)
H10B 43/35 (2023.01)
H10B 43/27 (2023.01)
H01L 21/768 (2006.01)
H10B 43/23 (2023.01)

(56) 对比文件
US 10192878 B1, 2019.01.29
US 2017125538 A1, 2017.05.04

审查员 谢晶

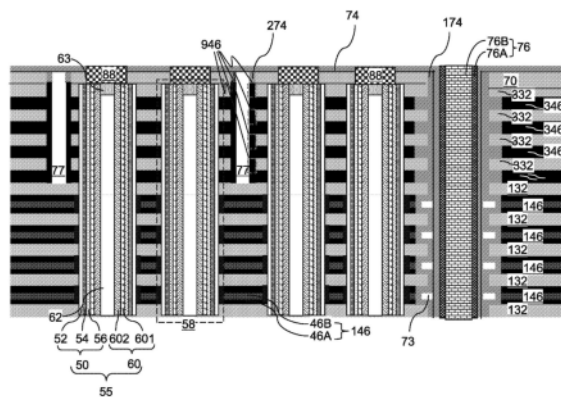
权利要求书5页 说明书34页 附图59页

(54) 发明名称

包括复合字线和多条带选择线的三维存储器器件及其制造方法

(57) 摘要

本发明公开了一种绝缘层和牺牲材料层的交替堆叠,该绝缘层和牺牲材料层的交替堆叠在衬底上方形成。穿过该交替堆叠形成存储器堆叠结构。穿过该牺牲材料层的上部子集成漏极选择层级沟槽,并且穿过该交替堆叠的每一层形成背侧沟槽。通过移除该牺牲材料层形成背侧凹陷部。将第一导电材料和第二导电材料顺序地沉积在该背侧凹陷部和该漏极选择层级沟槽中。可通过至少一种各向异性蚀刻工艺从该漏极选择层级沟槽移除该第二导电材料和该第一导电材料的部分,以提供作为通过该漏极选择层级沟槽内的腔体彼此横向间隔开并电隔离的多个组的漏极选择层级导电层。



1. 一种三维存储器器件,包括:

绝缘层和导电层的第一交替堆叠,所述第一交替堆叠定位在衬底上方;和

存储器堆叠结构,所述存储器堆叠结构延伸穿过所述第一交替堆叠;

其中:

所述导电层包括漏极选择层级导电层,所述漏极选择层级导电层定位在距所述衬底具有不同竖直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;

定位在竖直相邻的一对绝缘层之间的所述漏极选择层级导电层的每个水平部分包括第一导电材料层和第二导电材料层的堆叠,所述第一导电材料层包括第一导电材料,并且所述第二导电材料层不接触所述绝缘层中的任一者并且包括第二导电材料;并且

选自所述多个组的每组内的漏极选择层级导电层通过包含所述第一导电材料的至少一个竖直导电条带电连接,其中所述漏极选择层级导电层中的每个漏极选择层级导电层在其端部部分处包含气隙;

其中所述三维存储器器件还包括:

第一附加绝缘层和第一附加导电层的第二交替堆叠,所述第二交替堆叠定位在所述衬底上方并且通过沿第一水平方向横向延伸的第一背侧沟槽与所述第一交替堆叠横向间隔开,

第二附加绝缘层和第二附加导电层的第三交替堆叠,所述第三交替堆叠定位在所述衬底上方并且通过沿所述第一水平方向横向延伸的第二背侧沟槽与所述第一交替堆叠横向间隔开,和

非保形绝缘层,所述非保形绝缘层包括覆盖在所述第一交替堆叠、所述第二交替堆叠和所述第三交替堆叠中的相应一者上方的水平部分以及延伸到所述第一背侧沟槽和所述第二背侧沟槽中的相应一者中的竖直延伸部分,其中所述竖直延伸部分中的每个竖直延伸部分具有随着距所述水平部分的竖直距离而减小的可变横向厚度;

其中所述导电层中的每个导电层从所述非保形绝缘层的所述竖直延伸部分中的最近侧部分横向偏移相同的横向偏移距离;并且

其中所述气隙包括定位在所述导电层中的每个导电层和所述竖直延伸部分中的相应最近侧部分之间的凹坑腔体。

2. 根据权利要求1所述的三维存储器器件,其中:

所述至少一个竖直导电条带的每个侧壁不与所述第二导电材料的任何表面直接接触;并且

所述至少一个竖直导电条带的每个侧壁接触选自以下的元件:

所述绝缘层中的一个绝缘层;

不含任何固体材料的腔体;或者

覆盖并围绕腔体的绝缘材料的竖直延伸部分。

3. 根据权利要求2所述的三维存储器器件,其中所述至少一个竖直导电条带中的每个竖直导电条带具有与所述第一导电材料层的水平部分的竖直厚度相同的横向厚度。

4. 根据权利要求3所述的三维存储器器件,其中:

所述第一导电材料基本上由第一元素金属组成;并且

所述第二导电材料基本上由第二元素金属组成。

5. 根据权利要求4所述的三维存储器器件,其中:
所述第一元素金属包括钨;并且
所述第二元素金属包括选自钼、钴或钨的金属。
6. 根据权利要求1所述的三维存储器器件,其中选自所述多个组的每个横向相邻的一对组由其中不含任何固体材料的相应封装腔体横向间隔开。
7. 根据权利要求1所述的三维存储器器件,其中所述导电层还包括字线层级导电层,所述字线层级导电层位于所述漏极选择层级导电层下方并且包括沿第一水平方向横向延伸的相应一对侧壁。
8. 根据权利要求7所述的三维存储器器件,其中:
所述字线层级导电层沿所述第一水平方向横向延伸并且具有沿垂直于所述第一水平方向的第二水平方向的均匀字线层级宽度;并且
所述漏极选择层级导电层中的每个漏极选择层级导电层沿所述第一水平方向横向延伸并且具有沿所述第二水平方向的小于所述均匀字线层级宽度的三分之一的相应均匀漏极选择层级宽度。
9. 根据权利要求1所述的三维存储器器件,其中所述绝缘层中的每个绝缘层接触所述非保形绝缘层的相应侧壁。
10. 根据权利要求1所述的三维存储器器件,还包括:
源极区,所述源极区定位在所述第一背侧沟槽下方的所述衬底的上部部分中;和
背侧接触通孔结构,所述背侧接触通孔结构定位在所述第一背侧沟槽内并接触所述非保形绝缘层的侧壁和所述源极区的顶表面。
11. 一种形成半导体结构的方法,包括:
在衬底上方形成绝缘层和牺牲材料层的交替堆叠;
穿过所述交替堆叠形成存储器堆叠结构;
形成竖直延伸穿过所述牺牲材料层的上部子集的漏极选择层级沟槽;
形成竖直延伸穿过所述交替堆叠的每一层的背侧沟槽;
通过对于所述绝缘层选择性地移除所述牺牲材料层来形成背侧凹陷部;
在所述背侧凹陷部、所述漏极选择层级沟槽和所述背侧沟槽中沉积包含第一导电材料的第一连续导电材料层和包含第二导电材料的第二连续导电材料层;
通过各向同性凹陷蚀刻工艺从所述背侧沟槽以及从所述绝缘层中的最顶部一个绝缘层的上方各向同性地移除所述第一导电材料和所述第二导电材料,其中包括所述第一连续导电材料层和所述第二连续导电材料层的剩余部分的导电层形成在所述背侧凹陷部和所述漏极选择层级沟槽中;
在对于所述第一导电材料具有选择性的漏极选择层级腔体中各向异性地蚀刻所述第二导电材料;以及
从所述漏极选择层级腔体蚀刻所述第一导电材料的物理暴露的部分,其中所述导电层的剩余部分包括彼此横向间隔开并电隔离的多个组的漏极选择层级导电层;
其中每组内的每个漏极选择层级导电层通过包含所述第一导电材料的至少一个竖直导电条带互相或彼此电连接;
其中所述各向同性凹陷蚀刻工艺从所述背侧沟槽的体积中完全移除所述第一导电材

料和所述第二导电材料,以及相对于暴露于所述背侧沟槽的所述绝缘层的侧壁,在所述背侧凹陷部的体积中横向凹陷所述第一导电材料和所述第二导电材料;

所述方法还包括在暴露于所述背侧沟槽的所述绝缘层的所述侧壁上方以及在所述漏极选择层级沟槽上方各向异性地沉积非保形绝缘层,其中封装腔体形成在所述漏极选择层级沟槽中的一个漏极选择层级沟槽的体积中,所述封装腔体在其中不含任何固体材料并且由所述非保形绝缘层的底表面界定;

其中:

各向异性地蚀刻所述非保形绝缘层的水平部分,其中所述衬底的顶表面物理地暴露在每个背侧沟槽下方;以及

在所述衬底的位于所述背侧沟槽下方的每个部分中形成源极区;并且

其中凹坑腔体形成在所述导电层中的每个导电层和所述背侧沟槽内的所述非保形绝缘层的竖直延伸部分中的相应最近侧部分之间,其中所述凹坑腔体中的每个凹坑腔体在其中不含任何固体材料。

12. 一种三维存储器器件,包括:

绝缘层和导电层的第一交替堆叠,所述第一交替堆叠定位在衬底上方;和

存储器堆叠结构,所述存储器堆叠结构延伸穿过所述第一交替堆叠;

其中:

所述导电层包括漏极选择层级导电层,所述漏极选择层级导电层定位在距所述衬底具有不同垂直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;

所述导电层还包括字线层级导电层,所述字线层级导电层位于所述漏极选择层级导电层下方并且包括沿第一水平方向横向延伸的相应一对侧壁;

所述字线层级导电层中的每个字线层级导电层包括相应第一导电材料层和相应第二导电材料层,所述相应第一导电材料层包括第一导电材料,并且所述相应第二导电材料层包括不同于所述第一导电材料的第二导电材料并形成在所述相应第一导电材料层内;并且

所述漏极选择层级导电层中的每个漏极选择层级导电层基本上由所述第一导电材料组成,并且

其中背侧沟槽竖直延伸穿过所述交替堆叠的每一层,非保形绝缘层被各向异性地沉积在暴露于所述背侧沟槽的绝缘层的侧壁上方;并且

其中凹坑腔体形成在字线层级导电层和源极选择层级导电层中的每一者和所述背侧沟槽内的非保形绝缘层的竖直延伸部分中的相应最近侧部分之间;并且

其中所述三维存储器器件包含选自以下特征的特征:

第一特征,其中所述漏极选择层级导电层不接触所述第二导电材料中的任一者;或

第二特征,其中选自所述多个组的每个横向相邻的一对组由其中不含任何固体材料的相应封装腔体横向间隔开;或

第三特征,其中其中选自所述多个组的每组内的漏极选择层级导电层互相或彼此电隔离,每组内的所述漏极选择层级导电层中的每个漏极选择层级导电层包括侧壁,所述侧壁接触选自以下的元件:

不含任何固体材料的腔体;和

覆盖并围绕腔体的绝缘材料的竖直延伸部分;或

第四特征,其中选自所述多个组的每组内的漏极选择层级导电层通过包含所述第一导电材料的至少一个竖直导电条带电连接,其中所述至少一个竖直导电条带中的每个竖直导电条带不与所述第二导电材料的任何表面直接接触;或

第五特征,其中所述漏极选择层级导电层中的每个漏极选择层级导电层具有相应竖直厚度,所述相应竖直厚度小于所述字线层级导电层内的所述第一导电材料层的水平部分的竖直厚度的两倍。

13. 根据权利要求12所述的三维存储器器件,其中:

所述特征为所述第二特征;

所述字线层级导电层具有沿垂直于所述第一水平方向的第二水平方向的均匀字线层级宽度;并且

所述漏极选择层级导电层中的每个漏极选择层级导电层沿所述第一水平方向横向延伸并且具有沿所述第二水平方向的小于所述均匀字线层级宽度的三分之一的相应均匀漏极选择层级宽度。

14. 根据权利要求12所述的三维存储器器件,其中:

所述第一导电材料基本上由第一元素金属组成;并且

所述第二导电材料基本上由第二元素金属组成。

15. 根据权利要求14所述的三维存储器器件,其中:

所述第一元素金属包括钨;并且

所述第二元素金属包括选自钼、钴或钨的金属。

16. 根据权利要求12所述的三维存储器器件,其中所述第二导电材料层的每个水平表面接触所述第一导电材料层的水平表面。

17. 根据权利要求16所述的三维存储器器件,还包括接触所述绝缘层的侧壁和所述导电层的侧壁的保形绝缘间隔物,其中所述第二导电材料层的每个侧壁接触所述第一导电材料层的侧壁或所述保形绝缘间隔物的侧壁。

18. 根据权利要求12所述的三维存储器器件,其中所述特征为第四特征,并且其中所述至少一个竖直导电条带的每个侧壁接触选自以下的元件:

所述绝缘层中的一个绝缘层;

不含任何固体材料的腔体;和

覆盖并围绕腔体的绝缘材料的竖直延伸部分。

19. 根据权利要求12所述的三维存储器器件,其中所述至少一个竖直导电条带中的每个竖直导电条带具有与所述第一导电材料层的水平部分的竖直厚度相同的横向厚度。

20. 根据权利要求12所述的三维存储器器件,所述导电层中的每个导电层包括侧壁,所述侧壁从所述绝缘层中的最近一个侧绝缘层中的侧壁横向偏移相同的横向偏移距离。

21. 一种形成半导体结构的方法,包括:

在衬底上方形成绝缘层和牺牲材料层的交替堆叠,其中所述牺牲材料层包括字线层级牺牲材料层和覆盖在所述字线层级牺牲材料层上方并具有比所述字线层级牺牲材料层更小的厚度的漏极选择层级牺牲材料层;

穿过所述交替堆叠形成存储器堆叠结构;

穿过所述牺牲材料层的上部子集形成漏极选择层级沟槽;

穿过所述交替堆叠的每一层形成背侧沟槽；

通过分别移除所述字线层级牺牲材料层和所述漏极选择层级牺牲材料层来形成字线层级背侧凹陷部和漏极选择层级背侧凹陷部；

沉积包括第一导电材料的第一连续导电材料层,以填充所述漏极选择层级背侧凹陷部的所有体积并部分填充所述漏极选择层级背侧凹陷部的体积；

将包括第二导电材料的第二连续导电材料层沉积在所述字线层级背侧凹陷部的未填充体积中;以及

从所述漏极选择层级沟槽至少部分地移除所述第二导电材料和所述第一导电材料的部分,其中作为彼此横向间隔开并电隔离的多个组的漏极选择层级导电层设置在所述漏极选择层级背侧凹陷部的体积中;

所述方法还包括在暴露于所述背侧沟槽的所述绝缘层的侧壁上方以及在所述漏极选择层级沟槽上方各向异性地沉积非保形绝缘层,其中封装腔体形成在所述漏极选择层级沟槽中的一个漏极选择层级沟槽的体积中,所述封装腔体在其中不含任何固体材料并且由所述非保形绝缘层的底表面界定;并且

其中凹坑腔体形成在字线层级导电层和源极选择层级导电层中的每一者和所述背侧沟槽内的非保形绝缘层的竖直延伸部分中的相应最近侧部分之间。

22. 根据权利要求21所述的方法,还包括:

通过各向同性凹陷蚀刻工艺从所述背侧沟槽以及从所述绝缘层中的最顶部一个绝缘层的上方各向同性地移除所述第一导电材料和所述第二导电材料,其中包括所述第一连续导电材料层和所述第二连续导电材料层的剩余部分的导电层形成在所述背侧凹陷部和所述漏极选择层级沟槽中;

在对于所述第一导电材料具有选择性的漏极选择层级腔体中各向异性地蚀刻所述第二导电材料;以及

从所述漏极选择层级腔体蚀刻所述第一导电材料的物理暴露的部分,其中所述导电层的剩余部分包括彼此横向间隔开并电隔离的多个组的漏极选择层级导电层。

23. 根据权利要求22所述的方法,其中:

从所述漏极选择层级腔体蚀刻所述第一导电材料的所述物理暴露的部分包括执行各向异性蚀刻工艺,所述各向异性蚀刻工艺部分地蚀刻所述漏极选择层级沟槽中的所述第一导电材料的部分;并且

选自所述多个组的每组内的每个漏极选择层级导电层通过至少一个竖直导电条带互相或彼此电连接,所述竖直导电条带包括在所述漏极选择层级沟槽中的相应一个漏极选择层级沟槽内的第一导电材料。

24. 根据权利要求22所述的方法,其中:

从所述漏极选择层级腔体蚀刻所述第一导电材料的所述物理暴露的部分包括从所述漏极选择层级沟槽完全移除所述第一导电材料;并且

选自所述多个组的每组内的每个漏极选择层级导电层互相或彼此电隔离。

包括复合字线和多条带选择线的三维存储器器件及其制造方法

[0001] 相关申请

[0002] 本申请要求以下专利申请的优先权权益:2019年3月25日提交的美国非临时专利申请序列No.16/362,857;以及2019年3月25日提交的美国非临时专利申请No.16/362,895,这些专利申请的全部内容据此以引用方式并入本文以用于所有目的。

技术领域

[0003] 本公开整体涉及半导体器件领域,并且具体地讲,涉及包括复合字线和横向划分的漏极选择层级电极的三维存储器器件及其制造方法。

背景技术

[0004] 每一单元具有一个位的三维垂直NAND串在T.Endoh等人的标题为“Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell”,IEDM Proc. (2001)33-36的文章中公开。

发明内容

[0005] 根据本公开的实施方案,提供了一种三维存储器器件,该三维存储器器件包括:绝缘层和导电层的第一交替堆叠,该第一交替堆叠定位在衬底上方;和存储器堆叠结构,该存储器堆叠结构延伸穿过该第一交替堆叠;其中:导电层包括漏极选择层级导电层,这些漏极选择层级导电层定位在距衬底具有不同竖直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;定位在竖直相邻的一对绝缘层之间的漏极选择层级导电层的每个水平部分包括第一导电材料层和第二导电材料层的堆叠,该第一导电材料层包括第一导电材料,并且该第二导电材料层不接触绝缘层中的任一者并且包括第二导电材料;并且选自该多个组中的每组内的漏极选择层级导电层通过包含第一导电材料的至少一个竖直导电条带电连接,其中漏极选择层级导电层中的每个漏极选择层级导电层在其端部部分处包含气隙。

[0006] 根据本公开的另一个实施方案,提供了一种形成半导体结构的方法,该方法包括:在衬底上方形成绝缘层和牺牲材料层的交替堆叠;穿过该交替堆叠形成存储器堆叠结构;形成竖直延伸穿过牺牲材料层的上部子集的漏极选择层级沟槽;形成竖直延伸穿过该交替堆叠的每一层的背侧沟槽;通过对于绝缘层选择性地移除牺牲材料层来形成背侧凹陷部;在背侧凹陷部、漏极选择层级沟槽和背侧沟槽中沉积包含第一导电材料的第一连续导电材料层和包含第二导电材料的第二连续导电材料层;通过各向同性凹陷蚀刻工艺从背侧沟槽以及从绝缘层中的最顶部一个绝缘层的上方各向同性地移除第一导电材料和第二导电材料,其中包括第一连续导电层和第二连续导电层的剩余部分的导电层形成在背侧凹陷部中和漏极选择层级沟槽中;在对于第一材料具有选择性的漏极选择层级腔体中各向异性地蚀刻第二导电材料;以及从漏极选择层级腔体蚀刻第一导电材料的物理暴露部分,其中导电

层的剩余部分包括彼此横向间隔开并电隔离的多个组的漏极选择层级导电层。

[0007] 根据本公开的另一个实施方案,三维存储器器件包括:绝缘层和导电层的第一交替堆叠,该第一交替堆叠定位在衬底上方;和存储器堆叠结构,该存储器堆叠结构延伸穿过该第一交替堆叠;其中:导电层包括漏极选择层级导电层,这些漏极选择层级导电层定位在距衬底具有不同竖直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;导电层还包括字线层级导电层,这些字线层级导电层位于漏极选择层级导电层下方并且包括沿第一水平方向横向延伸的相应一对侧壁;字线层级导电层中的每个字线层级导电层包括相应第一导电材料层和相应第二导电材料层,该相应第一导电材料层包括第一导电材料,并且该相应第二导电材料层包括不同于第一导电材料的第二导电材料并形成在相应第一导电材料层内;并且漏极选择层级导电层中的每个漏极选择层级导电层基本上由第一导电材料组成。

[0008] 本发明提供了一种形成半导体结构的方法,该方法包括:在衬底上方形成绝缘层和牺牲材料层的交替堆叠,其中牺牲材料层包括字线层级牺牲材料层和覆盖在字线层级牺牲材料层上方并具有比字线层级牺牲材料层更小的厚度的漏极选择层级牺牲材料层;穿过该交替堆叠形成存储器堆叠结构;穿过牺牲材料层的上部子集形成漏极选择层级沟槽;穿过该交替堆叠的每一层形成背侧沟槽;通过分别移除字线层级牺牲材料层和漏极选择层级牺牲材料层来形成字线层级背侧凹陷部和漏极选择层级背侧凹陷部;沉积包括第一导电材料的第一连续导电材料层,以填充漏极选择层级背侧凹陷部的所有体积并部分填充漏极选择层级背侧凹陷部的体积;将包括第二导电材料的第二连续导电材料层沉积在字线层级背侧凹陷部的未填充体积中;以及从漏极选择层级沟槽至少部分地移除第二导电材料和第一导电材料的部分,其中作为彼此横向间隔开并电隔离的多个组的漏极选择层级导电层设置在漏极选择层级背侧凹陷部的体积中。

附图说明

[0009] 图1是根据本公开的第一实施方案的在形成至少一个外围器件和半导体材料层之后的第一示例性结构的示意性竖直剖面图。

[0010] 图2为根据本公开的第一实施方案的在形成绝缘层和牺牲材料层的交替堆叠之后的第一示例性结构的示意性竖直剖面图。

[0011] 图3是根据本公开的第一实施方案的在形成阶梯式平台和后向阶梯式介电材料部分之后的第一示例性结构的示意性竖直剖面图。

[0012] 图4A是根据本公开的实施方案的在形成存储器开口和支撑开口之后的第一示例性结构的示意性竖直剖面图。

[0013] 图4B是图4A的第一示例性结构的俯视图。竖直平面A-A'是图4A的剖面的平面。

[0014] 图5A至图5H是根据本公开的第一实施方案的在存储器堆叠结构、任选的介电核心和漏极区形成于其中期间第一示例性结构内的存储器开口的顺序示意性竖直剖面图。

[0015] 图6A是根据本公开的实施方案的在形成存储器堆叠结构和支撑柱结构之后的第一示例性结构的示意性竖直剖视图。

[0016] 图6B是图6A的第一示例性结构的俯视图。

[0017] 图7A是根据本公开的实施方案的在形成接触级介电层之后的第一示例性结构的

示意性竖直剖面图。

[0018] 图7B是图7A的第一示例性结构的局部透视俯视图。竖直平面A-A'是图7A的示意性竖直剖面图的平面。

[0019] 图7C是沿图7B的铰接竖直平面C-C'截取的第一示例性结构的示意性竖直剖面图。

[0020] 图8A是根据本公开的实施方案的在形成漏极选择层级沟槽之后的第一示例性结构的示意性竖直剖面图。

[0021] 图8B是图8A的第一示例性结构的局部透视俯视图。竖直平面A-A'是图8A的示意性竖直剖面图的平面。

[0022] 图9A是根据本公开的实施方案的在形成背侧沟槽之后的第一示例性结构的示意性竖直剖面图。

[0023] 图9B是图9A的第一示例性结构的局部透视俯视图。竖直平面A-A'是图9A的示意性竖直剖面图的平面。

[0024] 图10A是根据本公开的实施方案的在形成背侧凹陷部之后的第一示例性结构的示意性竖直剖面图。

[0025] 图10B是图10A的第一示例性结构的另一个示意性竖直剖面图。

[0026] 图11是根据本公开的第一实施方案的在形成第一连续导电材料层和第二导电材料层之后的第一示例性结构的示意性竖直剖面图。

[0027] 图12是根据本公开的第一实施方案的在各向同性地凹陷第一连续导电材料层和第二导电材料层之后的第一示例性结构的示意性竖直剖面图。

[0028] 图13是根据本公开的第一实施方案的在第一各向异性蚀刻第二导电层的材料之后的第一示例性结构的示意性竖直剖面图。

[0029] 图14A是根据本公开的第一实施方案的在第二各向异性蚀刻第二导电层的材料之后的第一示例性结构的示意性竖直剖面图。

[0030] 图14B是围绕封装腔体的图14A的第一示例性结构的放大视图。

[0031] 图15A是根据本公开的第一实施方案的在各向异性地沉积非保形绝缘层之后的第一示例性结构的示意性竖直剖面图。

[0032] 图15B是图15A的第一示例性结构的另一个示意性竖直剖面图。

[0033] 图15C是围绕封装腔体的图15A和图15B的第一示例性结构的第一构型的放大视图。

[0034] 图15D是围绕封装腔体的图15A和图15B的第一示例性结构的第二构型的放大视图。

[0035] 图16A是根据本公开的第一实施方案的在形成各种接触通孔结构之后的第一示例性结构的示意性竖直剖面图。

[0036] 图16B是图16A的第一示例性结构的俯视图。

[0037] 图17是根据本公开的第二实施方案的在形成绝缘层和牺牲材料层的交替堆叠之后的第二示例性结构的示意性竖直剖面图。

[0038] 图18是根据本公开的实施方案的在形成接触级介电层之后的第二示例性结构的示意性竖直剖面图。

[0039] 图19A是根据本公开的实施方案的在形成漏极选择层级沟槽之后的第二示例性结

构的示意性竖直剖面图。

[0040] 图19B是图19A的第一示例性结构的局部透视俯视图。竖直平面A-A'是图19A的示意性竖直剖面图的平面。

[0041] 图19C是沿图19B的铰接竖直平面C-C'截取的第一示例性结构的示意性竖直剖面图。

[0042] 图20是根据本公开的实施方案的在形成背侧沟槽之后的第二示例性结构的示意性竖直剖面图。

[0043] 图21A是根据本公开的实施方案的在形成背侧凹陷部之后的第二示例性结构的示意性竖直剖面图。

[0044] 图21B是图21A的第二示例性结构的另一个示意性竖直剖面图。

[0045] 图22是根据本公开的第二实施方案的在形成第一连续导电材料层之后的第二示例性结构的示意性竖直剖面图。

[0046] 图23是根据本公开的第二实施方案的在形成第二连续导电材料层之后的第二示例性结构的示意性竖直剖面图。

[0047] 图24是根据本公开的第二实施方案的在各向同性地凹陷第二导电层和第一导电层的材料之后的第二示例性结构的示意性竖直剖面图。

[0048] 图25为根据本公开的第二实施方案的在沉积保形绝缘层之后的第二示例性结构的示意性竖直剖面图。

[0049] 图26是根据本公开的第二实施方案的在各向异性地蚀刻保形绝缘层以形成保形绝缘间隔物和漏极选择层级沟槽绝缘间隔物之后的第二示例性结构的示意性竖直剖面图。

[0050] 图27是根据本公开的第二实施方案的在各向异性地蚀刻对第一导电层的材料选择性的第二导电层的材料之后的第二示例性结构的示意性竖直剖面图。

[0051] 图28是根据本公开的第二实施方案的在各向异性地蚀刻第一导电层的材料之后的第二示例性结构的示意性竖直剖面图。

[0052] 图29是根据本公开的第二实施方案的在各向同性地蚀刻第一导电层的材料的任选步骤之后的第二示例性结构的示意性竖直剖面图。

[0053] 图30是根据本公开的第二实施方案的在各向异性地沉积非保形绝缘层之后的第二示例性结构的示意性竖直剖面图。

[0054] 图31A是根据本公开的第二实施方案的在形成各种接触通孔结构之后的第二示例性结构的示意性竖直剖面图。

[0055] 图31B是围绕封装腔体的图31A的第二示例性结构的第一构型的放大视图。

[0056] 图31C是围绕封装腔体的图31A的第二示例性结构的第二构型的放大视图。

[0057] 图32A是根据本公开的第二实施方案的在形成各种接触通孔结构之后的另选的第二示例性结构的示意性竖直剖面图。

[0058] 图32B是围绕封装腔体的图32A的另选的第二示例性结构的第一构型的放大视图。

[0059] 图32C是围绕封装腔体的图32A的另选的第二示例性结构的第二构型的放大视图。

[0060] 图33A是根据本公开的实施方案的在图4A和图4B的处理步骤处的示例性结构的另选构型的竖直剖面图。

[0061] 图33B是图33A的处理步骤处的过程中源极层级材料层的放大视图。

[0062] 图34A至图34E示出了根据本公开的实施方案的在示例性结构的另选构型中形成源极层级材料层期间存储器开口填充结构和背侧沟槽的顺序竖直剖面图。

[0063] 图35是根据本公开的实施方案的在图31A至图31C的处理步骤处的示例性结构的另选构型的竖直剖面图。

具体实施方式

[0064] 如上文所讨论的,本公开的各种实施方案涉及包括复合字线和横向划分的漏极选择层级电极的三维存储器器件及其制造方法,其各个实施方案在下文中有所描述。本公开的实施方案可用于形成各种结构,包括多层级存储器结构,其非限制性示例包括半导体器件,诸如包括多个NAND存储器串的三维单体存储器阵列器件。

[0065] 附图未按比例绘制。在其中示出元件的单个实例的情况下可以重复元件的多个实例,除非明确地描述或以其他方式清楚地指出不存在元件的重复。序号诸如“第一”、“第二”和“第三”仅仅被用于标识类似的元件,并且在本公开的整个说明书和权利要求书中可采用不同序号。相同的附图标号表示相同的元件或相似的元件。除非另有说明,具有相同附图标号的元件被假定具有相同的组成和相同的功能。除非另外指明,否则元件之间的“接触”是指提供元件共享的边缘或表面的元件之间的直接接触。如本文所用,定位在第二元件“上”的第一元件可以定位在第二元件的表面的外侧上或者第二元件的内侧上。如本文所用,如果在第一元件的表面和第二元件的表面之间存在物理接触,则第一元件“直接”定位在第二元件上。如本文所用,如果在第一元件和第二元件之间存在由至少一种导电材料组成的导电路径,则第一元件“电连接到”第二元件。如本文所用,“原型”结构或“过程中”结构是指随后在其中至少一个部件的形状或组成中被修改的瞬态结构。

[0066] 如本文所用,“层”是指包括具有厚度的区域的材料部分。层可在下层或上覆结构的整体上方延伸,或者可具有小于下层或上覆结构的范围的范围。另外,层可以是均匀或不均匀连续结构的厚度小于连续结构的厚度的区域。例如,层可以定位在连续结构的顶部表面和底部表面之间或在连续结构的顶部表面和底部表面处的任何一对水平平面之间。层可水平地、垂直地和/或沿着锥形表面延伸。衬底可以是层,可以在其中包括一个或多个层,或者可以在其上、在其上方和/或在其下方具有一个或多个层。

[0067] 如本文所用,如果第二表面在第一表面上面或下面并且存在包括第一表面和第二表面的竖直平面或基本上竖直的平面,则第一表面和第二表面彼此“竖直重合”。基本上竖直的平面是沿着从竖直方向偏离小于5度的角度的方向直线延伸的平面。竖直平面或基本上竖直的平面沿着竖直方向或基本上竖直的方向是直的,并且可包括或不包括沿着垂直于竖直方向或基本上竖直的方向的弯曲。

[0068] 单体三维存储器阵列为其中在单个衬底诸如半导体晶圆之上形成多个存储器级而不具有介于其间的衬底的存储器阵列。术语“单体”是指阵列的每一级的层直接沉积在阵列的每个下层级的层上。相反,二维阵列可以单独形成,并且然后封装在一起以形成非单体存储器器件。例如,如标题为“三维结构存储器(Three-dimensional Structure Memory)”的美国专利5,915,167中所述,通过在单独的衬底上形成存储器级和垂直地堆叠存储器级来构造非单体堆叠存储器。可在结合前将衬底减薄或从存储器级移除该衬底,但由于存储器级最初是在单独的衬底上方形成的,所以此类存储器不是真正的单体三维存储器阵列。

本公开的各种三维存储器器件包括单体三维NAND串存储器器件,并且可以采用本文所述的各种实施方案来制造。

[0069] 一般来讲,半导体封装件(或“封装件”)是指可通过一组引脚或焊球附接到电路板的单元半导体器件。半导体封装件可包括一个或多个半导体芯片(或“芯片”),该一个或多个半导体芯片例如通过倒装芯片接合或另一种芯片到芯片接合而贯穿接合。封装件或芯片可包括单个半导体管芯(或“管芯”)或多个半导体管芯。管芯是可独立地执行外部命令或报告状态的最小单元。通常,具有多个管芯的封装件或芯片能够同时执行与其中平面的总数一样多的外部命令。每个管芯包括一个或多个平面。可在同一管芯内的每个平面中执行相同的并发操作,但可能存在一些限制。在管芯是存储器管芯(即,包括存储器元件的管芯)的情况下,可在同一存储器管芯内的每个平面中执行并发读取操作、并发写入操作或并发擦除操作。在存储器管芯中,每个平面包含多个存储块(或“块”),这些存储块是可通过单个擦除操作擦除的最小单元。每个存储块包含多个页面,这些页面是可被选择用于编程的最小单元。页面也是可被选择用于读取操作的最小单元。

[0070] 参考图1,示出了根据本公开的实施方案的第一示例性结构,其可用于例如制造含有竖直NAND存储器器件的器件结构。第一示例性结构包括衬底(9,10),该衬底可以是半导体衬底。衬底可包括衬底半导体层9和任选的半导体材料层10。衬底半导体层9可以是半导体晶圆或半导体材料层,并且可包括至少一种元素半导体材料(例如,单晶硅晶圆或层)、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。衬底可以具有主表面7,该主表面可以是例如衬底半导体层9的最顶部表面。主表面7可以是半导体表面。在一个实施方案中,主表面7可以是单晶半导体表面,诸如单晶半导体表面。

[0071] 如本文所用,“半导体材料”是指具有在 $1.0 \times 10^{-5} \text{S/m}$ 至 $1.0 \times 10^5 \text{S/m}$ 的范围内的电导率的材料。如本文所用,“半导体材料”是指在其中不存在电掺杂剂的情况下具有在 $1.0 \times 10^{-5} \text{S/m}$ 至 1.0S/m 的范围内的电导率的材料,并且能够在适当掺杂电掺杂剂时产生具有在 1.0S/m 至 $1.0 \times 10^5 \text{S/m}$ 的范围内的电导率的掺杂材料。如本文所用,“电掺杂剂”是指将空穴添加到能带结构内的价带的p型掺杂剂,或者将电子添加到能带结构内的导带的n型掺杂剂。如本文所用,“导电材料”是指具有大于 $1.0 \times 10^5 \text{S/m}$ 的电导率的材料。如本文所用,“绝缘体材料”或“介电材料”是指具有小于 $1.0 \times 10^{-5} \text{S/m}$ 的电导率的材料。如本文所用,“重掺杂半导体材料”是指以足够高的原子浓度掺杂有电掺杂剂以在被形成为晶体材料时或在通过退火工艺来转换成晶体材料(例如,从初始非晶态开始)的情况下变成导电材料(即,具有大于 $1.0 \times 10^5 \text{S/m}$ 的电导率)的半导体材料。“掺杂半导体材料”可以是重掺杂半导体材料,或可以是包括呈提供在 $1.0 \times 10^{-5} \text{S/m}$ 至 $1.0 \times 10^5 \text{S/m}$ 的范围内的电导率的浓度的电掺杂剂(即,p型掺杂剂和/或n型掺杂剂)的半导体材料。“本征半导体材料”是指不掺杂有电掺杂物的半导体材料。因此,半导体材料可以是半导体的或导电的,并且可以是本征半导体材料或掺杂半导体材料。掺杂半导体材料可以是半导体的或导电的,这取决于在其中的电掺杂剂的原子浓度。如本文所用,“金属材料”是指其中包括至少一种金属元素的导电材料。所有电导率测量都在标准条件下进行。

[0072] 外围电路的至少一个半导体器件700可以形成在衬底半导体层9的一部分上。至少一个半导体器件700可包括例如场效应晶体管。例如,可以通过蚀刻衬底半导体层9的部分

并在其中沉积介电材料来形成至少一个浅沟槽隔离结构720。可以在衬底半导体层9上方形成栅极介电层、至少一个栅极导体层和栅极帽盖介电层,并且可以随后将其图案化以形成至少一个栅极结构(750,752,754,758),这些栅极结构中的每个栅极结构均可包括栅极电介质750、栅极电极(752,754)和栅极帽盖电介质758。栅极电极(752,754)可以包括第一栅极电极部分752和第二栅极电极部分754的堆叠。可以通过沉积和各向异性蚀刻介电衬垫来在该至少一个栅极结构(750,752,754,758)周围形成至少一个栅极间隔物756。可例如通过将至少一个栅极结构(750,752,754,758)用作掩模结构引入电掺杂剂来在衬底半导体层9的上部部分中形成有源区730。根据需要可以使用附加掩模。有源区730可包括场效应晶体管的源极区和漏极区。可以可选地形成第一介电衬垫761和第二介电衬垫762。第一介电衬垫和第二介电衬垫(761,762)中的每一者均可包括氧化硅层、氮化硅层和/或介电金属氧化物层。如本文所用,氧化硅包括二氧化硅以及对于每个硅原子具有多于或小于两个氧原子的非化学计量氧化硅。二氧化硅是优选的。在例示性示例中,第一介电衬垫761可以是氧化硅层,并且第二介电衬垫762可以是氮化硅层。用于外围电路的该至少一个半导体器件700可以包含随后将形成的存储器器件的驱动器电路,该存储器器件可包括至少一个NAND器件。

[0073] 介电材料诸如氧化硅可以沉积在该至少一个半导体器件700上方,并且可以随后被平面化以形成平面化介电层770。在一个实施方案中,平面化介电层770的平面化顶表面可与介电衬垫(761,762)的顶表面共面。随后,可以从某个区域移除平面化介电层770和介电衬垫(761,762)以物理地暴露衬底半导体层9的顶表面。如本文所用,如果表面与真空或气相材料(诸如空气)物理接触,则表面“物理地暴露”。

[0074] 可选的半导体材料层10(如果存在的话)可在形成至少一个半导体器件700之前或之后通过沉积单晶半导体材料(例如,通过选择性外延)形成在衬底半导体层9的顶表面上。沉积的半导体材料可以与衬底半导体层9的半导体材料相同或不同。沉积的半导体材料可以是可用于衬底半导体层9的任何材料,如上所述。半导体材料层10的单晶半导体材料可以与衬底半导体层9的单晶结构外延对准。可例如通过化学机械平面化(CMP)移除沉积的半导体材料的位于平面化介电层770的顶表面上方的部分。在这种情况下,半导体材料层10可以具有与平面化介电层770的顶表面共面的顶表面。

[0075] 至少一个半导体器件700的区(即区域)在本文中被称为外围器件区200。随后形成存储器阵列的区在本文中称为存储器阵列区100。用于随后形成导电层的阶梯式平台的楼梯区300可设置在存储器阵列区100和外围器件区200之间。

[0076] 参考图2,在衬底(9,10)的顶表面上方形成交替的多个第一材料层和第二材料层的堆叠。如本文所用,“材料层”是指包括材料遍及其整体的层。如本文所用,交替的多个第一元件和第二元件是指其中第一元件的实例和第二元件的实例交替的结构。不是交替的多个元件的端部元件的第一元件的每个实例在两侧上邻接第二元件的两个实例,并且不是交替的多个元件的端部元件的第二元件的每个实例在两个端部上邻接第一元件的两个实例。第一元件可以始终具有相同的厚度,或者可以具有不同的厚度。第二元件可以始终具有相同的厚度,或者可以具有不同的厚度。交替的多个第一材料层和第二材料层可以以第一材料层的实例或第二材料层的实例开始,并且可以以第一材料层的实例或第二材料层的实例结束。在一个实施方案中,第一元件的实例和第二元件的实例可以形成在交替的多个元件

内周期性地重复的单元。

[0077] 每个第一材料层包括第一材料,并且每个第二材料层包括与第一材料不同的第二材料。在一个实施方案中,每个第一材料层可为绝缘层,并且每个第二材料层可为牺牲材料层。在这种情况下,堆叠可以包括交替的多个绝缘层和牺牲材料层,并且构成包括绝缘层和牺牲材料层的交替层的原型堆叠。绝缘层包括:源极选择层级绝缘层432,该源极选择层级绝缘层与半导体材料层10的顶表面接触;字线层级绝缘层132,该字线层级绝缘层定位在源极选择层级绝缘层432和漏极选择层级牺牲材料层342中的最底部漏极选择层级牺牲材料层之间;和漏极选择层级绝缘层332,该漏极选择层级绝缘层定位在漏极选择层级牺牲材料层342中的最底部漏极选择层级牺牲材料层上方。牺牲材料层包括:源极选择层级牺牲材料层442,该源极选择层级牺牲材料层与源极选择层级绝缘层432的顶表面接触;字线层级牺牲材料层142,该字线层级牺牲材料层定位在源极选择层级牺牲材料层442和漏极选择层级绝缘层332中的最底部漏极选择层级绝缘层之间;漏极选择层级牺牲材料层342,该漏极选择层级牺牲材料层定位在字线层级绝缘层132中的最顶部字线层级绝缘层上方。

[0078] 可以在随后形成源极选择层级导电层的层级处形成源极选择层级牺牲材料层442。可以随后将源极选择层级导电层用于选择要激活的一组存储器堆叠结构。可以在随后将形成漏极选择层级导电层的层级处形成漏极选择层级牺牲材料层342。随后可将漏极选择层级导电层用于选择要激活的存储器堆叠结构的集群。漏极选择层级牺牲材料层342的总数量可以在1至8的范围内,诸如在2至4的范围内。每组存储器堆叠结构可包括存储器堆叠结构的至少两个集群。每组中集群的总数量可以在2至16的范围内。可以在随后将形成字线层级导电层的层级处形成字线层级牺牲材料层142。字线层级导电层用作用于随后将形成的存储器堆叠结构中的存储器元件的字线和栅极电极。

[0079] 交替的多个层的堆叠在本文中被称为交替堆叠{(432,132,332),(442,142,342)}。在一个实施方案中,交替堆叠{(432,132,332),(442,142,342)}可包括由第一材料构成的绝缘层(432,132,332),以及由不同于第一材料的第二材料构成的牺牲材料层(442,142,342)。绝缘层(432,132,332)的第一材料可以是至少一种绝缘材料。因此,每个绝缘层(432,132,332)可以是绝缘材料层。可用于绝缘层(432,132,332)的绝缘材料包括但不限于氧化硅(包括掺杂硅酸盐玻璃或未掺杂硅酸盐玻璃)、氮化硅、氮氧化硅、有机硅酸盐玻璃(OSG)、旋涂介电材料、通常称为高介电常数(高k)介电氧化物的介电金属氧化物(例如,氧化铝、氧化钪等)及其硅酸盐、介电金属氮氧化物及其硅酸盐以及有机绝缘材料。在一个实施方案中,绝缘层(432,132,332)的第一材料可以是氧化硅。

[0080] 牺牲材料层(442,142,342)的第二材料可以是可对于绝缘层(432,132,332)的第一材料选择性地移除的牺牲材料。如本文所用,如果移除过程以至少两倍于第二材料的移除速率的速率移除第一材料,则第一材料的移除是“对于”第二材料“选择性的”。第一材料的移除速率与第二材料的移除速率的比率在本文中被称为第一材料相对于第二材料的移除过程的“选择率”。

[0081] 牺牲材料层(442,142,342)可包括绝缘材料、半导体材料或导电材料。随后可用导电电极代替牺牲材料层(442,142,342)的第二材料,该导电电极可用作例如竖直NAND器件的控制栅极电极。第二材料的非限制性示例包括氮化硅、非晶半导体材料(诸如非晶硅)和多晶半导体材料(诸如多晶硅)。在一个实施方案中,牺牲材料层(442,142,342)可为包括氮

化硅或半导体材料的间隔物材料层,该半导体材料包括硅和锗中的至少一者。

[0082] 在一个实施方案中,绝缘层(432,132,332)可包括氧化硅,并且牺牲材料层(442,142,342)可包括氮化硅。可例如通过化学气相沉积(CVD)来沉积绝缘层(432,132,332)的第一材料。例如,如果将氧化硅用于绝缘层(432,132,332),则可使用原硅酸四乙酯(TEOS)作为CVD过程的前体材料。可形成牺牲材料层(442,142,342)的第二材料,例如CVD或原子层沉积(ALD)。

[0083] 牺牲材料层(442,142,342)可以被适当地图案化,使得随后通过代替牺牲材料层(442,142,342)形成的导电材料部分可以用作导电电极,诸如随后将形成的单体三维NAND串存储器器件的控制栅极电极。牺牲材料层(442,142,342)可包括具有基本上平行于衬底的主表面7延伸的条带形状的部分。

[0084] 绝缘层(432,132,332)和牺牲材料层(442,142,342)的厚度可以在20nm至50nm的范围内,但是对于每个绝缘层(432,132,332)和每个牺牲材料层(442,142,342)可使用更小和更大的厚度。成对的绝缘层(432,132,332)和牺牲材料层(442,142,342)的重复次数可以在2至1,024的范围内,并且典型地在8至256的范围内,但是也可以使用更多的重复次数。堆叠中的顶部栅极电极和底部栅极电极可用作选择栅极电极。在一个实施方案中,交替堆叠{(432,132,332),(442,142,342)}中的每个牺牲材料层(442,142,342)可以具有在每个相应牺牲材料层(442,142,342)内基本上相同的均一厚度。

[0085] 参考图3,阶梯式表面可以在邻近交替堆叠{(432,132,332),(442,142,342)}的外围器件区200的楼梯区300里形成,该外围器件区在本文被称为平台区。如本文所用,“阶梯式表面”是指包括至少两个水平表面和至少两个垂直表面的一组表面,使得每个水平表面邻接从水平表面的第一边缘向上延伸的第一垂直表面,并且邻接从水平表面的第二边缘向下延伸的第二垂直表面。阶梯式腔体可以形成在通过形成这些阶梯式表面而从其中移除交替堆叠{(432,132,332),(442,142,342)}的部分的体积内。“阶梯式腔体”是指具有阶梯式表面的腔体。

[0086] 在楼梯区300中形成平台区,该楼梯区定位在存储器阵列区100和外围器件区200之间,该外围器件区含有用于外围电路的至少一个半导体器件700。阶梯式腔体可具有各种阶梯式表面,使得阶梯式腔体的水平横截面形状根据距衬底(9,10)顶表面的竖直距离而逐步变化。在一个实施方案中,可通过重复执行一组处理步骤来形成阶梯式腔体。该组处理步骤可包括例如第一类型的蚀刻工艺和第二类型的蚀刻工艺,该第一类型的蚀刻工艺使腔体深度竖直地增加了一级或多级,该第二类型的蚀刻工艺横向扩展在第一类型的随后的蚀刻工艺中要竖直地蚀刻的区域。如本文所用,包括交替多个的结构的“层级”被定义为在结构内一对第一材料层和第二材料层的相对位置。

[0087] 在交替堆叠{(432,132,332),(442,142,342)}内除最顶部牺牲材料层342之外的每个牺牲材料层(442,142,342)比平台区中交替堆叠{(432,132,332),(442,142,342)}内的任何上覆牺牲材料层(442,142,342)横向延伸得更远。平台区包括交替堆叠{(432,132,332),(442,142,342)}的阶梯式表面,这些阶梯式表面从交替堆叠{(432,132,332),(442,142,342)}内的最底部层连续延伸到交替堆叠{(432,132,332),(442,142,342)}内的最顶部层。

[0088] 阶梯式表面的每个竖直阶梯可以具有一对或多对绝缘层(432,132,332)和字线层

级牺牲材料层的高度。在一个实施方案中,每个竖直阶梯可以具有单对绝缘层(432,132,332)和字线层级牺牲材料层(442,142,342)的高度。在另一个实施方案中,可以沿第一水平方向hd1形成多“列”楼梯,使得每个竖直阶梯具有多对绝缘层(432,132,332)和字线层级牺牲材料层(442,142,342)的高度,并且列的数量可为至少该多对层的数量。每列楼梯可以彼此竖直偏移,使得牺牲材料层(442,142,342)中的每个牺牲材料层在相应列的楼梯中具有物理暴露的顶表面。在示例性示例中,针对随后将形成的存储器堆叠结构的每个块形成两列楼梯,使得一列楼梯为(如从底部开始计数的)奇数编号的牺牲材料层(442,142,342)提供物理暴露的顶表面,并且另一列楼梯为(如从底部开始计数的)偶数编号的字线层级牺牲材料层提供物理暴露的顶表面。也可以使用与牺牲材料层(442,142,342)的物理暴露的表面存在相应一组竖直偏移的三列、四列或更多列楼梯的构型。每个字线层级牺牲材料层(442,142,342)至少沿一个方向具有比任何上覆牺牲材料层(442,142,342)更大的横向范围,使得任何字线层级牺牲材料层(442,142,342)的每个物理暴露的表面不具有悬伸部。在一个实施方案中,每列阶梯内的竖直阶梯可沿着第一水平方向hd1布置,并且阶梯的列可沿着垂直于第一水平方向hd1的第二水平方向hd2布置。在一个实施方案中,第一水平方向hd1可以垂直于存储器阵列区100与楼梯区300之间的边界。

[0089] 通过在其中沉积介电材料,可在阶梯式腔体中形成后向阶梯式介电材料部分65(即绝缘填充材料部分)。例如,介电材料诸如氧化硅可沉积在阶梯式腔体中。可例如通过化学机械平面化(CMP)从最顶部漏极选择层级绝缘层332的顶表面上方移除沉积的介电材料的多余部分。填充阶梯式腔体的沉积的介电材料的剩余部分构成后向阶梯式介电材料部分65。如本文所用,“后向阶梯式”元件是指具有阶梯式表面和根据距衬底的在其上存在有该元件的顶表面的竖直距离而单调地增加的水平横截面积的元件。如果将氧化硅用于后向阶梯式介电材料部分65,则后向阶梯式介电材料部分65的氧化硅可掺杂有掺杂剂或者可不掺杂有掺杂剂,诸如B、P和/或F。

[0090] 参考图4A和图4B,包括至少光致抗蚀剂层的光刻材料堆叠(未示出)可以形成在最顶部漏极选择层级绝缘层332和后向阶梯式介电材料部分65上,并且可以对其进行光刻图案化以在其中形成开口。开口包括形成在存储器阵列区100上方的第一组开口和形成在楼梯区300上方的第二组开口。可以通过使用图案化光刻材料堆叠作为蚀刻掩模的至少一种各向异性蚀刻穿过最顶部漏极选择层级绝缘层332或后向阶梯式介电材料部分65并且穿过交替堆叠{(432,132,332),(442,142,342)}转移光刻材料堆叠中的图案。对图案化的光刻材料堆叠中开口下面的交替堆叠{(432,132,332),(442,142,342)}的部分进行蚀刻,以形成存储器开口49和支撑开口19。如本文所用,“存储器开口”是指其中随后在其中形成存储器元件诸如存储器堆叠结构的结构。如本文所用,“支撑开口”是指其中随后形成机械支撑其他元件的支撑结构(诸如支撑柱结构)的结构。穿过存储器阵列区100中的最顶部漏极选择层级绝缘层332和整个交替堆叠{(432,132,332),(442,142,342)}形成存储器开口49。穿过后向阶梯式介电材料部分65以及交替堆叠{(432,132,332),(442,142,342)}的位于楼梯区300中的阶梯式表面下方的部分形成支撑开口19。

[0091] 存储器开口49延伸穿过整个交替堆叠{(432,132,332),(442,142,342)}。支撑开口19延伸穿过交替堆叠{(432,132,332),(442,142,342)}内的层的子集。用于蚀刻穿过交替堆叠{(432,132,332),(442,142,342)}的材料的各向异性蚀刻工艺的化学过程可交替以

优化对交替堆叠{(432,132,332),(442,142,342)}中的第一材料和第二材料的蚀刻。各向异性蚀刻可以是例如一系列反应离子蚀刻。存储器开口49和支撑开口19的侧壁可以是基本上竖直的,或者可以是锥形的。随后可例如通过灰化来移除图案化的光刻材料堆叠。

[0092] 存储器开口49和支撑开口19可以从交替堆叠{(432,132,332),(442,142,342)}的顶表面至少延伸到包括半导体材料层10的最顶部表面的水平平面。在一个实施方案中,在半导体材料层10的顶表面物理地暴露在每个存储器开口49和每个支撑开口19的底部处之后,可以任选地执行对半导体材料层10的过蚀刻。过蚀刻可在移除光刻材料堆叠之前或之后执行。换句话讲,半导体材料层10的凹陷表面可与半导体材料层10的未凹陷顶表面竖直偏移凹陷深度。凹陷深度可以在例如1nm至50nm的范围内,但是也可以使用更小和更大的深度。过蚀刻是任选的并且可以省略。如果不执行过蚀刻,存储器开口49和支撑开口19的底表面可以与半导体材料层10的最顶部表面共面。

[0093] 存储器开口49和支撑开口19中的每一者可包括基本上垂直于衬底的最顶表面延伸的侧壁(或多个侧壁)。可以在存储器阵列区100中形成存储器开口49的二维阵列。可在楼梯区300中形成支撑开口19的二维阵列。衬底半导体层9和半导体材料层10共同构成衬底(9,10),该衬底可以是半导体衬底。另选地,可以省略半导体材料层10,并且存储器开口49和支撑开口19可以延伸到衬底半导体层9的顶表面。

[0094] 图5A至图5H示出了存储器开口49中的结构变化,该存储器开口是图4A和图4B的第一示例性结构中的存储器开口49中的一个存储器开口。相同的结构变化同时发生在每个其他存储器开口49和每个支撑开口19中。

[0095] 参考图5A,示出了图4A和图4B的示例性器件结构中的存储器开口49。存储器开口49可以延伸穿过最顶部漏极选择层级绝缘层332、交替堆叠{(432,132,332),(442,142,342)}并且任选地延伸到半导体材料层10的上部部分中。在该处理步骤处,每个支撑开口19可以延伸穿过后向阶梯式介电材料部分65、交替堆叠{(432,132,332),(442,142,342)}中的层的子集,并且可选地延伸穿过半导体材料层10的上部部分。每个存储器开口的底表面相对于半导体材料层10的顶表面的凹陷深度可在0nm至30nm的范围内,但是也可以使用更大的凹陷深度。任选地,牺牲材料层(442,142,342)可以例如通过各向同性蚀刻部分地横向凹陷以形成横向凹陷部(未示出)。

[0096] 参考图5B,任选的基座沟道部分(例如,外延基座)11可例如通过选择性外延形成在每个存储器开口49和每个支撑开口19的底部部分处。每个基座沟道部分11可包括与半导体材料层10的单晶半导体材料外延对准的单晶半导体材料。在一个实施方案中,可以在包括源极选择层级牺牲材料层442的顶表面的水平平面上方形成每个基座沟道部分11的顶表面。在这种情况下,随后可以通过用导电材料层代替源极选择层级牺牲材料层442来形成源极选择栅极电极。基座沟道部分11可以是晶体管沟道的在随后要在衬底(9,10)中形成的源极区和随后要在存储器开口49的上部部分中形成的漏极区之间延伸的部分。存储器腔体49'存在于基座沟道部分11上方的存储器开口49的未填充部分中。在一个实施方案中,基座沟道部分11可包括单晶硅。在一个实施方案中,基座沟道部分11可具有第一导电类型的掺杂,该第一导电类型与基座沟道部分所接触的半导体材料层10的导电类型相同。如果不存在半导体材料层10,则基座沟道部分11可直接形成在衬底半导体层9上,其可具有第一导电类型的掺杂。

[0097] 参见图5C,包括阻挡介电层52、电荷存储层54、隧穿介电层56和可选的第一半导体沟道层601的层堆叠可以顺序地沉积在存储器开口49中。

[0098] 阻挡介电层52可以包括单个介电材料层或多个介电材料层的堆叠。在一个实施方案中,阻挡介电层可以包括介电金属氧化物层,其基本上由介电金属氧化物组成。如本文所用,介电金属氧化物是指包括至少一种金属元素和至少氧的介电材料。介电金属氧化物可以基本上由至少一种金属元素和氧组成,或可以基本上由至少一种金属元素、氧和至少一种非金属元素诸如氮组成。在一个实施方案中,阻挡介电层52可以包括具有大于7.9的介电常数(即,具有大于氮化硅的介电常数的介电常数)的介电金属氧化物。

[0099] 介电金属氧化物的非限制性示例可包括氧化铝(Al_2O_3)、氧化铪(HfO_2)、氧化镧(LaO_2)、氧化钇(Y_2O_3)、氧化钽(Ta_2O_5)、它们的硅酸盐、它们的氮掺杂化合物、它们的合金以及它们的堆叠。可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、脉冲激光沉积(PLD)、液体源雾化化学沉积或它们的组合来沉积介电金属氧化物层。介电金属氧化物层的厚度可以在1nm至20nm的范围内,但是也可以使用更小和更大的厚度。随后,介电金属氧化物层可以用作介电材料部分,其阻挡所存储的电荷泄漏到控制栅极电极。在一个实施方案中,阻挡介电层52包括氧化铝。在一个实施方案中,阻挡介电层52可以包括具有不同的材料组成的多个介电金属氧化物层。

[0100] 另选地或除此之外,阻挡介电层52可以包括介电半导体化合物,诸如氧化硅、氮氧化硅、氮化硅或它们的组合。在一个实施方案中,阻挡介电层52可以包括氧化硅。在这种情况下,阻挡介电层52的介电半导体化合物可以通过保形沉积方法(诸如低压化学气相沉积、原子层沉积或它们的组合)来形成。介电半导体化合物的厚度可以在1nm至20nm的范围内,但是也可以使用更小和更大的厚度。另选地,可以省略阻挡介电层52,并且可以在随后要形成的存储器膜的表面上形成背侧凹陷部之后形成背侧阻挡介电层。

[0101] 随后,可形成电荷存储层54。在一个实施方案中,电荷存储层54可以是包括介电电荷捕获材料(例如其可以是氮化硅)的电荷捕获材料的连续层或图案化的分立部分。另选地,电荷存储层54可包括导电材料(诸如掺杂多晶硅或金属材料)的连续层或图案化的分立部分,该导电材料例如通过在横向凹陷部内形成为牺牲材料层(442, 142, 342)而被图案化成多个电隔离部分(例如,浮栅)。在一个实施方案中,电荷存储层54包括氮化硅层。在一个实施方案中,牺牲材料层(442, 142, 342)和绝缘层(432, 132, 332)可具有竖直重合的侧壁,并且电荷存储层54可以形成为单个连续层。

[0102] 在另一个实施方案中,牺牲材料层(442, 142, 342)可以相对于绝缘层(432, 132, 332)的侧壁横向地凹陷,并且可以使用沉积工艺和各向异性蚀刻工艺的组合来形成电荷存储层54作为竖直间隔开的多个存储器材料部分。虽然使用其中电荷存储层54是单个连续层的实施方案描述了本公开,但是本文中明确地构想其中电荷存储层54被竖直地间隔开的多个存储器材料部分(其可以是电荷捕获材料部分或电隔离的导电材料部分)替换的实施方案。

[0103] 电荷存储层54可以形成为均匀组成的单个电荷存储层,或者可以包括多个电荷存储层的堆叠。多个电荷存储层(如果使用的話)可以包括多个间隔开的浮栅材料层,该多个间隔开的浮栅材料层包括导电材料(例如,金属诸如钨、钼、钽、钛、铂、钨及其合金,或金属硅化物诸如硅化钨、硅化钼、硅化钽、硅化钛、硅化镍、硅化钴或它们的组合)和/或半导体材

料(例如,包括至少一种元素半导体元件或至少一种化合物半导体材料的多晶或非晶半导体材料)。另选地或除此之外,电荷存储层54可包括绝缘电荷捕获材料,诸如一个或多个氮化硅链段。另选地,电荷存储层54可包括导电纳米粒子,诸如金属纳米粒子,其可以是例如钪纳米粒子。电荷存储层54可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、物理气相沉积(PVD)或用于在其中存储电荷的任何合适沉积技术形成。电荷存储层54的厚度可以在2nm至20nm的范围内,但是也可以使用更小和更大的厚度。

[0104] 隧穿介电层56可包括介电材料,可以在合适电偏置条件下穿过该介电材料来执行电荷隧穿。可以通过热载流子注入或通过福勒-诺德海姆隧穿感应电荷转移来执行电荷隧穿,这取决于待形成的单体三维NAND串存储器器件的操作模式。隧穿介电层56可以包括氧化硅、氮化硅、氮氧化硅、介电金属氧化物(诸如氧化铝和氧化铪)、介电金属氮氧化物、介电金属硅酸盐、其合金和/或它们的组合。在一个实施方案中,隧穿介电层56可以包括第一氧化硅层、氮氧化硅层和二氧化硅层的堆叠,该堆叠通常被称为ONO堆叠。在一个实施方案中,隧穿介电层56可以包括基本上不含碳的氧化硅层或基本上不含碳的氮氧化硅层。隧穿介电层56的厚度可以在2nm至20nm的范围内,但是也可以使用更小和更大的厚度。

[0105] 可选的第一半导体沟道层601可包括半导体材料,诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。在一个实施方案中,第一半导体沟道层601可包括非晶硅或多晶硅。第一半导体沟道层601可通过保形沉积方法诸如低压化学气相沉积(LPCVD)形成。第一半导体沟道层601的厚度可在2nm至10nm的范围内,但是也可使用更小和更大的厚度。存储器腔体49'形成在每个存储器开口49的未填充有沉积的材料层(52, 54, 56, 601)的体积中。

[0106] 参考图5D,使用至少一种各向异性蚀刻工艺按顺序各向异性地蚀刻任选的第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52。可以通过至少一个各向异性蚀刻工艺移除第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52的定位在最顶部漏极选择层级绝缘层332的顶表面上方的部分。另外,可移除第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52的在每个存储器腔体49'的底部处的水平部分,以在其剩余部分中形成开口。可以通过使用相应蚀刻化学物质的相应各向异性蚀刻工艺来蚀刻第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52中的每一者,该蚀刻化学物质对于各种材料层可以相同或不同。

[0107] 第一半导体沟道层601的每个剩余部分可具有管状配置。电荷存储层54可包括电荷捕获材料或浮栅材料。在一个实施方案中,每个电荷存储层54可包括在编程时存储电荷的电荷存储区的垂直堆叠。在一个实施方案中,电荷存储层54可以是其中邻近牺牲材料层(442, 142, 342)的每个部分构成电荷存储区的电荷存储层。

[0108] 基座沟道部分11的表面(或在不使用基座沟道部分11的情况下的半导体材料层10的表面)可穿过第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52物理暴露在开口下面。任选地,在每个存储器腔体49'的底部处的物理暴露的半导体表面可竖直地凹陷,使得在存储器腔体49'下面的凹陷半导体表面竖直地从基座沟道部分11(或在不使用基座沟道部分11的情况下的半导体材料层10)的最顶部表面偏移凹陷距离。隧穿介电层56定位在电荷存储层54上方。存储器开口49中的阻挡介电层52、电荷存储层54和隧穿介电

层56的组构成存储器膜50,该存储器膜包括多个电荷存储区(包括电荷存储层54),多个电荷存储区通过阻挡介电层52和隧穿介电层56与围绕材料绝缘。在一个实施方案中,第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52可以具有竖直重合的侧壁。

[0109] 参考图5E,第二半导体沟道层602可直接沉积在基座沟道部分11的半导体表面上或者半导体材料层10上(如果基座沟道部分11被省略的话),并且直接沉积在第一半导体沟道层601上。第二半导体沟道层602可包括半导体材料,诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。在一个实施方案中,第二半导体沟道层602可包括非晶硅或多晶硅。第二半导体沟道层602可通过保形沉积方法诸如低压化学气相沉积(LPCVD)形成。第二半导体沟道层602的厚度可在2nm至10nm的范围内,但是也可使用更小和更大的厚度。第二半导体沟道层602可以部分地填充每个存储器开口中的存储器腔体49',或者可以完全地填充每个存储器开口中的腔体。

[0110] 第一半导体沟道层601和第二半导体沟道层602的材料共同称为半导体沟道材料。换句话说,半导体沟道材料是第一半导体沟道层601和第二半导体沟道层602中的所有半导体材料的集合。

[0111] 参考图5F,在每个存储器开口中的存储器腔体49'未被第二半导体沟道层602完全地填充的情况下,可将介电核心层62L沉积在存储器腔体49'中以填充每个存储器开口内的存储器腔体49'的任何剩余部分。介电核心层62L可包括介电材料诸如氧化硅或有机硅酸盐玻璃。可通过保形沉积方法(诸如低压化学气相沉积(LPCVD))或者通过自平坦化沉积工艺(诸如旋涂)来沉积介电芯层62L。

[0112] 参考图5G,可例如通过从最顶部漏极选择层级绝缘层332的顶表面上方进行凹陷蚀刻来移除介电核心层62L的水平部分。介电核心层62L的每个剩余部分构成介电核心62。此外,可以通过可以使用凹陷蚀刻或化学机械平面化(CMP)的平面化工艺移除定位在最顶部漏极选择层级绝缘层332的顶表面上方的第二半导体沟道层602的水平部分。第二半导体沟道层602的每个剩余部分可以整体定位在存储器开口49内或者全部定位在支撑开口19内。

[0113] 第一半导体沟道层601和第二半导体沟道层602的每个邻接对可共同形成竖直半导体沟道60,当包括竖直半导体沟道60的竖直NAND器件接通时,电流可流过该竖直半导体沟道。隧穿介电层56被电荷存储层54包围,并且横向围绕竖直半导体沟道60的部分。每组邻接的阻挡介电层52、电荷存储层54和隧穿介电层56共同构成存储器膜50,存储器膜可以以宏观保留时间存储电荷。在一些实施方案中,在该步骤处在存储器膜50中可不存在阻挡介电层52,并且可以在形成背侧凹陷部之后随后形成阻挡介电层。如本文所用,宏观保留时间是指适于作为永久性存储器器件的存储器器件的操作的保留时间,诸如超过24小时的保留时间。

[0114] 参考图5H,每个介电核心62的顶表面可例如通过凹陷蚀刻被进一步凹陷在每个存储器开口内到定位在最顶部漏极选择层级绝缘层332的顶表面和最顶部漏极选择层级绝缘层332的底表面之间的深度。可通过将掺杂半导体材料沉积在介电芯62上方的每个凹陷区内来形成漏极区63。漏极区63可具有与第一导电类型相反的第二导电类型的掺杂。例如,如果第一导电类型是p型,则第二导电类型是n型,反之亦然。漏极区63的掺杂剂浓度可以在

$5.0 \times 10^{19}/\text{cm}^3$ 至 $2.0 \times 10^{21}/\text{cm}^3$ 的范围内,但是也可以采用更小和更大的掺杂剂浓度。掺杂半导体材料可以是例如掺杂的多晶硅。可例如通过化学机械平面化(CMP)或凹陷蚀刻从最顶部漏极选择层级绝缘层332的顶部表面上方移除沉积的半导体材料的多余部分以形成漏极区63。

[0115] 存储器开口49内的存储器膜50和垂直半导体沟道60的每个组合构成存储器堆叠结构55。存储器堆叠结构55是半导体沟道、隧穿介电层、可包括电荷存储层54的部分的多个存储器元件以及任选的阻挡介电层52的组合。基座沟道部分11(如果存在)、存储器堆叠结构55、介电核心62和存储器开口49内的漏极区63的每个组合在本文中被称为存储器开口填充结构58。每个支撑开口19内的基座沟道部分11(如果存在的话)、存储器膜50、垂直半导体沟道60、介电核心62和漏极区63的每种组合填充相应支撑开口19并且构成支撑柱结构。

[0116] 参考图6A和图6B,示出了在存储器开口49和支撑开口19内分别形成存储器开口填充结构58和支撑柱结构20之后的第一示例性结构。可以在图4A和图4B的结构的每个存储器开口49内形成存储器开口填充结构58的实例。可以在图4A和图4B的结构的每个支撑开口19内形成支撑柱结构20的实例。

[0117] 每个存储器堆叠结构55包括垂直半导体沟道60,该垂直半导体沟道可包括多个半导体沟道层(601,602)和存储器膜50。存储器膜50可包括横向围绕垂直半导体沟道60的隧穿介电层56、横向围绕隧穿介电层56的电荷存储区(包括电荷存储层54)的垂直堆叠,以及可选的阻挡介电层52。虽然使用所示出的用于存储器堆叠结构的配置来描述本公开,但是本公开的方法可以应用于包括用于存储器膜50和/或用于垂直半导体沟道60的不同层堆叠或结构的另选存储器堆叠结构。

[0118] 参考图7A至图7C,接触层级介电层70可以形成在绝缘层(432,132,332)和牺牲材料层(442,142,342)的交替堆叠{(432,132,332),(442,142,342)}上方并且形成在存储器堆叠结构55和支撑柱结构20上方。接触级介电层70可包括与牺牲材料层(442,142,342)的介电材料不同的介电材料。例如,接触层级介电层70可以包括氧化硅。接触层级介电层70可以具有在50nm至500nm的范围内的厚度,但是也可以使用更小和更大的厚度。

[0119] 参考图8A和图8B,可以在接触层级介电层70上方施加第一光致抗蚀剂层(未示出),并且可以对其进行光刻图案化以形成窄开口,这些窄开口沿第一水平方向hd1在存储器堆叠结构55的集群158之间延伸。存储器堆叠结构55的多个群集158可被定位成彼此接近以限定存储器堆叠结构55的组258。存储器堆叠结构55的组258可通过不含存储器堆叠结构55和支撑柱结构20的相应条带形空间彼此横向间隔开。

[0120] 可以执行各向异性蚀刻工艺,以穿过接触层级介电层70、交替堆叠{(432,132,332),(442,142,342)}中的每个漏极选择层级绝缘层332和每个漏极选择层级牺牲材料层342转移光致抗蚀剂层中的开口的图案。可以穿过交替堆叠{(432,132,332),(442,142,342)}的漏极选择层级层(332,342)形成漏极选择层级沟槽71。每个漏极选择层级沟槽71可以形成在存储器堆叠结构55的一对相邻的集群158之间。每个漏极选择层级沟槽71可以沿第一水平方向hd1横向延伸,并且沿第二水平方向具有均一宽度。在一个实施方案中,每个漏极选择层级沟槽71可以与存储器堆叠结构55横向间隔开,以避免切穿存储器堆叠结构55的部分。每个漏极选择层级沟槽71可包括平行于第一水平方向hd1的一对纵向侧壁。漏极选择层级沟槽71的每个侧壁可以是直的侧壁。随后可例如通过灰化移除第一光致抗蚀剂层。

[0121] 参考图9A和图9B,第二光致抗蚀剂层(未示出)可施加在接触级介电层70上方,并且可以对其进行光刻图案化以在存储器堆叠结构55的组258之间的区域中形成开口。光致抗蚀剂层中的开口可以是沿第一水平方向hd1横向延伸的细长开口。光致抗蚀剂层中的图案可以使用各向异性蚀刻传递穿过接触层级介电层70、交替堆叠{(432,132,332),(442,142,342)}和/或后向阶梯式介电材料部分65,以形成背侧沟槽79,该背侧沟槽至少从接触层级介电层70的顶表面竖直地延伸至衬底(9,10)的顶表面,并且横向延伸穿过存储器阵列区100和楼梯区300。

[0122] 在一个实施方案中,背侧沟槽79可以沿着第一水平方向hd1横向地延伸,并且可以沿着第二水平方向hd2彼此横向地间隔开,该第二水平方向垂直于第一水平方向hd1。存储器堆叠结构55可排列成沿着第一水平方向hd1延伸的行。漏极选择层级沟槽71可以沿第一水平方向hd1横向延伸。每个背侧沟槽79可以具有沿纵向方向(即,沿第一水平方向hd1)一致的均一宽度。背侧沟槽79的宽度可以大于漏极选择层级沟槽71的宽度。每个漏极选择层级沟槽71可以具有沿垂直于第一水平方向hd1的竖直平面的均一竖直剖面轮廓,该均一竖直剖面轮廓在沿第一水平方向hd1的平移期间基本上不变。多行存储器堆叠结构55可以定位在一对相邻的背侧沟槽79和漏极选择层级沟槽71之间,或者定位在一对相邻的漏极选择层级沟槽71之间。在一个实施方案中,背侧沟槽79可以包括源极接触开口,其中随后可以形成源极接触通孔结构。可例如通过灰化移除第二光致抗蚀剂层。

[0123] 参考图10A和图10B,可例如使用蚀刻工艺将蚀刻剂引入到背侧沟槽79中,该蚀刻剂相对于绝缘层(432,132,332)的第一材料选择性地蚀刻牺牲材料层(442,142,342)的第二材料。可在从其中移除牺牲材料层(443,142,342)的体积中形成背侧凹陷部(442,143,343)。背侧凹陷部(443,143,343)可包括字线层级背侧凹陷部143、漏极选择层级背侧凹陷部343和源极选择层级背侧凹陷部443,该字线层级背侧凹陷部形成在从其中移除字线层级牺牲材料层142的体积中,漏极选择层级背侧凹陷部形成在从其中移除漏极选择层级牺牲材料层342的体积中,源极选择层级背侧凹陷部形成在从其中移除源极选择层级牺牲材料层442的体积中。牺牲材料层(442,142,342)的第二材料的移除可以是对于绝缘层(432,132,332)的第一材料、后向阶梯式介电材料部分65的材料、半导体材料层10的半导体材料和存储器膜50的最外层的材料选择性的。在一个实施方案中,牺牲材料层(442,142,342)可包括氮化硅,并且绝缘层(432,132,332)和后向阶梯式介电材料部分65的材料可选自氧化硅和介电金属氧化物。

[0124] 对于第一材料和存储器膜50的最外层选择性地移除第二材料的蚀刻工艺可以是使用湿法蚀刻溶液的湿法蚀刻工艺,或者可以是将蚀刻剂以汽相引入背侧沟槽79中的气相(干法)蚀刻工艺。例如,如果牺牲材料层(442,142,342)包括氮化硅,则蚀刻工艺可以是其中将第一示例性结构浸入包括磷酸的湿法蚀刻槽内的湿法蚀刻工艺,该湿法蚀刻工艺对于氧化硅、硅和本领域中使用的各种其他材料选择性地蚀刻氮化硅。当背侧凹陷部(443,143,343)存在于先前由牺牲材料层(442,142,342)占据的体积内时,支撑柱结构20、后向阶梯式介电材料部分65和存储器堆叠结构55提供结构支撑。

[0125] 每个背侧凹陷部(443,143,343)可以是横向延伸的腔体,该腔体的横向尺寸大于该腔体的竖直范围。换句话说,每个背侧凹陷部(443,143,343)的横向尺寸可以大于背侧凹陷部(443,143,343)的高度。可以在从其中移除牺牲材料层(442,142,342)的第二材料的体

积中形成多个背侧凹陷部(443, 143, 343)。其中形成存储器堆叠结构55的存储器开口在本文中被称为前侧开口或前侧腔体,与背侧凹陷部(443, 143, 343)形成对比。在一个实施方案中,存储器阵列区100包括单体三维NAND串阵列,其具有设置在衬底(9, 10)上方的多个器件层级。在这种情况下,每个背侧凹陷部(443, 143, 343)可以限定用于接纳单体三维NAND串阵列的相应字线的空间。

[0126] 漏极选择层级背侧凹陷部343连接到漏极选择层级沟槽71。多个背侧凹陷部(443, 143, 343)中的每个背侧凹陷部可以基本上平行于衬底(9, 10)的顶表面延伸。背侧凹陷部(443, 143, 343)可以由下面的绝缘层(432, 132, 332)的顶表面和上覆的绝缘层(132, 332)的底表面竖直界定。在一个实施方案中,每个背侧凹陷部(443, 143, 343)可以自始至终具有均一高度。

[0127] 可通过将半导体材料热转换和/或等离子体转换成介电材料来将任选的基座沟道部分11和半导体材料层10的物理暴露的表面部分转换成介电材料部分。例如,可使用热转换和/或等离子体转换来将每个基座沟道部分11的表面部分转换成管状介电间隔物116,并且将半导体材料层10的每个物理暴露的表面部分转换成平面的介电部分616。在一个实施方案中,每个管状介电间隔物116可以拓扑同胚于环面,即大致环形的。如本文所用,如果元件的形状可以持续拉伸而不破坏孔或形成新的孔到环面的形状中,则该元件拓扑同胚于环面。管状介电间隔物116可包括介电材料,该介电材料包括与基座沟道部分11相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得管状介电间隔物116的材料是介电材料。在一个实施方案中,管状介电间隔物116可包括基座沟道部分11的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。同样,每个平面的介电部分616可包括介电材料,该介电材料包括与半导体材料层相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得平面的介电部分616的材料是介电材料。在一个实施方案中,平面的介电部分616可以包括半导体材料层10的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。

[0128] 参考图11,可以任选地形成背侧阻挡介电层44。背侧阻挡介电层44(如果存在的话)包括介电材料,该介电材料用作控制栅极电介质,该控制栅极电介质用于随后将在背侧凹陷部(443, 143, 343)中形成的控制栅极。背侧阻挡介电层44的介电材料可以是介电金属氧化物(诸如氧化铝),至少一种过渡金属元素的介电氧化物,至少一种镧系元素的介电氧化物,铝、至少一种过渡金属元素和/或至少一种镧系元素的组合的介电氧化物。在每个存储器开口内存在阻挡介电层52的实施方案中,背侧阻挡介电层44是可选的。在省略阻挡介电层52的实施方案中,存在背侧阻挡介电层44。背侧阻挡介电层44可以基本上由氧化铝组成。背侧阻挡介电层44的厚度可以在1nm至15nm的范围内,诸如2nm至6nm,但是也可以使用更小和更大的厚度。

[0129] 连续金属阻挡层45N可沉积在背侧凹陷部(443, 143, 343)中。连续金属阻挡层45N包括导电金属材料,该导电金属材料可以用作随后沉积的金属填充材料的扩散阻挡层和/或粘合促进层。连续金属阻挡层45N可包括导电金属氮化物材料诸如TiN、TaN、WN或它们的堆叠,或者可以包括导电金属碳化物材料诸如TiC、TaC、WC或它们的堆叠。在一个实施方案中,连续金属阻挡层45N可以通过保形沉积工艺诸如化学气相沉积(CVD)或原子层沉积(ALD)进行沉积。连续金属阻挡层45N的厚度可以在2nm至8nm的范围内,诸如3nm至6nm,但是

也可以使用更小和更大的厚度。在一个实施方案中,连续金属阻挡层45N可以基本上由导电金属氮化物诸如TiN组成。

[0130] 将第一金属填充材料沉积在背侧凹陷部(443, 143, 343)中、漏极选择层级沟槽71中、背侧沟槽79的侧壁上以及接触层级介电层70的顶表面上方,以形成第一连续导电材料层45A。第一连续导电材料层45A可以通过保形沉积方法沉积,该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、化学镀、电镀或它们的组合。在一个实施方案中,第一连续导电材料层45A可以基本上由至少一种元素金属组成。第一连续导电材料层45A的该至少一种元素金属可以选自例如钨、钴、钕、钛和钽。在一个实施方案中,第一连续导电材料层45A可以基本上由单个元素金属组成。在一个实施方案中,可使用含氟前体气体(诸如WF₆)来沉积第一连续导电材料层45A。在一个实施方案中,第一连续导电材料层45A可以是包括残余级氟原子作为杂质的钨层。第一连续导电材料层45A不完全填充背侧凹陷部(443, 143, 343)中的任一者。

[0131] 在每个背侧沟槽79的外围部分处,并且在覆盖在接触层级介电层70上方的第一连续导电材料层45A的水平部分上方,将第二金属填充材料沉积在背侧凹陷(443, 143, 343)和漏极选择层级沟槽71的剩余未填充体积中。第二连续导电材料层45B可形成在第一连续导电材料层45的物理暴露的表面上。第二连续导电材料层45B可通过保形沉积方法沉积,该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、化学镀、电镀或它们的组合。第二连续导电材料层45B可以基本上由至少一种元素金属组成。第二连续导电材料层45B的该至少一种元素金属不同于第一连续导电材料层45A的该至少一种元素金属,并且任选自例如钨、钴、钕、钽、钛和钽。例如,第一连续导电材料层45A可包含钨,并且第二连续导电材料层45B可基本上由选自钴、钕和钽的单个元素金属组成。第二连续导电材料层45B可完全填充背侧凹陷部(443, 143, 343)。

[0132] 可以选择每个漏极选择层级沟槽71的宽度和背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的厚度,使得在沉积第一连续导电材料层45A之后在每个漏极选择层级沟槽71内存在竖直延伸的未填充体积。可以由第二连续导电材料层45B填充漏极选择层级沟槽71的竖直延伸的未填充体积。背侧腔体79'存在于每个背侧沟槽79内。

[0133] 参考图12,执行各向同性凹陷蚀刻工艺,以对于任选的背侧阻挡介电层44(如果存在的话)的材料选择性地和/或对于绝缘层(432, 132, 332)和接触层级介电层70的材料选择性地回蚀刻连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B。可使用对于介电材料选择性蚀刻金属材料的湿法蚀刻工艺。可通过各向同性凹陷蚀刻工艺从背侧沟槽79以及从接触层级介电层70上方回蚀刻连续金属阻挡层45N的金属阻挡材料、第一连续导电材料层45A的第一导电材料和第二连续导电材料层45B的第二导电材料。

[0134] 此外,各向同性凹陷蚀刻工艺可以相对于暴露于背侧沟槽79的绝缘层(432, 132, 332)的侧壁在背侧凹陷部(443, 143, 343)的体积中横向凹陷金属阻挡材料、第一导电材料和第二导电材料。因此,导电层(146, 346)的每个侧壁可相对于绝缘层(432, 132, 332)的侧壁横向凹陷横向偏移距离1_{od},该横向偏移距离可在5nm至100nm的范围内,但也可使用更小和更大的距离。

[0135] 连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B的组合被划分成分立导电材料部分。这些分立材料部分包括填充字线层级背侧凹陷部143的字线

层级导电层146、填充漏极选择层级背侧凹陷部343的漏极选择层级导电层346、填充源极选择层级背侧凹陷部443的源极选择层级导电层(未示出)。此外,连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B的剩余部分填充漏极选择层级沟槽71。导电层(146,346)中的每一者可以形成在背侧凹陷部(443,143)中和漏极选择层级沟槽71中,并且可以包括第一连续导电层和第二连续导电层(45A,45B)的剩余部分。

[0136] 字线层级导电层146、漏极选择层级导电层346、源极选择层级导电层中的每一者可以包括作为连续金属阻挡层45N的图案化剩余部分的相应金属阻挡层46N、作为第一连续导电材料层45A的图案化剩余部分的相应第一导电材料层46A和作为第二连续导电材料层45B的图案化剩余部分的相应第二导电材料层46B。

[0137] 参考图13,执行第一各向异性蚀刻工艺,以对于第一导电材料和金属阻挡材料选择性地蚀刻第二导电材料。例如,使用对于第一导电材料和金属阻挡材料选择性地蚀刻第二导电材料的蚀刻剂的反应离子蚀刻工艺。例如,如果第二导电材料层46B包含钴、钪或钼,并且如果第一导电材料层46A包含钨,则可使用反应离子蚀刻工艺,该反应离子蚀刻工艺使用对于钨选择性地蚀刻钴、钪或钼的等离子体组合物。第一各向异性蚀刻工艺移除漏极选择层级沟槽71中的每个漏极选择层级沟槽内的未被第一导电材料层46A覆盖的第二导电材料层46B的部分。冲击到漏极选择层级沟槽71中的离子的方向由箭头示意性地示出。腔体71'形成在从其移除第二导电材料的漏极选择层级沟槽71的每个体积内。第一导电材料层46A可物理地暴露在漏极选择层级沟槽71中的每个腔体71'的底部处。

[0138] 参考图14A和图14B,可执行第二各向异性蚀刻工艺,以使第一导电材料层46A和金属阻挡层46N的位于漏极选择层级沟槽71下方的每个水平部分竖直凹陷。漏极选择层级导电层346中的每个漏极选择层级导电层可以通过第二各向异性蚀刻工艺在漏极选择层级沟槽处横向划分成横向分离的条带。多个组的漏极选择层级导电层346可以横向间隔开,并且可以彼此电隔离。在漏极选择层级沟槽71的体积内的第一导电材料层46A和金属阻挡层46N的剩余部分构成竖直导电条带946。

[0139] 可例如通过以下方式移除定位在每个漏极选择层级沟槽71的纵向端部处的竖直导电条带946的端部区段:在第一示范性结构上方施加光致抗蚀剂层,对光致抗蚀剂层进行光刻图案化以形成物理地暴露漏极选择层级沟槽71的纵向端部的开口,并且通过移除竖直导电条带946的物理暴露的端部区段。例如,如果漏极选择层级沟槽71具有细长水平剖面形状(该形状具有沿第一水平方向延伸的一对纵向侧壁和沿第二水平方向延伸的一对横向侧壁),则可以移除竖直导电条带946的定位在漏极选择层级沟槽71的横向侧壁上的区段。随后可移除光致抗蚀剂层。在将竖直导电条带946图案化时,每个漏极选择层级沟槽71可包括沿第一水平方向延伸的至少两个竖直导电条带946。

[0140] 漏极选择层级导电层346的组可以由形成在漏极选择层级沟槽71中的腔体71'横向间隔开。最顶部字线层级绝缘层132的顶表面可物理地暴露在每个漏极选择层级沟槽71的底部处。每组漏极选择层级导电层346内的每个漏极选择层级导电层346可以通过至少一个竖直导电条带946互相或彼此电连接。每个竖直导电条带946可以接触漏极选择层级绝缘层332的侧壁和/或接触层级介电层70的侧壁。具有暴露于背侧沟槽79并设置在同一组内的侧壁的漏极选择层级导电层346可以通过定位在同一漏极选择层级沟槽71内的单组竖直导电条带946彼此连接。包括未暴露于背侧沟槽79并设置在同一组内的侧壁的漏极选择层级

导电层346可以通过定位在两个漏极选择层级沟槽79内的两组竖直导电条带946互相和彼此连接。每个竖直导电条带946包括第一导电材料和金属阻挡材料(如果使用金属阻挡层46N的话)。在一个实施方案中,多个漏极选择层级导电层346可以竖直堆叠,并且至少两个漏极选择层级导电层346和至少两个竖直导电条带946的竖直交替序列可以定位在漏极选择层级沟槽71的每一侧上。

[0141] 参考图15A至图15D,可各向异性地沉积非保形绝缘层74。非保形绝缘层74可包括绝缘材料诸如氧化硅,并且可通过各向异性沉积方法诸如等离子体增强的化学气相沉积来沉积。非保形绝缘层74可以沉积在暴露于背侧沟槽79的绝缘层(432,132,332)的侧壁上方以及漏极选择层级沟槽71上方。覆盖在接触层级介电层70上方的非保形绝缘层74的水平部分的竖直厚度可大于背侧沟槽79中的非保形绝缘层74的横向厚度的最大值。背侧沟槽79中的非保形绝缘层74的横向厚度可以随着距接触层级介电层70的顶表面和覆盖在接触层级介电层70上方的非保形绝缘层74的水平部分的底表面之间的水平平面的竖直距离而减小。

[0142] 包括封装腔体77的气隙可以形成在漏极选择层级沟槽71中的一个或多个的体积中,该封装腔体在其中不含任何固体材料并且由非保形绝缘层74的底表面界定。在一个实施方案中,封装腔体77可由非保形绝缘层74的凹形底表面竖直界定。在使用高度各向异性沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由漏极选择层级导电层346和竖直导电条带946横向界定,如图15C所示。另选地,在使用各向异性较小的沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由非保形绝缘层74的竖直延伸部分横向界定,如图15D所示。

[0143] 封装腔体可形成在导电层(446,146,346)的横向凹陷侧壁和非保形绝缘层74的竖直延伸部分之间。导电层(446,146,346)可包括源极选择层级导电层446、字线层级导电层146和漏极选择层级导电层346。封装腔体包括气隙并且在本文中被称作凹坑腔体73。凹坑腔体73可形成在导电层(446,146,346)中的每一者和背侧沟槽79内的非保形绝缘层74的竖直延伸部分中的相应最近侧部分之间。凹坑腔体73中的每个凹坑腔体可在其中不含任何固体材料。每个凹坑腔体73可以沿相邻背侧沟槽79的纵向方向横向延伸,并且因此也被称为轨道腔体,即,具有在沿背侧沟槽79的纵向方向平移时不变的竖直剖面形状的腔体。

[0144] 可执行各向同性蚀刻工艺或各向异性蚀刻工艺,以移除在每个背侧沟槽79的底部处的非保形绝缘层74的底部水平部分和任何平面的介电部分616。半导体材料层10的顶表面可物理地暴露在每个背侧沟槽79的底部处。背侧腔体79'存在于每个背侧沟槽79内。

[0145] 参考图16A和图16B,通过将电掺杂剂注入半导体材料层10的物理暴露的表面部分,可以在每个背侧腔体79'下方的半导体材料层10的表面部分形成源极区61。每个源极区61形成在衬底(9,10)的表面部分中,该表面部分在穿过非保形绝缘层74的相应开口下方。由于在注入工艺期间的注入的掺杂剂原子的散布和在随后活化退火工艺期间的注入的掺杂剂原子的横向扩散,每个源极区61可以具有比穿过非保形绝缘层74的开口的横向范围更大的横向范围。

[0146] 半导体材料层10的在源极区61和该多个基座沟道部分11之间延伸的上部部分构成用于多个场效应晶体管的水平半导体沟道59。水平半导体沟道59可以通过相应基座沟道部分11连接到多个竖直半导体沟道60。水平半导体沟道59接触源极区61和该多个基座沟道部分11。每个源极区61可以形成在衬底(9,10)的上部部分中。半导体沟道(59,11,60)在每

个源极区61和相应一组漏极区63之间延伸。半导体沟道(59, 11, 60)包括存储器堆叠结构55的垂直半导体沟道60。

[0147] 背侧接触通孔结构76可形成在每个背侧腔体79'内。每个接触通孔结构76可以填充相应背侧腔体79'。可以通过在背侧沟槽79的剩余未填充体积(即,背侧腔体79')中沉积至少一种导电材料来形成接触通孔结构76。例如,至少一种导电材料可以包括导电衬垫76A和导电填充材料部分76B。导电衬垫76A可包括导电金属衬垫,诸如TiN、TaN、WN、TiC、TaC、WC、其合金或其堆叠。导电衬垫76A的厚度可以在3nm至30nm的范围内,但是也可以使用更小和更大的厚度。导电填充材料部分76B可以包括金属或金属合金。例如,导电填充材料部分76B可以包括W、Cu、Al、Co、Ru、Ni、其合金或其堆叠。

[0148] 可以使用覆盖在交替堆叠{(432, 132, 332), (446, 146, 346)}上方的接触层级介电层70作为停止层来平面化该至少一种导电材料。如果使用化学机械平面化(CMP)工艺,则接触层级介电层70可以用作CMP停止层。背侧沟槽79中的至少一种导电材料的每个剩余连续部分构成背侧接触通孔结构76。

[0149] 背侧接触通孔结构76延伸穿过交替堆叠{(432, 132, 332), (446, 146, 346)},并且接触源极区61的顶表面。如果使用背侧阻挡介电层44,则背侧接触通孔结构76可以接触背侧阻挡介电层44的侧壁。

[0150] 附加的接触通孔结构(88, 86, 8P)可以穿过接触级介电层70形成,并且可以任选地穿过后向阶梯式介电材料部分65形成。例如,漏极接触通孔结构88可穿过每个漏极区63上的接触层级介电层70形成。字线接触通孔结构86可以穿过接触层级介电层70并且穿过后向阶梯式介电材料部分65形成在字线层级导电层146上。外围器件接触通孔结构8P可以通过后向阶梯式介电材料部分65直接形成在外围器件的相应节点上。

[0151] 参考第一示例性结构的所有附图并且根据本公开的各种实施方案,提供了一种三维存储器器件,该三维存储器器件包括:绝缘层(432, 132, 332)和导电层(446, 146, 346)的第一交替堆叠{(432, 132, 332), (446, 146, 346)},该第一交替堆叠定位在衬底(9, 10)上方;和存储器堆叠结构55,该存储器堆叠结构延伸穿过该第一交替堆叠{(432, 132, 332), (446, 146, 346)};其中:导电层(446, 146, 346)包括漏极选择层级导电层346,这些漏极选择层级导电层定位在距衬底(9, 10)具有不同垂直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;定位在垂直相邻的一对绝缘层332之间的漏极选择层级导电层346的每个水平部分包括第一导电材料层46A和第二导电材料层46B的堆叠,该第一导电材料层包括第一导电材料,并且该第二导电材料层不接触绝缘层(432, 132, 332)中任一者并且包括第二导电材料;并且选自该多个组中的每组内的漏极选择层级导电层346通过包含第一导电材料的至少一个垂直导电条带946电连接。漏极选择层级导电层346中的每个漏极选择层级导电层在其端部部分处包含气隙(例如,凹坑腔体)73。

[0152] 在一个实施方案中,该至少一个垂直导电条带946的每个侧壁不与第二导电材料的任何表面直接接触。该至少一个垂直导电条带946的每个侧壁接触选自以下的元件:绝缘层332中的一个绝缘层;不含任何固体材料的腔体77;和覆盖并围绕腔体77的绝缘材料(诸如非保形绝缘层74)的垂直延伸部分。

[0153] 在一个实施方案中,该至少一个垂直导电条带946中的每个垂直导电条带具有与第一导电材料层46A的水平部分的垂直厚度相同的横向厚度。

[0154] 在一个实施方案中,第一导电材料基本上由第一元素金属组成;并且第二导电材料基本上由第二元素金属组成。在一个实施方案中,第一元素金属包括钨;并且第二元素金属包括选自钼、钴和钨的金属。

[0155] 在一个实施方案中,选自该多个组中的每个横向相邻的一对组由其中不含任何固体材料的相应封装腔体77横向间隔开。

[0156] 在一个实施方案中,导电层(446,146,346)还包括字线层级导电层146,这些字线层级导电层位于漏极选择层级导电层346下方并且包括沿第一水平方向hd1横向延伸的相应一对侧壁;

[0157] 在一个实施方案中,字线层级导电层146沿第一水平方向hd1横向延伸,并且具有沿垂直于第一水平方向hd1的第二水平方向hd2的均匀字线层级宽度;并且漏极选择层级导电层346中的每个漏极选择层级导电层沿第一水平方向hd1横向延伸,并且具有沿第二水平方向hd2的小于均匀字线层级宽度的三分之一的相应均匀漏极选择层级宽度。在这种情况下,可以在一对背侧沟槽79之间形成两个或更多个漏极选择层级沟槽71。

[0158] 在一个实施方案中,三维存储器器件包括第一附加绝缘层(432,132,332)和第一附加导电层(446,146,346)的第二交替堆叠{(432,132,332),(446,146,346)},该第二交替堆叠定位在衬底上方并且通过沿第一水平方向横向延伸的第一背侧沟槽与第一交替堆叠横向间隔开;和第二附加绝缘层(432,132,332)和第二附加导电层(446,146,346)的第三交替堆叠{(432,132,332),(446,146,346)},该第三交替堆叠定位在衬底(9,10)上方并且通过沿第一水平方向hd1横向延伸的第二背侧沟槽79与第一交替袋{(432,132,332),(446,146,346)}横向间隔开。

[0159] 在一个实施方案中,三维存储器器件包括非保形绝缘层74,该非保形绝缘层包括覆盖在第一交替堆叠{(432,132,332),(446,146,346)},第二交替堆叠{(432,132,332),(446,146,346)}和第三交替堆叠{(432,132,332),(446,146,346)}中的相应一者上方的水平部分以及延伸到第一背侧沟槽79和第二背侧沟槽79中的相应一者中的竖直延伸部分,其中竖直延伸部分中的每个竖直延伸部分具有随距水平部分的竖直距离而减小的可变横向厚度。

[0160] 在一个实施方案中,导电层(446,146,346)中的每一者从非保形绝缘层74中的竖直延伸部分中的一个竖直延伸部分的最近侧部分横向偏移相同的横向偏移距离。

[0161] 在一个实施方案中,三维存储器器件包括凹坑腔体73,这些凹坑腔体定位在导电层中的每个导电层和竖直延伸部分中的相应最近侧部分之间,并且其中不含任何固体材料。

[0162] 在一个实施方案中,绝缘层(432,132,332)中的每一者接触非保形绝缘层74的相应侧壁。

[0163] 在一个实施方案中,三维存储器器件包括:源极区61,该源极区定位在衬底(9,10)的第一背侧沟槽79下方的上部部分中;和背侧接触通孔结构76,该背侧接触通孔结构定位在第一背侧沟槽79内并接触非保形绝缘层74的侧壁和源极区61的顶表面。

[0164] 参考图17,根据本公开的第二实施方案的第二示例性结构可以通过修改每个漏极选择层级牺牲材料层342的厚度与每个字线层级牺牲材料层142的厚度的比率从图2所示的第一示例性结构导出。漏极选择层级牺牲材料层342覆盖在字线层级牺牲材料层142上方,

并且具有比字线层级牺牲材料层142更小的厚度。在一个实施方案中,源极选择层级牺牲材料层442和字线层级牺牲材料层142可以具有在20nm至60nm范围内的厚度,并且漏极选择层级牺牲材料层342可以具有在源极选择层级牺牲材料层442和字线层级牺牲材料层142的最小厚度的20%至80%范围内的厚度。在一个实施方案中,漏极选择层级牺牲材料层342可以具有在8nm至48nm的范围内诸如在12nm至30nm的范围内的厚度,但是也可以使用更小和更大的厚度。

[0165] 参考图18,可执行图3、图4A和图4B、图5A至图5H、图6A至图6B和图7的处理步骤以形成阶梯式表面、后向阶梯式介电材料部分65、存储器开口49和支撑开口19、存储器开口填充结构58和支撑柱结构20以及接触层级介电层70。可以在各个步骤调整处理参数以适应漏极选择层级牺牲材料层342和/或字线层级牺牲材料层142中的厚度变化。

[0166] 参考图19A和图19B,可执行图8A和图8B的处理步骤。具体地,可以在接触层级介电层70上方施加第一光致抗蚀剂层(未示出),并且可以对其进行光刻图案化以形成窄开口,这些窄开口沿第一水平方向hd1在存储器堆叠结构55的集群158之间延伸。存储器堆叠结构55的多个群集158可被定位成彼此接近以限定存储器堆叠结构55的组258。存储器堆叠结构55的组258可通过不含存储器堆叠结构55和支撑柱结构20的相应条带形空间彼此横向间隔开。

[0167] 执行各向异性蚀刻工艺,以穿过接触层级介电层70、交替堆叠{(432,132,332),(442,142,342)}中的每个漏极选择层级绝缘层332和每个漏极选择层级牺牲材料层342转移光致抗蚀剂层中的开口的图案。穿过交替堆叠{(432,132,332),(442,142,342)}的漏极选择层级层(332,342)形成漏极选择层级沟槽71。每个漏极选择层级沟槽71可以形成在存储器堆叠结构55的一对相邻的集群158之间。每个漏极选择层级沟槽71可以沿第一水平方向hd1横向延伸,并且沿第二水平方向具有均一宽度。在一个实施方案中,每个漏极选择层级沟槽71可以与存储器堆叠结构55横向间隔开,以避免切穿存储器堆叠结构55的部分。每个漏极选择层级沟槽71可包括平行于第一水平方向hd1的一对纵向侧壁。漏极选择层级沟槽71的每个侧壁可以是直的侧壁。随后可例如通过灰化移除第一光致抗蚀剂层。

[0168] 参考图20,第二光致抗蚀剂层(未示出)可施加在接触级介电层70上方,并且可以对其进行光刻图案化以在存储器堆叠结构55的组258之间的区域中形成开口。光致抗蚀剂层中的开口可以是沿第一水平方向hd1横向延伸的细长开口。光致抗蚀剂层中的图案可以使用各向异性蚀刻传递穿过接触层级介电层70、交替堆叠{(432,132,332),(442,142,342)}和/或后向阶梯式介电材料部分65,以形成背侧沟槽79,该背侧沟槽至少从接触层级介电层70的顶表面竖直地延伸至衬底(9,10)的顶表面,并且横向延伸穿过存储器阵列区100和楼梯区300。

[0169] 在一个实施方案中,背侧沟槽79可以沿着第一水平方向hd1横向地延伸,并且可以沿着第二水平方向hd2彼此横向地间隔开,该第二水平方向垂直于第一水平方向hd1。存储器堆叠结构55可排列成沿着第一水平方向hd1延伸的行。漏极选择层级沟槽71可以沿第一水平方向hd1横向延伸。每个背侧沟槽79可具有沿着纵向方向(即,沿着第一水平方向hd1)不变的均匀宽度。背侧沟槽79的宽度可以大于漏极选择层级沟槽71的宽度。每个漏极选择层级隔离结构72可以具有沿着垂直于第一水平方向hd1的竖直平面的均匀竖直横截面轮廓,该均匀竖直横截面轮廓不随沿着第一水平方向hd1的平移而变化。多行存储器堆叠结构

55可以定位在相邻对的背侧沟槽79和漏极选择层级隔离结构72之间,或者定位在相邻对的漏极选择层级沟槽71之间。在一个实施方案中,背侧沟槽79可以包括源极接触开口,其中随后可以形成源极接触通孔结构。可例如通过灰化移除第二光致抗蚀剂层。

[0170] 参考图21A和图21B,可例如使用蚀刻工艺将蚀刻剂引入到背侧沟槽79中,该蚀刻剂相对于绝缘层(432,132,332)的第一材料选择性地蚀刻牺牲材料层(442,142,342)的第二材料。背侧凹陷部可以形成在从其中移除牺牲材料层(442,142,342)的体积中。背侧凹陷部包括字线层级背侧凹陷部143、漏极选择层级背侧凹陷部343和源极选择层级背侧凹陷部443,该字线层级背侧凹陷部可以形成在从其中移除字线层级牺牲材料层142的体积中,漏极选择层级背侧凹陷部可以形成在从其中移除漏极选择层级牺牲材料层342的体积中,源极选择层级背侧凹陷部可以形成在从其中移除源极选择层级牺牲材料层442的体积中。牺牲材料层(442,142,342)的第二材料的移除可以是对于绝缘层(432,132,332)的第一材料、后向阶梯式介电材料部分65的材料、半导体材料层10的半导体材料和存储器膜50的最外层的材料选择性的。在一个实施方案中,牺牲材料层(442,142,342)可包括氮化硅,并且绝缘层(432,132,332)和后向阶梯式介电材料部分65的材料可选自氧化硅和介电金属氧化物。

[0171] 对于第一材料和存储器膜50的最外层选择性地移除第二材料的蚀刻工艺可以是使用湿法蚀刻溶液的湿法蚀刻工艺,或者可以是将蚀刻剂以汽相引入背侧沟槽79中的气相(干法)蚀刻工艺。例如,如果牺牲材料层(442,142,342)包括氮化硅,则蚀刻工艺可以是其中将第一示例性结构浸入包括磷酸的湿法蚀刻槽内的湿法蚀刻工艺,该湿法蚀刻工艺对于氧化硅、硅和本领域中使用的各种其他材料选择性地蚀刻氮化硅。当背侧凹陷部(443,143,343)存在于先前由牺牲材料层(442,142,342)占据的体积内时,支撑柱结构20、后向阶梯式介电材料部分65和存储器堆叠结构55提供结构支撑。

[0172] 每个背侧凹陷部(443,143,343)可以是横向延伸的腔体,该腔体的横向尺寸大于该腔体的竖直范围。换句话说,每个背侧凹陷部(443,143,343)的横向尺寸可以大于背侧凹陷部(443,143,343)的高度。可以在从其中移除牺牲材料层(442,142,342)的第二材料的体积中形成多个背侧凹陷部(443,143,343)。其中形成存储器堆叠结构55的存储器开口在本文中被称为前侧开口或前侧腔体,与背侧凹陷部(443,143,343)形成对比。在一个实施方案中,存储器阵列区100包括单体三维NAND串阵列,其具有设置在衬底(9,10)上方的多个器件层级。在这种情况下,每个背侧凹陷部(443,143,343)可以限定用于接纳单体三维NAND串阵列的相应字线的空间。

[0173] 漏极选择层级背侧凹陷部343可以连接到漏极选择层级沟槽71。多个背侧凹陷部(443,143,343)中的每个背侧凹陷部可以基本上平行于衬底(9,10)的顶表面延伸。背侧凹陷部(443,143,343)可以由下面的绝缘层(432,132,332)的顶表面和上覆的绝缘层(132,332)的底表面竖直地界定。在一个实施方案中,每个背侧凹陷部(443,143,343)可以自始至终具有均一高度。

[0174] 可通过将半导体材料热转换和/或等离子体转换成介电材料来将任选的基座沟道部分11和半导体材料层10的物理暴露的表面部分转换成介电材料部分。例如,可使用热转换和/或等离子体转换来将每个基座沟道部分11的表面部分转换成管状介电间隔物116,并且将半导体材料层10的每个物理暴露的表面部分转换成平面的介电部分616。在一个实施方案中,每个管状介电间隔物116可以拓扑同胚于环面,即大致环形的。如本文所用,如果元

件的形状可以持续拉伸而不破坏孔或形成新的孔到环面的形状中,则该元件拓扑同胚于环面。管状介电间隔物116包括介电材料,该介电材料包括与基座沟道部分11相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得管状介电间隔物116的材料是介电材料。在一个实施方案中,管状介电间隔物116可包括基座沟道部分11的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。同样,每个平面的介电部分616包括介电材料,该介电材料包括与半导体材料层相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得平面的介电部分616的材料是介电材料。在一个实施方案中,平面的介电部分616可以包括半导体材料层10的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。

[0175] 参考图22,可以任选地形成背侧阻挡介电层44。背侧阻挡介电层44(如果存在的话)包括介电材料,该介电材料用作控制栅极电介质,该控制栅极电介质用于随后将在背侧凹陷部(443,143,343)中形成的控制栅极。背侧阻挡介电层44的介电材料可以是介电金属氧化物(诸如氧化铝),至少一种过渡金属元素的介电氧化物,至少一种镧系元素的介电氧化物,铝、至少一种过渡金属元素和/或至少一种镧系元素的组合的介电氧化物。在每个存储器开口内存在阻挡介电层52的实施方案中,背侧阻挡介电层44是可选的。在省略阻挡介电层52的实施方案中,存在背侧阻挡介电层44。背侧阻挡介电层44可以基本上由氧化铝组成。背侧阻挡介电层44的厚度可以在1nm至15nm的范围内,诸如2nm至6nm,但是也可以使用更小和更大的厚度。

[0176] 连续金属阻挡层45N可沉积在背侧凹陷部(443,143,343)中。连续金属阻挡层45N可包括导电金属材料,该导电金属材料可以用作随后沉积的金属填充材料的扩散阻挡层和/或粘合促进层。连续金属阻挡层45N可包括导电金属氮化物材料诸如TiN、TaN、WN或它们的堆叠,或者可以包括导电金属碳化物材料诸如TiC、TaC、WC或它们的堆叠。在一个实施方案中,连续金属阻挡层45N可以通过保形沉积工艺诸如化学气相沉积(CVD)或原子层沉积(ALD)进行沉积。连续金属阻挡层45N的厚度可以在2nm至8nm的范围内,诸如3nm至6nm,但是也可以使用更小和更大的厚度。在一个实施方案中,连续金属阻挡层45N可以基本上由导电金属氮化物诸如TiN组成。

[0177] 将第一金属填充材料沉积在背侧凹陷部(443,143,343)中、漏极选择层级沟槽71中、背侧沟槽79的侧壁上以及接触层级介电层70的顶表面上方,以形成第一连续导电材料层45A。第一连续导电材料层45A可以通过保形沉积方法沉积,该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、化学镀、电镀或它们的组合。在一个实施方案中,第一连续导电材料层45A可以基本上由至少一种元素金属组成。第一连续导电材料层45A的该至少一种元素金属可以选自例如钨、钴、钨、钛和钽。在一个实施方案中,第一连续导电材料层45A可以基本上由单个元素金属组成。在一个实施方案中,可使用含氟前体气体(诸如WF₆)来沉积第一连续导电材料层45A。在一个实施方案中,第一连续导电材料层45A可以是包括残余级氟原子作为杂质的钨层。

[0178] 任选择任选的背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的厚度,使得任选的背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的厚度的总和大于漏极选择层级背侧凹陷部343的最大高度的一半,并且小于字线层级背侧凹陷部143和源极选择层级背侧凹陷部443的最小高度的一半。在一个实施方案中,字线层

级背侧凹陷部143中的每个字线层级背侧凹陷部可以具有第一高度,并且漏极选择层级背侧凹陷部343中的每个漏极选择层级背侧凹陷部可以具有在第一高度的20%至80%诸如30%至70%的范围内的第二高度。任选的背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的厚度的总和可以大于第二高度的一半,并且可以小于第一高度的一半。第一连续导电材料层45A可以填充漏极选择层级背侧凹陷部343的所有剩余体积,并且不完全填充字线层级背侧凹陷部143中的任一者。因此,任选的背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的组合可以填充漏极选择层级背侧凹陷部343的所有体积,并且部分地填充漏极选择层级背侧凹陷部343的体积。换句话讲,第一连续导电材料层45A完全填充漏极选择层级背侧凹陷部343中的每个漏极选择层级背侧凹陷部,并且在完成第一连续导电材料层45A的沉积时不完全填充字线层级背侧凹陷143中的任一者。未填充的体积43'存在于字线层级背侧凹陷部143的每个体积内。

[0179] 参考图23,在每个背侧沟槽79的外围部分处,并且在覆盖在接触层级介电层70上方的第一连续导电材料层45A的水平部分上方,将第二金属填充材料沉积在源极选择层级背侧凹陷部443、字线层级背侧凹陷部143、漏极选择层级沟槽71的剩余未填充体积中。第二连续导电材料层45B可形成在第一连续导电材料层45的物理暴露的表面上。第二连续导电材料层45B可通过保形沉积方法沉积,该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、化学镀、电镀或它们的组合。第二连续导电材料层45B可以基本上由至少一种元素金属组成。第二连续导电材料层45B的该至少一种元素金属不同于第一连续导电材料层45A的该至少一种元素金属,并且任选自例如钨、钴、钕、钽和钼。例如,第一连续导电材料层45A可包含钨,并且第二连续导电材料层45B可基本上由选自钴、钕和钼的单个元素金属组成。第二连续导电材料层45B可完全填充背侧凹陷部(443, 143, 343)。

[0180] 可以选择每个漏极选择层级沟槽71的宽度和背侧阻挡介电层44、连续金属阻挡层45N和第一连续导电材料层45A的厚度,使得在沉积第一连续导电材料层45A之后在每个漏极选择层级沟槽71内存在竖直延伸的未填充体积。可以由第二连续导电材料层45B填充漏极选择层级沟槽71的竖直延伸的未填充体积。背侧腔体79'存在于每个背侧沟槽79内。

[0181] 参考图24,执行各向同性凹陷蚀刻工艺,以对于任选的背侧阻挡介电层44(如果存在的话)的材料选择性地和/或对于绝缘层(432, 132, 332)和接触层级介电层70的材料选择性地回蚀刻连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B。可使用对于介电材料选择性蚀刻金属材料的湿法蚀刻工艺。可通过各向同性凹陷蚀刻工艺从背侧沟槽79以及从接触层级介电层70上方回蚀刻连续金属阻挡层45N的金属阻挡材料、第一连续导电材料层45A的第一导电材料和第二连续导电材料层45B的第二导电材料。

[0182] 此外,各向同性凹陷蚀刻工艺可以相对于暴露于背侧沟槽79的绝缘层(432, 132, 332)的侧壁在背侧凹陷部(443, 143, 343)的体积中横向凹陷金属阻挡材料、第一导电材料和第二导电材料。因此,导电层(146, 346)的每个侧壁可相对于绝缘层(432, 132, 332)的侧壁横向凹陷横向偏移距离 $1od$,该横向偏移距离可在5nm至100nm的范围内,但也可使用更小和更大的距离。

[0183] 连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B的组合被划分成分立导电材料部分。这些分立材料部分包括填充字线层级背侧凹陷部143的字线层级导电层146、填充漏极选择层级背侧凹陷部343的漏极选择层级导电层346、填充源极选

择层级背侧凹陷部443的源极选择层级导电层(未示出)。此外,连续金属阻挡层45N、第一连续导电材料层45A和第二连续导电材料层45B的剩余部分填充漏极选择层级沟槽71。导电层(146,346)中的每一者形成在背侧凹陷部(443,143)中和漏极选择层级沟槽71中,并且可以包括第一连续导电层和第二连续导电层(45A,45B)的剩余部分。

[0184] 字线层级导电层146和源极选择层级导电层中的每一者包括作为连续金属阻挡层45N的图案化剩余部分的相应金属阻挡层46N、作为第一连续导电材料层45A的图案化剩余部分的相应第一导电材料层46A和作为第二连续导电材料层45B的图案化剩余部分的相应第二导电材料层46B。漏极选择层级导电层346中的每个漏极选择层级导电层由作为连续金属阻挡层45N的图案化剩余部分的相应金属阻挡层46N和作为第一连续导电材料层45A的图案化剩余部分的相应第一导电材料层46A组成。换句话讲,漏极选择层级导电层346不包括第二连续导电材料层45B的任何剩余部分。

[0185] 第一导电材料层46A连续延伸穿过一对背侧沟槽79之间的每个漏极选择层级背侧凹陷部343和每个漏极选择层级沟槽71。第二导电材料部分846B存在于漏极选择层级沟槽71中的每个漏极选择层级沟槽内。第一导电材料层46A和第二导电材料部分846B的顶表面可以相对于包括接触层级介电层70的顶表面的水平平面竖直凹陷一定凹陷深度,该凹陷深度可以在3nm至100nm的范围内,但也可以使用更小和更大的凹陷深度。

[0186] 参考图25,保形绝缘层174L可通过保形沉积方法沉积。保形绝缘层174L包括绝缘材料诸如氧化硅。在一个实施方案中,保形绝缘层174L的厚度可以被选择为小于第一高度(即,字线层级背侧凹陷部143中的每个字线层级背侧凹陷部的高度)的一半并且大于第二高度(即,漏极选择层级背侧凹陷部343中的每个漏极选择层级背侧凹陷部的高度)的一半。例如,保形绝缘层174L的厚度可以在6nm至24nm的范围内,但是也可以使用更小和更大的厚度。在这种情况下,漏极选择层级导电层346的层级处的横向凹陷部可以完全填充有保形绝缘层174L,并且字线层级导电层146的层级处的横向凹陷部可以仅部分地填充有保形绝缘层174L。

[0187] 参考图26,可以执行各向异性蚀刻工艺以移除保形绝缘层174L的水平部分。背侧沟槽79中的保形绝缘层174L的每个剩余部分构成保形绝缘间隔物174。背侧腔体79'存在于每个背侧沟槽79内。半导体材料层10的顶表面可以在每个背侧腔体79'的底部处物理地暴露。每个漏极选择层级沟槽的上部部分中的保形绝缘层174L的剩余部分构成漏极选择层级沟槽绝缘间隔物274。在一个实施方案中,漏极选择层级沟槽71中的第一导电材料层46A的厚度可以在漏极选择层级沟槽绝缘间隔物274的横向厚度的30%至100%诸如50%至80%的范围内。

[0188] 参考图27,可以执行各向异性蚀刻工艺以蚀刻第二导电材料部分846B的第二导电材料。各向异性蚀刻对于第一导电材料可以是或可以不是选择性的。在每个体积中形成腔体71',从该腔体移除第二导电材料部分846B。包括第一导电材料并且任选地包括金属阻挡材料的竖直导电条带946存在于每个漏极选择层级沟槽71内。

[0189] 如果各向异性蚀刻工艺对于第一导电材料具有选择性,则竖直导电条带946可具有与最初沉积的第一连续导电材料层45A的厚度相同的横向厚度。在这种情况下,在移除第二导电材料部分846B之后,第一导电材料层46A的顶表面可物理地暴露在每个腔体71'的底部处。

[0190] 如果各向异性蚀刻工艺对于第一导电材料不具有选择性,则竖直导电条带946可具有比最初沉积的第一连续导电材料层45A的厚度较小的横向厚度。在这种情况下,竖直导电条带946的横向厚度可以与覆盖在漏极选择层级沟槽绝缘间隔物274上方的横向厚度相同。在这种情况下,第一导电材料层46A的水平部分可在每个腔体71'的底部处被蚀刻穿,并且最顶部字线层级绝缘层132的顶表面可在每个腔体71'的底部处物理地暴露。

[0191] 参考图28,如果各向异性蚀刻对于第一导电材料具有选择性,则可执行另一个各向异性蚀刻工艺以蚀刻第一导电材料层46A和金属阻挡层46N的位于漏极选择层级沟槽71内的腔体71'下方的每个水平部分。漏极选择层级导电层346中的每个漏极选择层级导电层在漏极选择层级沟槽处被横向划分成横向分离的条带。多个组的漏极选择层级导电层346可以横向间隔开,并且可以彼此电隔离。在漏极选择层级沟槽71的体积内的第一导电材料层46A和金属阻挡层46N的剩余部分构成竖直导电条带946。

[0192] 可例如通过以下方式移除定位在每个漏极选择层级沟槽71的纵向端部处的竖直导电条带946的端部区段:在第一示例性结构上方施加光致抗蚀剂层,对光致抗蚀剂层进行光刻图案化以形成物理地暴露漏极选择层级沟槽71的纵向端部的开口,并且通过移除竖直导电条带946的物理暴露的端部区段。例如,如果漏极选择层级沟槽71具有细长水平剖面形状(该形状具有沿第一水平方向延伸的一对纵向侧壁和沿第二水平方向延伸的一对横向侧壁),则可以移除竖直导电条带946的定位在漏极选择层级沟槽71的横向侧壁上的区段。随后可移除光致抗蚀剂层。在将竖直导电条带946图案化时,每个漏极选择层级沟槽71可包括沿第一水平方向延伸的至少两个竖直导电条带946。

[0193] 漏极选择层级导电层346的组由形成在漏极选择层级沟槽71中的腔体71'横向间隔开。最顶部字线层级绝缘层132的顶表面可物理地暴露在每个漏极选择层级沟槽71的底部处。每组漏极选择层级导电层346内的每个漏极选择层级导电层346可以通过至少一个竖直导电条带946互相或彼此电连接。每个竖直导电条带946可以接触漏极选择层级绝缘层332的侧壁和/或接触层级介电层70的侧壁。具有暴露于背侧沟槽79并设置在同一组内的侧壁的漏极选择层级导电层346可以通过定位在同一漏极选择层级沟槽71内的单组竖直导电条带946互相或彼此连接。包括未暴露于背侧沟槽79并设置在同一组内的侧壁的漏极选择层级导电层346可以通过定位在两个漏极选择层级沟槽79内的两组竖直导电条带946互相和彼此连接。每个竖直导电条带946包括第一导电材料和金属阻挡材料(如果使用金属阻挡层46N的话)。在一个实施方案中,多个漏极选择层级导电层346可以竖直堆叠,并且至少两个漏极选择层级导电层346和至少两个竖直导电条带946的竖直交替序列可以定位在漏极选择层级沟槽71的每一侧上。

[0194] 参考图29,示出了任意的处理步骤,其中可以从漏极选择层级沟槽71内部移除竖直导电条带946。在这种情况下,可以独立地控制定位在不同层级的各种漏极选择层级导电层346的每个条带,以在存储器元件的三维阵列的操作期间激活或去激活存储器堆叠结构55的相应集群。另选地,可以省略图29的处理步骤。

[0195] 参考图30,非保形绝缘层74可被各向异性地沉积。非保形绝缘层74包括绝缘材料诸如氧化硅,并且可通过各向异性沉积方法诸如等离子体增强的化学气相沉积来沉积。非保形绝缘层74可以沉积在暴露于背侧沟槽79的绝缘层(432,132,332)的侧壁上方以及漏极选择层级沟槽71上方。覆盖在接触层级介电层70上方的非保形绝缘层74的水平部分的竖直

厚度可大于背侧沟槽79中的非保形绝缘层74的横向厚度的最大值。背侧沟槽79中的非保形绝缘层74的横向厚度可以随着距接触层级介电层70的顶表面和覆盖在接触层级介电层70上方的非保形绝缘层74的水平部分的底表面之间的水平平面的垂直距离而减小。

[0196] 封装腔体77可以形成在漏极选择层级沟槽71中的一个或多个的体积中,该封装腔体在其中不含任何固体材料并且由非保形绝缘层74的底表面界定。在一个实施方案中,封装腔体77可由非保形绝缘层74的凹形底表面竖直界定。

[0197] 封装腔体可形成在导电层146的横向凹陷侧壁和非保形绝缘层74的竖直延伸部分之间。导电层(146,346)包括源极选择层级导电层(未示出)、字线层级导电层146和漏极选择层级导电层346。封装腔体在本文中被称为凹坑腔体73。凹坑腔体73可以形成在字线层级导电层146和源极选择层级导电层中的每一者和背侧沟槽79内的非保形绝缘层74的竖直延伸部分中的相应最近侧部分之间。凹坑腔体73中的每个凹坑腔体在其中不含任何固体材料。每个凹坑腔体73可由保形绝缘间隔物174和非保形绝缘层74封装。每个凹坑腔体79可以沿相邻背侧沟槽79的纵向方向横向延伸,并且因此也被称为轨道腔体,即,具有在沿背侧沟槽79的纵向方向平移时不变的竖直剖面形状的腔体。

[0198] 可执行各向同性蚀刻工艺或各向异性蚀刻工艺,以与图15A至图15C的处理步骤相同的方式移除在每个背侧沟槽79的底部处的非保形绝缘层74的底部水平部分和任何平面的介电部分616。半导体材料层10的顶表面可物理地暴露在每个背侧沟槽79的底部处。背侧腔体79'存在于每个背侧沟槽79内。

[0199] 参考图31A至图31C,图15A和图15B的处理步骤可被执行以在每个背侧腔体79'下方的半导体材料层10的表面部分处形成源极区61。半导体材料层10的在源极区61和该多个基座沟道部分11之间延伸的上部部分构成用于多个场效应晶体管的水平半导体沟道59。背侧接触通孔结构76可形成在每个背侧腔体79'内。每个接触通孔结构76可以填充相应背侧腔体79'。可以通过在背侧沟槽79的剩余未填充体积(即,背侧腔体79')中沉积至少一种导电材料来形成接触通孔结构76。例如,至少一种导电材料可以包括导电衬垫76A和导电填充材料部分76B。可以使用覆盖在交替堆叠{(432,132,332),(446,146,346)}上方的接触层级介电层70作为停止层来平面化该至少一种导电材料。如果使用化学机械平面化(CMP)工艺,则接触层级介电层70可以用作CMP停止层。背侧沟槽79中的至少一种导电材料的每个剩余连续部分构成背侧接触通孔结构76。

[0200] 背侧接触通孔结构76延伸穿过交替堆叠{(432,132,332),(446,146,346)},并且接触源极区61的顶表面。如果使用背侧阻挡介电层44,则背侧接触通孔结构76可以接触背侧阻挡介电层44的侧壁。通过执行图15A和图15B的处理步骤,附加的接触通孔结构(88,86,8P)可穿过接触级介电层70形成,并且可以任选地穿过后向阶梯式介电材料部分65形成。

[0201] 封装腔体77可设置在每个漏极选择层级沟槽71中。在使用高度各向异性沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由漏极选择层级绝缘层332和漏极选择层级导电层346横向界定,如图31B所示。另选地,在使用各向异性较小的沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由非保形绝缘层74的竖直延伸部分横向界定,如图31C所示。

[0202] 图32A至图32C是另选的第二示例性结构,该第二示例性结构可通过省略图29的处理步骤从图31A至图31C的第二示例性结构导出。在这种情况下,选自该多个组漏极选择层

级导电层346中的每组内的每个漏极选择层级导电层346通过至少一个竖直导电条带946互相或彼此电连接,该竖直导电条带包括在漏极选择层级沟槽71中的相应一个内的第一导电材料。每个竖直导电条带946可以由相应金属阻挡层和相应第一导电材料部分组成,并且可以在最顶部字线层级绝缘层332的顶表面和漏极选择层级沟槽绝缘间隔物274之间连续延伸。

[0203] 封装腔体77可设置在每个漏极选择层级沟槽71中。在使用高度各向异性沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由漏极选择层级导电层346和竖直导电条带946横向界定,如图31B所示。另选地,在使用各向异性较小的沉积工艺来形成非保形绝缘层74的情况下,封装腔体77可由非保形绝缘层74的竖直延伸部分横向界定,如图31C所示。

[0204] 参考图33A和图33B,示出了示例性结构的另选构型,该另选构型通过按以下方式处理图4A和图4B的示例性结构得到:采用介电材料层768和过程中源极层级材料层110'的组合来代替半导体材料层10。介电材料层768可以是具有不同材料组成和/或在不同处理步骤处形成的单个介电材料层或多个介电材料层。任选地,可以在介电材料层768中形成较低层级金属互连结构(未示出)。介电材料层768可包括氧化硅和/或氮化硅。介电材料层768的厚度可以在100nm至3,000nm的范围内,但是也可以使用更小和更大的厚度。

[0205] 过程中源极层级材料层110'可包括随后被修改以形成源极层级材料层的各种层。源极层级材料层在形成时包括源极接触层,该源极接触层用作三维存储器器件的竖直场效应晶体管的公共源极区。在一个实施方案中,过程中源极层级材料层110'可以从底部到顶部包括较低源极层级半导体层112、较低牺牲衬垫103、源极层级牺牲层104、较高牺牲衬垫105、较高源极层级半导体层116、源极层级绝缘层117和任选的源极选择层级导电层118。

[0206] 较低源极层级半导体层112和较高源极层级半导体层116可包括掺杂半导体材料,诸如掺杂多晶硅或掺杂非晶硅。较低源极层级半导体层112和较高源极层级半导体层116的导电类型可以与随后将形成的竖直半导体沟道的导电性相反。例如,如果随后要形成的竖直半导体沟道具有第一导电类型的掺杂,则较低源极层级半导体层112和较高源极层级半导体层116具有与第一导电类型相反的第二导电类型的掺杂。较低源极层级半导体层112和较高源极层级半导体层116中的每一者的厚度可以在10nm至300nm诸如20nm至150nm的范围内,但是也可以使用更小和更大的厚度。

[0207] 源极层级牺牲层104包含对于较低牺牲衬垫103和较高牺牲衬垫105可以选择性地移除的牺牲材料。在一个实施方案中,源极层级牺牲层104可包括半导体材料,诸如未掺杂非晶硅或锗的原子浓度大于20%的硅锗合金。源极层级牺牲层104的厚度可以在30nm至400nm诸如在60nm至200nm的范围内,但是也可以使用更小和更大的厚度。

[0208] 较低牺牲衬垫103和较高牺牲衬垫105包含可以在移除源极层级牺牲层104期间用作蚀刻停止材料。例如,较低牺牲衬垫103和较高牺牲衬垫105可以包含氧化硅、氮化硅和/或介电金属氧化物。在一个实施方案中,较低牺牲衬垫103和较高牺牲衬垫105中的每一者可以包含厚度在2nm至30nm范围内的氧化硅层,但是也可以使用更小和更大的厚度。

[0209] 源极层级绝缘层117可以包含介电材料,诸如氧化硅。源极层级绝缘层117的厚度可以在20nm至400nm诸如40nm至200nm的范围内,但是也可以使用更小和更大的厚度。可选的源极选择层级导电层118可包括可以用作源极选择层级栅极电极的导电材料。例如,可选的源极选择层级导电层118可包括掺杂半导体材料诸如掺杂多晶硅或掺杂非晶硅,该掺杂

半导体材料随后可以通过退火工艺转换成掺杂多晶硅。任选的源极选择层级导电层118的厚度可以在30nm至200nm诸如60nm至100nm的范围内,但是也可以使用更小和更大的厚度。

[0210] 随后可以执行图2至图4B的处理步骤,以提供图33A至图33B所示的示例性结构的另选构型。随后,可以执行图5C、图5G和图5H的处理步骤,其中修改是第一半导体沟道层601的厚度和材料被选择为将形成的垂直半导体沟道60的厚度和材料。

[0211] 参考图34A,可以执行图7A至图7C的处理步骤以形成绝缘帽盖层70。可以执行图8A和图8B的处理步骤以形成漏极选择层级沟槽71。可以执行图9A和图9B的处理步骤,其中修改是每个背侧沟槽79的底部延伸到过程中源极层级材料层中。

[0212] 可以在每个背侧沟槽79的侧壁上形成背侧沟槽间隔物474。例如,可以在背侧沟槽79中和绝缘帽盖层70上方沉积保形间隔物材料层,并且可以对其进行各向异性蚀刻以形成背侧沟槽间隔物474。背侧沟槽间隔物474包含与源极层级牺牲层104的材料不同的材料。例如,背侧沟槽间隔物474可以包含氮化硅。

[0213] 参考图34B,可以在各向同性蚀刻工艺中,将对于交替堆叠{(432,132,332),(442,142,342)}、绝缘帽盖层70、绝缘帽盖层70、较高牺牲衬垫105和较低牺牲衬垫103的材料选择性地蚀刻源极层级牺牲层104的材料的蚀刻剂引入背侧沟槽中。例如,如果源极层级牺牲层104包含未掺杂非晶硅或未掺杂非晶硅锗合金,背侧沟槽间隔物474包含氮化硅,并且较高和较低牺牲衬垫(105,103)包含氧化硅,则可以使用湿法蚀刻工艺(其使用了热三甲基-2-羟乙基氢氧化铵(“热TMY”)或四甲基氢氧化铵(TMAH))来对于背侧沟槽间隔物474以及较高和较低牺牲衬垫(105,103)选择性地移除源极层级牺牲层104。在从中移除源极层级牺牲层104的体积中形成源极腔体109。

[0214] 湿法蚀刻化学物质诸如热TMY和TMAH对于掺杂半导体材料(诸如较高源极层级半导体层116和较低源极层级半导体层112的p掺杂半导体材料和/或n掺杂半导体材料)具有选择性。因此,在形成源极腔体109的湿法蚀刻工艺中使用选择性湿法蚀刻化学物质诸如热TMY和TMAH提供了在形成背侧沟槽79期间抵抗蚀刻深度变化的较大工艺窗口。具体地,在形成源极腔体109和/或背侧沟槽间隔物474时,即使较高源极层级半导体层116的侧壁被物理地暴露或者即使较低源极层级半导体层112的表面被物理地暴露,较高源极层级半导体层116和/或较低源极层级半导体层112的并行蚀刻也是最小的,并且在制造步骤期间由较高源极层级半导体层116和/或较低源极层级半导体层112的表面的意外物理暴露引起的示例性结构的结构变化不会导致器件故障。存储器开口填充结构58中的每个存储器开口填充结构和存储器堆叠结构55物理地暴露于源极腔体109。具体地,存储器开口填充结构58中的每个存储器开口填充结构包括物理暴露于源极腔体109的侧壁。

[0215] 参考图34C,可以将一系列各向同性蚀刻剂(诸如湿蚀刻剂)施加到存储器膜50的物理暴露的部分,以从外部到内部顺序地蚀刻存储器膜50的各种部件层,并且在源极腔体109的层级处物理暴露垂直半导体沟道60的圆柱形表面。可以在移除存储器膜50的定位在源极腔体109的层级处的部分期间附带地蚀刻较高和较低牺牲衬垫(105,103)。可以通过在源极腔体109以及较高和较低牺牲衬垫(105,103)的层级处移除存储器膜50的部分来使源极腔体109的体积膨胀。较低源极层级半导体层112的顶部表面和较高源极层级半导体层116的底部表面可以物理暴露于源极腔体109。通过对于至少一个源极层级半导体层(诸如较低源极层级半导体层112和较高源极层级半导体层116)以及垂直半导体沟道60选择性地

各向同性地蚀刻源极层级牺牲层104和每个存储器膜50的底部部分来形成源极腔体109。

[0216] 参考图34D,可以在源极腔体109周围的物理暴露的半导体表面上沉积具有第二导电类型的掺杂的半导体材料。物理暴露的半导体表面包括竖直半导体沟道60的外侧壁的底部部分和该至少一个源极层级半导体层的水平表面(诸如,较高源极层级半导体层116的底表面和/或较低源极层级半导体层112的顶表面)。例如,物理暴露的半导体表面可包括竖直半导体沟道60的外侧壁的底部部分、较低源极层级半导体层112的顶部水平表面和较高源极层级半导体层116的底表面。

[0217] 在一个实施方案中,可以通过选择性半导体沉积工艺在源极腔体109周围的物理暴露的半导体表面上沉积第二导电类型的掺杂半导体材料。在选择性半导体沉积工艺期间,半导体前体气体、蚀刻剂和掺杂剂气体可以同时流入包括示例性结构的处理室中。例如,半导体前体气体可包括硅烷、二硅烷或二氯硅烷,蚀刻剂气体可包括气态氯化氢,并且掺杂剂气体可包括掺杂剂原子(诸如磷、砷、锑或二硼烷)的氢化物。在这种情况下,选择性半导体沉积工艺从源极腔体109周围的物理暴露的半导体表面生长具有第二导电类型掺杂的掺杂半导体材料。沉积的掺杂半导体材料形成源极接触层114,该源极接触层可以接触竖直半导体沟道60的侧壁。沉积的半导体材料中的第二导电类型的掺杂物的原子浓度可在 $1.0 \times 10^{20}/\text{cm}^3$ 至 $2.0 \times 10^{21}/\text{cm}^3$ (诸如 $2.0 \times 10^{20}/\text{cm}^3$ 至 $8.0 \times 10^{20}/\text{cm}^3$)的范围内。最初形成的源极接触层114可以基本上由第二导电类型的半导体原子和掺杂剂原子组成。另选地,可以使用至少一种非选择性掺杂半导体材料沉积工艺来形成源极接触层114。任选地,可以将一个或多个回蚀工艺与多个选择性或非选择性沉积工艺结合使用,以提供无缝和/或无空隙的源极接触层114。

[0218] 选择性半导体沉积工艺的持续时间可以选择成使得源极腔体109填充有源极接触层114,并且源极接触层114接触背侧沟槽间隔物474的内部侧壁的底部端部分。在一个实施方案中,可以通过从源极腔体109周围的半导体表面选择性地沉积具有第二导电类型掺杂的掺杂半导体材料来形成源极接触层114。在一个实施方案中,掺杂半导体材料可包括掺杂多晶硅。因此,源极层级牺牲层104可以被源极接触层114替换。

[0219] 包括较低源极层级半导体层112、源极接触层114和较高源极层级半导体层116的层堆叠构成埋入式源极层(112,114,116)。包括埋入式源极层(112,114,116)、源极层级绝缘层117和源极选择层级导电层118的层组构成源极层级材料层110,其替换过程中源极层级材料层110'。

[0220] 参考图34E,可以使用各向同性蚀刻工艺来对于绝缘层(132,232)、第一绝缘帽盖层和第二绝缘帽盖层(170,270)、绝缘帽盖层70和源极接触层114选择性地移除背侧沟槽间隔物474。例如,如果背侧沟槽间隔物474包含氮化硅,则可以执行使用了热磷酸的湿法蚀刻工艺来移除背侧沟槽间隔物474。在一个实施方案中,可以将移除背侧沟槽间隔物474的各向同性蚀刻工艺与后续各向同性蚀刻工艺相结合,该后续各向同性蚀刻工艺对于绝缘层(132,232)、第一绝缘帽盖层和第二绝缘帽盖层(170,270)、绝缘帽盖层70和源极接触层114选择性地蚀刻牺牲材料层(142,242)。

[0221] 可以执行氧化工艺以将半导体材料的物理暴露的表面部分转换成介电半导体氧化物部分。例如,可以将源极接触层114和较高源极层级半导体层116的表面部分转换成介电半导体氧化物板122,并且以将源极选择层级导电层118的表面部分转换成环形介电半导

体氧化物间隔物124。

[0222] 参考图35,随后可以执行图21A和图21B的处理步骤至图32A至图32C的处理步骤,以提供图35所示的示例性结构的另选构型。

[0223] 参考第二示例性结构的所有附图和相关附图并且根据本公开的各种实施方案,提供了一种三维存储器器件,该三维存储器器件包括:绝缘层(432,132,332)和导电层(446,146,346)的第一交替堆叠,该第一交替堆叠定位在衬底(9,10)上方;和存储器堆叠结构55,该存储器堆叠结构延伸穿过该第一交替堆叠{(432,132,332),(446,146,346)};其中:导电层(446,146,346)包括漏极选择层级导电层346,这些漏极选择层级导电层定位在距衬底(9,10)具有不同竖直距离的至少两个不同层级中并且作为彼此电隔离的多个组横向间隔开;导电层(446,146,346)还包括字线层级导电层146,这些字线层级导电层位于漏极选择层级导电层346下方并且具有沿第一水平方向hd1横向延伸的相应一对侧壁;字线层级导电层146中的每个字线层级导电层包括相应第一导电材料层46A和相应第二导电材料层46B,该相应第一导电材料层包括第一导电材料,并且该相应第二导电材料层包括不同于第一导电材料的第二导电材料并形成在相应第一导电材料层46A内;并且漏极选择层级导电层中的每个漏极选择层级导电层基本上由第一导电材料组成。

[0224] 在一个实施方案中,漏极选择层级导电层346不接触第二导电材料中的任一者。在一个实施方案中,选自该多个组中的每个横向相邻的一对组由其中不含任何固体材料的相应封装腔体横向间隔开。在一个实施方案中,字线层级导电层146具有沿垂直于第一水平方向hd1的第二水平方向hd2的均匀字线层级宽度;并且漏极选择层级导电层346中的每个漏极选择层级导电层沿第一水平方向hd1横向延伸,并且具有沿第二水平方向hd2的小于均匀字线层级宽度的三分之一的相应均匀漏极选择层级宽度。

[0225] 在一个实施方案中,第一导电材料基本上由第一元素金属组成;并且第二导电材料基本上由第二元素金属组成。在一个实施方案中,第一元素金属包括钨;并且第二元素金属包括选自钼、钴和钒的金属。

[0226] 在一个实施方案中,第二导电材料层46B的每个水平表面接触第一导电材料层46A的水平表面。在一个实施方案中,三维存储器器件包括接触绝缘层32的侧壁和导电层(446,146,346)的侧壁的保形绝缘间隔物174,其中第二导电材料层46B的每个侧壁接触第一导电材料层46A的侧壁或保形绝缘间隔物174的侧壁。

[0227] 在一个实施方案中,选自该多个组中的每组内的漏极选择层级导电层346可以互相或彼此电隔离,如图31A至图31C所示。在一个实施方案中,每组内的漏极选择层级导电层346中的每个漏极选择层级导电层包括接触选自以下的元件的侧壁:不含任何固体材料的腔体77;和覆盖并围绕腔体77的绝缘材料的竖直延伸部分,诸如非保形绝缘层74的竖直突出部分。

[0228] 在一个实施方案中,选自该多个组中的每组内的漏极选择层级导电层346通过包含第一导电材料的至少一个竖直导电条带946电连接,其中该至少一个竖直导电条带946中的每个竖直导电条带不与第二导电材料的任何表面直接接触,如图32A至图32C所示。在一个实施方案中,该至少一个竖直导电条带946的每个侧壁接触选自以下的元件:绝缘层332中的一个绝缘层;不含任何固体材料的腔体77;和覆盖并围绕腔体77的绝缘材料的竖直延伸部分,诸如非保形绝缘层74的竖直突出部分。在一个实施方案中,该至少一个竖直导电条

带946中的每个导电垂直条带具有与第一导电材料层46A的水平部分的垂直厚度相同的横向厚度。

[0229] 在一个实施方案中,漏极选择层级导电层346中的每个漏极选择层级导电层具有相应垂直厚度,该相应垂直厚度小于字线层级导电层146内的第一导电材料层46A的水平部分的垂直厚度的两倍。

[0230] 在一个实施方案中,导电层(446,146,346)中的每一者包括侧壁,该侧壁从绝缘层(432,132,332)中的最近侧一个绝缘层的侧壁横向偏移相同的横向偏移距离 $1od$ 。

[0231] 示例性结构中的每个示例性结构可包括三维存储器器件。在一个实施方案中,三维存储器器件包括单体三维NAND存储器器件。字线层级导电层146可包括或者可电连接到单体三维NAND存储器器件的相应字线。衬底(9,10)可以包括硅衬底。垂直NAND存储器器件可包括硅衬底上方的单体三维NAND串阵列。单体三维NAND串阵列的第一器件层级中的至少一个存储器单元(包括字线层级导电层46的层级处的电荷存储层54的部分)可定位在单体三维NAND串阵列的第二器件层级中的另一存储器单元(包括另一个字线层级导电层46的层级处的电荷存储层54的另一部分)上方。硅衬底可包含集成电路,该集成电路包括用于定位在其上的存储器器件的驱动器电路(包括至少一个半导体器件700的子集)。字线层级导电层146可包括多个控制栅极电极,这些控制栅极电极具有基本上平行于衬底(9,10)顶表面延伸,例如在一对背侧沟槽79之间的条带形状。多个控制栅极电极至少包括定位在第一器件级中的第一控制栅极电极和定位在第二器件级中的第二控制栅极电极。单体三维NAND串的阵列可包括:多个半导体沟道(59,11,60),其中该多个半导体沟道(59,11,60)中的每一个的至少一个端部部分60基本上垂直于衬底(9,10)的顶表面延伸并且包括垂直半导体沟道60中的相应一个垂直半导体沟道;和多个电荷存储元件(包括存储器膜50的部分,即,电荷存储层54的部分)。每个电荷存储元件可以邻近多个半导体沟道(59,11,60)中的相应一个半导体沟道定位。

[0232] 本公开的各种实施方案在每对横向相邻的背侧沟槽79之间提供漏极选择层级导电层346的多于两个条带。漏极选择层级沟槽71可用作一种管道,该管道用于提供蚀刻剂以用于在形成漏极选择层级背侧凹陷部343期间蚀刻不直接暴露于背侧沟槽的漏极选择层级牺牲材料层342的牺牲材料。另外,漏极选择层级沟槽71可用作管道,该管道提供反应物以用于沉积背侧阻挡介电层44、任选的连续金属阻挡层45N、第一连续导电材料层45A和任选的第二连续导电材料层45B。因此,可使用本公开的方法在每个相邻的一对背侧沟槽79之间的漏极选择层级处为存储器堆叠结构55的多于两个集群提供电隔离。

[0233] 虽然前面提及特定优选实施方案,但是将理解本公开不限于此。本领域的普通技术人员将会想到,可对所公开的实施方案进行各种修改,并且此类修改旨在落在本公开的范围内。在不是彼此的另选方案的所有实施方案中假定相容性。除非另外明确说明,否则词语“包含”或“包括”设想其中词语“基本上由...组成”或词语“由...组成”替换词语“包含”或“包括”的所有实施方案。在本公开中示出使用特定结构和/或构型的实施方案,应当理解,本公开可以以功能上等同的任何其他兼容结构和/或构型来实践,前提条件是此类取代不被明确地禁止或以其他方式被本领域的普通技术人员认为是不可能的。本文引用的所有出版物、专利申请和专利均以引用方式全文并入本文。

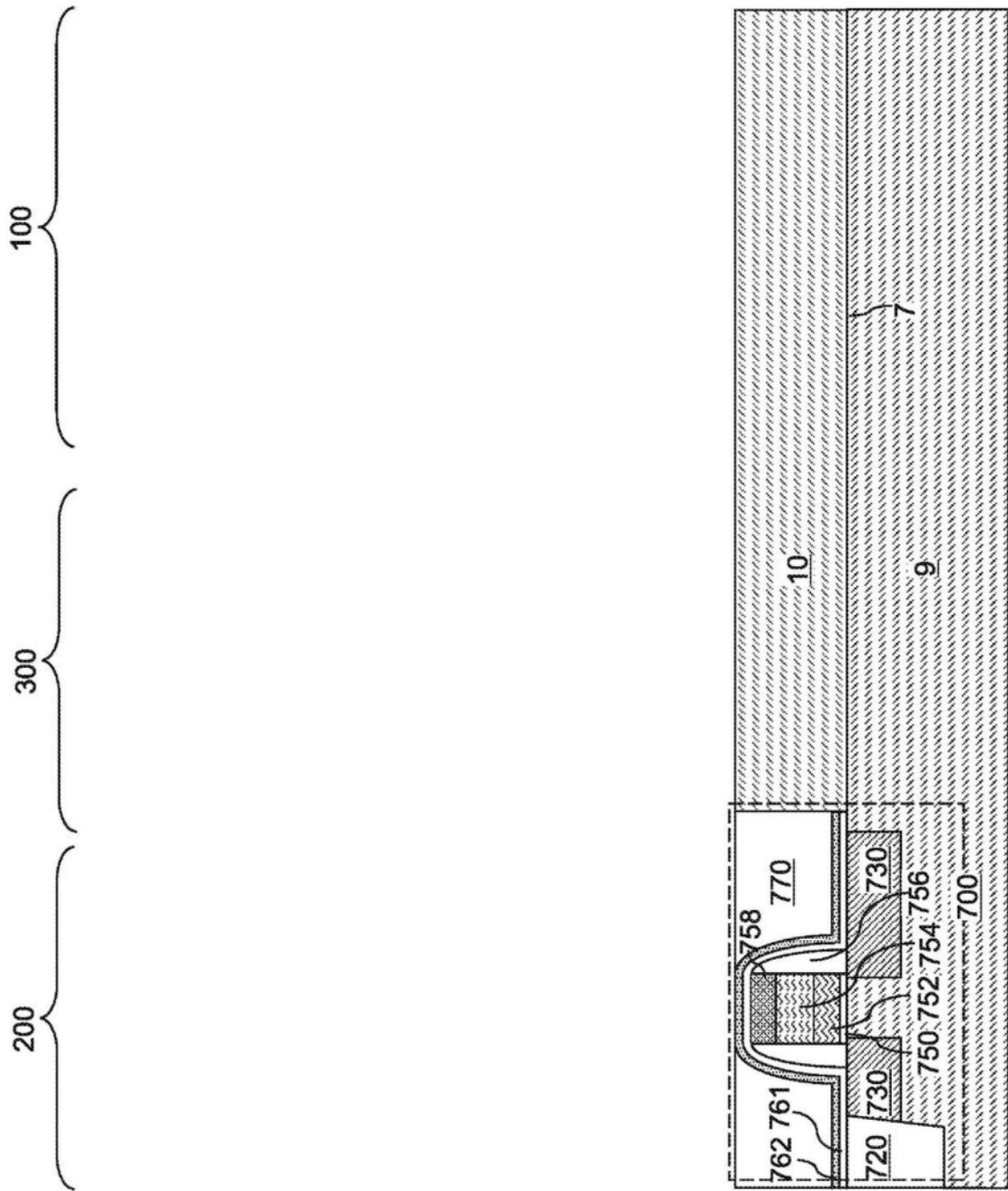


图1

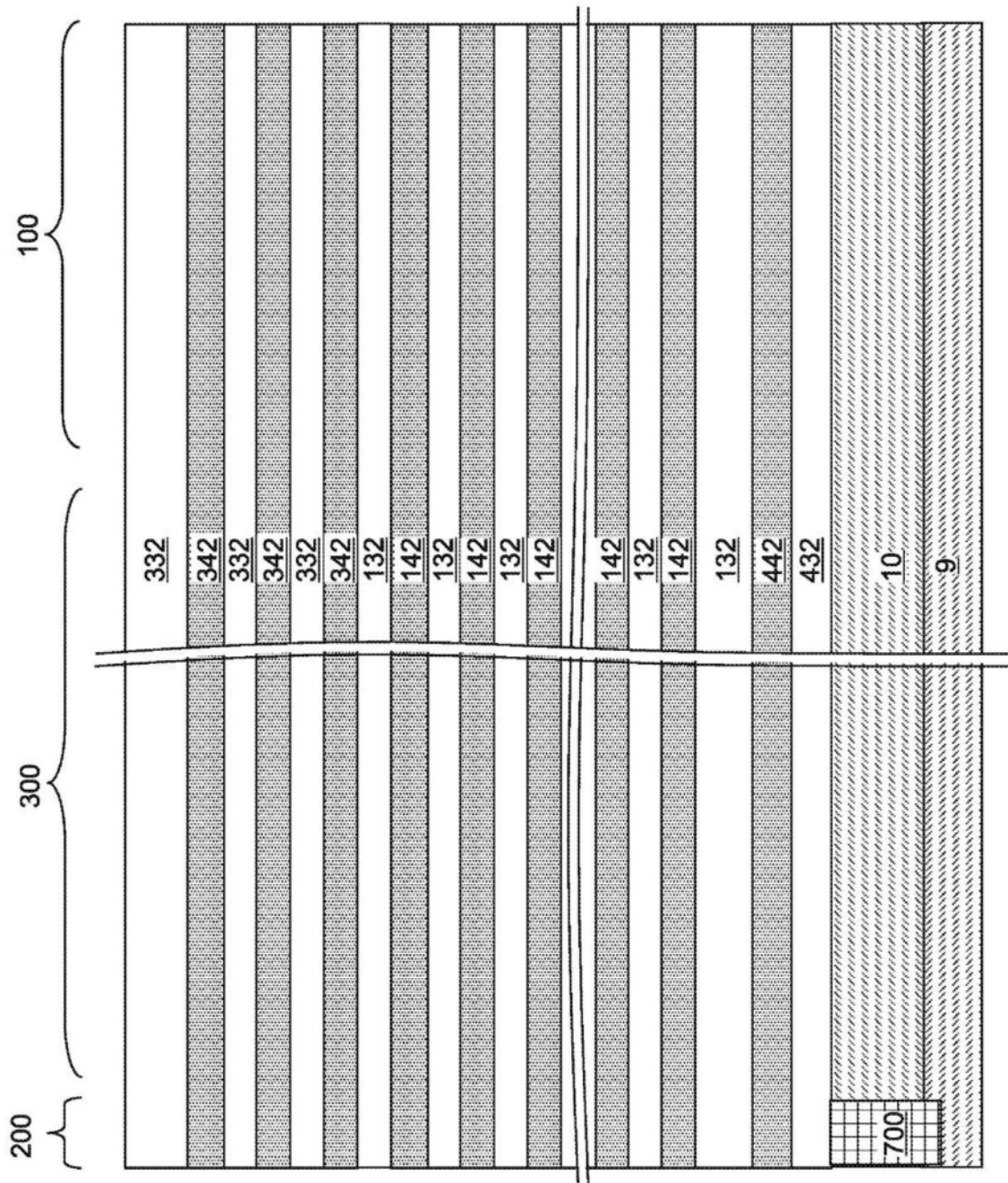


图2

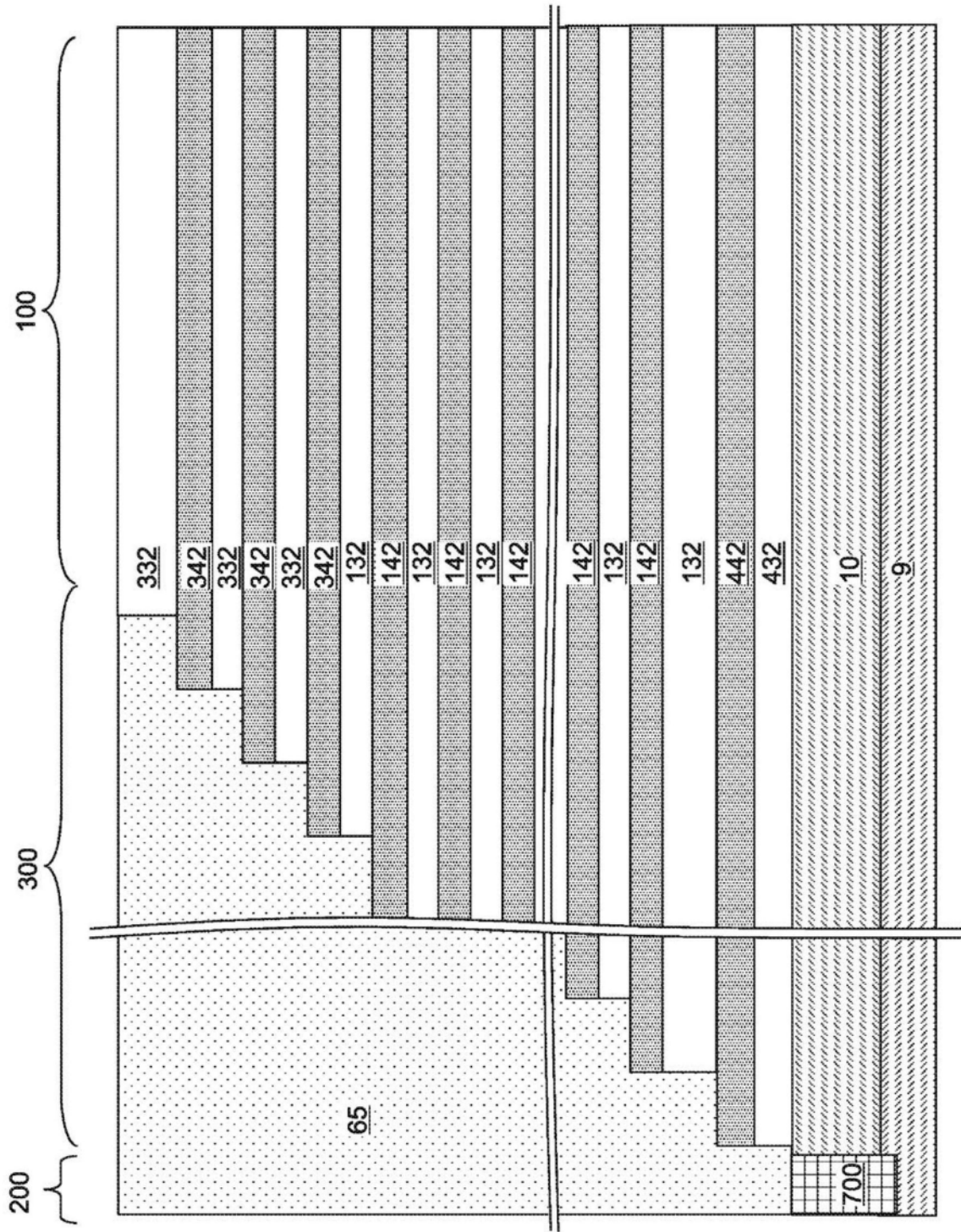


图3

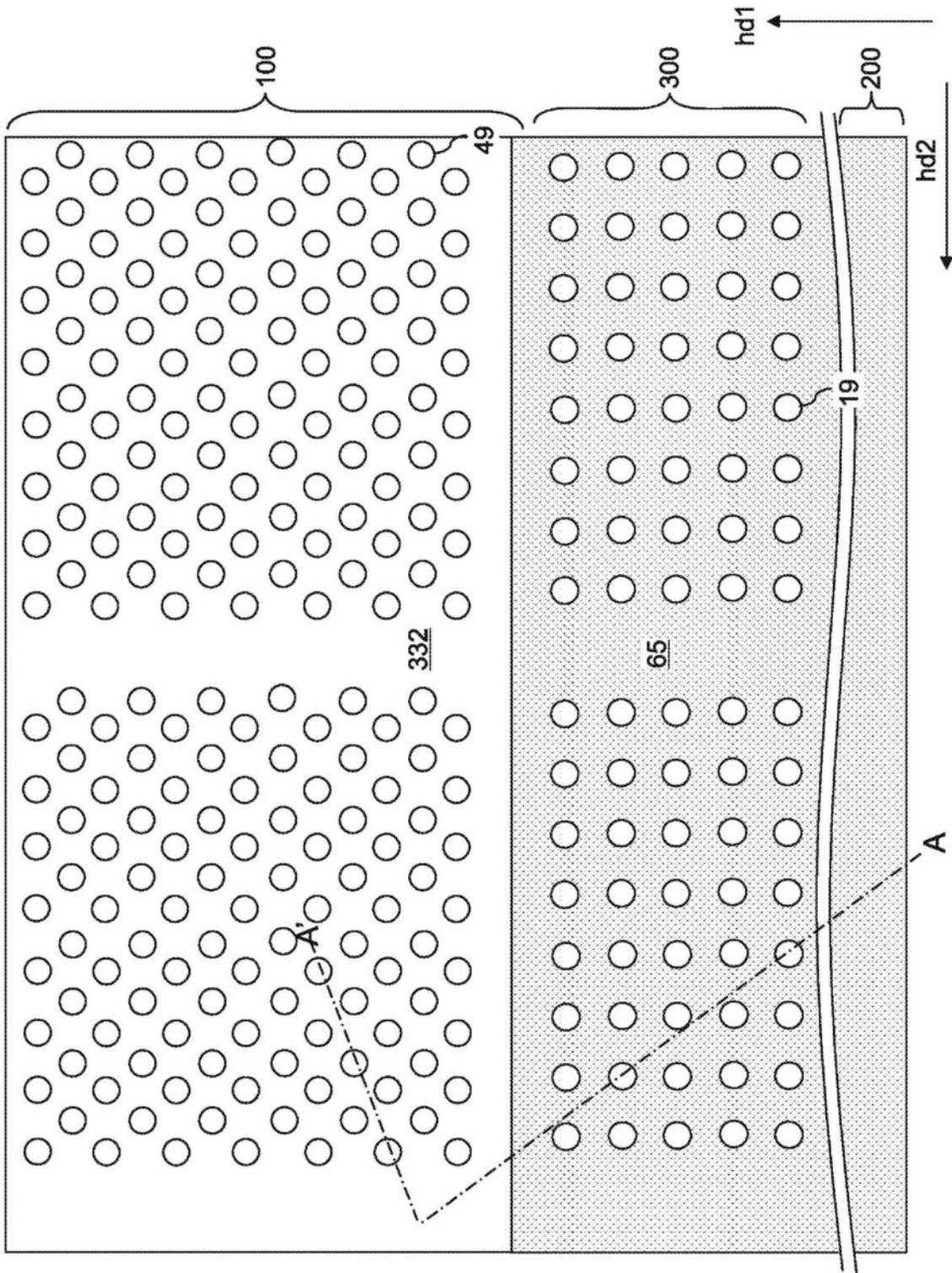


图4B

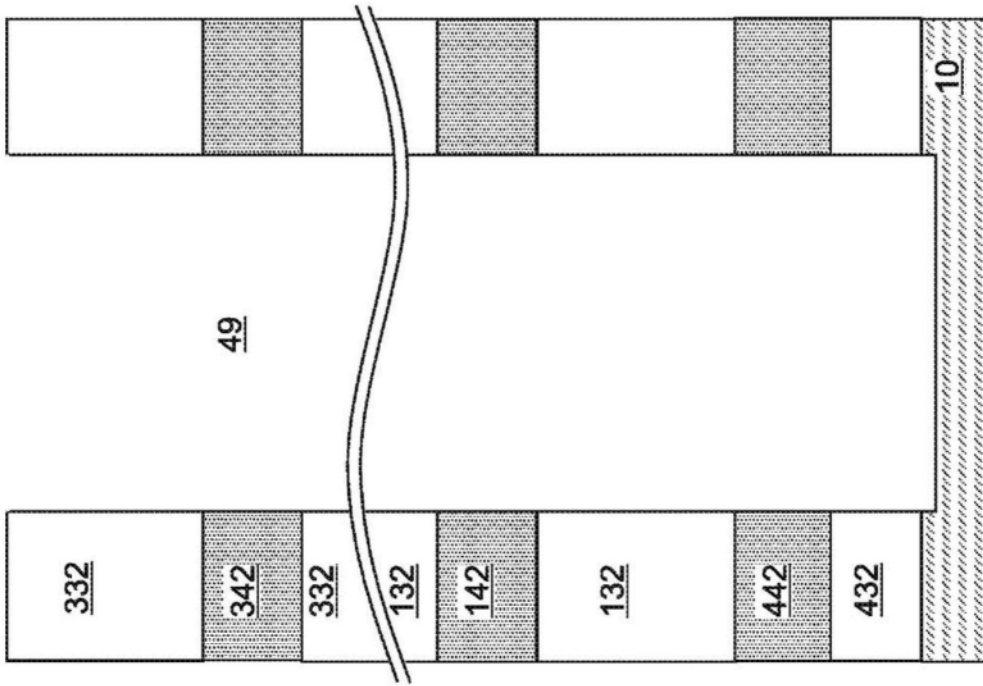


图5A

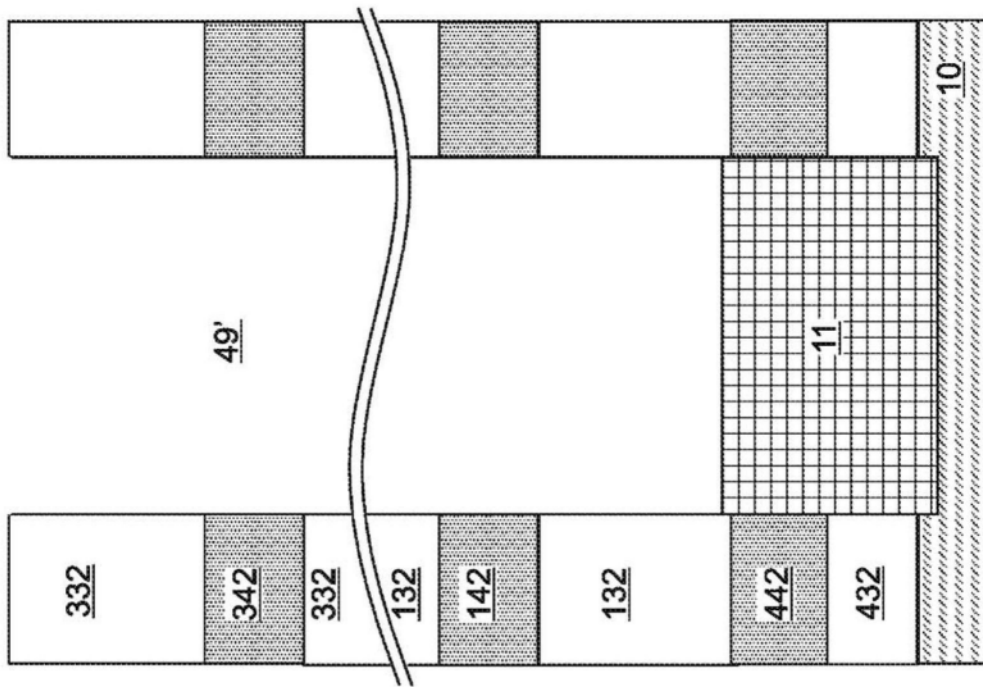


图5B

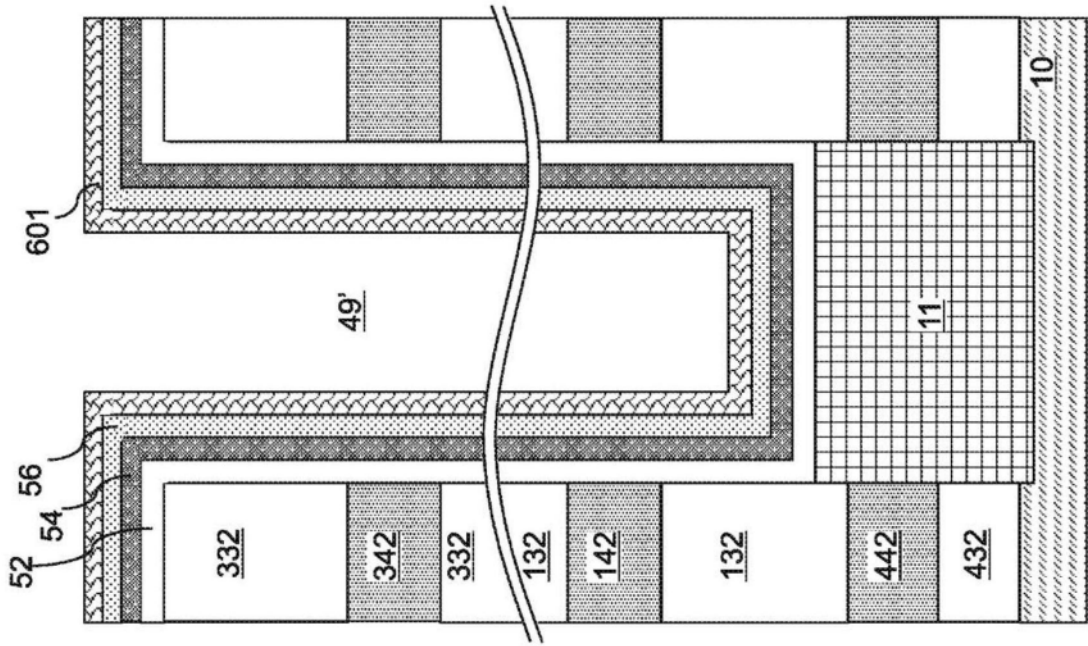


图5C

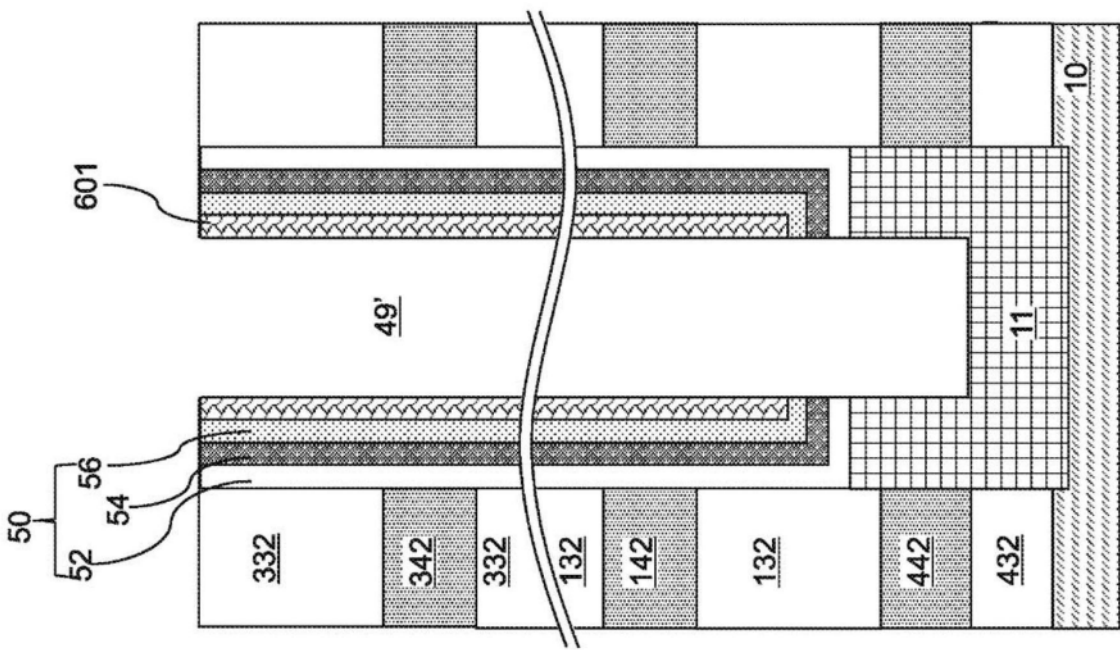


图5D

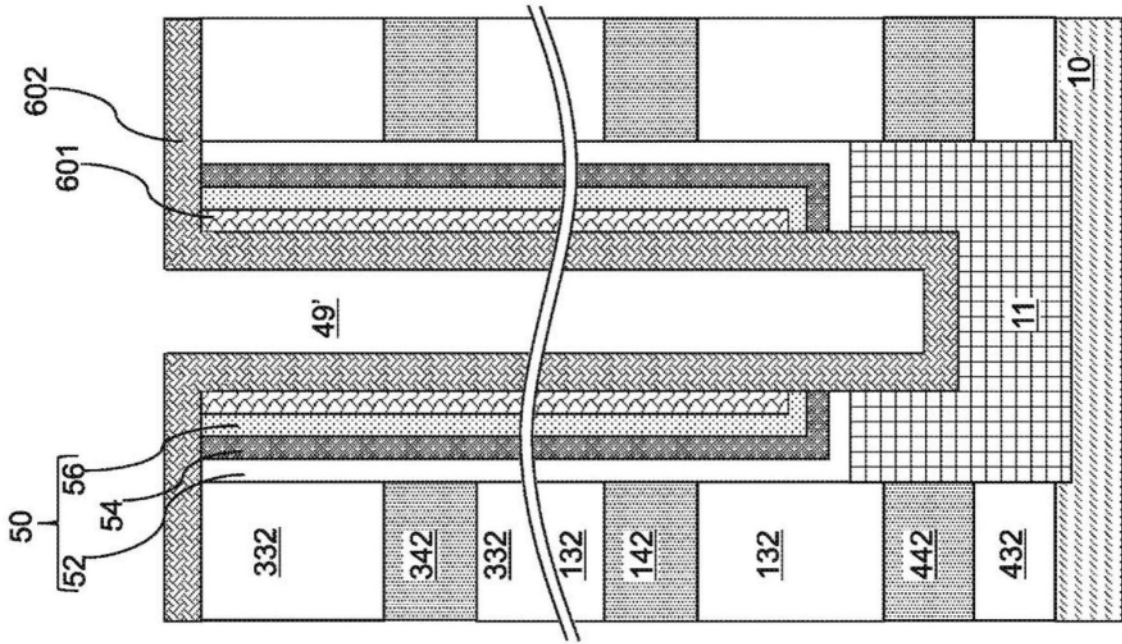


图5E

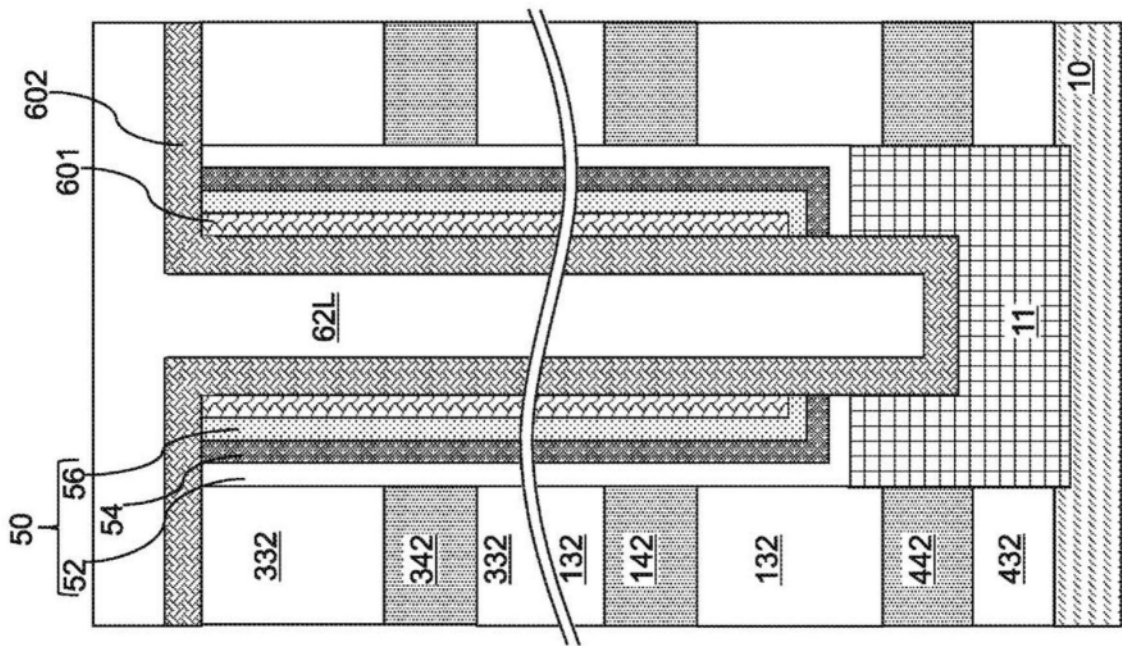


图5F

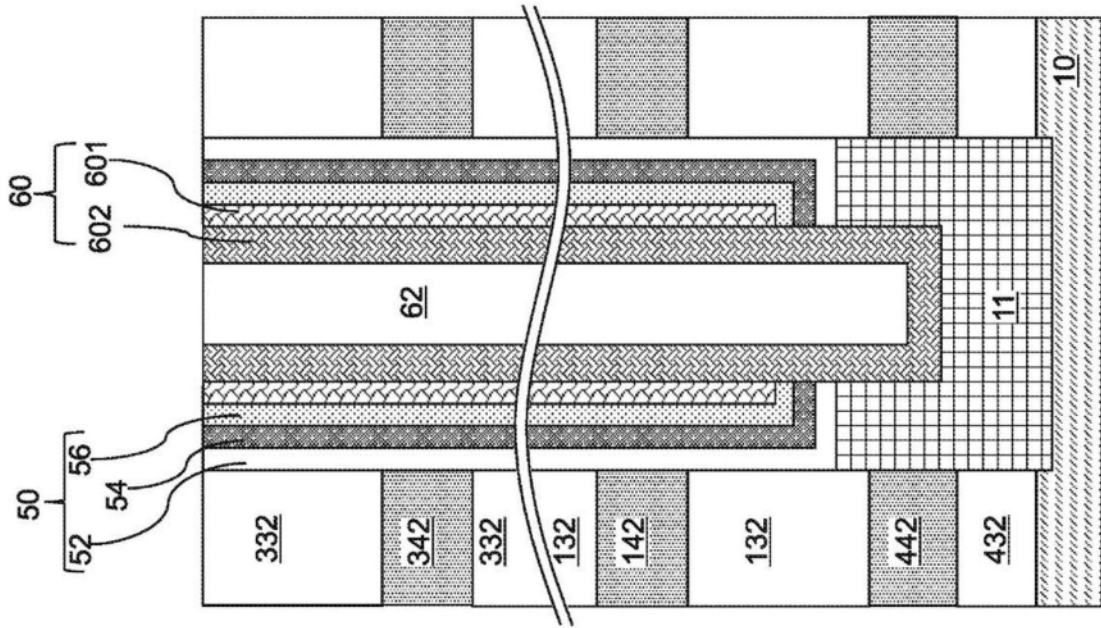


图5G

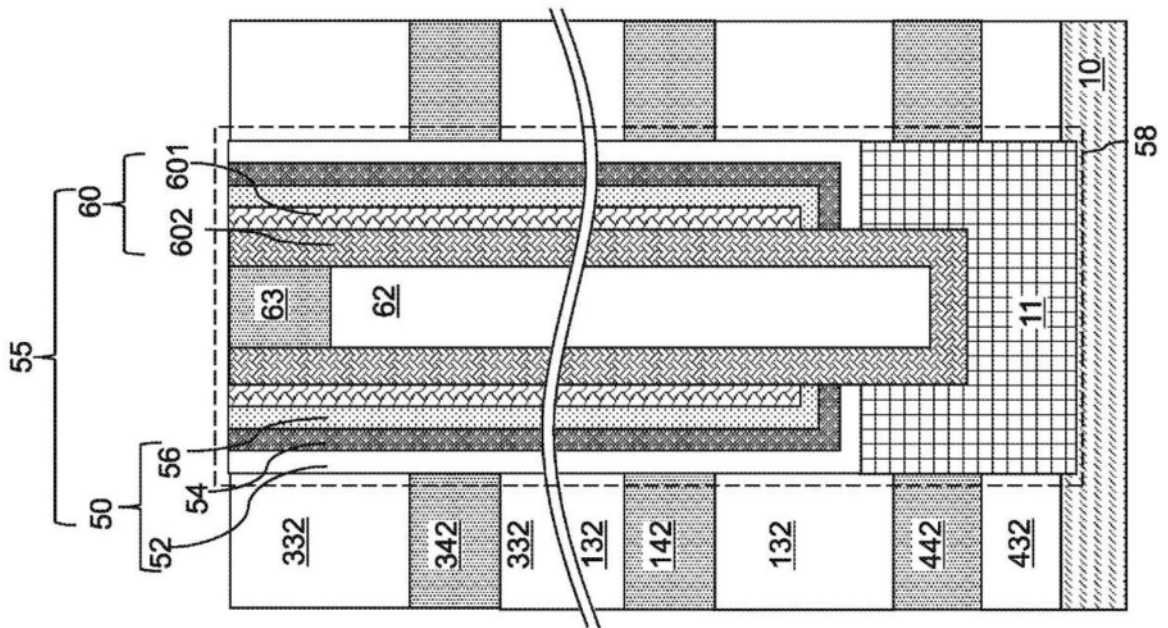


图5H

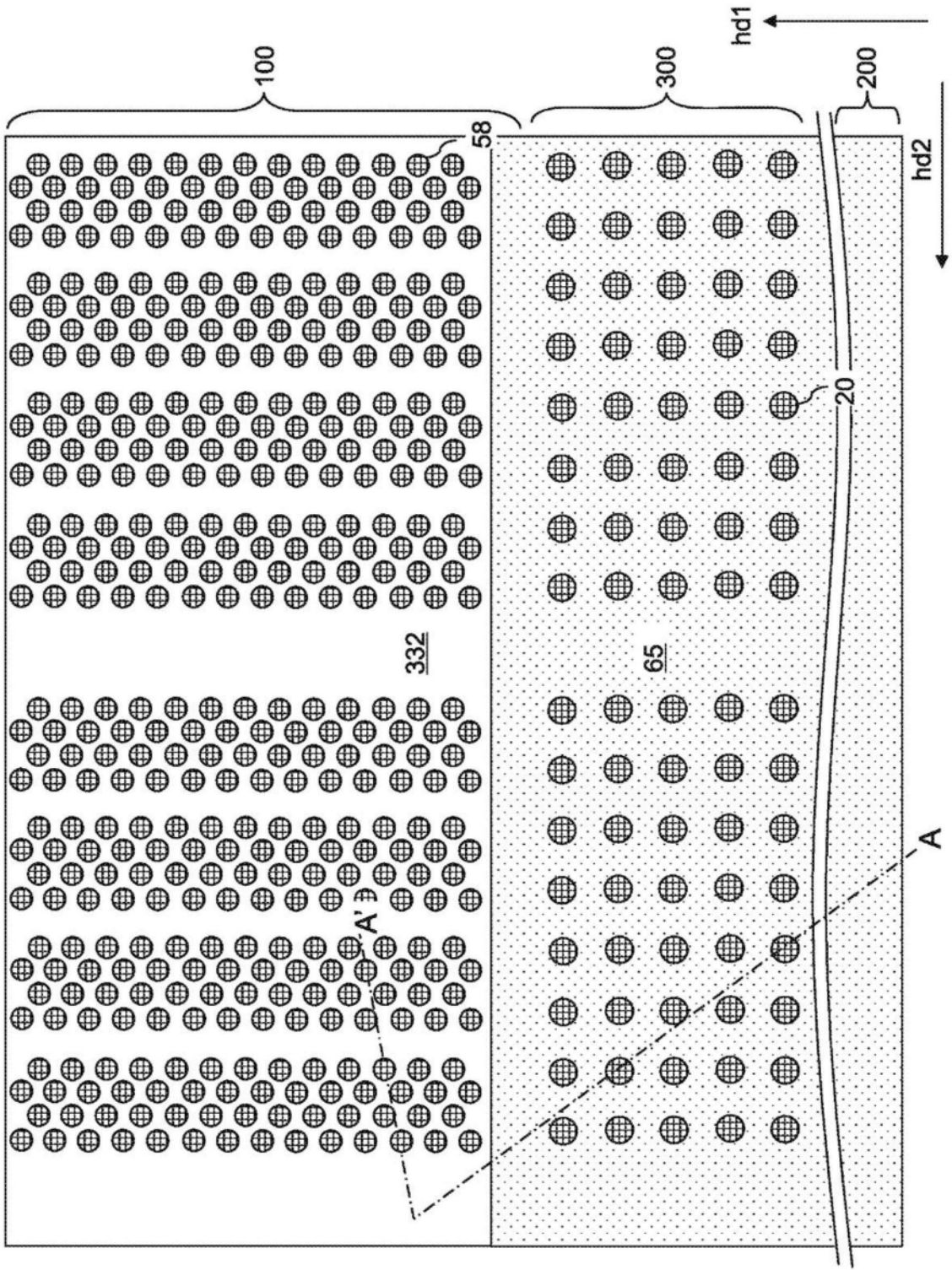


图6B

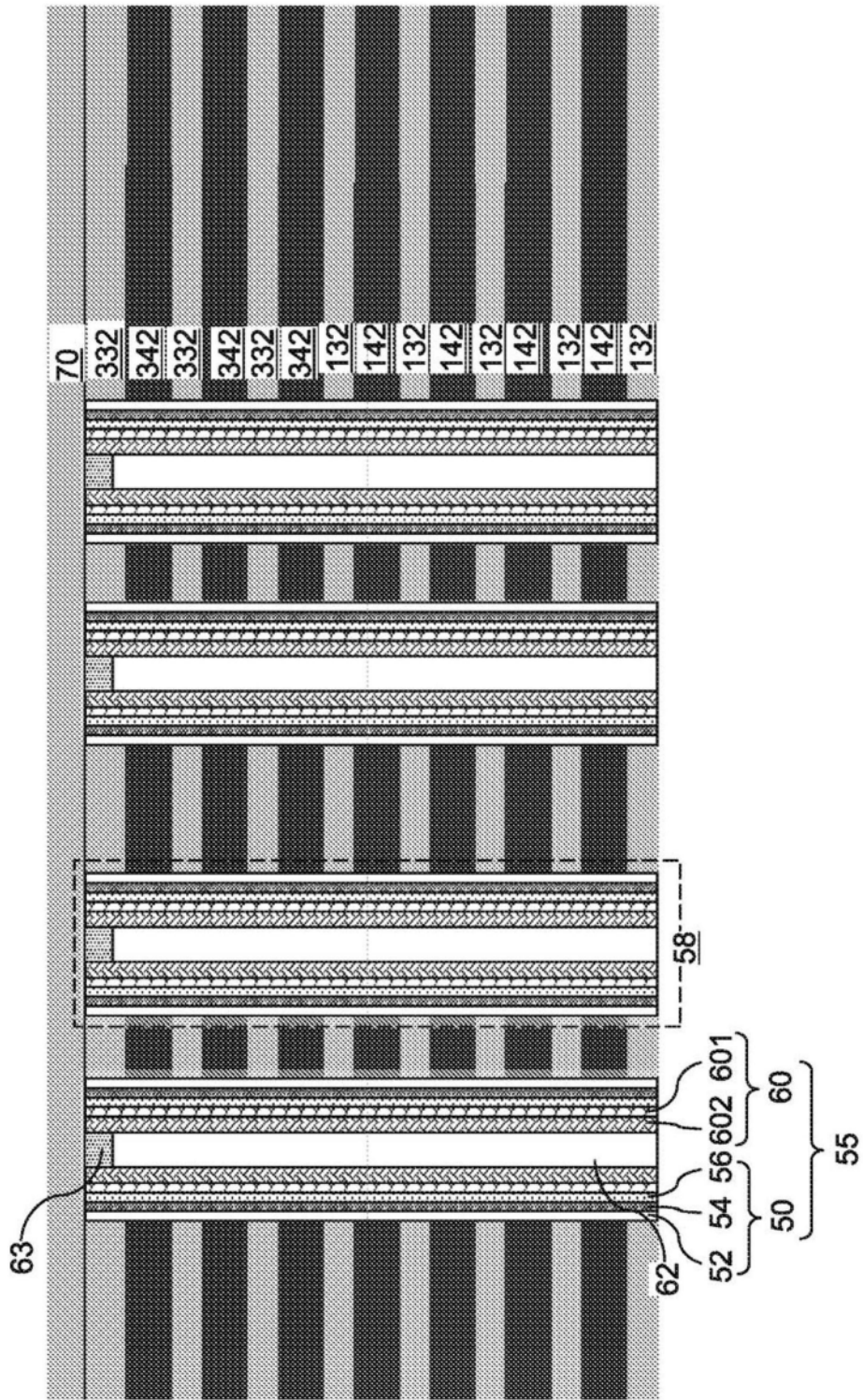


图7A

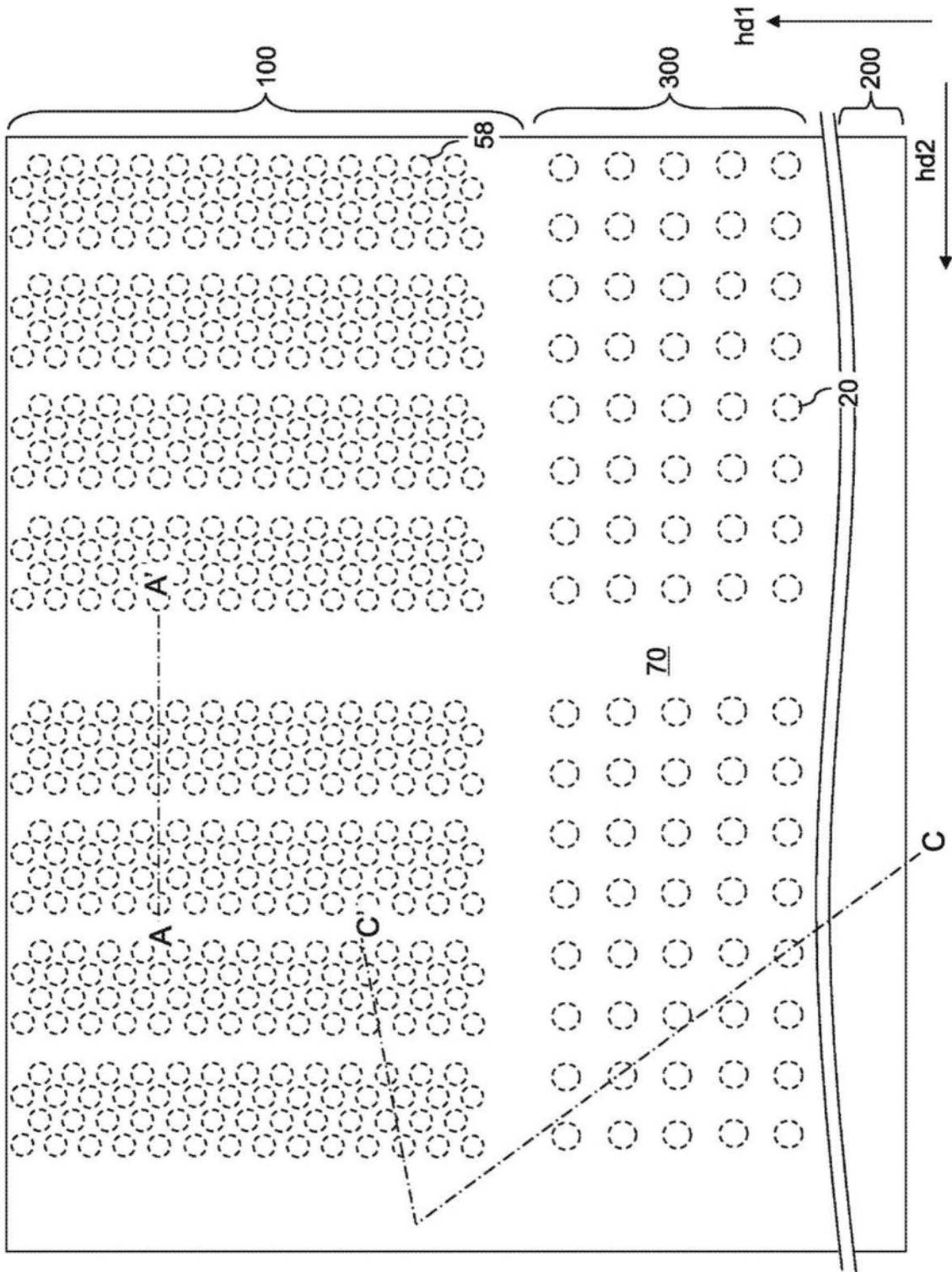


图7B

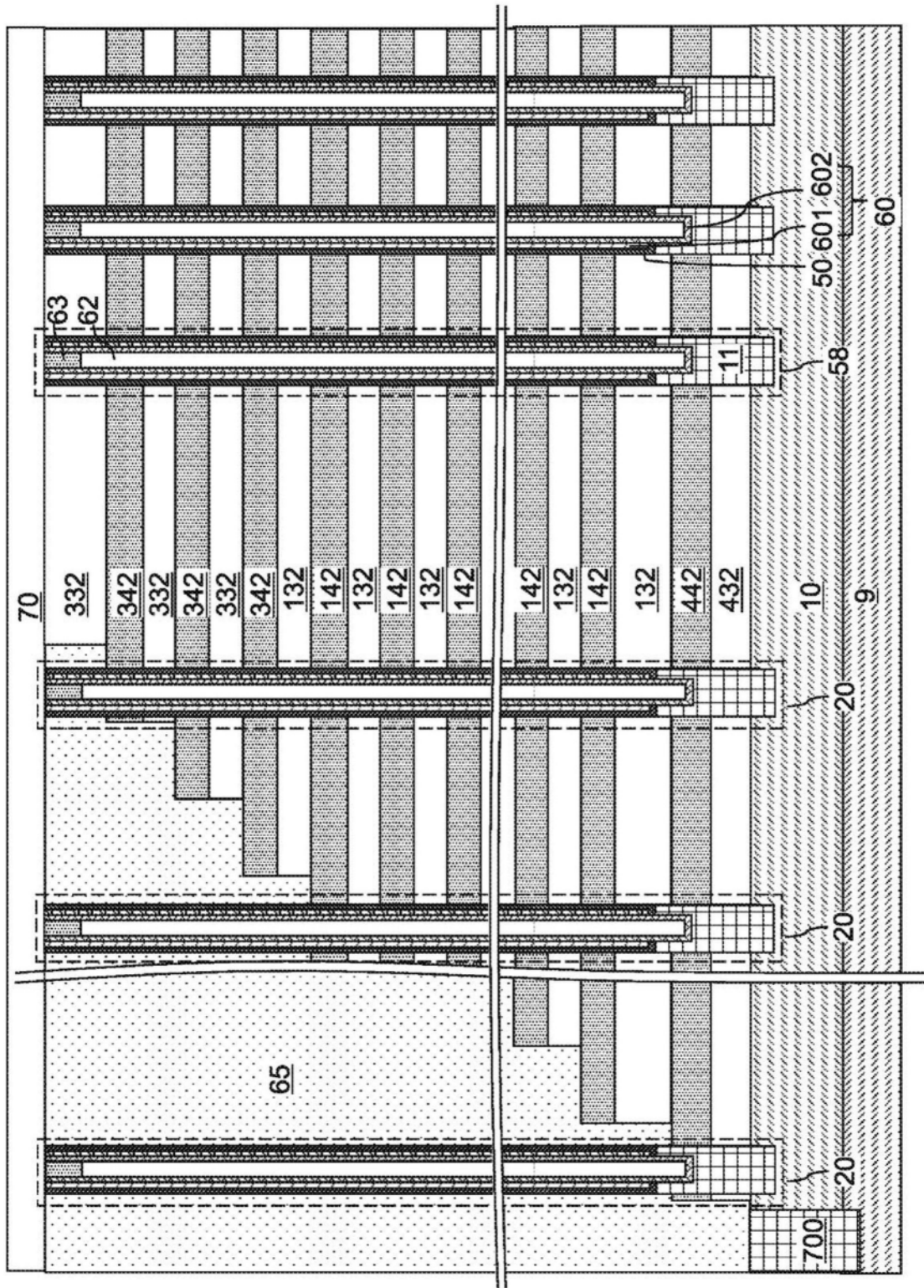


图7C

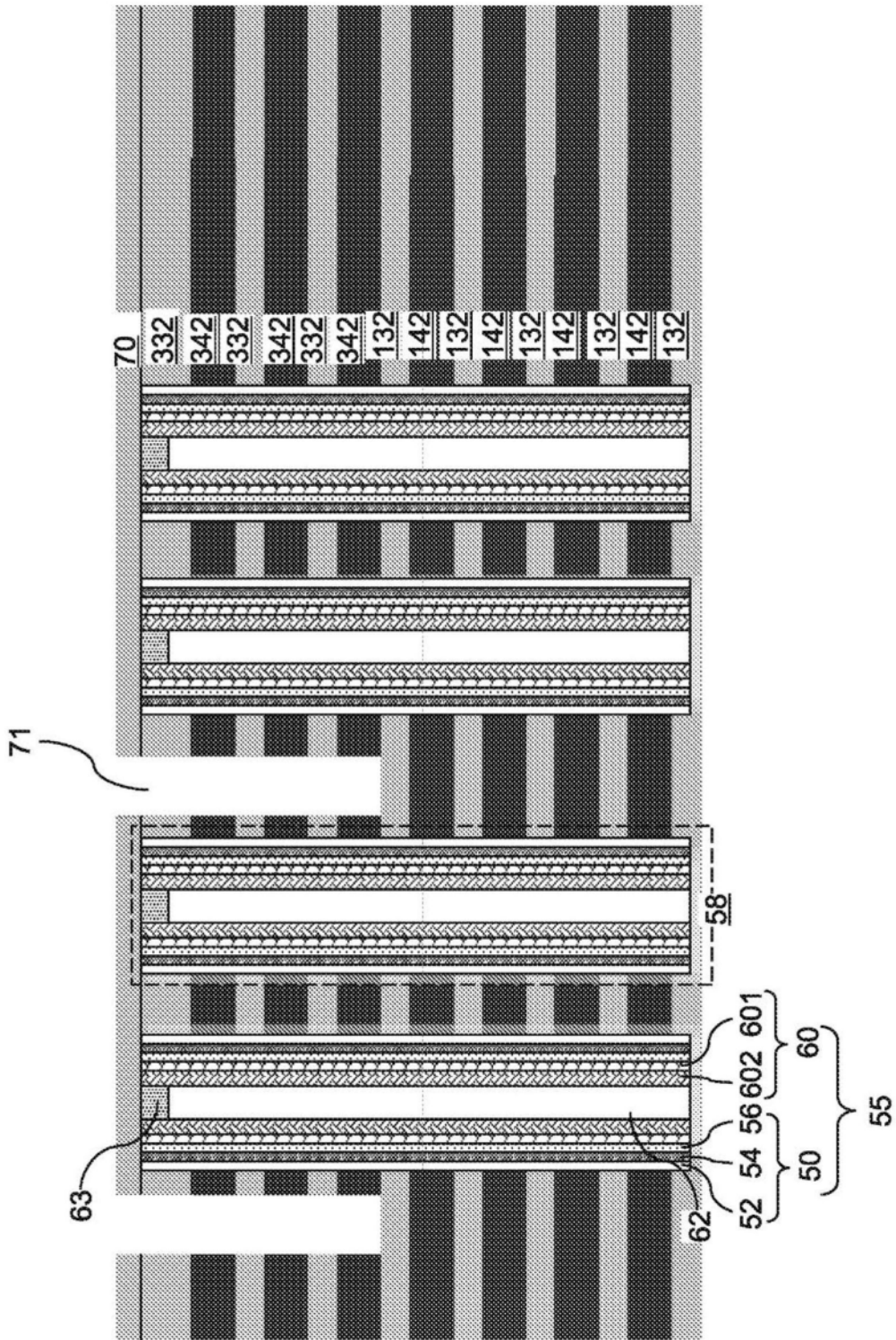


图8A

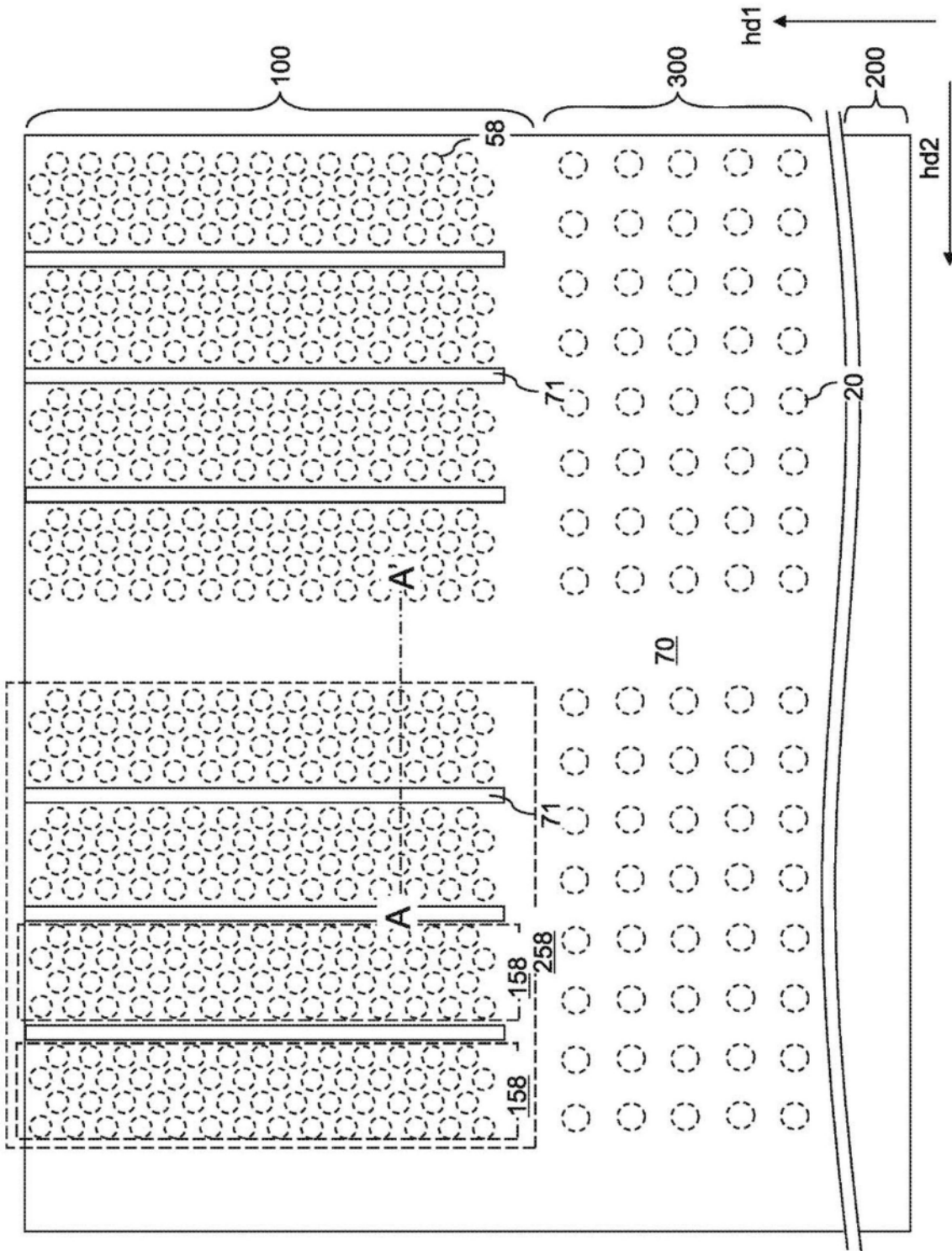


图8B

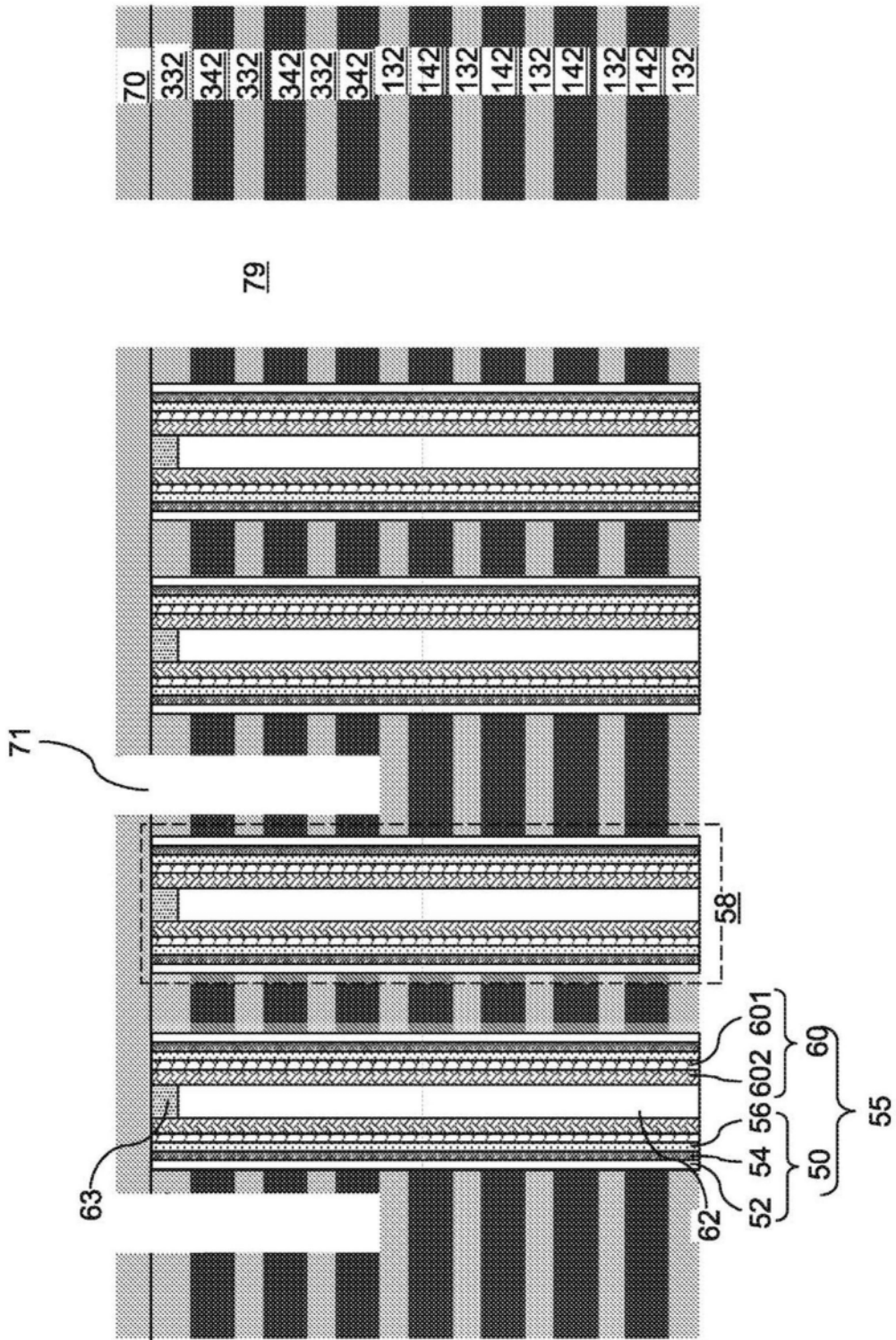


图9A

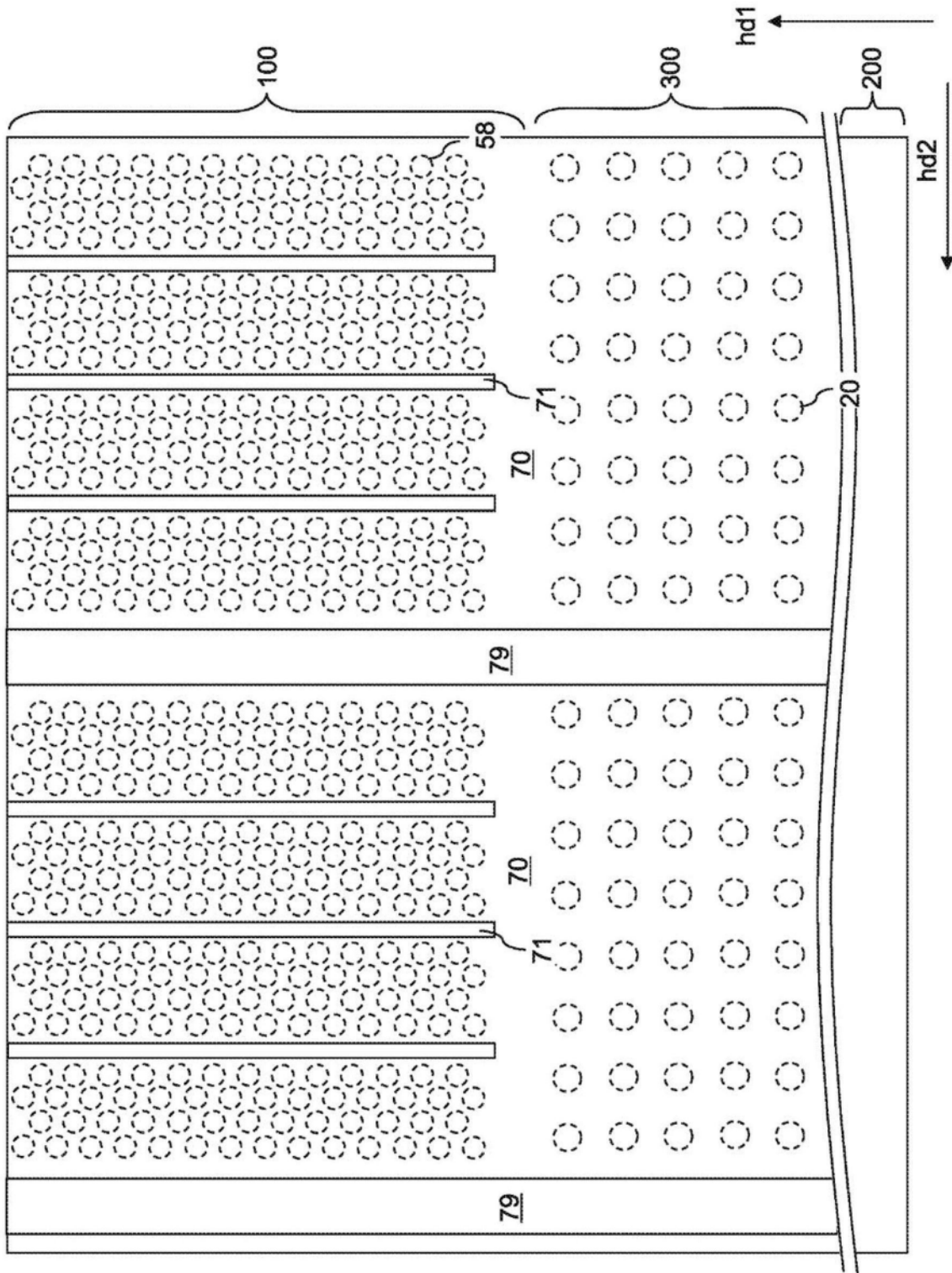


图9B

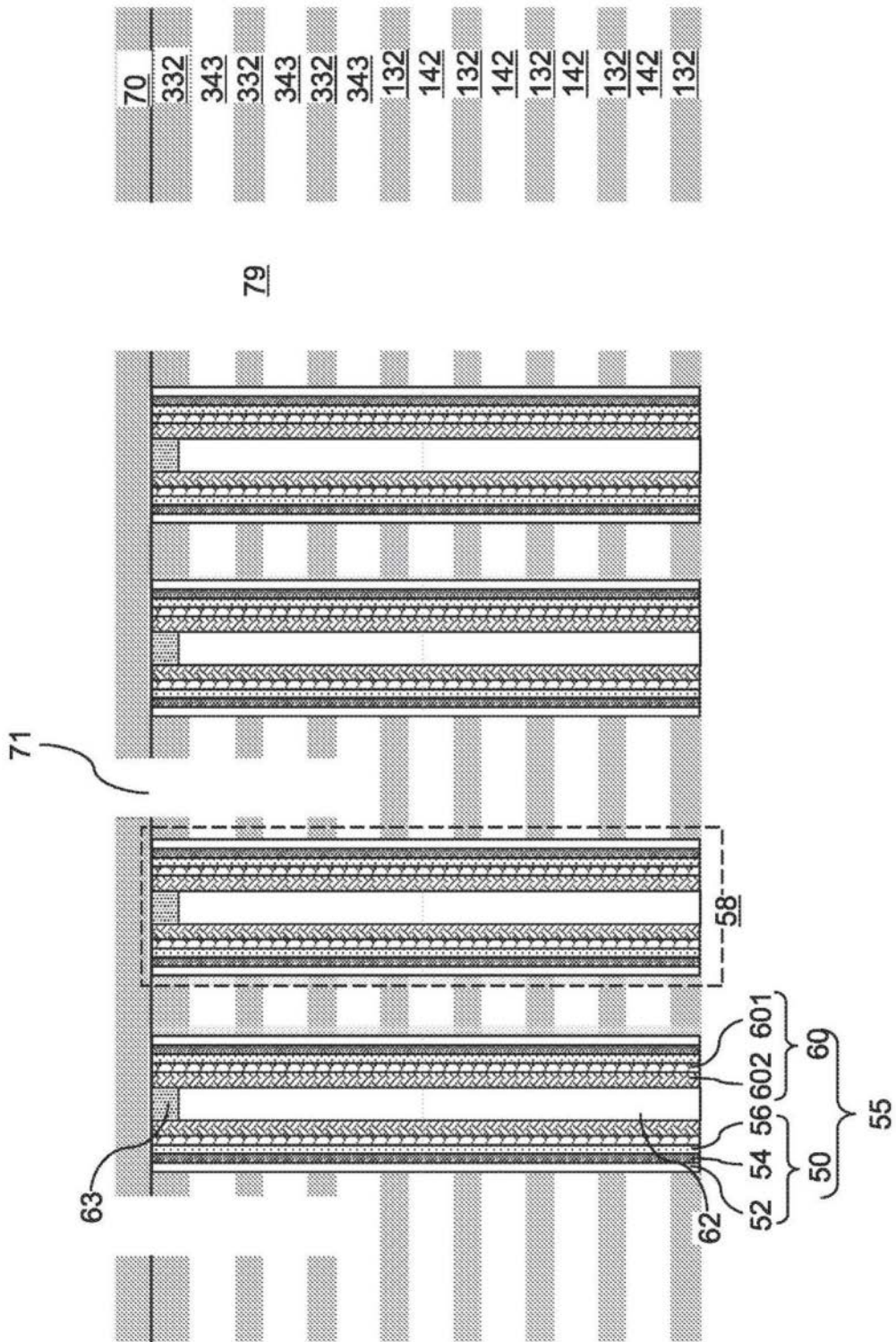


图10A

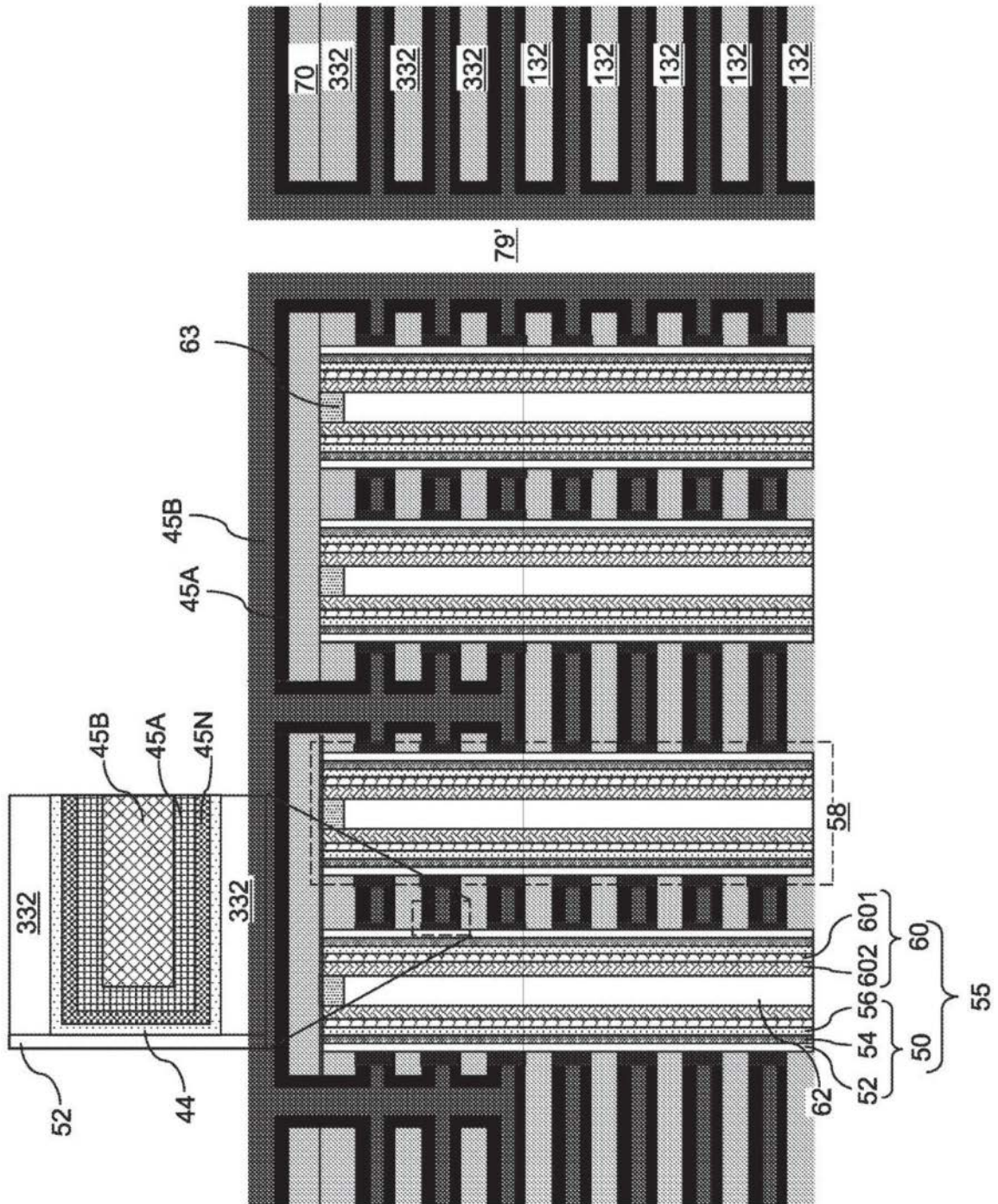


图11

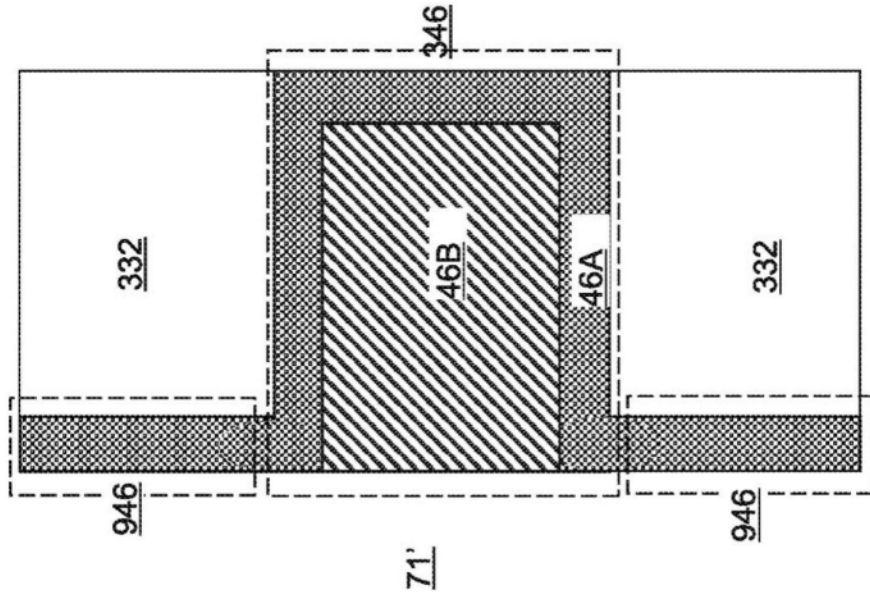


图14B

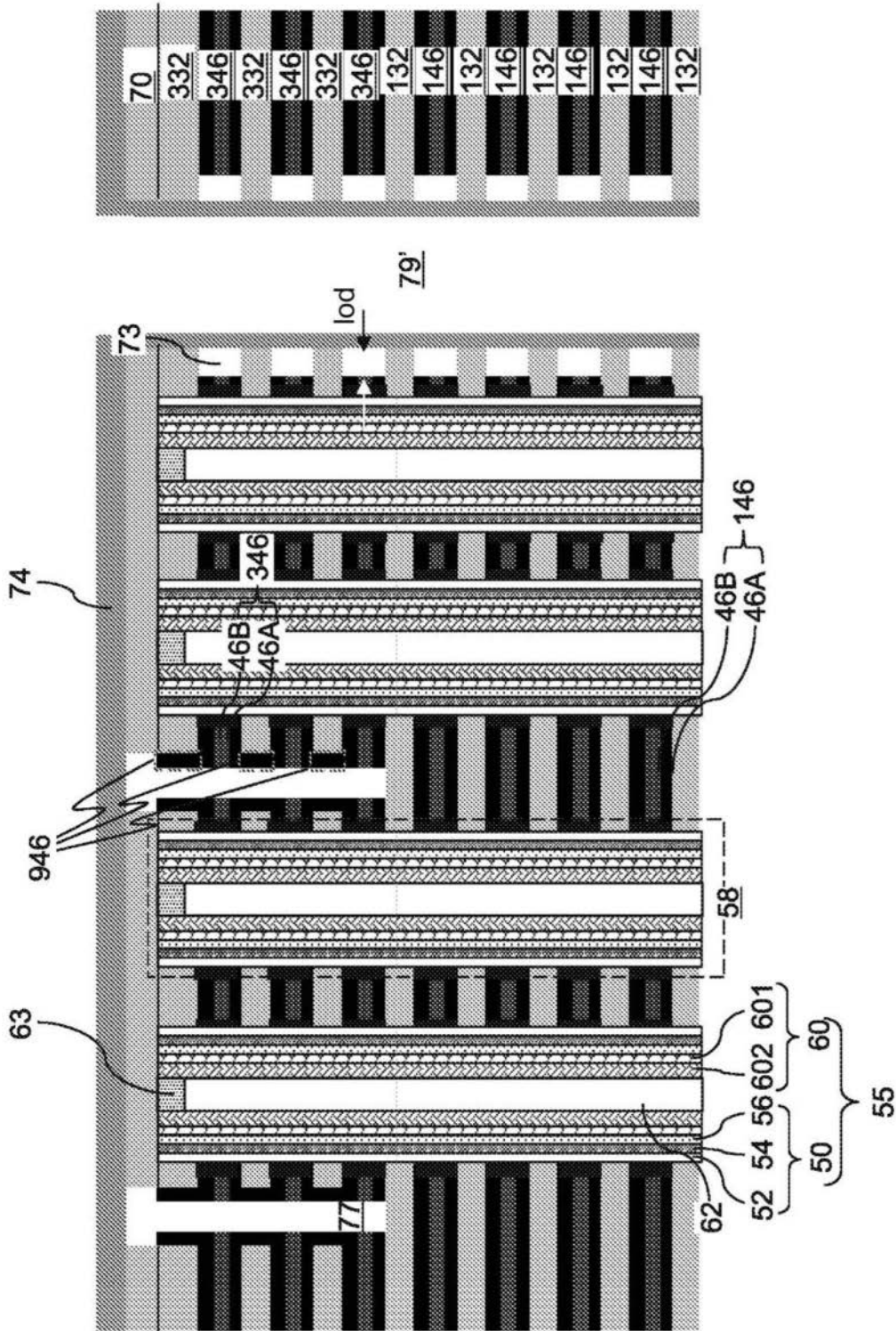


图15A

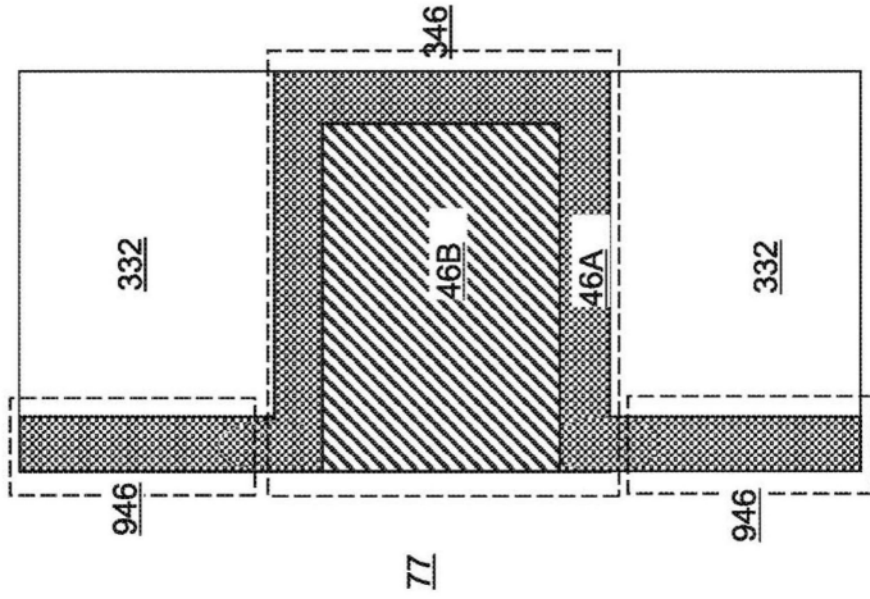


图15C

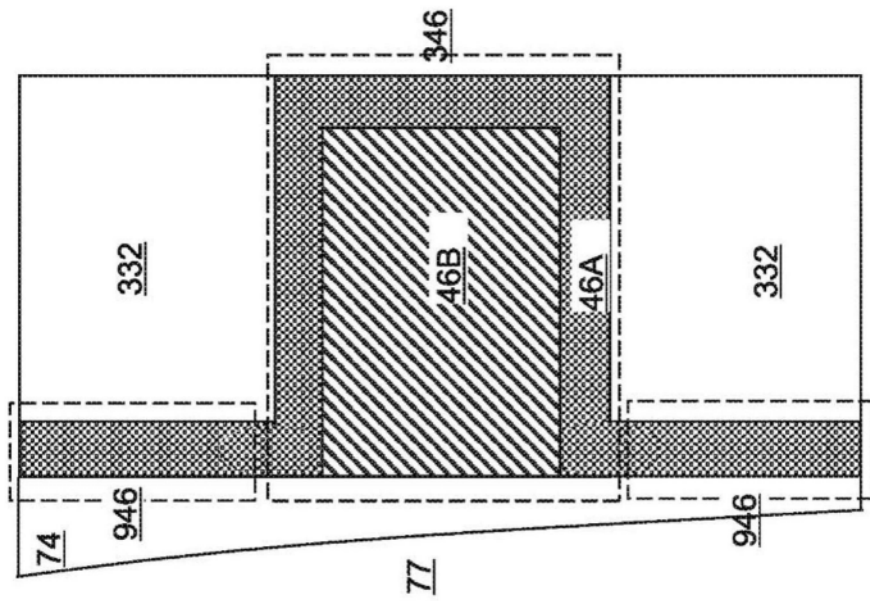


图15D

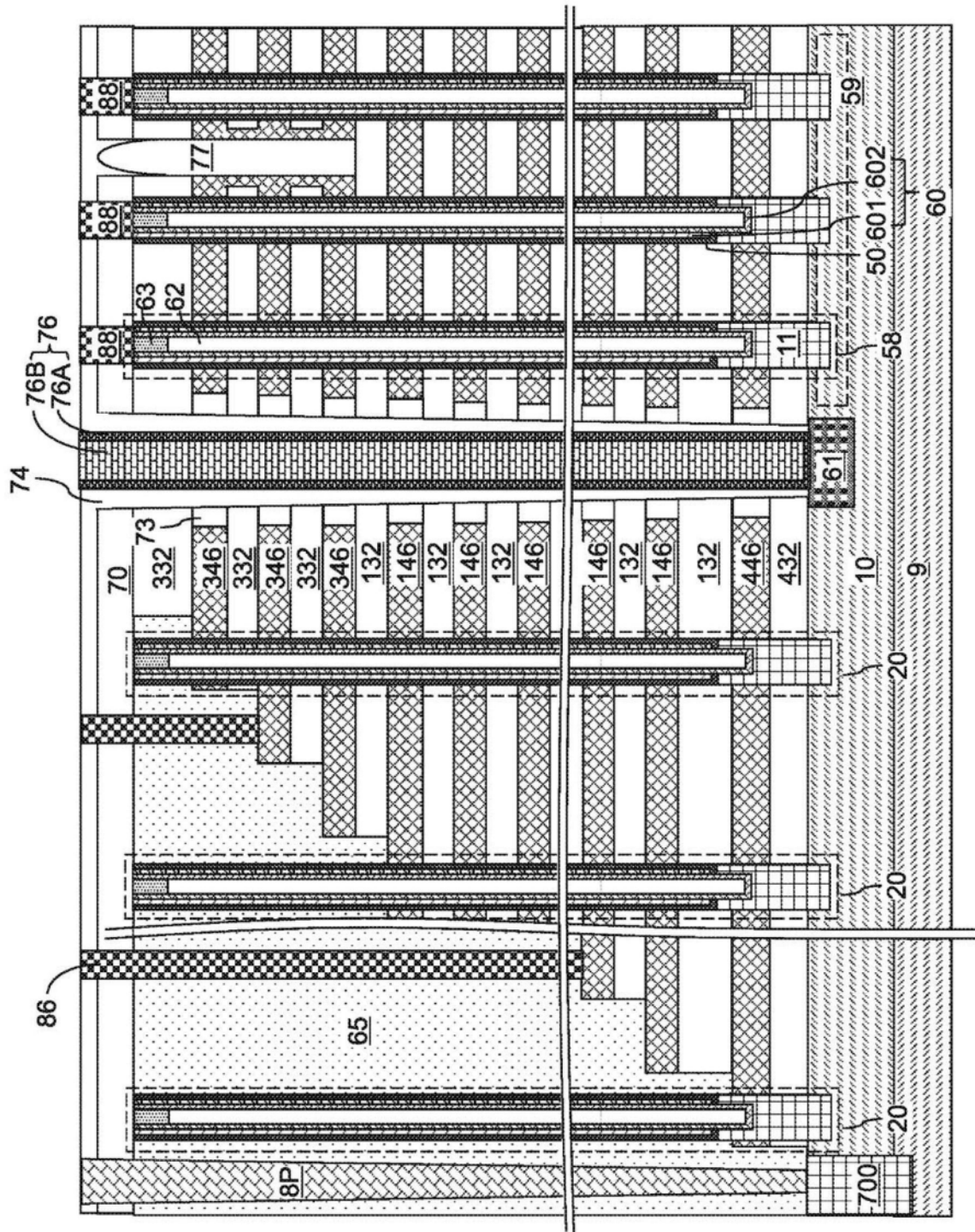


图16A

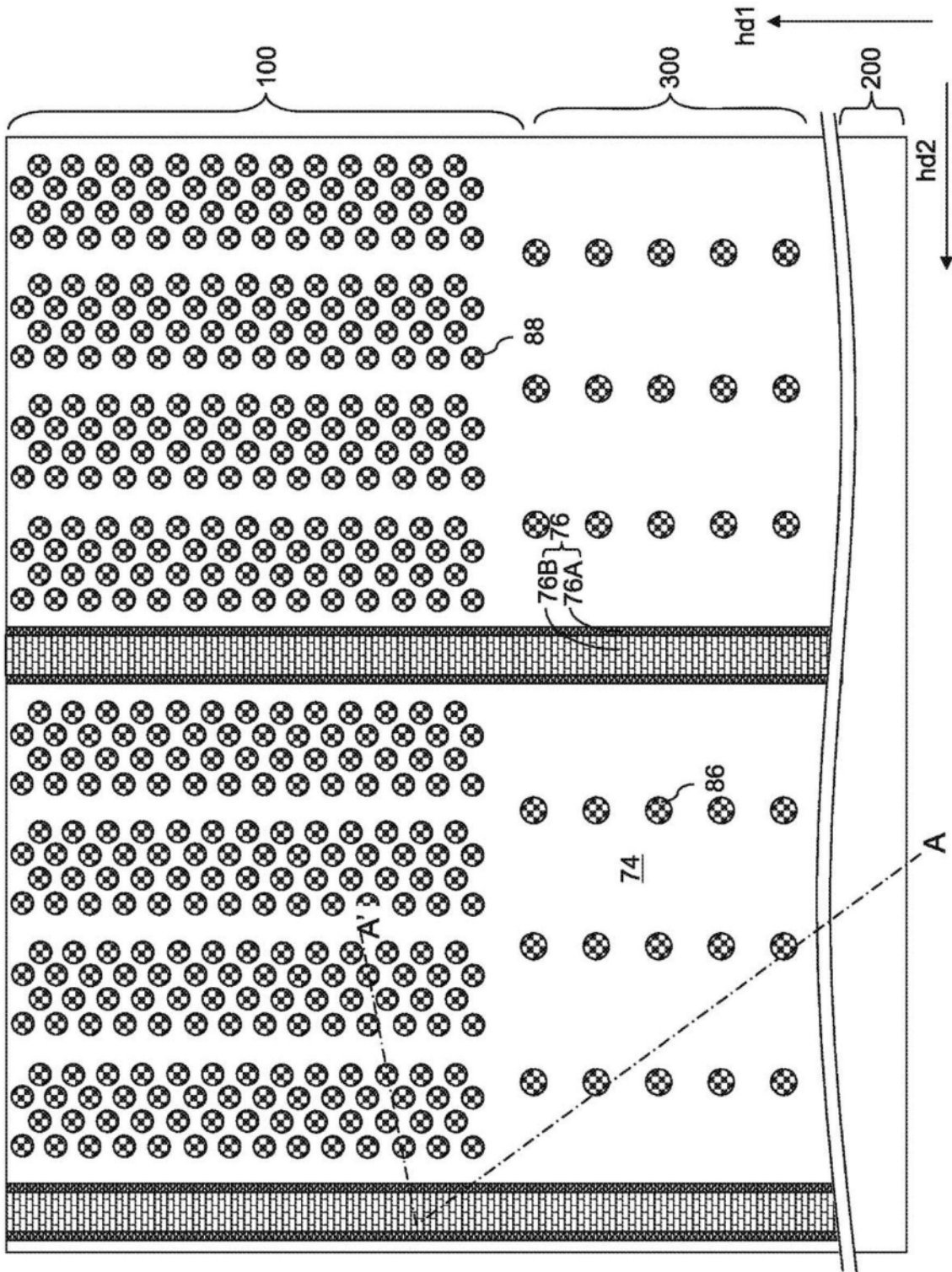


图16B

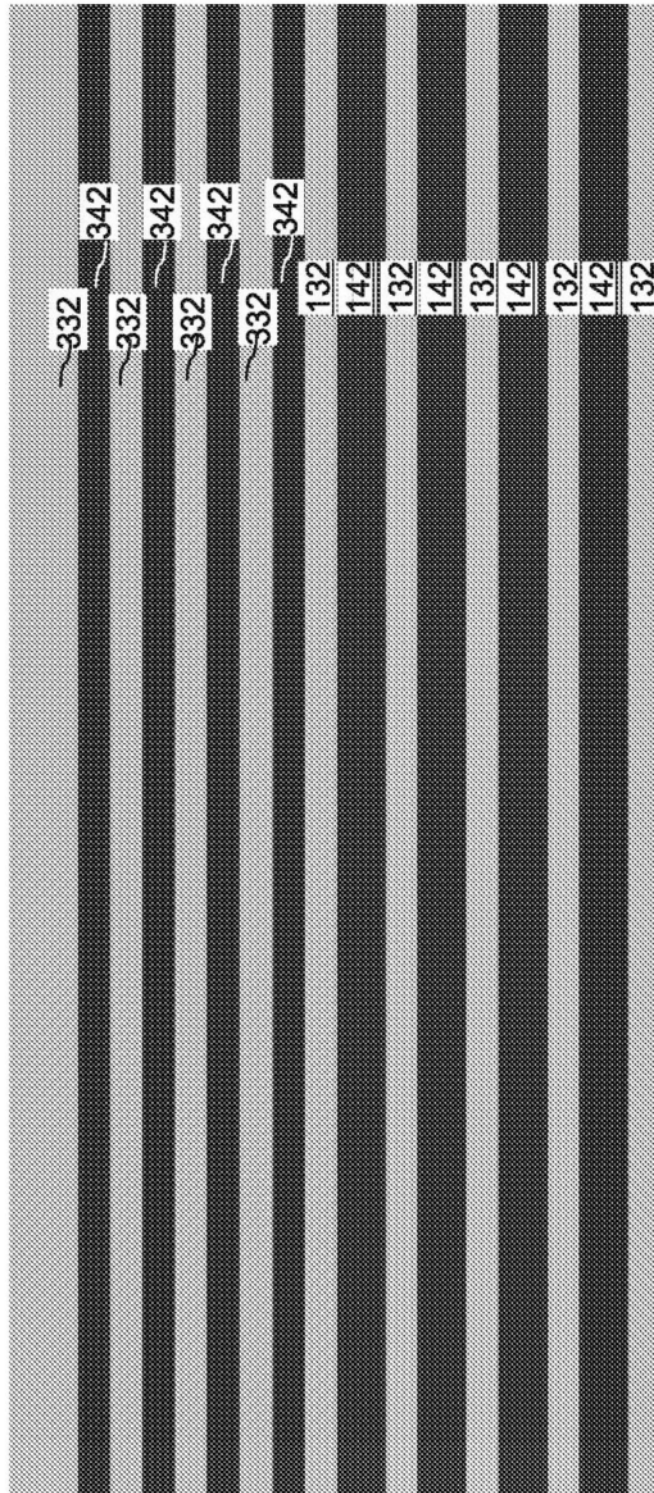


图17

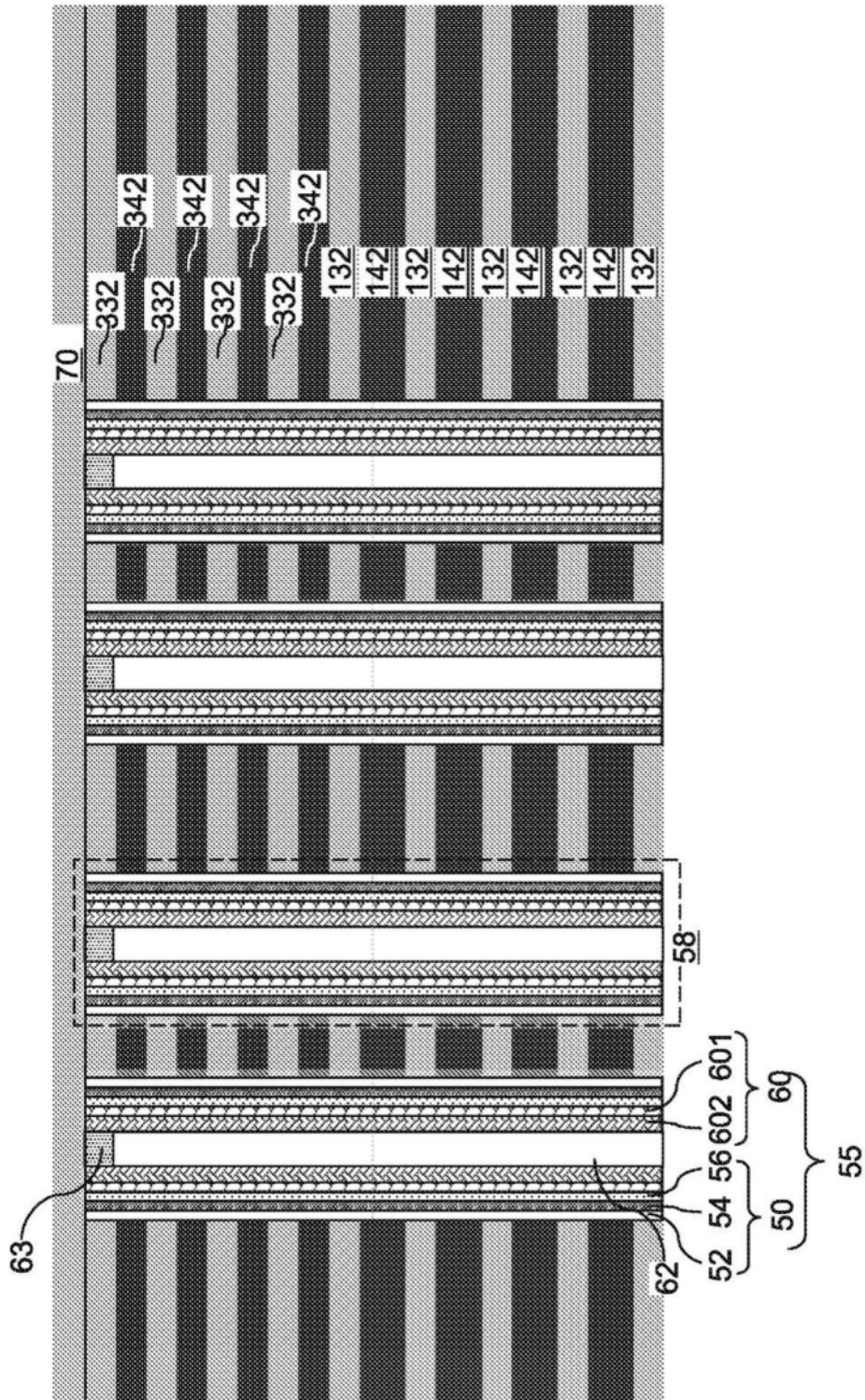


图18

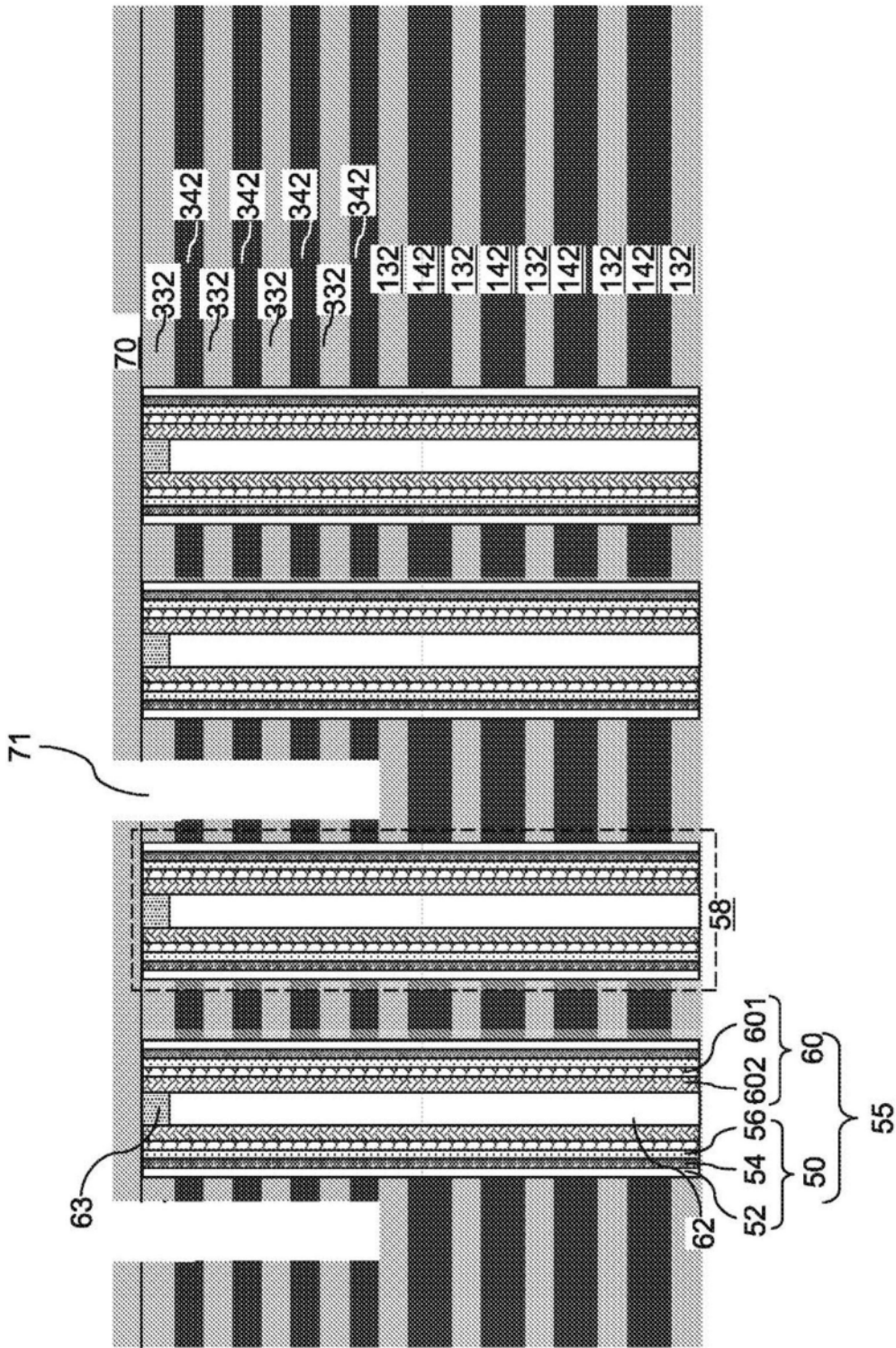


图19A

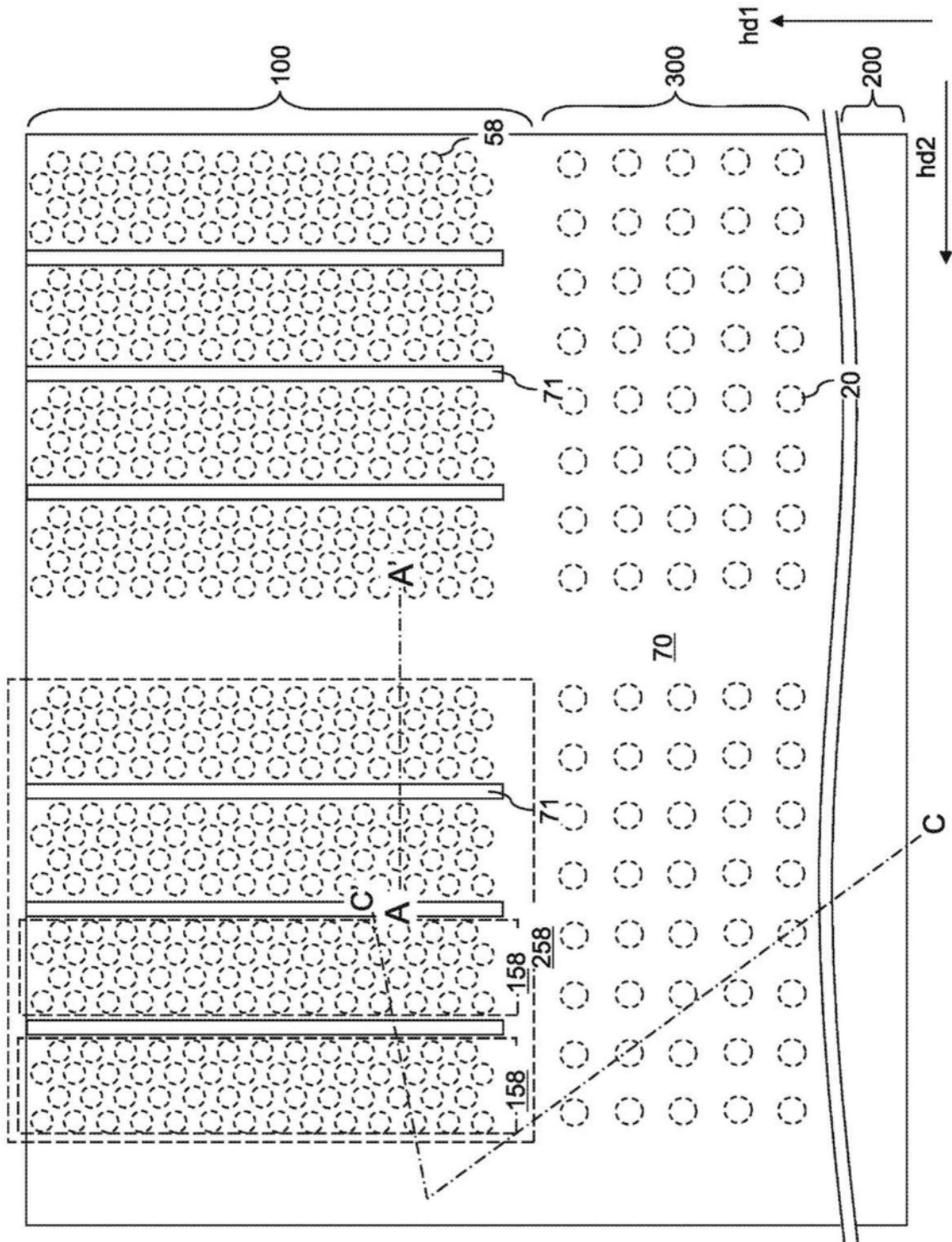


图19B

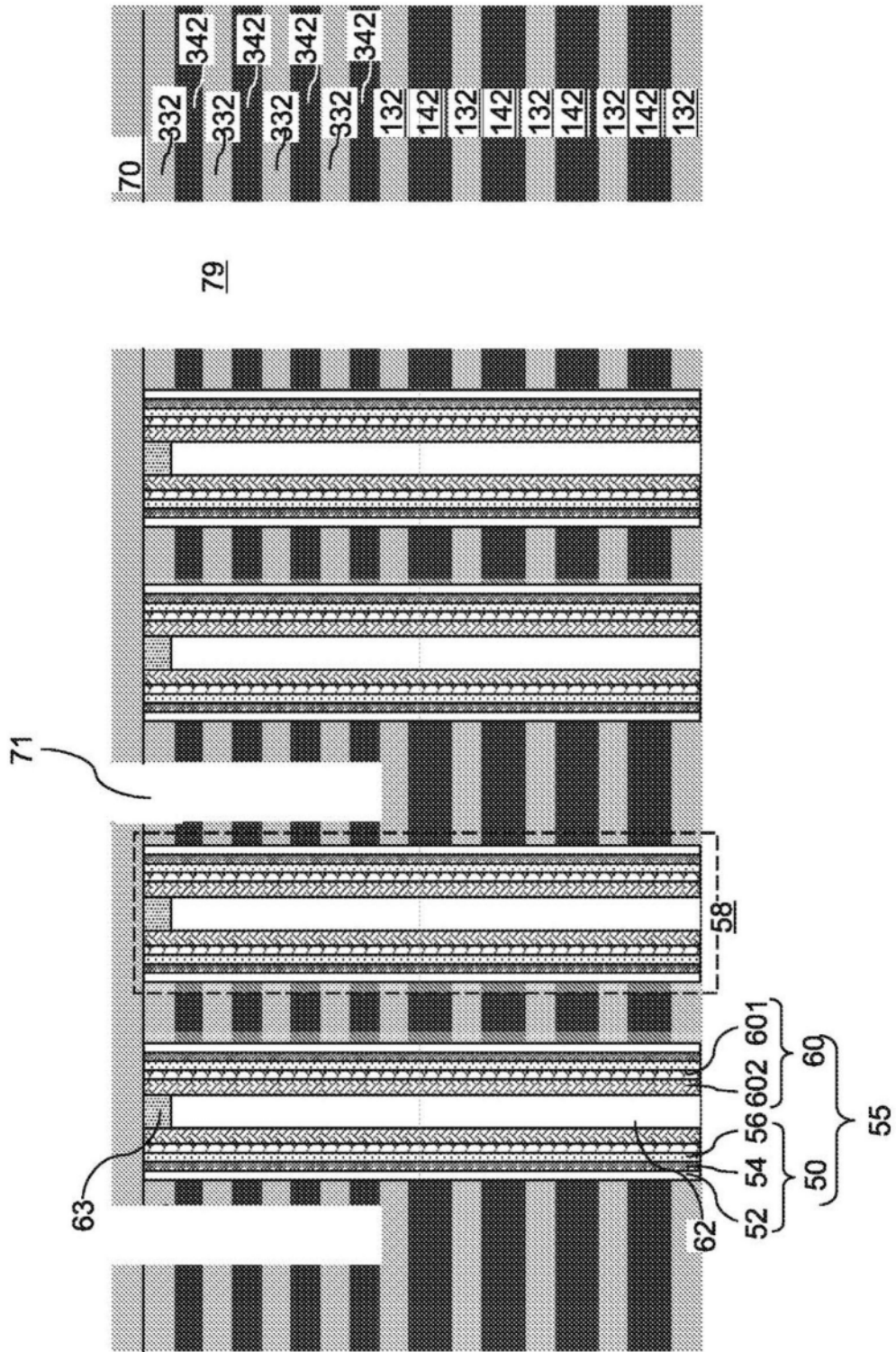


图20

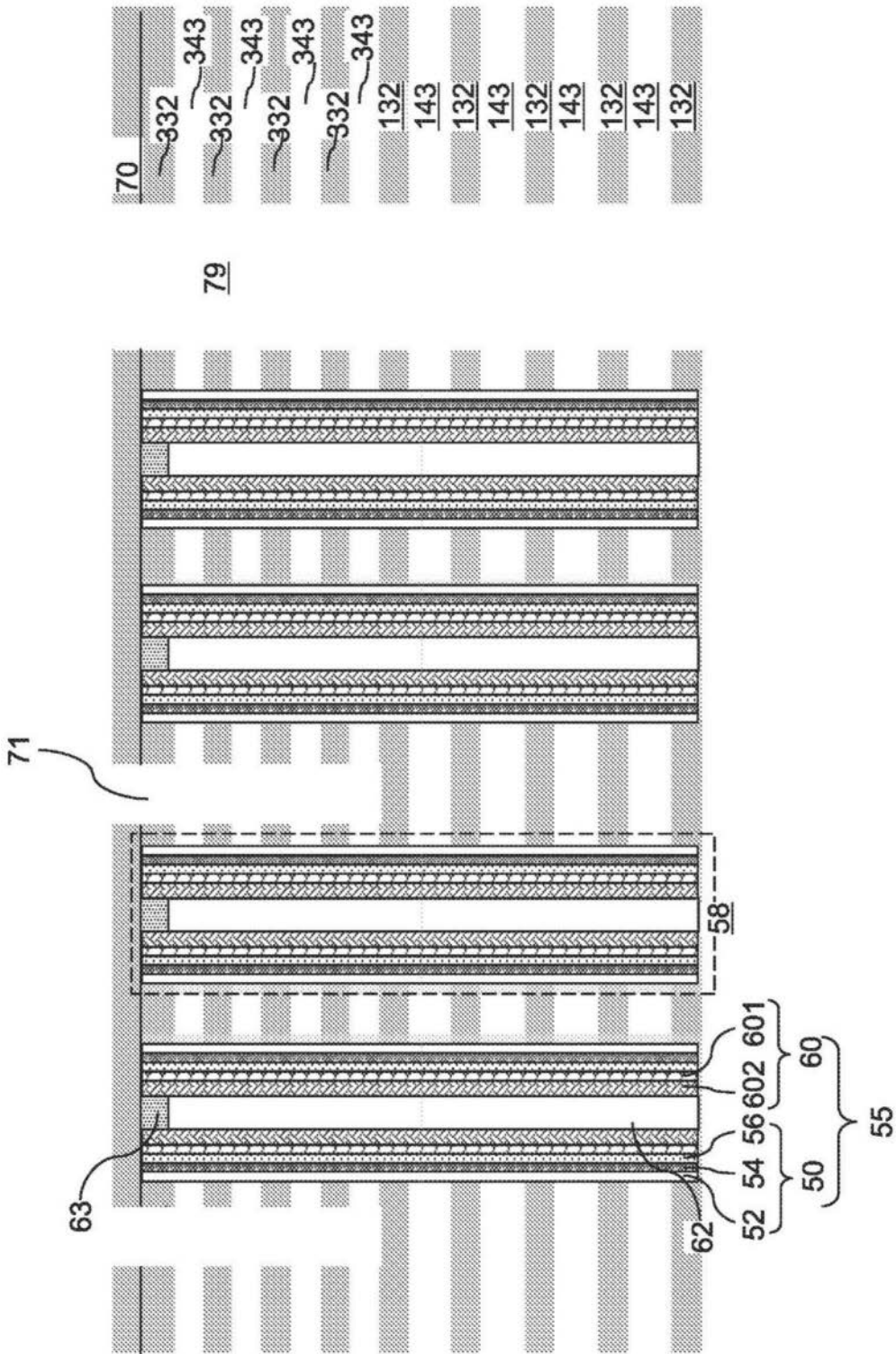


图21A

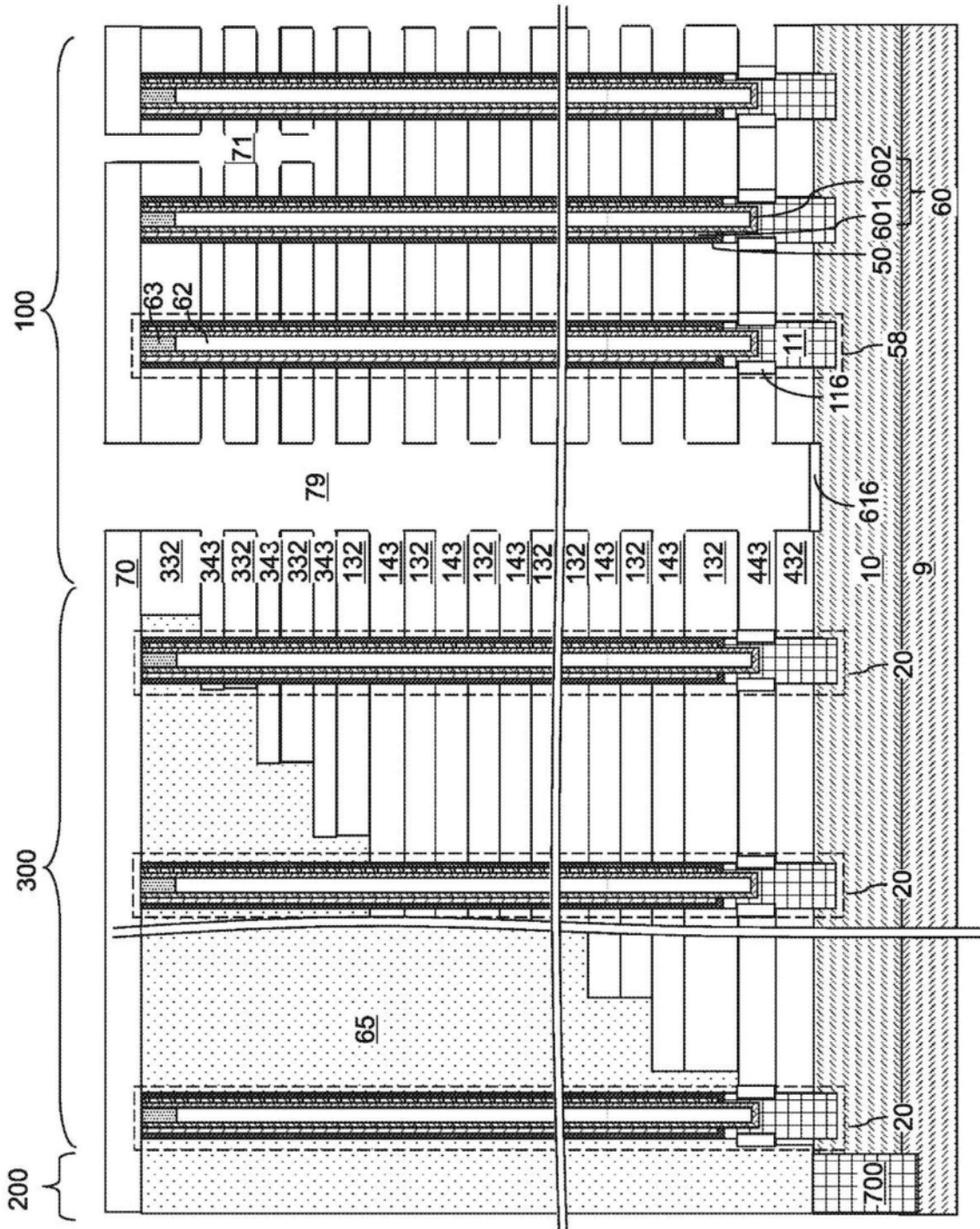


图21B

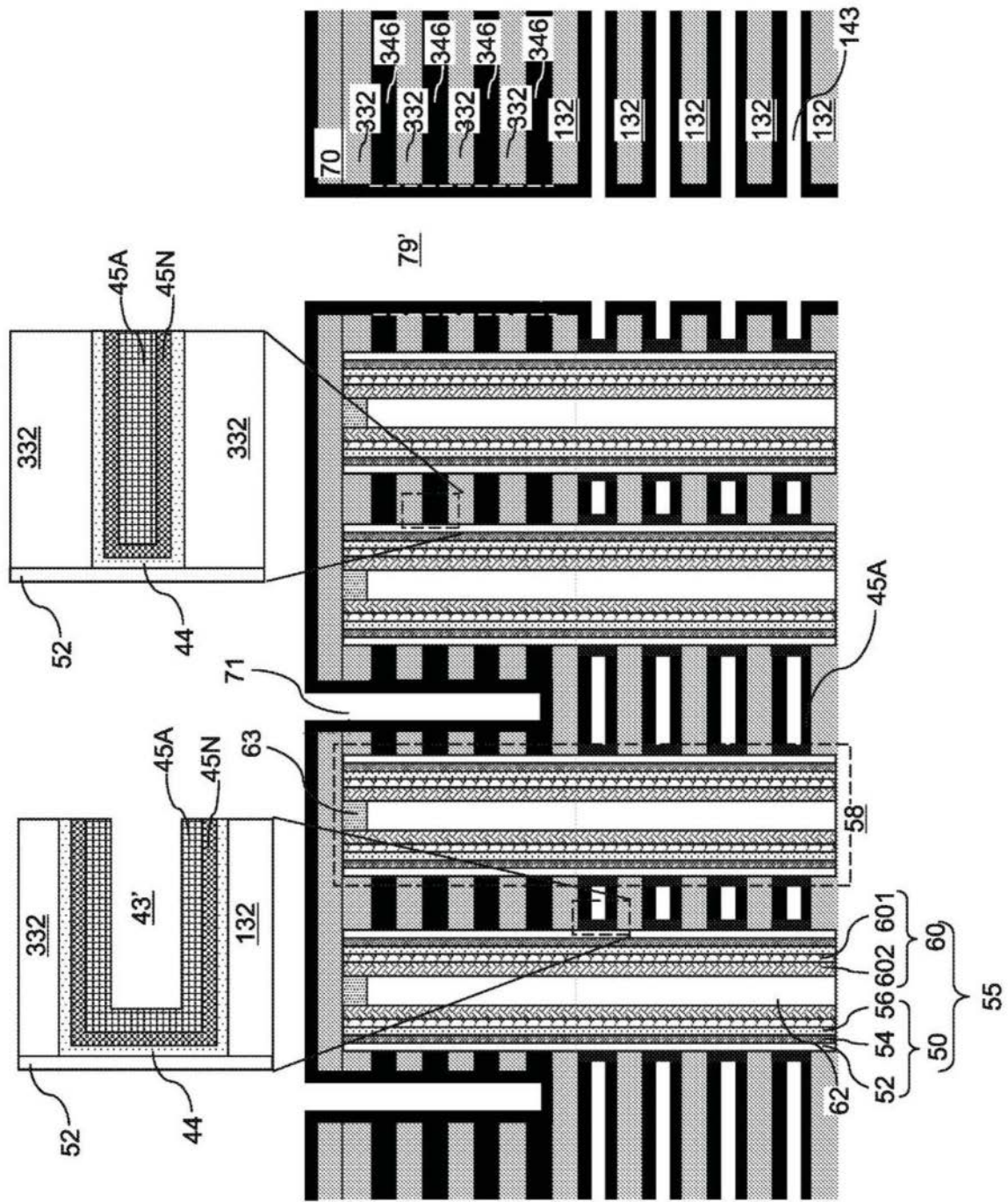


图22

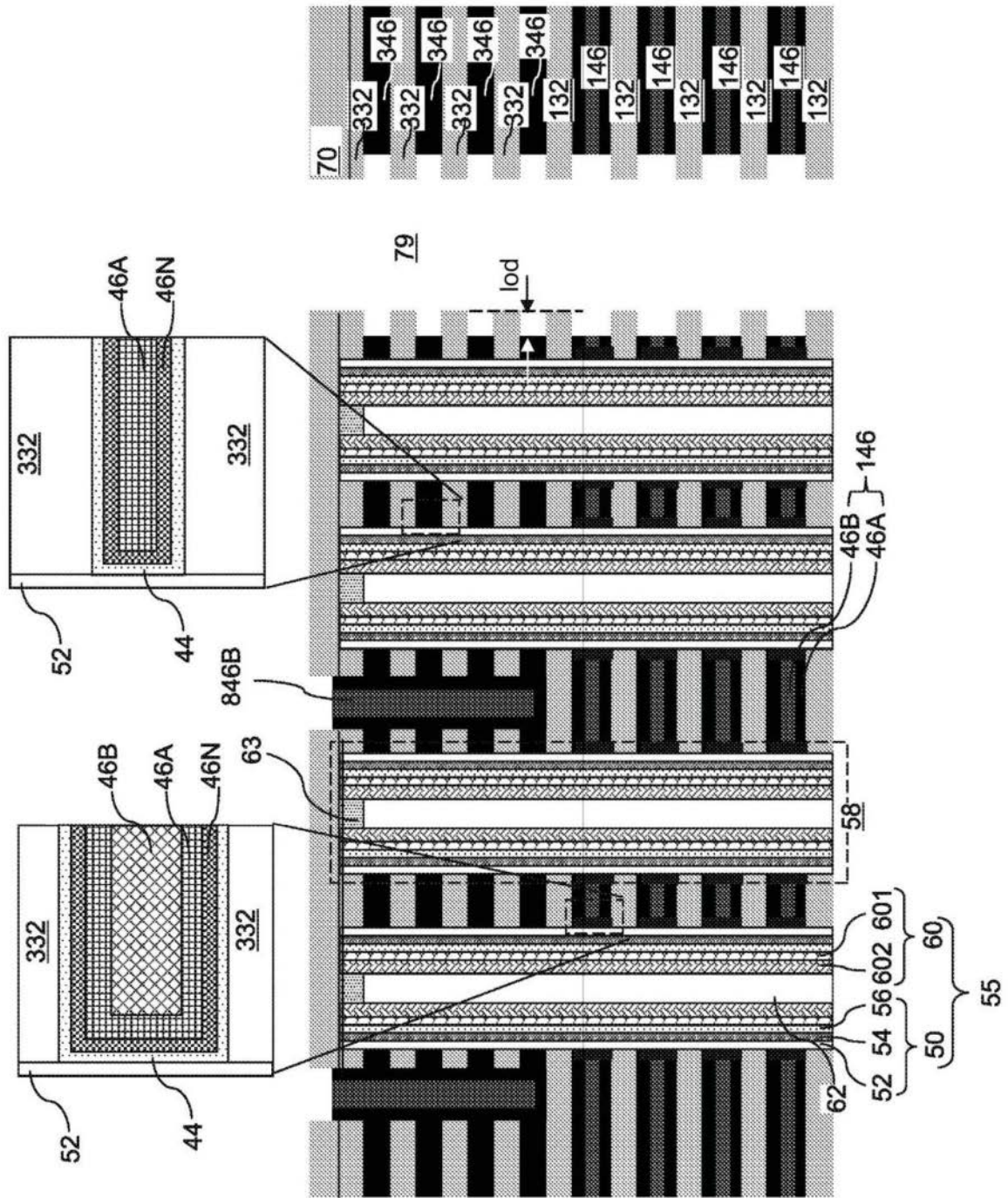


图24

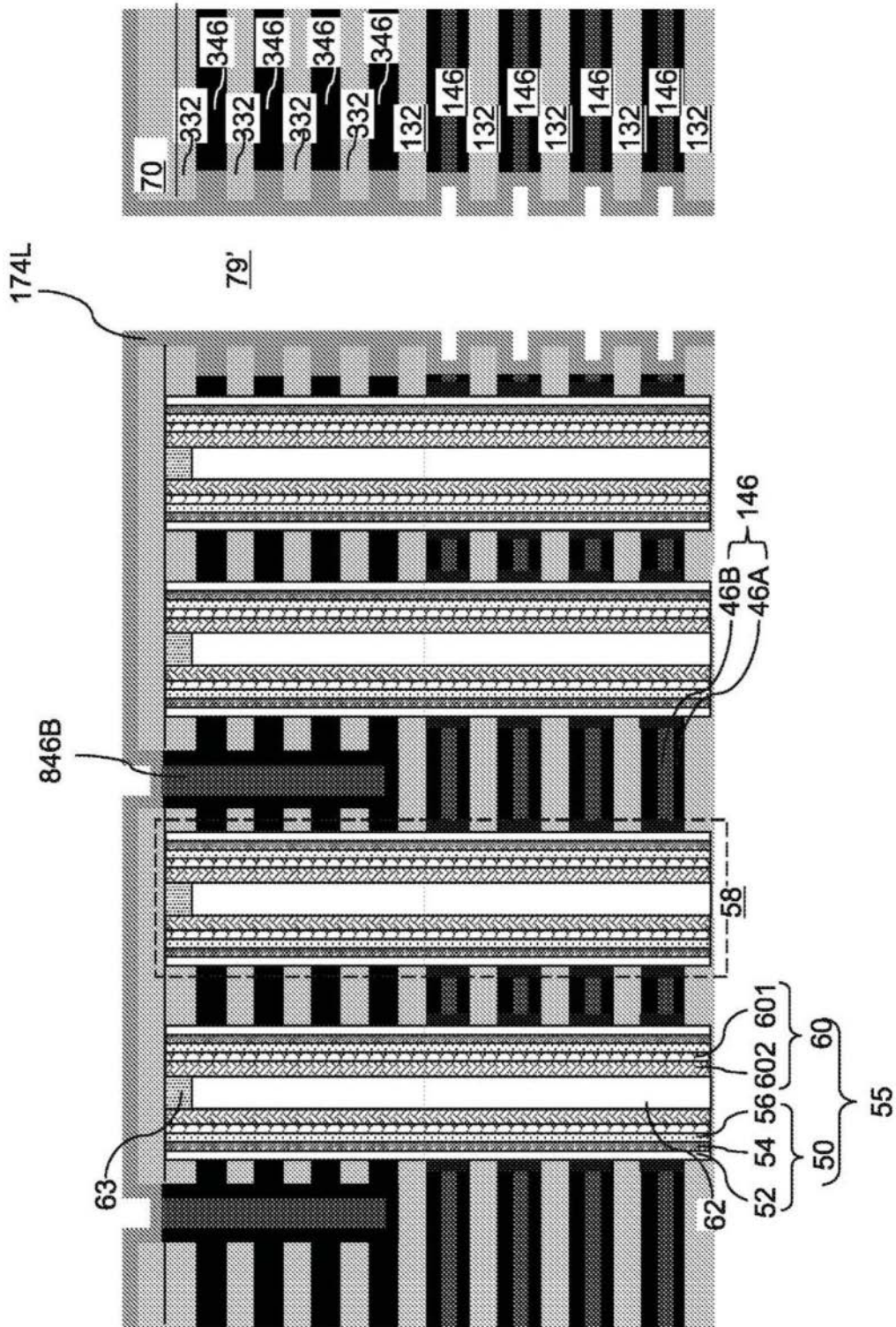


图25

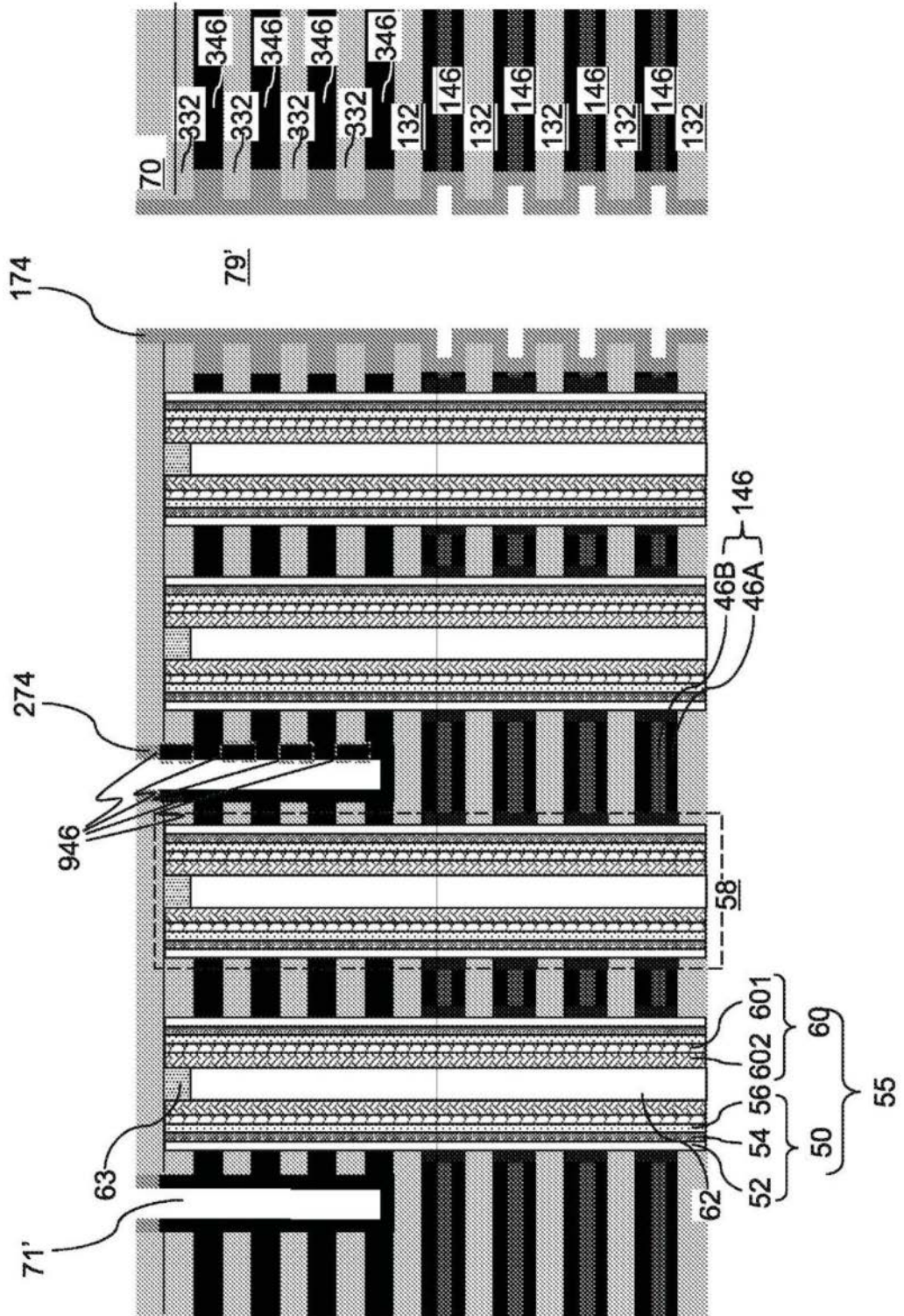


图27

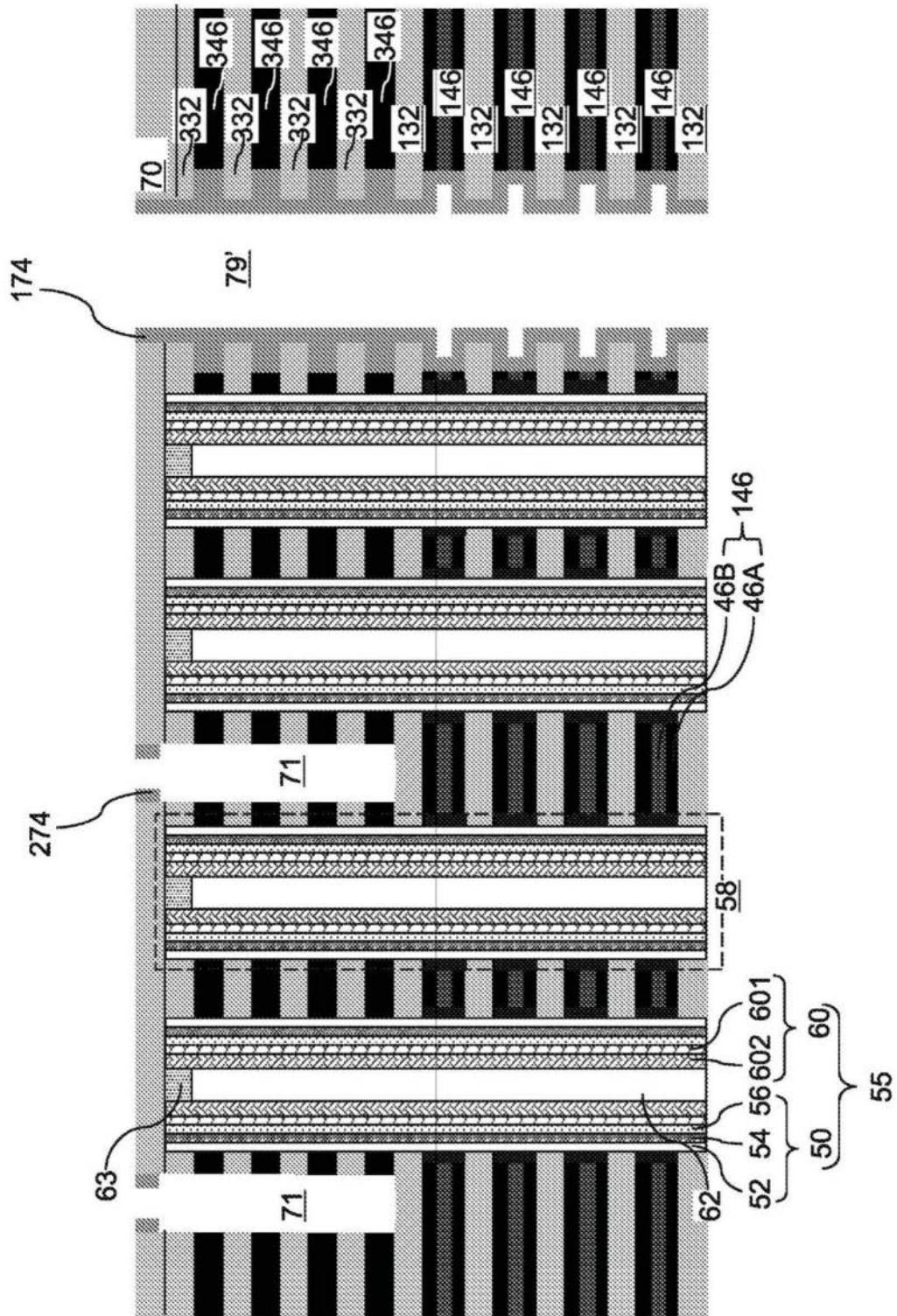


图29

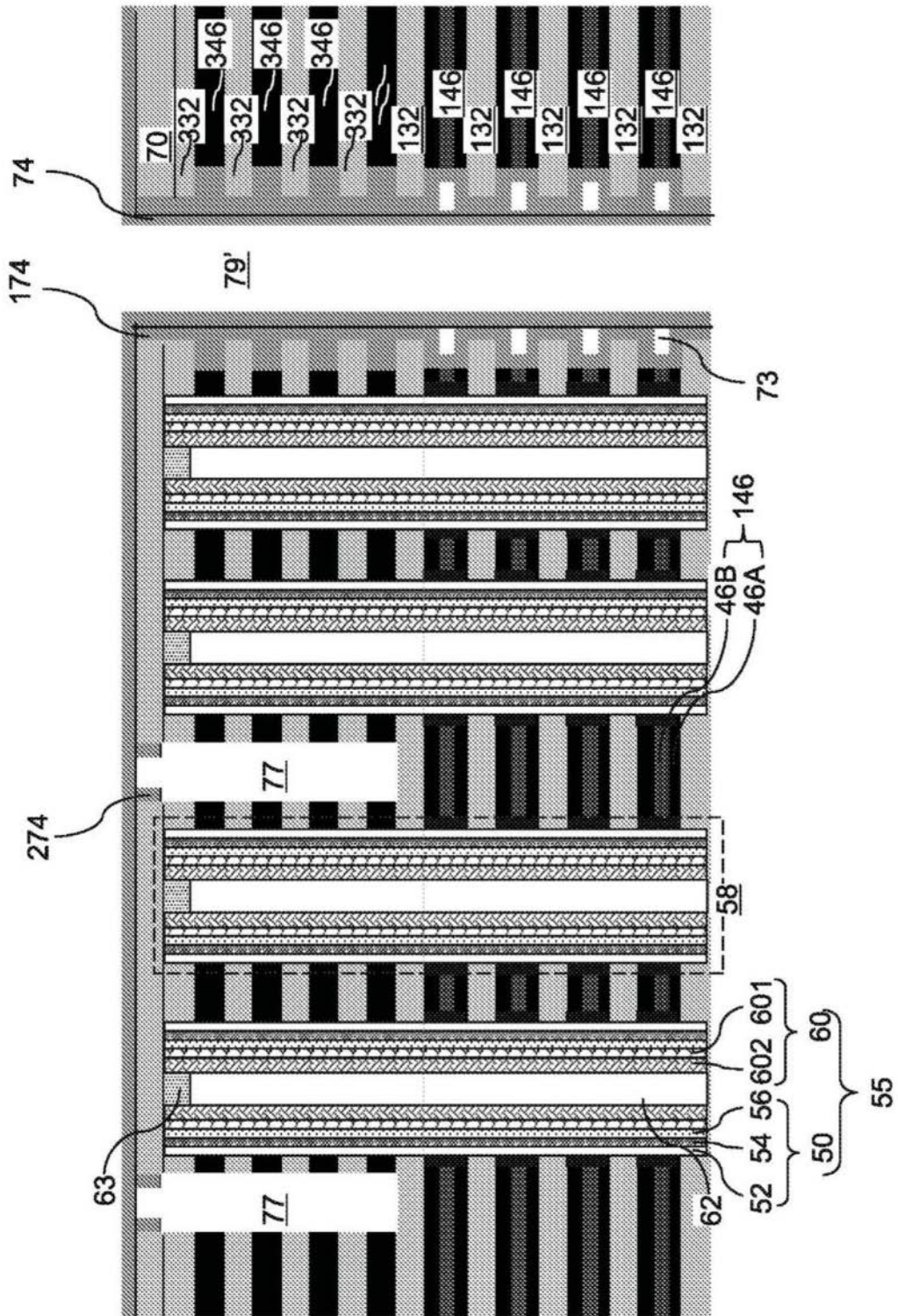


图30

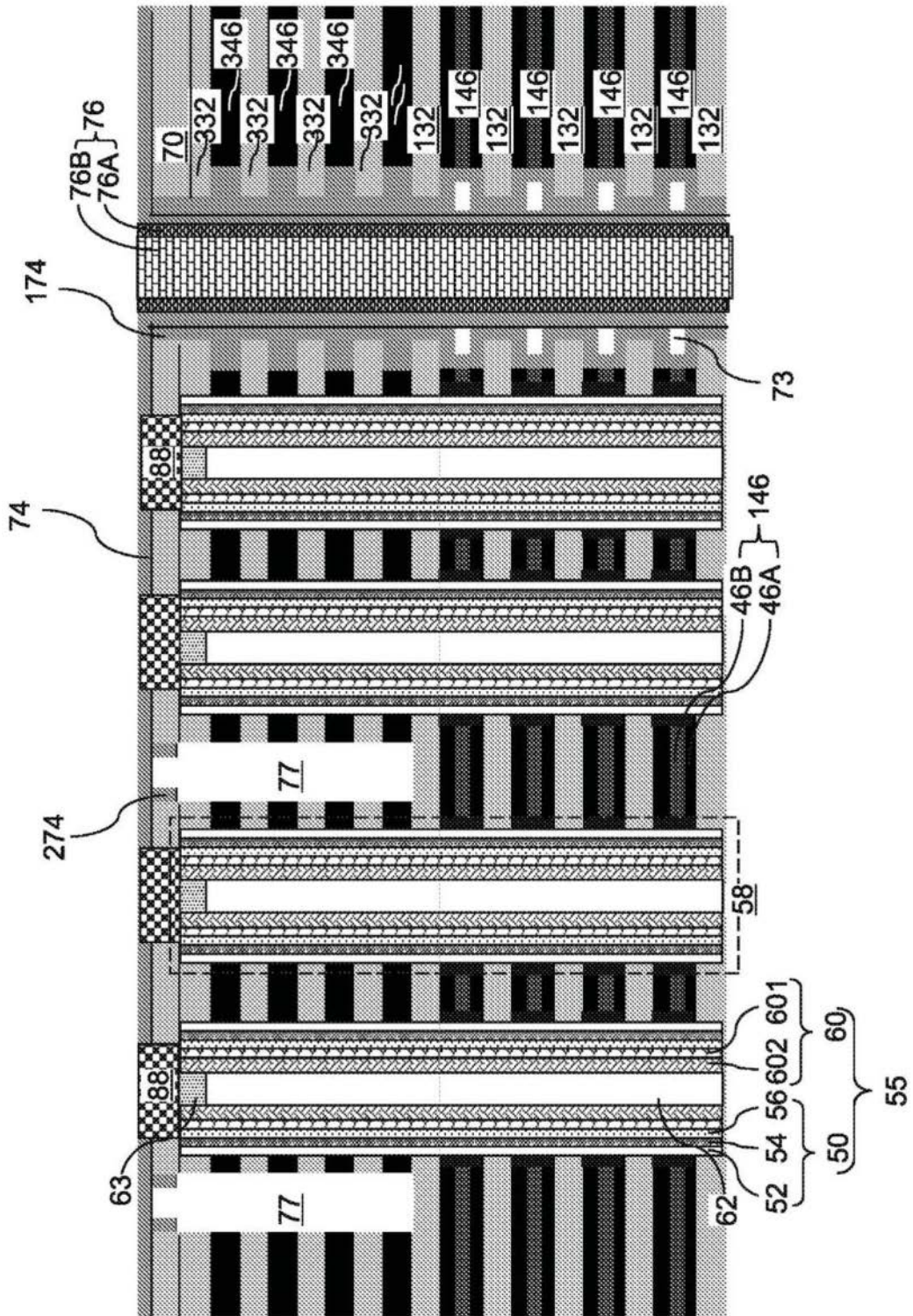
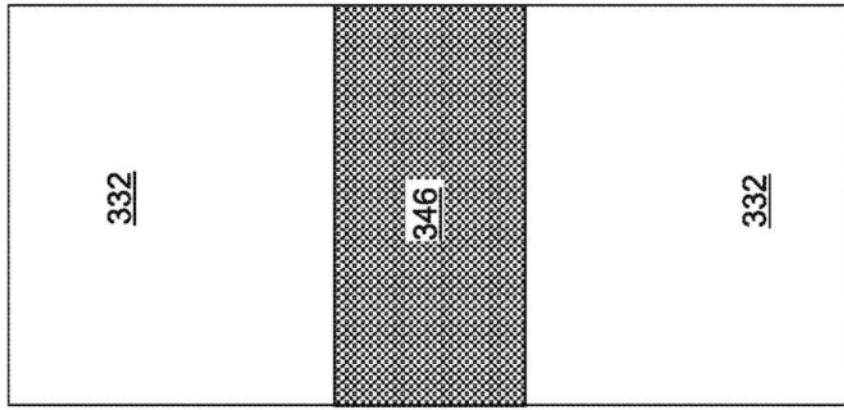
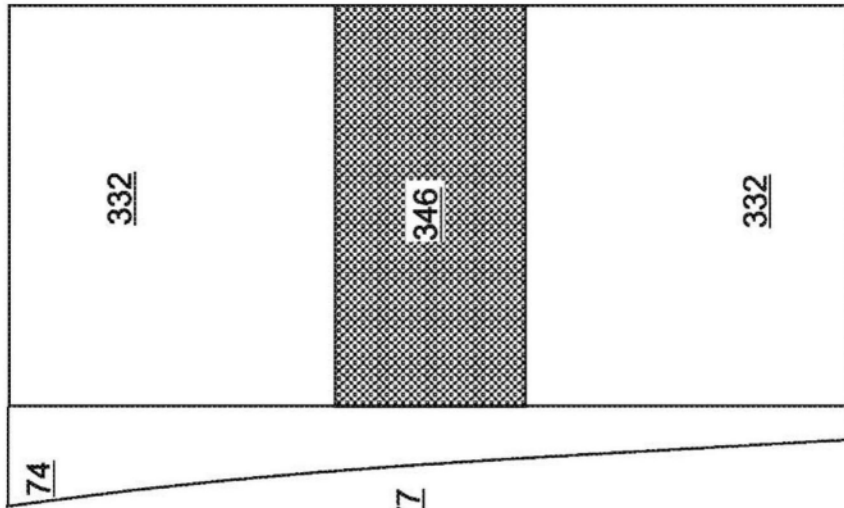


图31A



77

图31B



77

图31C

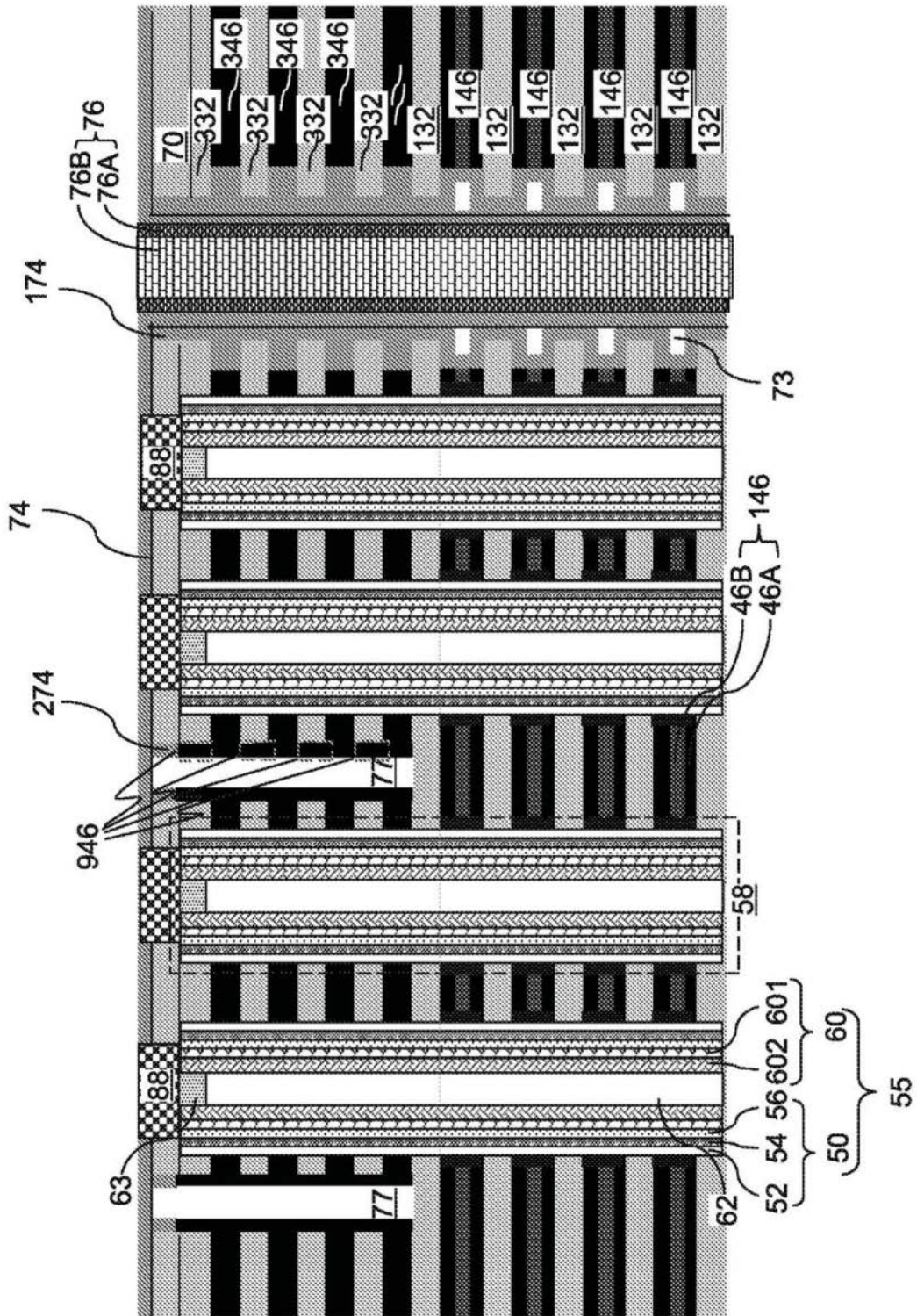


图32A

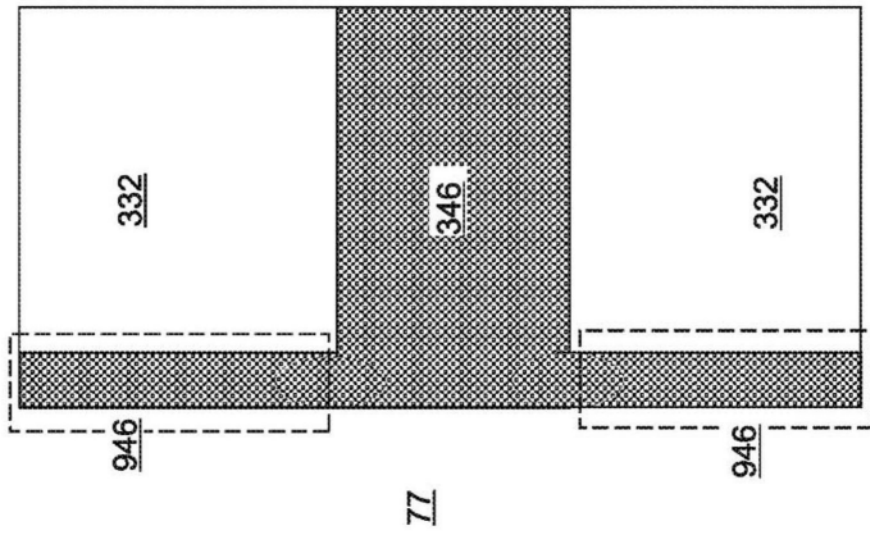


图32B

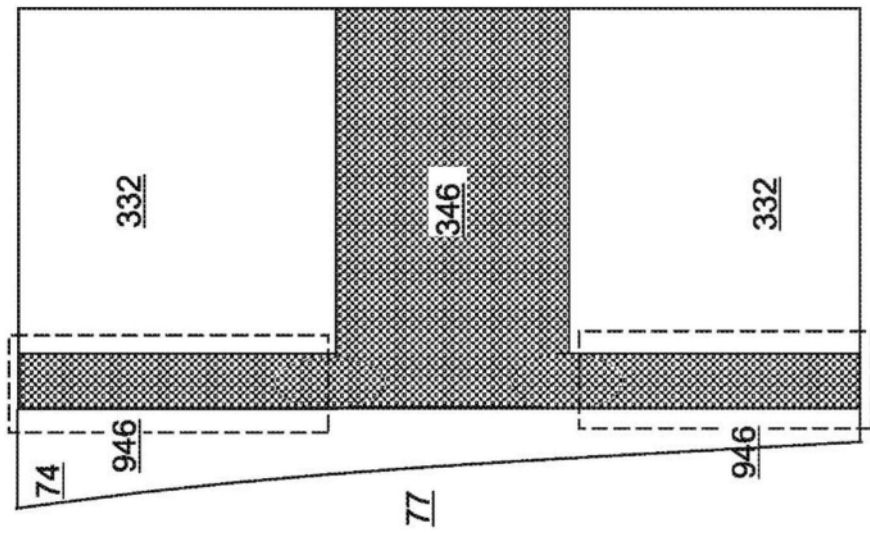


图32C

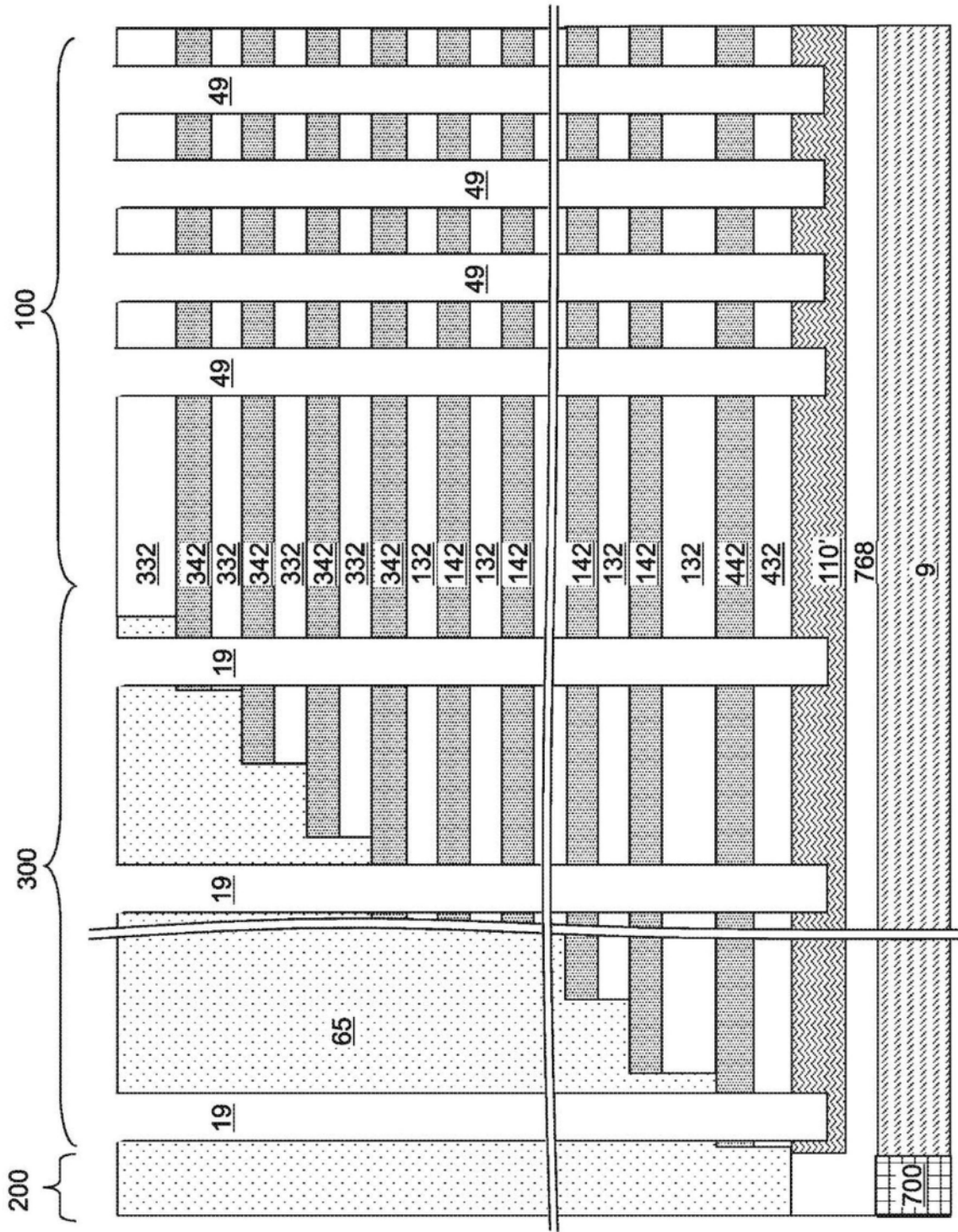


图33A

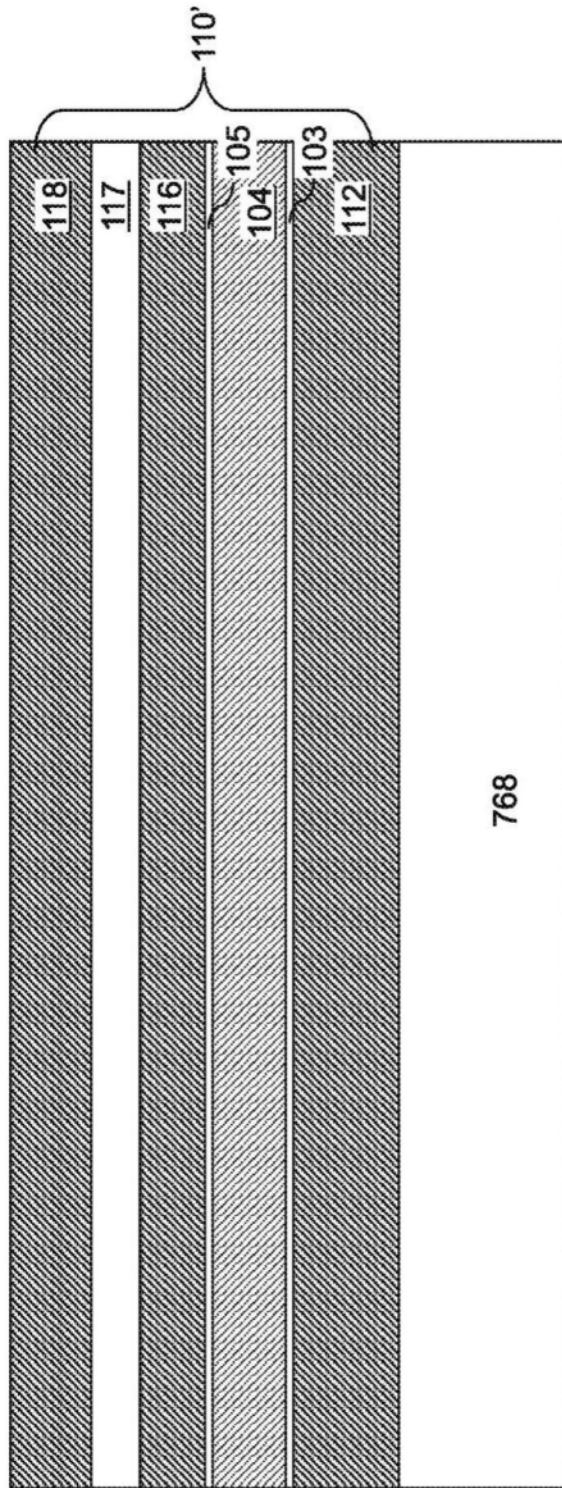


图33B

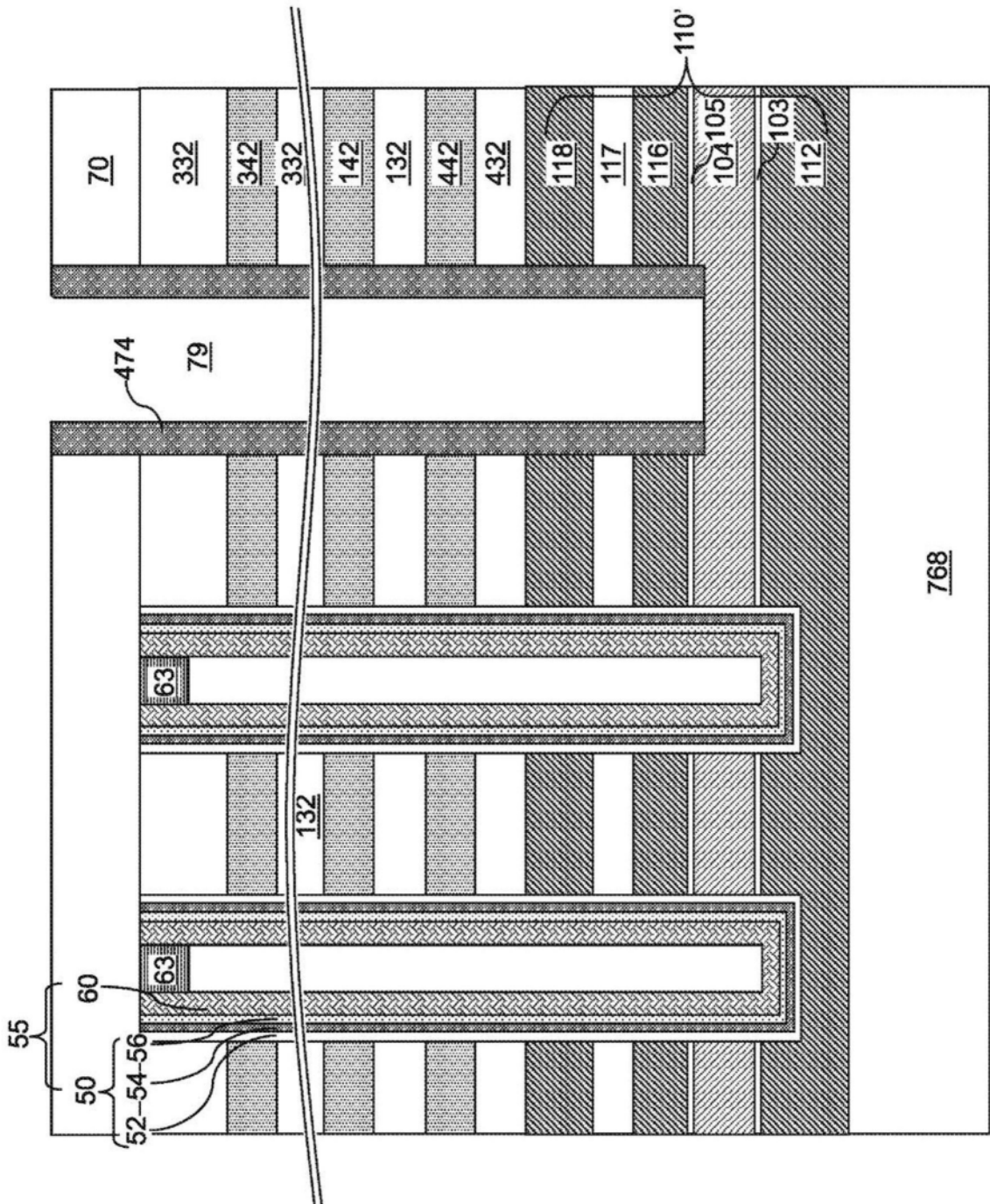


图34A

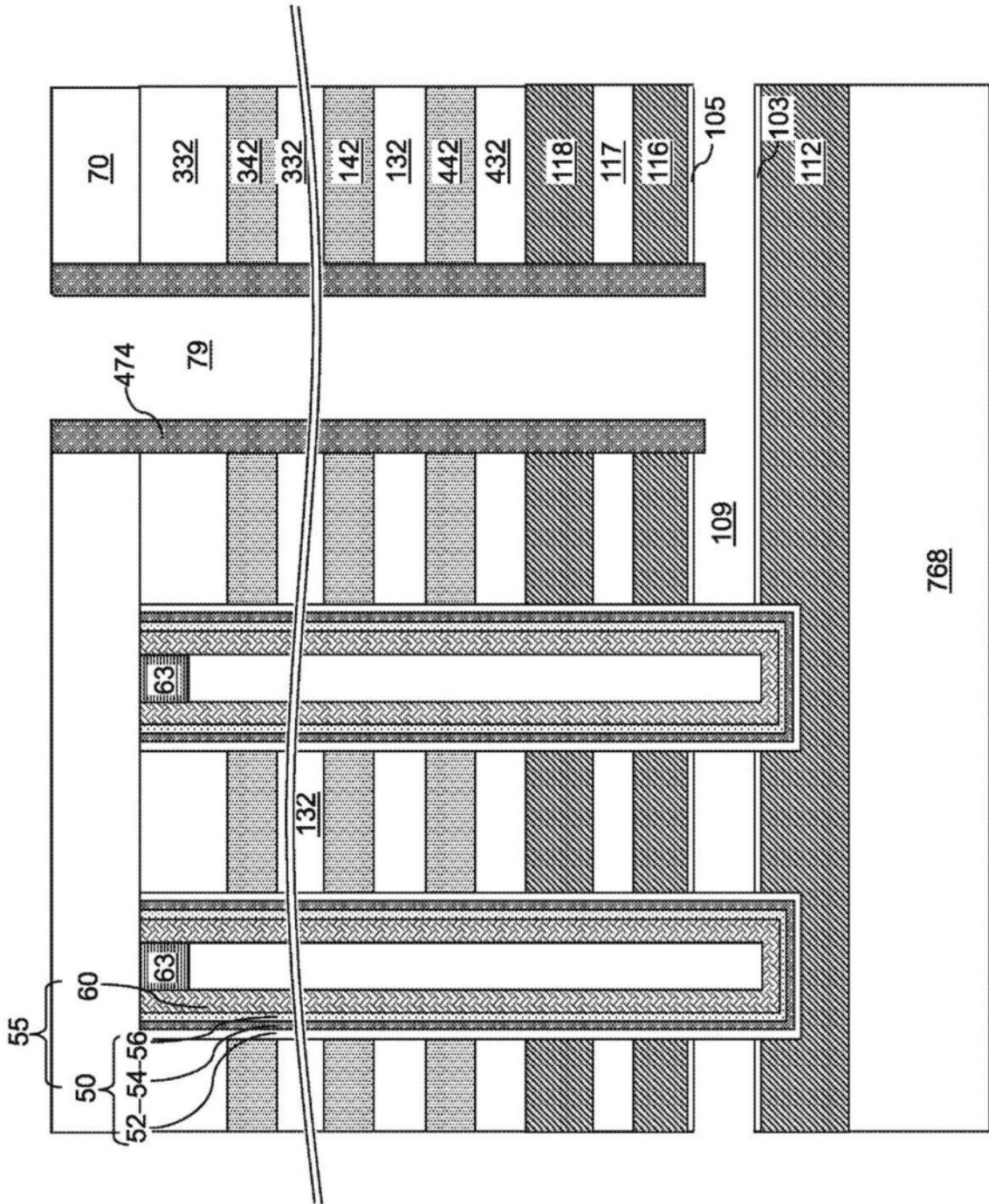


图34B

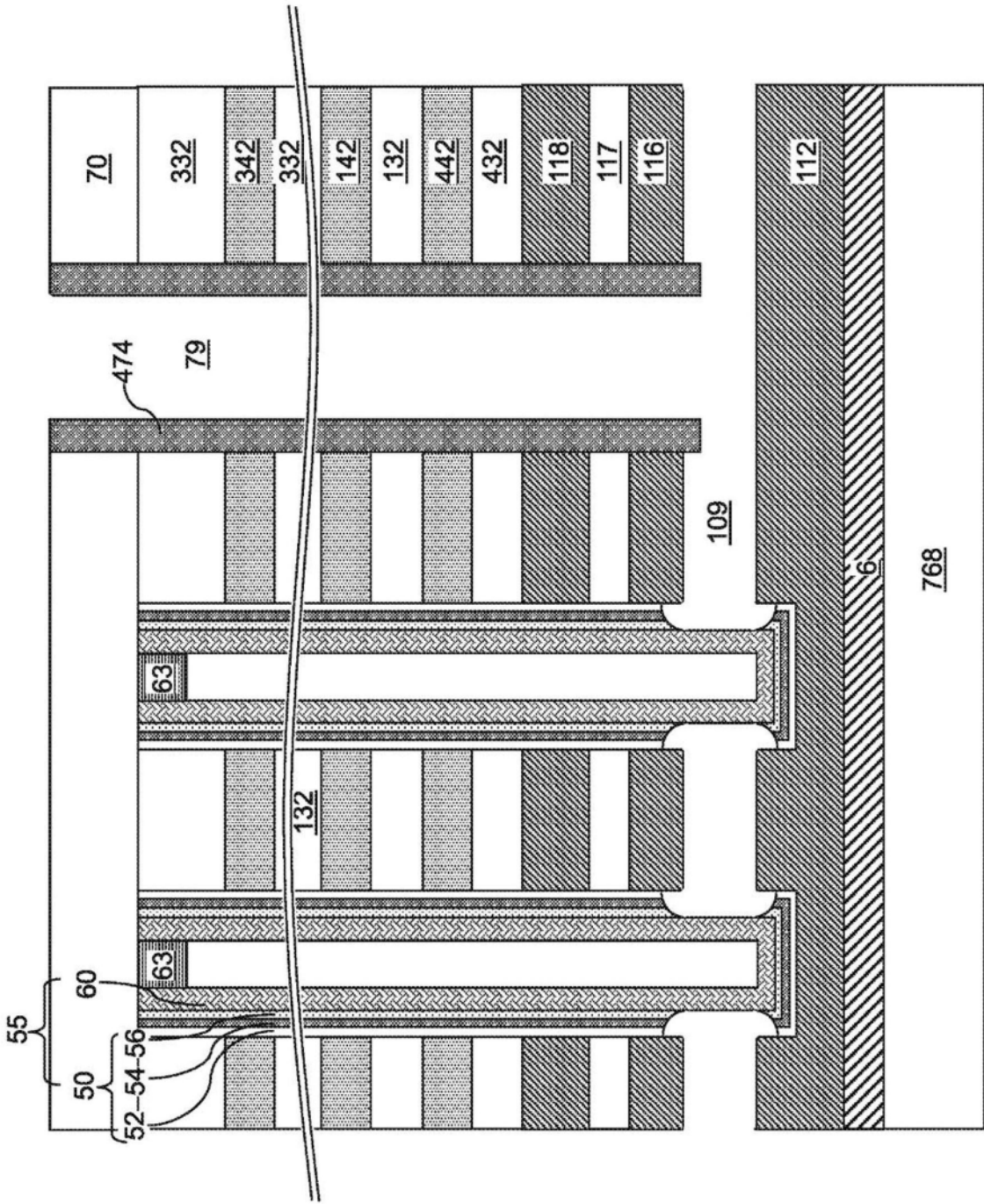


图34C

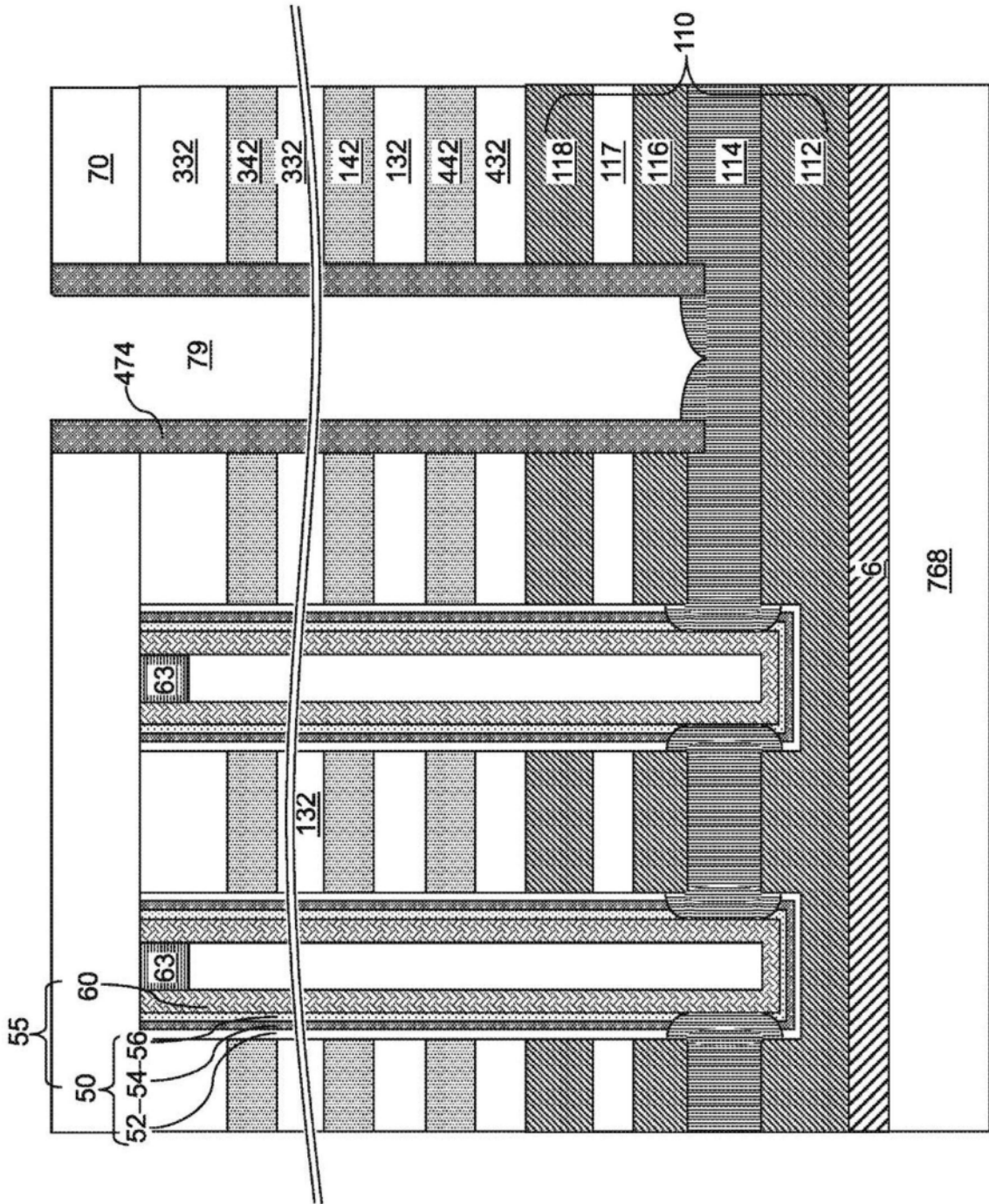


图34D

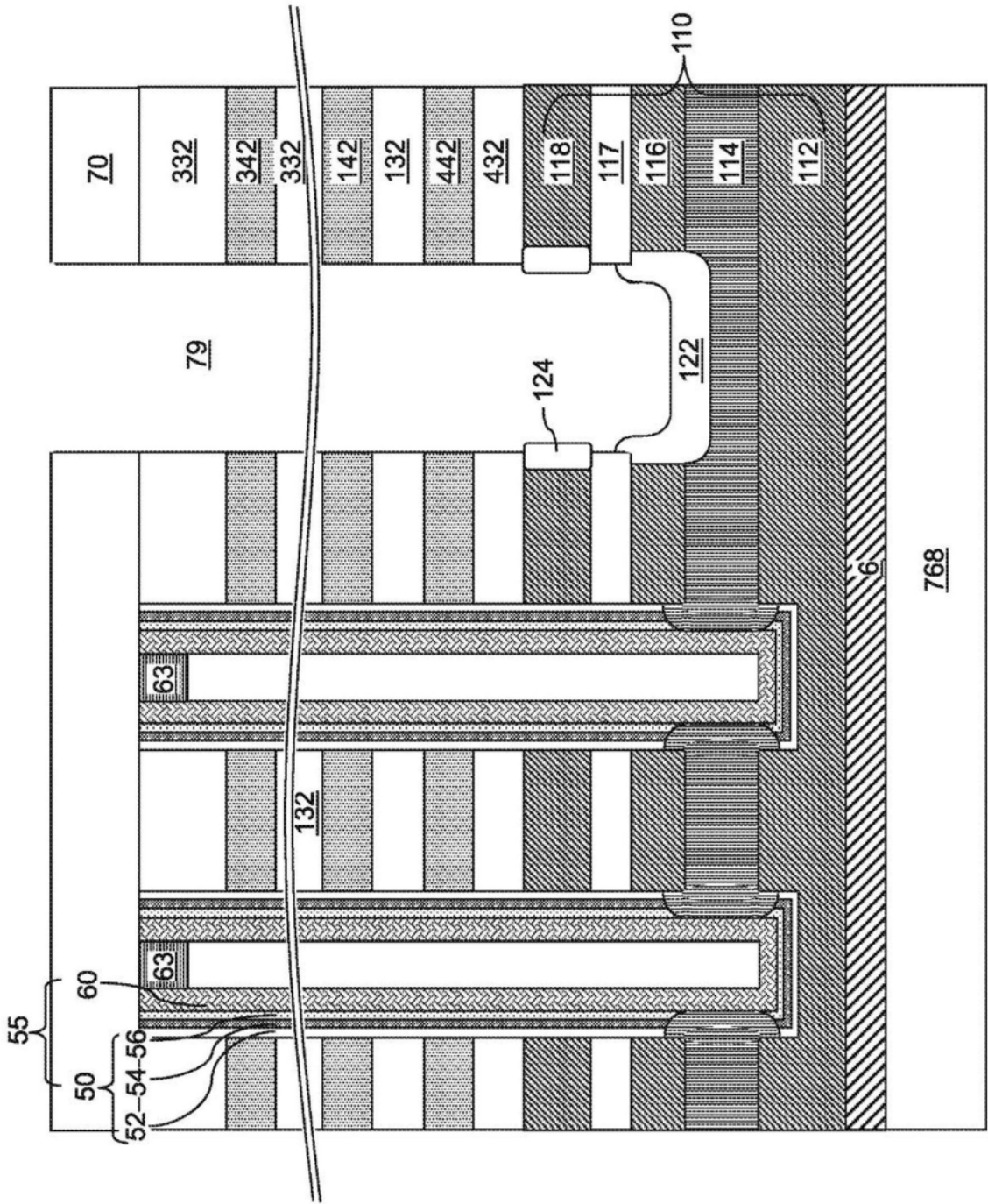


图34E

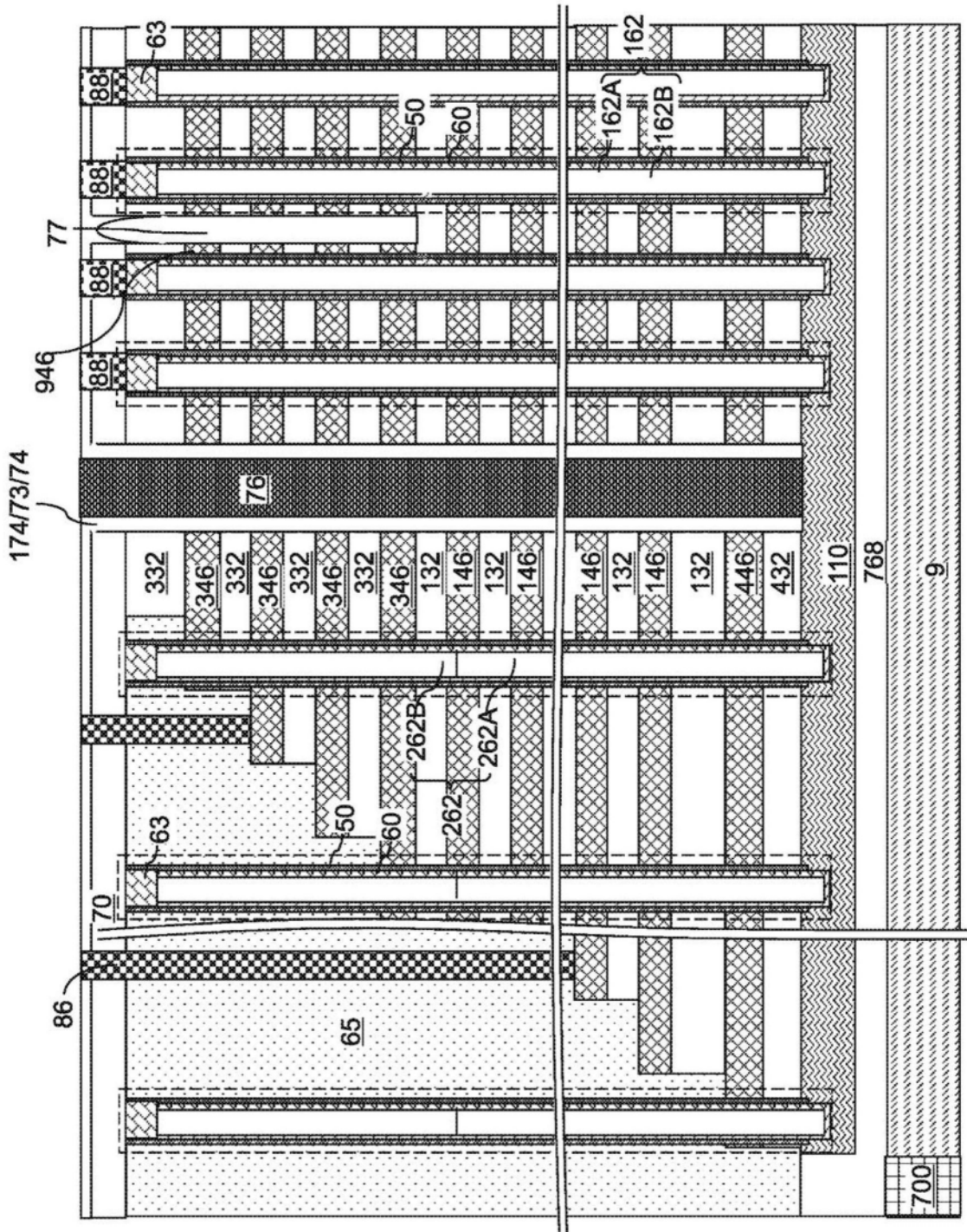


图35