



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I475602 B

(45)公告日：中華民國 104 (2015) 年 03 月 01 日

(21)申請案號：100102815

(22)申請日：中華民國 100 (2011) 年 01 月 26 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(71)申請人：財團法人國家實驗研究院(中華民國) NATIONAL APPLIED RESEARCH LABORATOIRES (TW)

臺北市大安區和平東路2段106號3樓

(72)發明人：陳仕鴻 CHEN, SZU HUNG (TW)；陳紘珉 CHEN, HUNG MIN (TW)；賴宇紳 LAI, YU SHENG (TW)；吳文發 WU, WEN FA (TW)；楊富量 YANG, FU LIANG (TW)

(74)代理人：葉大慧

(56)參考文獻：

US 2007/0123042A1

US 2008/0029831A1

審查人員：何立瑋

申請專利範圍項數：10 項 圖式數：6 共 20 頁

(54)名稱

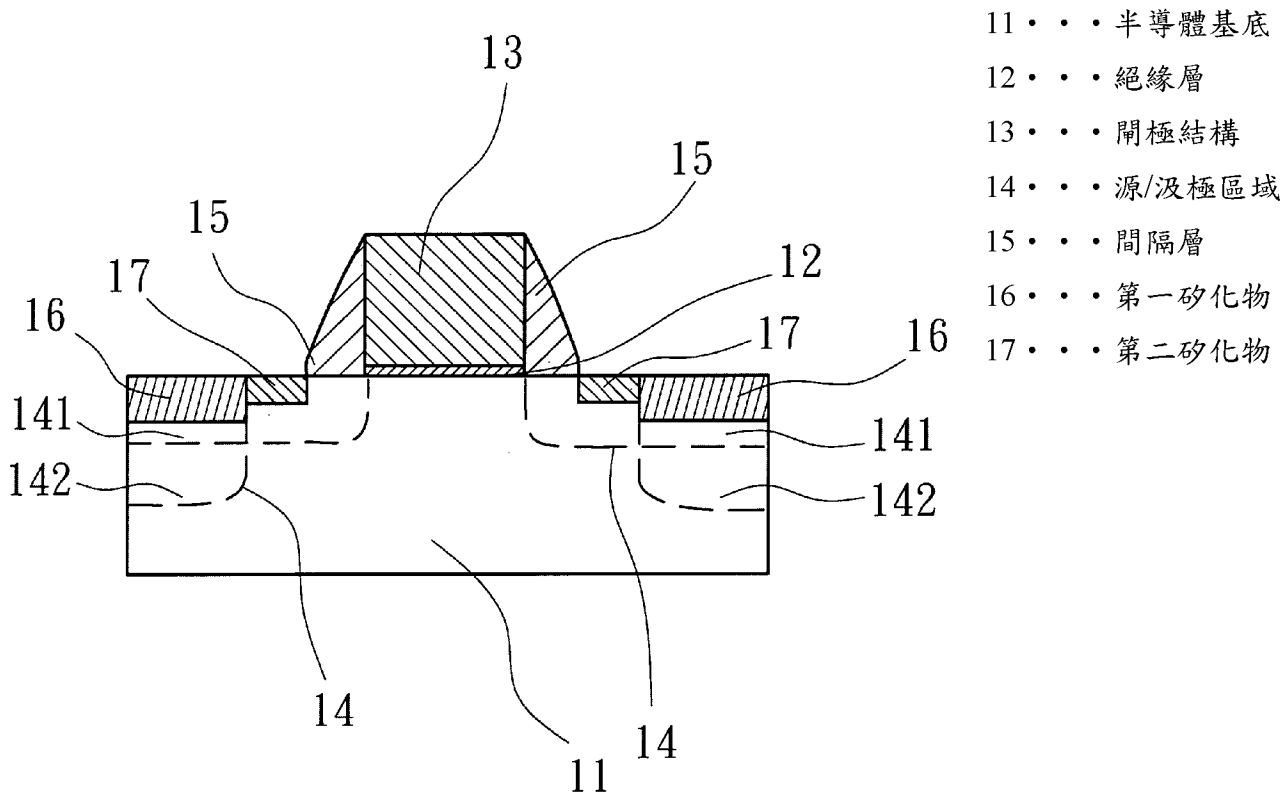
一種雙重矽、鍺化物結構的製作方法

A METHOD FOR FORMING A DUAL SILICIDE, GERMANIDE STRUCTURE

(57)摘要

本發明係一種雙重矽、鍺化物結構的製作方法，包括有提供一半導體基底；形成一絕緣層於該半導體基底上；形成一閘極結構於該絕緣層上；形成一淺摻雜源/汲極區域於該半導體基底內；形成一間隔層於該閘極結構側邊；形成一濃摻雜源/汲極區域於該半導體基底內；形成一第一矽或鍺化物於該源/汲極區域沒有被該間隔層覆蓋之表面；減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面；以及形成一第二矽或鍺化物於該源/汲極區域。藉以有效的降低半導體元件源/汲極區域之寄生電阻值。

The present invention relates to a method for forming a dual silicide, germanide semiconductor, comprising the steps of providing a semiconductor substrate; forming an insulating layer over the semiconductor substrate; forming a gate over the insulating layer; forming lightly doped source and drain regions in the semiconductor substrate; forming spacers over the semiconductor substrate on each side of the gate; forming heavily doped source and drain regions in the semiconductor substrate; forming a first silicide, germanide on exposed surface of the source and drain regions not covered by the spacers; reducing thickness of the spacers so the source and drain regions of exposed surface not covered by the spacers; and forming a second silicide, germanide on exposed surfaces of the source and drain regions. The present invention can reduce the parasitic resistance value of the source and drain region.



第六圖



日期: 103年08月04日

發明專利說明書

公告本

(本說明書格式、順序, 請勿任意更動, ※記號部分請勿填寫)

※ 申請案號:

※ 申請日: 100.01.26

※IPC 分類: H01L 21/28
21/336

一、發明名稱:(中文/英文)

一種雙重矽、鍺化物結構的製作方法/A method for forming a dual silicide, germanide structure

二、中文發明摘要:

本發明係一種雙重矽、鍺化物結構的製作方法, 包括有提供一半導體基底; 形成一絕緣層於該半導體基底上; 形成一閘極結構於該絕緣層上; 形成一淺摻雜源/汲極區域於該半導體基底內; 形成一間隔層於該閘極結構側邊; 形成一濃摻雜源/汲極區域於該半導體基底內; 形成一第一矽或鍺化物於該源/汲極區域沒有被該間隔層覆蓋之表面; 減縮該間隔層體積, 使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面; 以及形成一第二矽或鍺化物於該源/汲極區域。藉以有效的降低半導體元件源/汲極區域之寄生電阻值。

三、英文發明摘要:

The present invention relates to a method for forming a dual silicide, germanide semiconductor, comprising the steps of providing a semiconductor substrate; forming a insulating layer over the semiconductor substrate; forming a gate over the insulating layer; forming lightly doped source and drain regions in the semiconductor substrate; forming spacers over the semiconductor substrate on each side of the gate; forming heavily doped source and drain regions in the semiconductor substrate; forming a first silicide, germanide on exposed surface of the source and drain regions not covered by the spacers; reducing thickness of

the spacers so the source and drain regions of exposed surface not covered by the spacers; and forming a second silicide, germanide on exposed surfaces of the source and drain regions. The present invention can reduce the parasitic resistance value of the source and drain region.

四、指定代表圖：

(一) 本案指定代表圖為：第(六)圖。

(二) 本代表圖之元件符號簡單說明：

- 11 半導體基底
- 12 絕緣層
- 13 閘極結構
- 14 源/汲極區域
- 15 間隔層
- 16 第一矽化物
- 17 第二矽化物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係一種雙重矽、鍺化物結構的製作方法，尤指一種可形成雙重矽、鍺化物於半導體元件，達到有效降低電阻值的製作方法。

【先前技術】

為了提高金屬氧化物半導體場效電晶體（Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET），簡稱為金氧半場效電晶體元件的效能，金屬矽化物已經廣泛的應用於源/汲極區域上。

高效能的半導體元件特性之一即為半導體元件之導電能力，若該半導體元件能在一預定時間內通過較多的電子，即屬於較高效能的半導體元件，而電流與電阻是呈反比關係；藉由使用金屬矽化物於金氧半場效電晶體元件上，可以有效的降低金氧半場效電晶體元件的接觸電阻值，進一步達到更高的效能。

目前一般 MOSFET 主要使用鎳化矽作為源/汲極的矽化物材料，這是由於鎳化矽具有非常低的片電阻值（電阻係數約為 $15 \mu\Omega\text{cm}$ ），但因為鎳化矽/矽接面的蕭基能障約為 0.67 eV ，由接面所產生的接觸電阻極高。另一方面，由稀土族金屬元素，例如鎳，與矽反應生成的鎳化矽，若使用在鎳化矽/矽接面上，其蕭基能障約可降為 0.27 eV 。但鎳化矽材料本身的電阻係數較鎳化矽來的高，將致使片電阻增加。因此若能整合兩種矽化物材料於單一元件上的特定區域，同時取用鎳化矽的低片電阻優勢與鎳化矽/矽接面低接觸電阻優勢，將可有效降低 MOSFET 元件的整體寄生電阻。

例如美國專利第 7,544,575 號“Dual metal silicide scheme using a dual

spacer process”即揭露了利用多種矽化物以提高半導體元件效能的作法，其包括提供一金氧半場效電晶體於一半導體基底上，該金氧半場效電晶體具有一閘極結構於一絕緣層之上、一設置於該閘極結構側邊之間隔層以及一位於該半導體基底內之源/汲極區域，係先形成一第一矽化物於該閘極結構裸露之表面與該源/汲極區域沒有被第一間隔層覆蓋的區域，再形成一第二間隔層於該第一間隔層之兩側以及部分的第一矽化物上，最後形成一第二矽化物於該閘極結構裸露之表面以及任何裸露的源/汲極區域表面沒有被該第一、第二間隔層覆蓋的地方。藉此，可以有效的降低金氧半場效電晶體元件的接觸電阻值，進一步達到更高的效能。

然而，由於第二層矽化物通常所使用的材料都是如鎳等金屬，鎳會與矽作用形成鎳化矽，具有低片電阻的優點，但因鎳原子在矽擴散極快，容易反應原先欲形成第一矽化物的區域，而造成第一矽化物無法形成。

【發明內容】

故，本創作之創作人有鑑於上述缺失，乃搜集相關資料，經由多方評估及考量，並以從事於此行業累積之多年經驗，經由不斷試作及修改，始設計出此種可形成雙重矽化物於半導體元件，達到有效降低電阻值的一種雙重矽、鍍化物結構的製作方法發明專利者。

本發明之主要目的在於提供一種可形成雙重矽、鍍化物於半導體元件，達到有效降低電阻值的製作方法。

為了達到上述目的，本發明一種雙重矽、鍍化物結構的製作方法，係包括下列步驟：

提供一半導體基底；

形成一絕緣層於該半導體基底上；

形成一閘極結構於該絕緣層上；

形成一淺摻雜源/汲極區域於該半導體基底內且不被該閘極結構所覆蓋；

形成一間隔層於該閘極結構側邊且覆蓋於該源/汲極區域部分表面；

形成一濃摻雜源/汲極區域於該半導體基底內且不被該閘極結構與間隔層所覆蓋；

以原子層沉積法、電子束蒸鍍或濺鍍形成一第一金屬層於該源/汲極區域沒有被該間隔層覆蓋之表面；

施以一快速熱退火製程 (RTA)、雷射退火或微波退火，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C；

形成一第一矽化物於該源/汲極區域沒有被該間隔層覆蓋之表面；

減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面，該間隔層體積係以蝕刻製程進行尺寸的減縮；

以原子層沉積法、電子束蒸鍍或濺鍍形成一第二金屬層於該源/汲極區域沒有被間隔層覆蓋之表面；

施以一快速熱退火製程 (RTA)、雷射退火或微波退火，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C；以及

形成一第二矽化物於該源/汲極區域。

其中，根據基底材料的選擇，該第一矽化物與該第二矽化物可以更換為第一鍺化物與第二鍺化物或是第一矽鍺化物與第二矽鍺化物。

藉由上述說明，本發明一種雙重矽、鍺化物結構的製作方法可以有效

的降低半導體元件源/汲極區域之電阻值，使得半導體元件操作時之 RC 響應延遲時間減少，進一步提高了半導體元件之效能。

【實施方式】

為達成上述目的及功效，本發明所採用之技術手段及構造，茲繪圖就本發明較佳實施例詳加說明其特徵與功能如下，俾利完全了解。

本發明係一種雙重矽、鍺化物結構的製作方法，係可應用於半導體元件，例如為金氧半場效電晶體，並於特定區域依序形成第一矽化物與第二矽化物。於本發明之實施例中，茲以 N 通道金氧半場效電晶體為例來說明本發明之最佳實施例，且本發明的圖式簡化了實務上 N 通道金氧半場效電晶體之部分結構，僅保留較為必要的結構，而其他的電晶體元件，例如 P 通道金氧半場效電晶體同樣也包括於本實施例之中，合先敘明。

較佳實施例

請參閱第一圖所示，係為本發明較佳實施例之剖視圖一，說明應用於本發明之金氧半場效電晶體電子元件。由圖中可清楚看出，本發明係先提供一半導體基底 11，該半導體基底 11 可以是 N 型半導體基底 11，或是 P 型半導體基底 11，於本實施例中係利用 N 型半導體基底 11，或是任何的半導體材料所製成，例如矽 (Si)，鍺 (Ge)，碳化矽 (SiC)，矽鍺 (SiGe) 等等。形成一絕緣層 12 於該半導體基底 11 上，該絕緣層 12 的材料通常為二氧化矽 (SiO₂)，也稱為氧化層或是高介電材料層，係於半導體基底 11 上採用物理氣相沉積法 (PVD) 化學氣相沉積法 (CVD)，原子層沉積法 (ALD) 等方式形成，厚度約為 100 埃以下。形成一閘極結構 13 於該絕緣層 12 上，該閘極結構 13 通常都為多晶矽閘極或是多晶矽/金屬閘極結構，而為多晶矽

閘極，同樣可採用物理氣相沉積法 (PVD) 化學氣相沉積法 (CVD)，原子層沉積法 (ALD) 等方式形成於該絕緣層 12 上，其總厚度約為 200 至 2000 埃。形成一淺摻雜源/汲極區域 141 於該半導體基底 11 內且不被該閘極結構 13 所覆蓋，當完成閘極結構 13 於該絕緣層 12 上後，即需要一個提供多數載子的源極以及接受這些多數載子的汲極，而形成方式如習用技術，係先以離子植入半導體基底 11 中以形成淺摻雜源/汲極區域 141，不再贅述。

接著，形成一間隔層 15 於該閘極結構 13 側邊且覆蓋於該源/汲極區域 14 部分表面，該間隔層 15 例如使用氧化矽或是氮化矽，係形成於該閘極結構 13 之側壁處。再形成濃摻雜源/汲極區域 142 於該半導體基底 11 內且不被該閘極結構 13 與間隔層 15 所覆蓋，其中，源/汲極區域 14 包括有淺摻雜源/汲極區域 141 與濃摻雜源/汲極區域 142。

請參閱第二圖所示，係為本發明較佳實施例之剖視圖二，說明以原子層沉積法、電子束蒸鍍或濺鍍形成一第一金屬層 161。係以原子層沉積法、電子束蒸鍍或濺鍍形成一第一金屬層 161 於該源/汲極區域 14 沒有被該間隔層 15 覆蓋之表面，該第一金屬層 161 係形成於該閘極結構 13、間隔層 15 以及部分的源/汲極區域 14，厚度範圍為 20 至 100 埃，若厚一點或是薄一點同樣可以使用，該第一金屬層 161 可為鎳或鈷等金屬材料所製成。

請參閱第三圖所示，係為本發明較佳實施例之剖視圖三，說明施以快速熱退火製程 (RTA)、雷射退火或微波退火並去除殘餘金屬，形成第一矽化物 16 於該半導體基底 11 之源/汲極區域 14。本實施例中係施以快速熱退火製程 (rapid thermal anneal; RTA)，該快速熱退火製程之溫度操作範圍為 200 至 800°C，再選擇性的去除未反應的殘餘金屬後，即於該半導體基底 11

之源/汲極區域 14 形成第一矽化物 16。

請參閱第四圖所示，係為本發明較佳實施例之剖視圖四，說明減縮該間隔層 15 體積，使該源/汲極區域 14 暴露出尚未被該第一矽化物 16 覆蓋的表面。由圖中可清楚看出，係可以蝕刻製程對該間隔層 15 進行尺寸的減縮，例如濕蝕刻製程，使得該半導體基底 11 中源/汲極區域 14 暴露出尚未被該第一矽化物 16 覆蓋的表面。

請參閱第五圖所示，係為本發明較佳實施例之剖視圖五，說明以原子層沉積法、電子束蒸鍍或濺鍍形成一第二金屬層 171。係以原子層沉積法、電子束蒸鍍或濺鍍形成一第二金屬層 171 於該源/汲極區域 14 沒有被間隔層 15 覆蓋之表面，該第二金屬層 171 係形成於該閘極結構 13、間隔層 15 以及部分的源/汲極區域 14，厚度範圍為 20 至 100 埃，若厚一點或是薄一點同樣可以使用，該第二金屬層 171 可為稀土族金屬如鎳等金屬材料所製成。

請參閱第六圖所示，係為本發明較佳實施例之剖視圖六，說明施以快速熱退火製程 (RTA)、雷射退火或微波退火並去除殘餘金屬，形成第二矽化物 17 於該半導體基底 11 之源/汲極區域 14。本實施例係施以快速熱退火製程 (rapid thermal anneal; RTA)，該快速熱退火製程之溫度操作範圍為 200 至 800°C，再選擇性的去除未反應的殘餘金屬後，即於該半導體基底 11 之源/汲極區域 14 形成第二矽化物 17。

需要理解的是，根據基底材料的選擇，本實施例中第一矽化物 16 與第二矽化物 17 可以更換為第一鍺化物與第二鍺化物 (圖中未示) 或是第一矽鍺化物與第二矽鍺化物 (圖中未示)，而其實施方式完全一樣，不再贅述。

藉由上述說明，本發明一種雙重矽、鍺化物結構的製作方法可以有效

的降低金氧半場效電晶體源/汲極區域之電阻值，使得金氧半場效電晶體操作時之 RC 響應延遲時間減少，進一步提高了金氧半場效電晶體元件之效能。

【圖式簡單說明】

- 第一圖 係為本發明較佳實施例之剖視圖一，說明應用於本發明之金氧半場效電晶體電子元件。
- 第二圖 係為本發明較佳實施例之剖視圖二，說明以原子層沉積法、電子束蒸鍍或濺鍍形成一第一金屬層。
- 第三圖 係為本發明較佳實施例之剖視圖三，說明施以快速熱退火製程（RTA）、雷射退火或微波退火並去除殘餘金屬，形成第一矽化物於該半導體基底之源/汲極區域。
- 第四圖 係為本發明較佳實施例之剖視圖四，說明減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面。
- 第五圖 係為本發明較佳實施例之剖視圖五，說明以原子層沉積法、電子束蒸鍍或濺鍍形成一第二金屬層。
- 第六圖 係為本發明較佳實施例之剖視圖六，說明施以快速熱退火製程（RTA）、雷射退火或微波退火並去除殘餘金屬，形成第二矽化物於該半導體基底之源/汲極區域。

【主要元件符號說明】

- 11 半導體基底
- 12 絕緣層
- 13 閘極結構
- 14 源/汲極區域
- 141 淺摻雜源/汲極區域

142 濃摻雜源/汲極區域

15 間隔層

16 第一矽化物

161 第一金屬層

17 第二矽化物

171 第二金屬層

七、申請專利範圍：

1. 一種雙重矽化物結構的製作方法，包括下列步驟：

提供一半導體基底；

形成一絕緣層於該半導體基底上；

形成一閘極結構於該絕緣層上；

形成一淺摻雜源/汲極區域於該半導體基底內且不被該閘極結構所覆蓋；

形成一間隔層於該閘極結構側邊且覆蓋於該源/汲極區域部分表面；

形成一濃摻雜源/汲極區域於該半導體基底內且不被該閘極結構與間隔層所覆蓋；

形成一第一矽化物於該源/汲極區域沒有被該間隔層覆蓋之表面；

減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面；以及

形成一第二矽化物於該源/汲極區域；

其中形成該濃摻雜源/汲極區域於該半導體基底內且不被該閘極結構與間隔層所覆蓋之後，形成一第一金屬層於該源/汲極區域沒有被該間隔層覆蓋之表面；減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一矽化物覆蓋的表面之後，形成一第二金屬層於該源/汲極區域沒有被間隔層覆蓋之表面，該第二金屬層係為稀土族金屬。

2. 如申請專利範圍第 1 項所述之一種雙重矽化物結構的製作方法，其中該第一金屬層可為鎳或鈷金屬材料所製成。

3. 如申請專利範圍第 1 項所述之一種雙重矽化物結構的製作方法，形成該第一金屬層於該源/汲極區域沒有被間隔層覆蓋之表面之後，係再施以一

- 快速熱退火製程 (RTA)、雷射退火或微波退火，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C。
4. 如申請專利範圍第 1 項所述之一種雙重矽化物結構的製作方法，其中該間隔層體積係以蝕刻製程進行尺寸的減縮。
 5. 如申請專利範圍第 1 項所述之一種雙重矽化物結構的製作方法，其中該第二金屬層可為稀土族金屬鏡金屬材料所製成。
 6. 如申請專利範圍第 1 項所述之一種雙重矽化物結構的製作方法，形成該第二金屬層於該源/汲極區域沒有被間隔層覆蓋之表面之後，係再施以一快速熱退火製程 (RTA)、雷射退火或微波退火，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C。
 7. 一種雙重鍺化物結構的製作方法，包括下列步驟：
 - 提供一半導體基底；
 - 形成一絕緣層於該半導體基底上；
 - 形成一閘極結構於該絕緣層上；
 - 形成一淺摻雜源/汲極區域於該半導體基底內且不被該閘極結構所覆蓋；
 - 形成一間隔層於該閘極結構側邊且覆蓋於該源/汲極區域部分表面；
 - 形成一濃摻雜源/汲極區域於該半導體基底內且不被該閘極結構與間隔層所覆蓋；
 - 形成一第一鍺化物於該源/汲極區域沒有被該間隔層覆蓋之表面；
 - 減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一鍺化物覆蓋的表面；以及
 - 形成一第二鍺化物於該源/汲極區域；

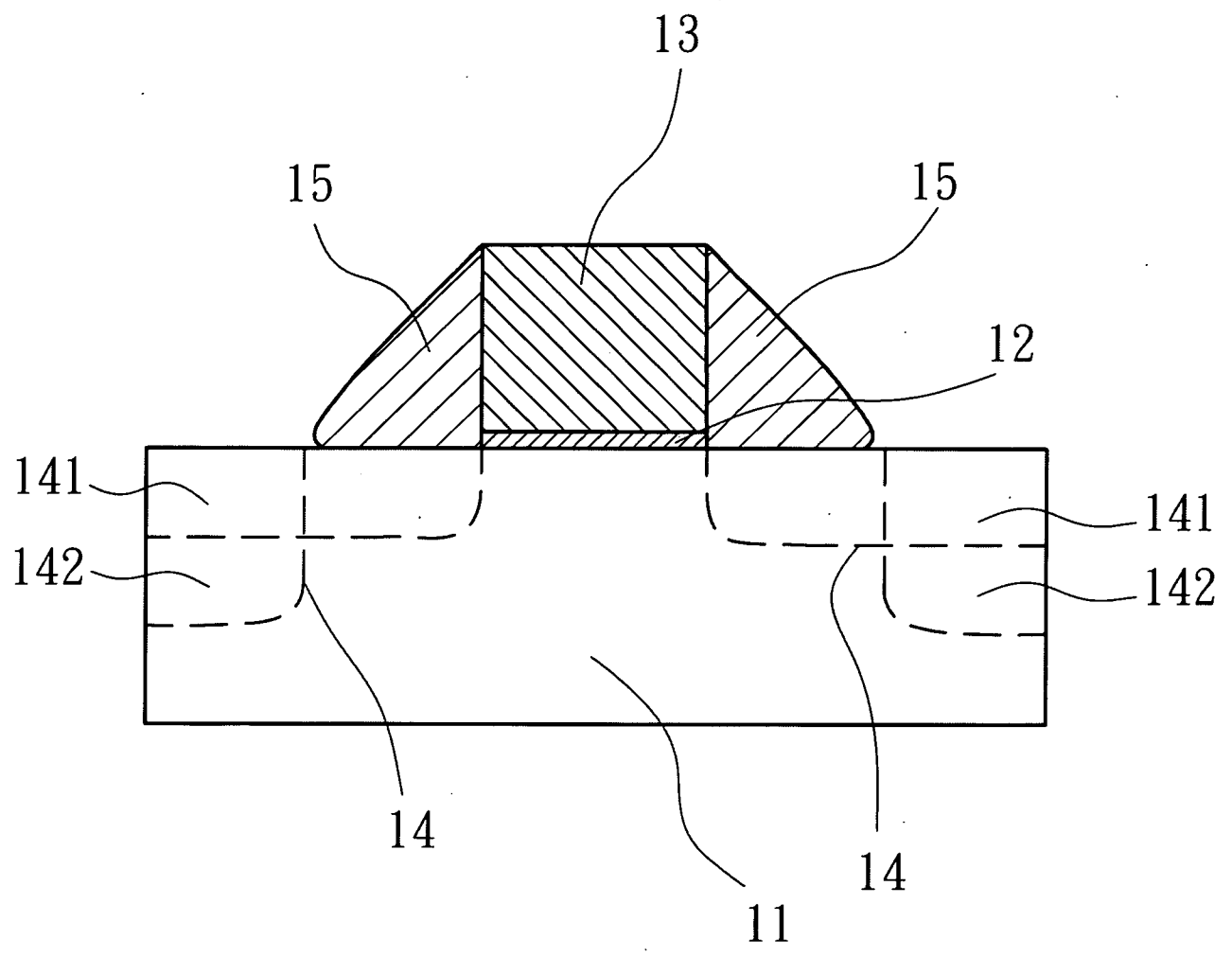
其中形成該濃摻雜源/汲極區域於該半導體基底內且不被該閘極結構與間隔層所覆蓋之後，形成一第一金屬層於該源/汲極區域沒有被該間隔層覆蓋之表面；減縮該間隔層體積，使該源/汲極區域暴露出尚未被該第一鍍化物覆蓋的表面之後，形成一第二金屬層於該源/汲極區域沒有被間隔層覆蓋之表面，該第二金屬層係為稀土族金屬。

8. 如申請專利範圍第 7 項所述之一種雙重鍍化物結構的製作方法，其中該第一鍍化物係經由一快速熱退火製程 (RTA)、雷射退火或微波退火而形成，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C。
9. 如申請專利範圍第 7 項所述之一種雙重鍍化物結構的製作方法，其中該間隔層體積係以蝕刻製程進行尺寸的減縮，該第一金屬層可為鎳或鈷金屬材料所製成。
10. 如申請專利範圍第 7 項所述之一種雙重鍍化物結構的製作方法，其中該第二鍍化物係經由一快速熱退火製程 (RTA)、雷射退火或微波退火而形成，其中該快速熱退火製程之溫度操作範圍為 200 至 800°C，該第二金屬層可為稀土族金屬鎳金屬材料所製成。

八、圖式：

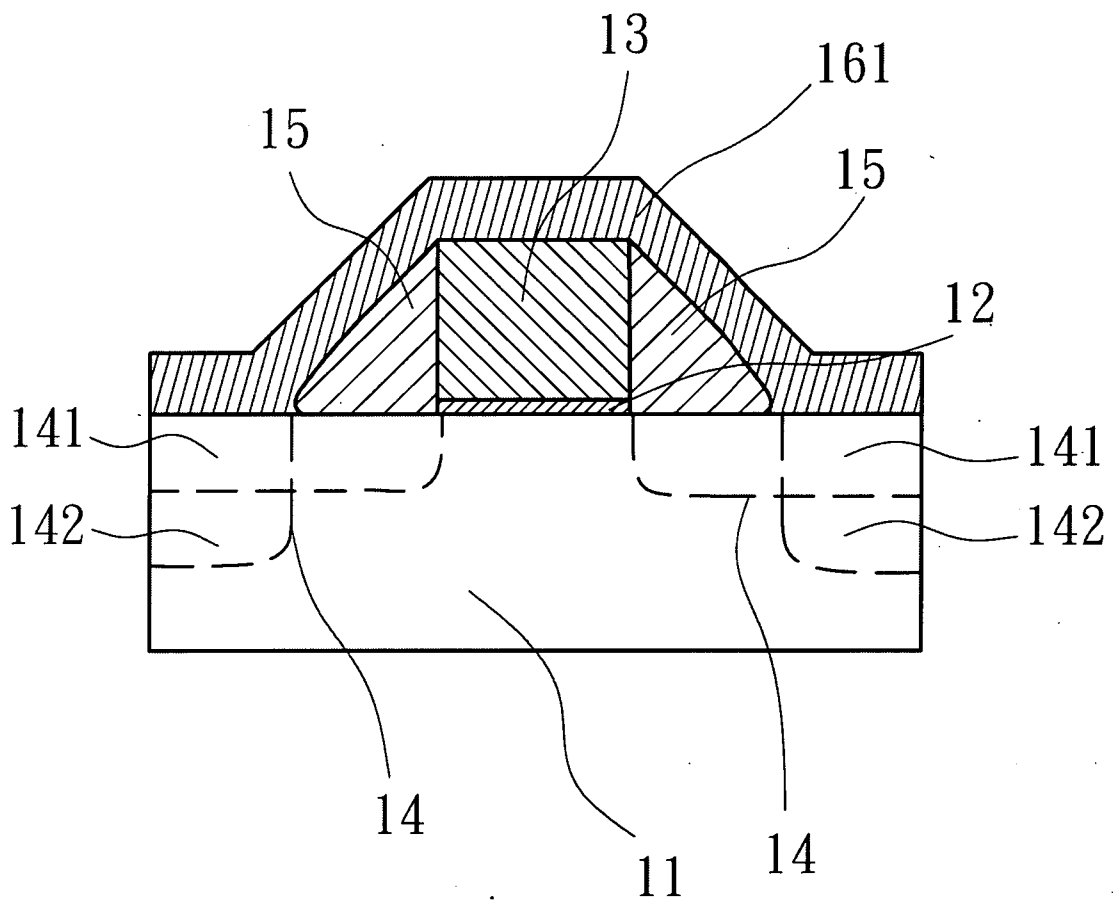
(如次頁。)

103年8月4日修正替換頁



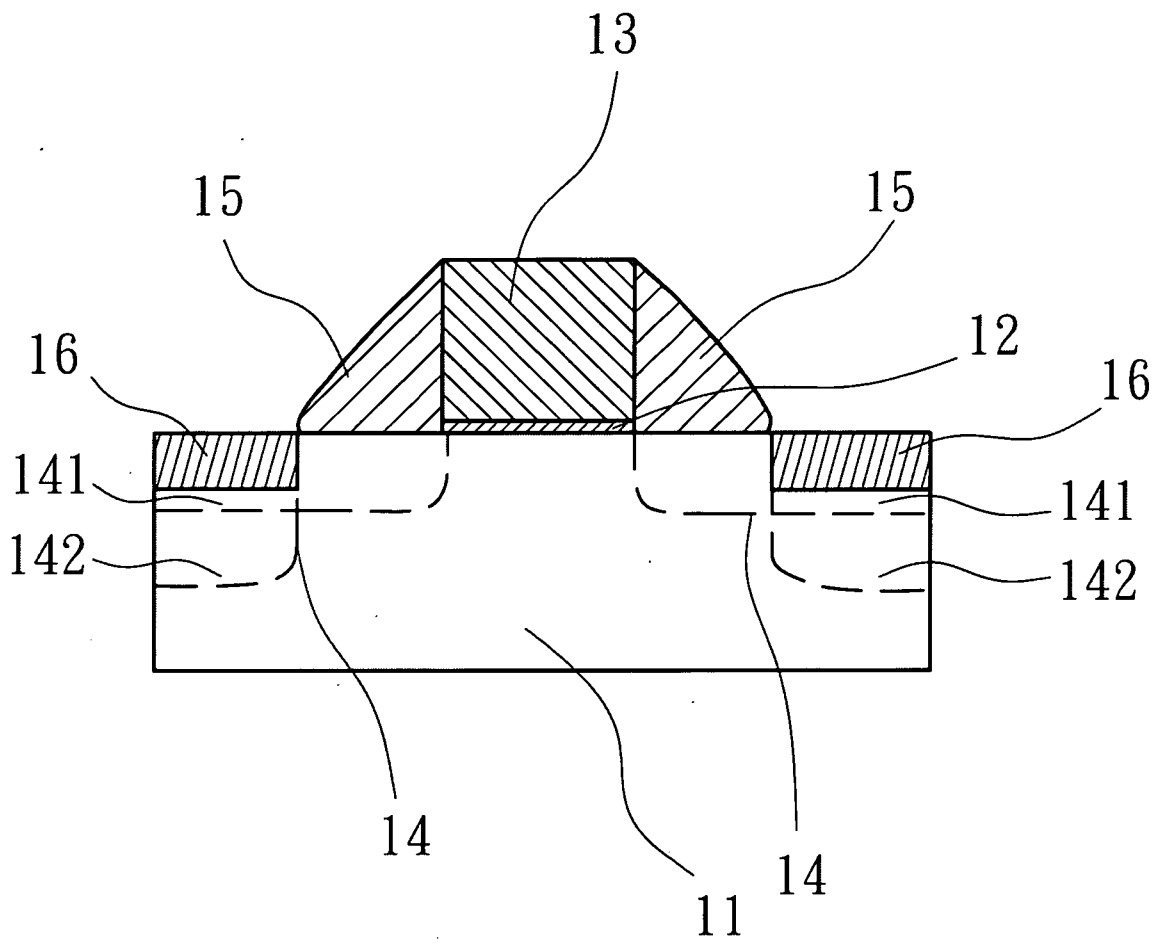
第一圖

103年8月4日修正替換頁



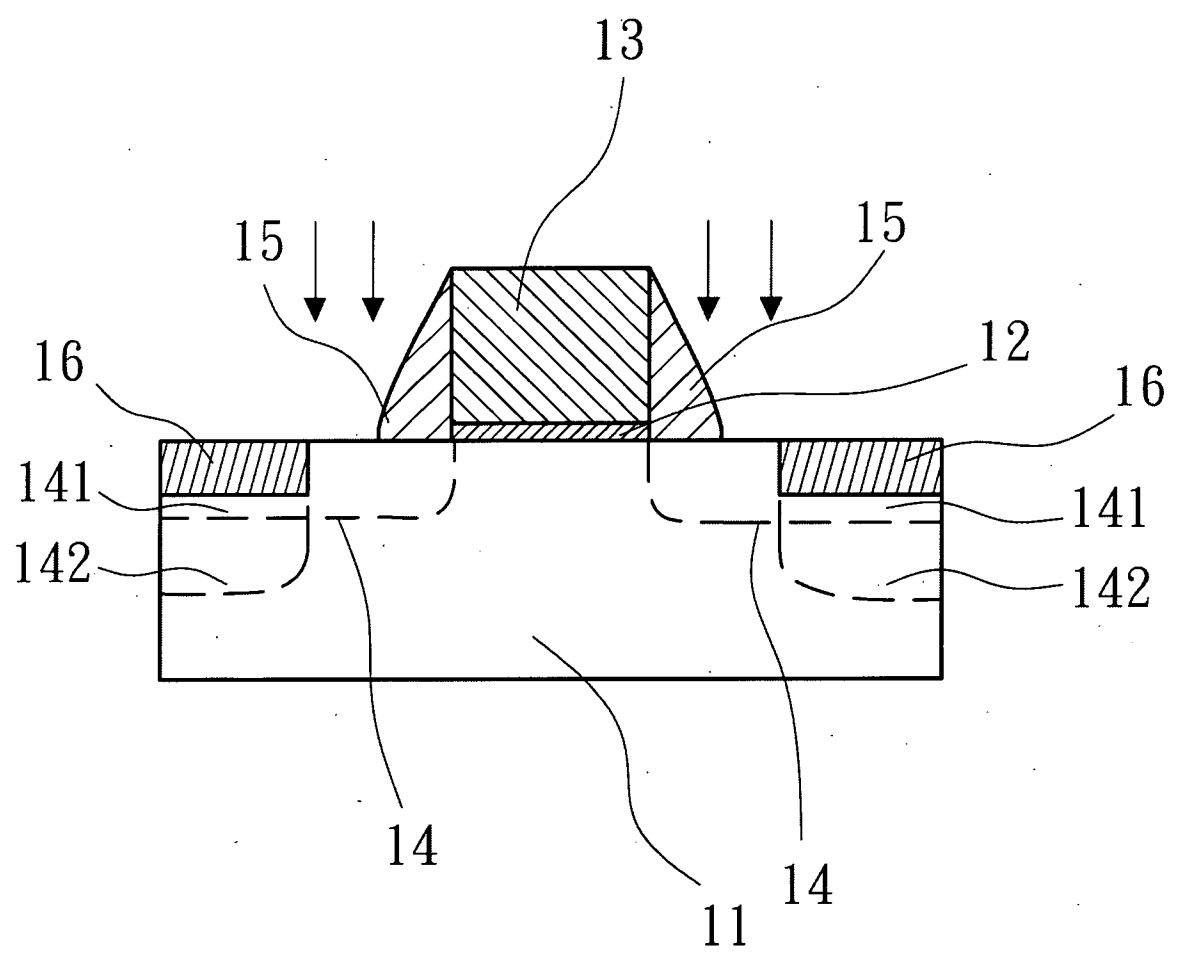
第二圖

103年8月4日修正替換頁

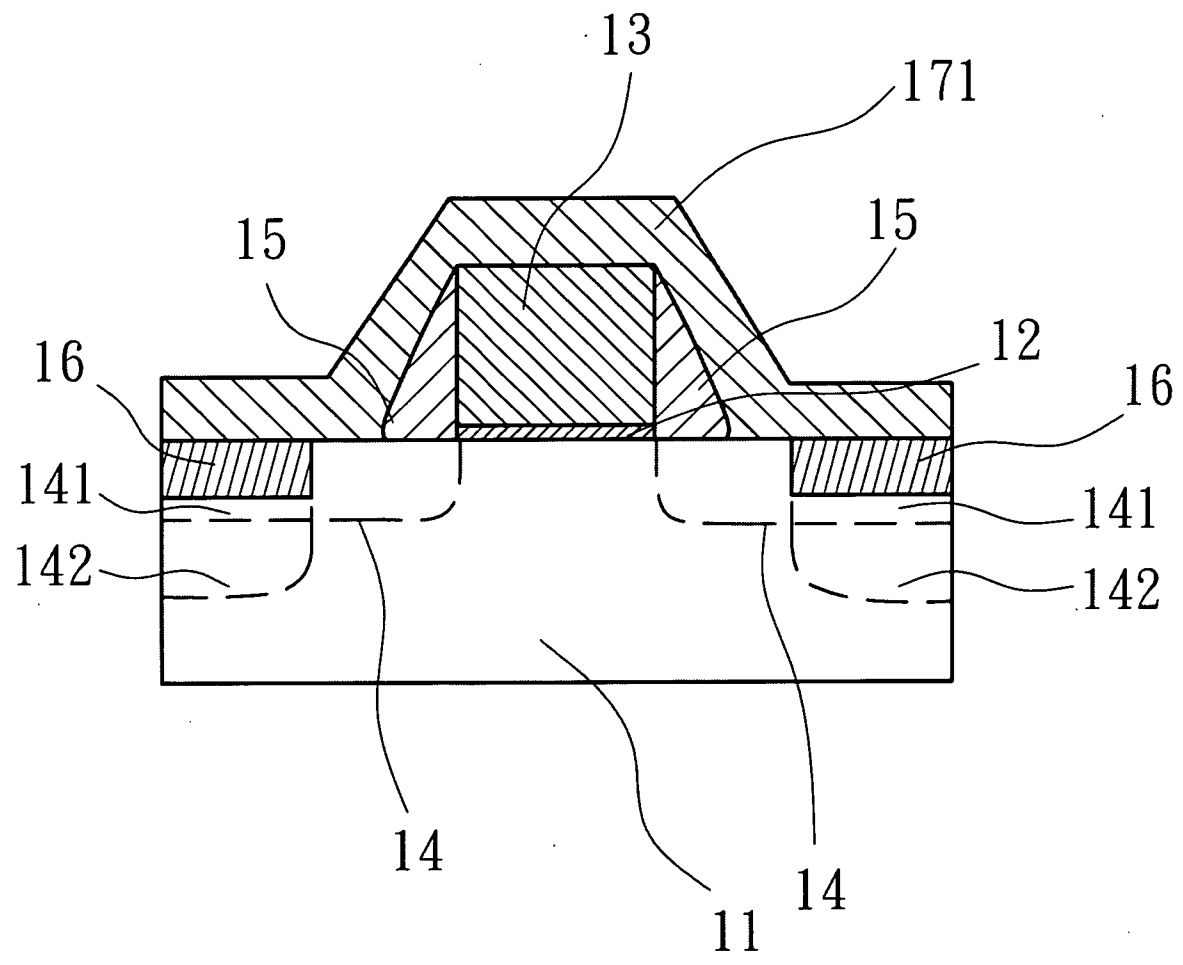


第三圖

103年8月4日修正替換頁

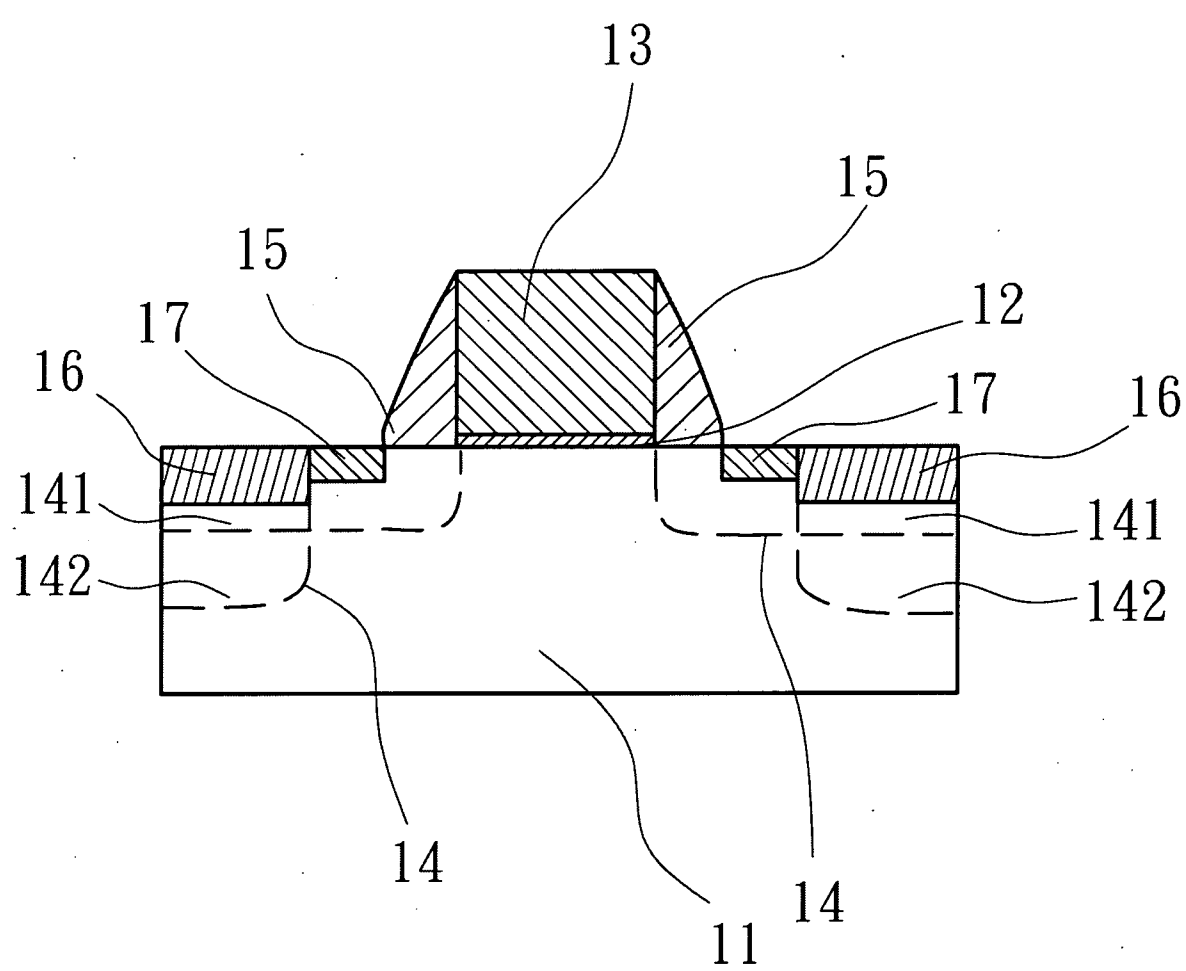


第四圖



第五圖

103年8月4日修正替換頁



第六圖